

청구항 1.

데이터를 입력받아 브랜치 매트릭 연산을 수행하여 출력데이터를 출력하는 입력연산 단계;

상기 출력 데이터와, 귀환되는 프리비어스 스테이트 매트릭에 대해 가산 및 비교를 동시에 수행하는 가산비교 단계;

상기 가산 및 비교를 동시에 수행한 결과에서 최소값을 선택하는 출력선택 단계; 및

수신된 데이터의 오류를 검사하고, 그 데이터를 디코딩하는 디코딩 단계;를 포함하는 것을 특징으로 하는 비터비 디코딩 방법.

청구항 2.

제 1 항에 있어서,

상기 가산비교 단계에서, 상기 가산은 3 비트씩 캐리 룩-어헤드 가산기(Carry Look-ahead Adder:CLA)로 처리하고, 그 결과에 대해 캐리 선택 가산기(Carry SeLect Adder:CSLA)로 처리하는 것을 특징으로 하는 비터비 디코딩 방법.

청구항 3.

제 2 항에 있어서,

상기 3 비트의 CLA는 LSB의 입력이 "0"인 CLA0와 "1"인 CLA1로 구성된 것을 특징으로 하는 비터비 디코딩 방법.

청구항 4.

제 2 항에 있어서,

상기 3 비트에 대한 가산이 동시에 수행되고, 그 결과가 멀티플렉서에 의해 선택되는 것을 특징으로 하는 비터비 디코딩 방법.

청구항 5.

제 1 항에 있어서,

상기 가산비교 단계에서, 상기 비교는 뺄셈을 이용하되, 상기 뺄셈 결과의 MSB를 통해 두 개의 입력 데이터를 비교하는 CS(Carry-Save) 가산을 이용하는 것을 특징으로 하는 비터비 디코딩 방법.

청구항 6.

데이터를 입력받아 브랜치 매트릭 연산을 수행하여 출력데이터를 출력하는 입력 연산부;

상기 출력 데이터와, 귀환되는 프리비어스 스테이트 매트릭에 대해 가산 및 비교를 동시에 수행하는 가산 비교부; 및

상기 가산 및 비교를 동시에 수행한 결과에서 최소값을 선택하는 선택부; 및

수신된 데이터의 오류를 검사하고, 그 데이터를 디코딩하는 출력부;를 포함하는 것을 특징으로 하는 비터비 디코딩 장치.

청구항 7.

제 6 항에 있어서,

상기 가산 비교부는, 가산기와 비교기가 병렬로 연결 구성된 것을 특징으로 하는 비터비 디코딩 장치.

청구항 8.

제 7 항에 있어서,

상기 가산기는 3 비트씩 캐리 룩-어헤드 가산기(Carry Look-ahead Adder:CLA)로 처리하고, 그 결과에 대해 캐리 선택 가산기(Carry SeLect Adder:CSLA)로 처리하는 것을 특징으로 하는 비터비 디코딩 장치.

청구항 9.

제 8 항에 있어서,

3 비트의 상기 CLA는 LSB의 입력이 "0"인 CLA0와 "1"인 CLA1로 구성된 것을 특징으로 하는 비터비 디코딩 장치.

청구항 10.

제 8 항에 있어서,

상기 3 비트에 대한 가산이 동시에 수행되고, 그 결과가 멀티플렉서에 의해 선택되는 것을 특징으로 하는 비터비 디코딩 장치.

청구항 11.

제 7 항에 있어서,

상기 비교기는 CS(Carry-Save) 가산기로 구성된 것을 특징으로 하는 비터비 디코딩 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 고속 데이터 전송을 위한 비터비 디코딩 방법 및 장치에 관한 것으로서, 더욱 상세하게는 통신용 시스템에 사용되는 비터비 디코더에서 입력된 데이터로 브랜치 매트릭을 수행한 후, 가산 및 비교 선택하는 커런트 스테이트 매트릭을 수행할 때, 가산과 비교 동작을 동시에 수행한 후 선택 동작을 수행하게 함으로써, 디코딩 처리 속도를 빠르게 할 수 있도록 하는, 고속 데이터 전송을 위한 비터비 디코딩 방법 및 장치에 관한 것이다.

일반적으로, 통신채널로써 에어 인터페이스(Air Interface)를 사용하는 시스템에서는 통신간에 발생하는 노이즈에 의한 에러를 극복하기 위해서 송신측에서 콘볼루션 인코더(Convolutional Encoder)를 통해 데이터를 인코딩하여 송신하고, 수신측에서는 비터비 디코더를 사용하여 에러 수정 및 데이터를 디코딩하게 된다.

이때, 비터비 디코더의 경우, 입력된 데이터로 브랜치 매트릭을 수행하여 특정화하고, 그 결과와 설정된 값을 가산 및 비교 선택한 커런트 스테이트 매트릭을 저장하며, 그 저장된 데이터를 이후의 가산 및 비교 선택과정에서 프리비어스 스테이트로 사용하는 스테이트 매트릭 램의 액세스 횟수를 줄여 전체적인 처리 속도를 줄이는 방법이 논의되고 있다.

도 1은 종래 비터비 디코더의 구성을 개략적으로 나타낸 블록도이다.

종래, 비터비 디코더(100)는, 입력연산부(110), 가산비교선택부(120), 및 출력부(130)를 포함한 구성을 갖는다.

입력연산부(110)는 디모듈레이터(도면 미도시)의 출력데이터를 입력받아 브랜치 매트릭(Branch Matric)을 계산하여 출력데이터(BM0~BM3)를 출력한다.

가산비교선택부(120)는 입력연산부(110)의 출력데이터(BM0~BM3)를 입력받아 기 설정된 프리비어스 스테이트 매트릭(PSM:Previous State Matric)과 가산하여 커런트 스테이트 매트릭(CSM:Current State Matric)을 형성하고, 그 중 더 작은 커런트 스테이트 매트릭(CSM)을 선택하여 저장하며, 이후의 상태에서 그 값을 프리비어스 스테이트 매트릭(PSM)으로 하여 출력하되, 비교정보를 선택하여 출력한다.

출력부(130)는 가산비교선택부(120)의 비교정보를 입력받아 입력된 데이터의 오류를 검사하고, 디코딩하여 출력하게 된다.

또한, 가산비교선택부(120)는 제1 가산비교선택 블록(122), 제2 가산비교선택 블록(124), 스테이트 매트릭 저장부(126), 및 멀티플렉서(128)로 구성된다.

여기서, 제1 및 제2 가산비교선택 블록(122, 124)은 입력연산부(110)의 출력데이터(BM2, BM3)를 입력받아 그 데이터와 기 설정된 프리비어스 스테이트 매트릭(PSM)을 가산하여 커런트 스테이트 매트릭(CSM)을 생성하고, 그 커런트 스테이트 매트릭(CSM)을 각각 비교하여 그 중 값이 작은 커런트 스테이트 매트릭(CSM)을 선택하여 출력한다.

또한, 스테이트 매트릭 저장부(126)는 제1 가산비교선택 블록(122)과 제2 가산비교선택 블록(124)의 출력데이터를 입력받아 저장하고, 그 저장된 출력데이터를 선택적으로 제1 가산비교선택 블록(122)과 제2 가산비교선택 블록(124)의 입력단에 프리비어스 스테이트 매트릭으로 하여 출력한다.

그리고, 멀티플렉서(128)는 제1 가산비교선택 블록(122)과 제2 가산비교선택 블록(124)에서 각각의 데이터를 비교한 결과를 입력받아 이를 비교정보로 출력한다.

즉, 전술한 바와 같이 구성된 비터비 디코더(100)는, 제1, 제2 가산비교선택 블록(122, 124)의 가산기(ADD0~ADD3)에서 각각 프리비어스 스테이트 매트릭(PSM)과 입력연산부(110)의 출력데이터(BM0~BM3)를 입력받아 가산하여 출력하고, 그 값을 입력받은 비교부(COMP0, COMP1)는 각각 가산기(ADD0,ADD1)와 가산기(ADD2,ADD3)의 출력 값을 비교하여 그 중 작은 값의 정보를 선택부(SELECT0, SELECT1)로 출력함과 동시에 멀티플렉서(128)에 입력한다.

이어서, 선택부(SELECT0, SELECT1)는 비교부(COMP0, COMP1)의 출력신호에 따라 각각 가산기(ADD0)와 가산기(ADD1) 중 그 출력신호인 커런트 스테이트 매트릭(CSM)이 작은 것을 선택하고, 가산기(ADD2)와 가산기(ADD3) 중에서 그 출력신호인 커런트 스테이트 매트릭(CSM)이 작은 것을 선택하여 출력한다.

그 다음, 선택부(SELECT0, SELECT1)에서 선택된 커런트 스테이트 매트릭(CSM)은 멀티플렉서(128)를 통해 스테이트 매트릭 램에 저장되고, 다음 데이터가 입력연산부(110)를 통해 입력되면, 그 저장된 값을 가산기(ADD0~ADD3)로 출력하여 다음 데이터를 동일한 방식으로, 가산, 비교, 선택하여 저장하게 되며, 이러한 동작을 정해진 깊이 만큼 반복 수행하게 된다.

따라서, 종래 비터비 디코더(100)의 경우, 전술한 바와 같이 가산과 비교 및 선택 과정을 순차적으로 진행하게 됨에 따라, 그 디코딩 속도가 빠르게 진행되지 못하는 문제점이 있다. 또한, 매 스테이트의 계산시마다 스테이트 매트릭 램에 쓰기 및 읽기 동작이 수행되어야 함에 따라 스테이트 매트릭 램의 액세스 횟수가 많아져 전력 소모가 증가하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

상기 문제점을 해결하기 위해 본 발명은, 통신용 시스템에 사용되는 비터비 디코더에서 입력된 데이터로 브랜치 매트릭을 수행한 후, 가산 및 비교 선택하는 커런트 스테이트 매트릭을 수행할 때, 가산과 비교 동작을 동시에 수행한 후 선택 동작을 수행하게 함으로써, 디코딩 처리 속도를 빠르게 할 수 있도록 하는, 고속 데이터 전송을 위한 비터비 디코딩 방법 및 장치를 제공함에 그 목적이 있다.

발명의 구성

상기 목적을 달성하기 위한 본 발명에 따른 비터비 디코딩 방법은, 데이터를 입력받아 브랜치 매트릭 연산을 수행하여 출력데이터를 출력하는 입력연산 단계; 상기 출력 데이터와, 귀환되는 프리비어스 스테이트 매트릭에 대해 가산 및 비교를 동시에 수행하는 가산비교 단계; 상기 가산 및 비교를 동시에 수행한 결과에서 최소값을 선택하는 출력선택 단계; 및 트레이스 백 알고리즘을 실행하여 수신된 데이터의 오류를 검사하고, 그 데이터를 디코딩하는 디코딩 단계;를 포함하는 것을 특징으로 한다.

상기 가산비교 단계에서, 상기 가산은 3 비트씩 캐리 룩-어헤드 가산기(Carry Look-ahead Adder:CLA)로 처리하고, 그 결과에 대해 캐리 선택 가산기(Carry SeLect Adder:CSLA)로 처리하는 것을 특징으로 한다.

상기 3 비트의 CLA는 LSB의 입력이 "0"인 CLA0와 "1"인 CLA1로 구성되며, 상기 3 비트에 대한 가산이 동시에 수행되고, 그 결과가 멀티플렉서에 의해 선택되는 것을 특징으로 한다.

상기 가산비교 단계에서, 상기 비교는 뺄셈을 이용하되, 상기 뺄셈 결과의 MSB를 통해 두 개의 입력 데이터를 비교하는 CS 가산을 이용하는 것을 특징으로 한다.

또한, 본 발명의 다른 목적에 따른 비터비 디코딩 장치는, 데이터를 입력받아 브랜치 매트릭 연산을 수행하여 출력데이터를 출력하는 입력 연산부; 상기 출력 데이터와, 귀환되는 프리비어스 스테이트 매트릭에 대해 가산 및 비교를 동시에 수행하는 가산 비교부; 및 상기 가산 및 비교를 동시에 수행한 결과에서 최소값을 선택하는 선택부; 및 트레이스 백 알고리즘을 실행하여 수신된 데이터의 오류를 검사하고, 그 데이터를 디코딩하는 출력부;를 포함하는 것을 특징으로 한다.

상기 가산 비교부는, 가산기와 비교기가 병렬로 연결 구성되고, 상기 가산기는 3 비트씩 CLA로 처리하고, 그 결과에 대해 CSLA로 처리하는 것을 특징으로 한다.

3 비트의 CLA는 LSB의 입력이 "0"인 CLA0와 "1"인 CLA1로 구성되고, 3 비트에 대한 가산이 동시에 수행되고, 그 결과가 멀티플렉서에 의해 선택되는 것을 특징으로 한다.

상기 비교기는 CS 가산기로 구성된 것을 특징으로 한다.

이하, 본 발명의 바람직한 실시예를 첨부된 도면들을 참조하여 상세히 설명한다.

우선 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가지도록 하고 있음에 유의해야 한다.

또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략한다.

도 2는 본 발명의 실시예에 따른 비터비 디코딩 장치의 구성을 개략적으로 나타낸 블록 구성도이다.

본 발명에 따른 비터비 디코딩 장치(200)는, 가산부(210)와 비교부(220)가 병렬로 구성되고, 가산부(210) 및 비교부(220)의 출력이 동시에 선택부(230)로 입력되도록 구성된다. 여기서, 입력연산부(110)는 전술하였으므로 도시하지 않았다.

또한, 가산부(210)는 제1 가산기(212), 제2 가산기(214), 제3 가산기(216), 및 제4 가산기(218)를 포함한 구성을 갖는다. 여기서, 제1 가산기(212)는 두 입력($\lambda_{a,i}(n-2)$, $\gamma_a(n-2)$)에 대해 제1 가산값(sum0)을 출력한다. 또한, 제2 가산기(214)는 두 입력($\lambda_{b,i}(n-2)$, $\gamma_b(n-2)$)에 대해 제2 가산값(sum1)을 출력한다. 또한, 제3 가산기(216)는 두 입력($\lambda_{c,i}(n-2)$, $\gamma_c(n-2)$)에 대해 제3 가산값(sum2)을 출력한다. 그리고, 제4 가산기(218)는 두 입력($\lambda_{d,i}(n-2)$, $\gamma_d(n-2)$)에 대해 제4 가산값(sum3)을 출력한다.

또한, 비교부(220)는 제1 비교기(Subtractor0;221), 제2 비교기(222), 제3 비교기(223), 제4 비교기(224), 제5 비교기(225), 및 제6 비교기(226)를 포함한 구성을 갖는다.

여기서, 제1 비교기(221)는 4 개의 입력($\lambda_{a,i}(n-2)$, $\gamma_a(n-2)$, $\lambda_{b,i}(n-2)$, $\gamma_b(n-2)$)에 대해 제1 비교값(MSB0)을 출력한다. 또한, 제2 비교기(222)는 4 개의 입력($\lambda_{a,i}(n-2)$, $\gamma_a(n-2)$, $\lambda_{c,i}(n-2)$, $\gamma_c(n-2)$)에 대해 제2 비교값(MSB1)을 출력한다. 또한, 제3 비교기(223)는 4 개의 입력($\lambda_{a,i}(n-2)$, $\gamma_a(n-2)$, $\lambda_{d,i}(n-2)$, $\gamma_d(n-2)$)에 대해 제3 비교값(MSB2)을 출력한다. 또한, 제4 비교기(224)는 4 개의 입력($\lambda_{b,i}(n-2)$, $\gamma_b(n-2)$, $\lambda_{c,i}(n-2)$, $\gamma_c(n-2)$)에 대해 제4 비교값(MSB3)을 출력한다. 또한, 제5 비교기(225)는 4 개의 입력($\lambda_{b,i}(n-2)$, $\gamma_b(n-2)$, $\lambda_{d,i}(n-2)$, $\gamma_d(n-2)$)에 대해 제5 비교값(MSB4)을 출력한다. 그리고, 제6 비교기(226)는 4 개의 입력($\lambda_{c,i}(n-2)$, $\gamma_c(n-2)$, $\lambda_{d,i}(n-2)$, $\gamma_d(n-2)$)에 대해 제6 비교값(MSB5)을 출력한다.

한편, 본 발명에 따른 비터비 디코딩 장치(100)는 여분 넘버 표시(Redundant Number Representation)를 사용하지 않고 오프셋 바이너리 넘버(Offset Binary Number)를 사용한다.

도 3은 가산부의 내부 구성을 나타낸 구성도이다.

도 3에 도시된 바와 같이, 본 발명에 따른 가산부(210)는 입력 데이터에 대해 3 비트씩 캐리 룩-어헤드 가산기(Carry Look-ahead Adder:CLA)로 처리하고, 이 결과에 대해 캐리 선택 가산기(Carry SeLect Adder:CSLA)로 처리하는 구성을 갖는다.

여기서, 각 CLA는 LSB의 Carry 입력이 "0"인 CLA0과 "1"인 CLA1로 구성된다.

또한, 각 3 비트에 대한 가산이 동시에 수행되고, 이 결과를 멀티플렉서(MUX1, MUX2)에 의해 선택되게 한다. 이때, 멀티플렉서의 제어는 하위 3 비트의 덧셈 결과의 MSB(Carry Out)가 담당한다.

도 3에서, 입력 a0, b0, a1, b1, a2, b2는 CLA0로 입력되어 c0, c1, c2를 출력하고, 캐리 발생시에는 캐리를 멀티플렉서(MUX1)로 인가한다. 또한, 입력 a3, b3, a4, b4, a5, b5는 CLA0과 CLA1로 입력되고, CLA0과 CLA1의 출력과 캐리가 모두 멀티플렉서(MUX1)로 입력되며, 멀티플렉서(MUX1)는 c5, c4, c3를 출력하고, 캐리는 다음 멀티플렉서(MUX2)로 인가한다. 그리고, 입력 a6, b6, a7, b7, a8, b8도 CLA0과 CLA1로 입력되고, CLA0과 CLA1의 출력과 캐리가 모두 제2 멀티플렉서(MUX2)로 인가되어, 제2 멀티플렉서(MUX2)는 c6, c7, c8을 출력함과 더불어 캐리를 출력하게 된다.

도 4는 비교부에서 각 비교기의 내부 구성을 나타낸 구성도이다.

도 4에 도시된 바와 같이, 본 발명에 따른 비교기는 기능상 가산기와 동일하게 동작하도록 뺄셈을 통해 구현하며, 이러한 뺄셈 기능을 위해 CS(Carry-Save) 가산기를 이용한다.

도 4에서, 입력 $\lambda_a, \gamma_a, \lambda_b$ 를 제1 CS 가산기(410)로 입력하면, 제1 CS 가산기(410)는 (a)에서 다음 수학식 1과 같은 결과를 출력한다.

수학식 1

$$(a) = \lambda_a + \gamma_a + (-\lambda_a)$$

또한, 제1 CS 가산기(410)의 출력과 γ_a 가 제2 CS 가산기(420)로 입력되면, 제2 CS 가산기(420)는 (b)에서 다음 수학식 2와 같은 결과를 출력한다.

수학식 2

$$(b) = \lambda_a + \gamma_a + (-\lambda_b + 1) + (-\gamma_b)$$

그리고, 제2 CS 가산기(420)의 출력과 캐리를 제3 CS 가산기(430)로 입력하면, 제3 CS 가산기(430)는 (c)에서 다음 수학식 3과 같은 결과를 출력한다.

수학식 3

$$(c) = \lambda_a + \gamma_a + (-\lambda_b + 1) + (-\gamma_b + 1)$$

전술한 바와 같이 가산부(210)와 비교부(220)를 통해 출력된 값은 선택부(230)로 입력된다. 따라서, 선택부(230)는 다음 수학식 4와 같은 방식으로 연산하여 최소값(MSB)을 출력하게 된다.

수학식 4

```

if (MSB0==0 && MSB1==0 && MSB2==0)
    yi(n)=sum0 ;
    selected path =0 ;
else if (MSB0==1 && MSB3 ==0 && MSB4==0)
    yi(n)=sum1 ;
    selected path=1 ;
else if (MSB1==1 && MSB3 ==1 && MSB5==0)
    yi(n)=sum2 ;
    selected path=2 ;
else
    yi(n)=sum3 ;
    selected path= 3 ;
    
```

전술한 바와 같이 본 발명에 의하면, 통신용 시스템에 사용되는 비터비 디코더에서 입력된 데이터로 브랜치 매트릭을 수행한 후, 가산 및 비교 선택하는 커런트 스테이트 매트릭을 수행할 때, 가산과 비교 동작을 동시에 수행한 후 선택 동작을 수행하게 함으로써, 디코딩 처리 속도를 빠르게 할 수 있도록 하는, 고속 데이터 전송을 위한 비터비 디코딩 방법 및 장치를 실현할 수 있다.

이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다.

따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다.

본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

발명의 효과

이상에서 설명한 바와 같이 본 발명에 의하면, 가산과 비교 과정을 동시에 수행하게 됨으로써, 디코딩 속도가 빠르게 진행되고, 그에 따라 전력 소모의 증가를 방지할 수 있는 효과가 있다.

도면의 간단한 설명

도 1은 종래 비터비 디코더의 구성을 개략적으로 나타낸 블록도,

도 2는 본 발명의 실시예에 따른 비터비 디코딩 장치의 구성을 개략적으로 나타낸 블록 구성도,

도 3은 가산부의 내부 구성을 나타낸 구성도,

도 4는 비교부에서 각 비교기의 내부 구성을 나타낸 구성도이다.

< 도면의 주요 부분에 대한 부호의 설명 >

100 : 비터비 디코더 110 : 입력연산부

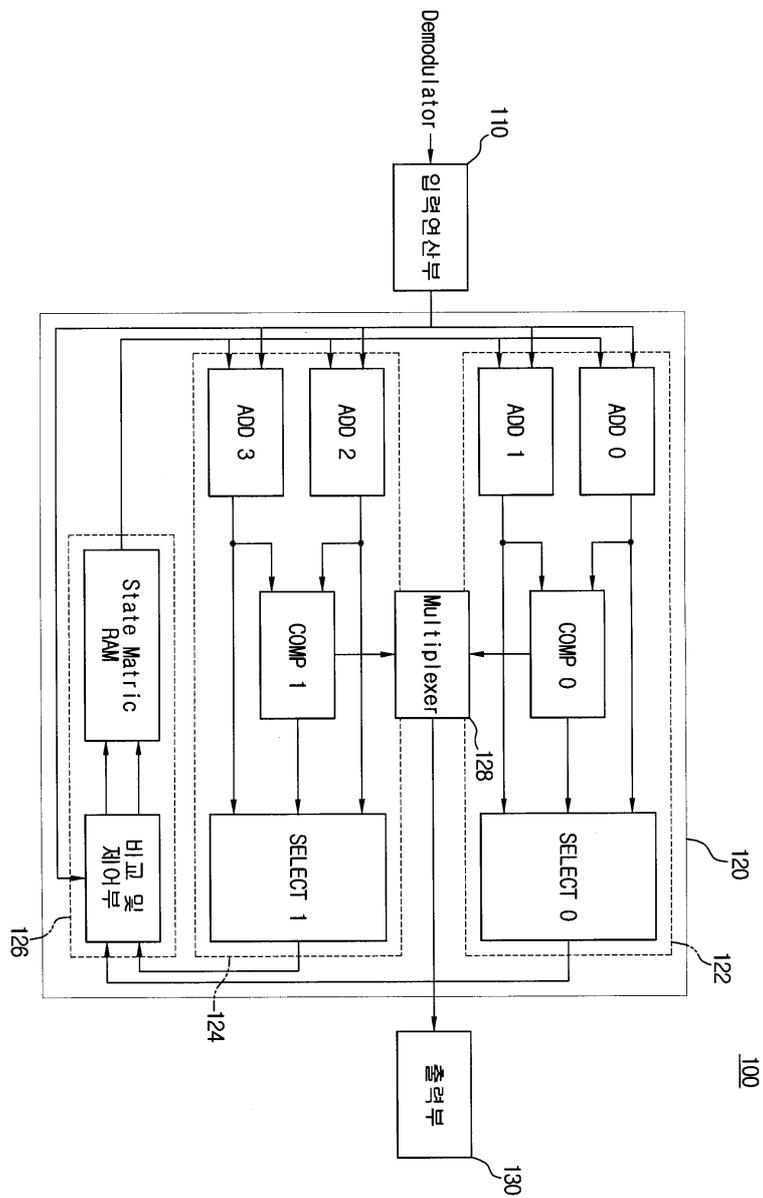
120 : 가산비교선택부 130 : 출력부

200 : 비터비 디코딩 장치 210 : 가산부

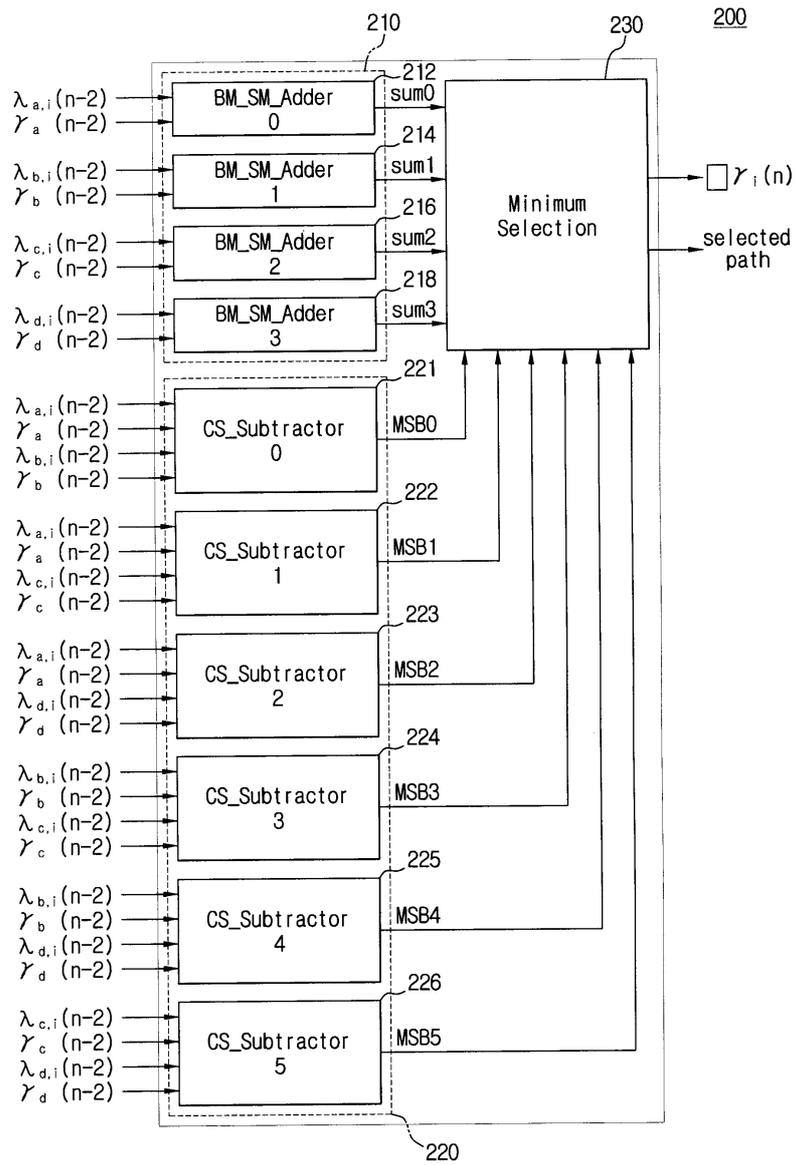
220 : 비교부 230 : 선택부

도면

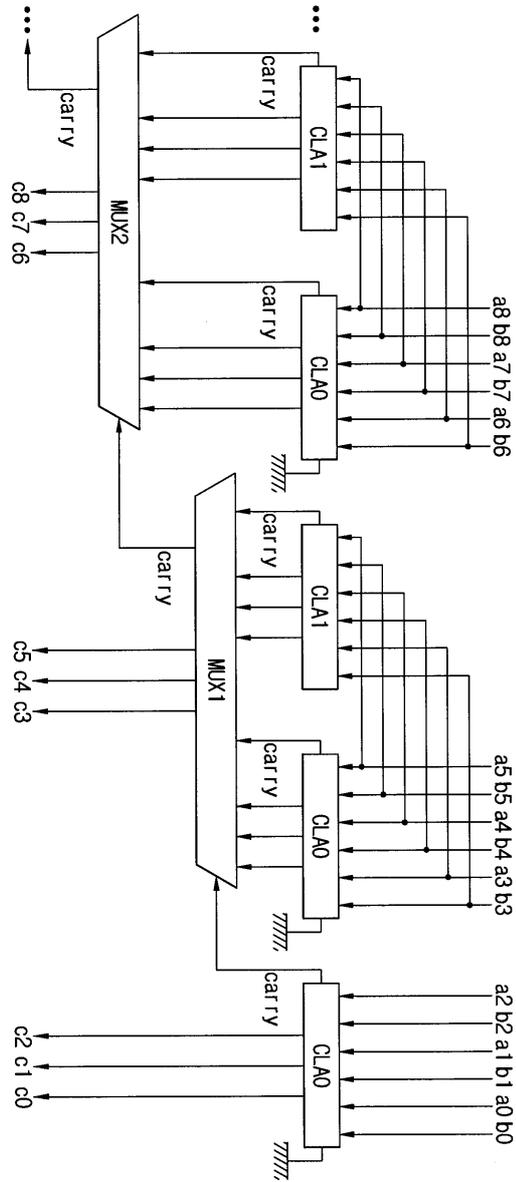
도면1



도면2



도면3



210

도면4

