

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-101209

(P2011-101209A)

(43) 公開日 平成23年5月19日(2011.5.19)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 19/0185 (2006.01)	H03K 19/00 I O 1 B	5 J 0 3 9
H03K 19/0948 (2006.01)	H03K 19/094 B	5 J 0 5 5
H03K 5/007 (2006.01)	H03K 5/00 C	5 J 0 5 6
H03K 5/02 (2006.01)	H03K 5/02 L	
H03K 17/16 (2006.01)	H03K 17/16 D	

審査請求 未請求 請求項の数 4 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願2009-254679 (P2009-254679)
 (22) 出願日 平成21年11月6日 (2009.11.6)

(71) 出願人 000003207
 トヨタ自動車株式会社
 愛知県豊田市トヨタ町1番地
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (72) 発明者 篠島 靖
 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内
 Fターム(参考) 5J039 AA01 CC04 KK00 KK34 KK37
 MM16
 5J055 AX28 BX16 DX22 DX62 DX72
 DX73 DX83 EX01 EX07 EY01
 EY05 EY10 EY12 EY21 EZ16
 EZ20 EZ22 FX05 FX12 FX19
 FX31 FX37 GX01 GX05
 最終頁に続く

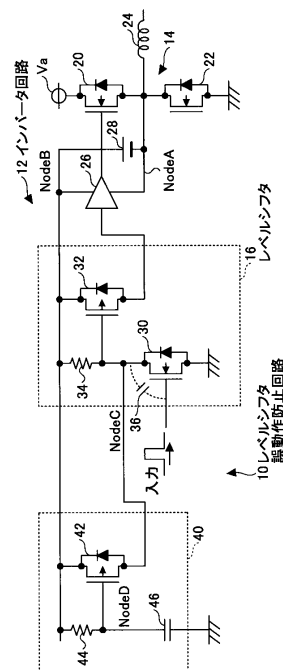
(54) 【発明の名称】 レベルシフト誤動作防止回路

(57) 【要約】

【課題】本発明は、レベルシフト誤動作防止回路に係り、レベルシフトの誤動作を、信号伝達の過大な遅延と消費電流の増大とを招くことなく防止することにある。

【解決手段】伝達すべき信号に応じて駆動されるN型トランジスタ30と、N型トランジスタ30の出力に応じて駆動されるP型トランジスタ32と、P型トランジスタ32を駆動するために設けられるプルアップ抵抗34と、を有する、基準電圧が互いに異なる2つの回路系の間で信号伝達を行うレベルシフト16の誤動作を防止する回路において、2つの回路系の基準電圧が相対変位した際、N型トランジスタ30に存在する寄生容量36へプルアップ抵抗34を介して充電電流が供給される前に、その寄生容量36へ充電電流を供給する急速充電手段を設ける。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

伝達すべき信号に応じて駆動される第 1 のトランジスタと、前記第 1 のトランジスタの出力に応じて駆動される第 2 のトランジスタと、前記第 2 のトランジスタを駆動するために設けられる第 1 の抵抗と、を有する、基準電圧が互いに異なる 2 つの回路系の間で信号伝達を行うレベルシフタの誤動作を防止する回路であって、

前記 2 つの回路系の基準電圧が相対変位した際に、前記第 1 のトランジスタに存在する寄生容量へ前記第 1 の抵抗を介して充電電流が供給される前に、該寄生容量へ充電電流を供給する急速充電手段を備えることを特徴とするレベルシフタ誤動作防止回路。

【請求項 2】

前記急速充電手段は、前記 2 つの回路系の基準電圧が相対変位した際に前記第 1 の抵抗の端子間をバイパスするように駆動される第 3 のトランジスタを有することを特徴とする請求項 1 記載のレベルシフタ誤動作防止回路。

【請求項 3】

前記急速充電手段は、また、

前記第 3 のトランジスタを駆動するために設けられる第 2 の抵抗と、

前記第 2 の抵抗の一端に接続される容量と、

を有することを特徴とする請求項 2 記載のレベルシフタ誤動作防止回路。

【請求項 4】

前記第 3 のトランジスタの大きさと前記第 2 のトランジスタの大きさとの関係、前記第 2 の抵抗の抵抗値と前記第 1 の抵抗の抵抗値との関係、及び前記容量の容量値と前記寄生容量の容量値との関係のうち少なくとも一つは、前記 2 つの回路系の基準電圧が相対変位した際に、前記寄生容量へ前記第 1 の抵抗を介して充電電流が供給される前に該寄生容量へ前記第 3 のトランジスタを介して充電電流が供給されるように設定されていることを特徴とする請求項 3 記載のレベルシフタ誤動作防止回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、レベルシフタ誤動作防止回路に係り、特に、基準電圧が互いに異なる 2 つの回路系の間で信号伝達を行うレベルシフタの誤動作を防止するうえで好適なレベルシフタ誤動作防止回路に関する。

【背景技術】

【0002】

従来、基準電圧が互いに異なる 2 つの回路系の間で信号伝達を行うレベルシフタが知られている（例えば、特許文献 1 参照）。レベルシフタは、N 型トランジスタと、P 型トランジスタと、抵抗と、により構成されている。N 型トランジスタは、P 型トランジスタと基準グランドとの間に接続されており、入力信号に応じてオン/オフされる。抵抗は、N 型トランジスタがオンした際に P 型トランジスタをオン駆動すべく端子間に電圧を発生させるものである。かかるレベルシフタにおいては、入力信号が入力されて N 型トランジスタがオンすると、抵抗の端子間に電圧が発生することで、P 型トランジスタがオン駆動される。この場合には、入力信号が P 型トランジスタの出力側に伝達される。従って、入力信号側にある制御系の基準電圧と、出力側にある駆動系の基準電圧と、が互いに異なるときにも、それらの制御系と駆動系との間で信号伝達を行うことが可能である。

【0003】

ところで、入力信号がハイレベルであるときは、N 型トランジスタはオン状態にあり、抵抗の端子間に電位差が生ずる一方、入力信号がローレベルであるときは、N 型トランジスタはオフ状態にあり、抵抗の端子間に電位差は生じない筈である。しかし、N 型トランジスタに寄生容量が存在すると、入力信号がローレベルであるにもかかわらず、駆動系の基準電圧が上昇した際に抵抗を介してその寄生容量へ電流が流れ、抵抗の端子間に P 型ト

10

20

30

40

50

ランジスタをオン駆動するのに設定されたしきい値を超える電位差が生じることがある。このように抵抗の端子間にP型トランジスタのしきい値を超える電位差が生ずると、P型トランジスタがオン駆動されることで、出力側へ誤信号が生成される事態が生ずる。

【0004】

そこで、駆動系の基準電圧の変動に起因した抵抗端子間の電位差を抑制して上記したレベルシフトの誤動作を防止するうえでは、抵抗の端子間に容量を接続してその端子間における電位を安定させること(対策1)、或いは、抵抗の抵抗値を下げて寄生容量への充電を速やかに行わせること(対策2)が考えられる。

【先行技術文献】

【特許文献】

10

【0005】

【特許文献1】特開平11-74779号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかし、上記した対策1の手法では、抵抗の端子間に容量が接続されるため、その容量の存在に起因して信号伝達の遅延が増大するおそれがある。また、上記した対策2の手法では、N型トランジスタがオン状態にあるときに抵抗の端子間に流れる電流が増大するため、消費電流が増大するおそれがある。

【0007】

20

本発明は、上述の点に鑑みてなされたものであり、レベルシフトの誤動作を、信号伝達の過大な遅延と消費電流の増大とを招くことなく防止することが可能なレベルシフト誤動作防止回路を提供することを目的とする。

【課題を解決するための手段】

【0008】

上記の目的は、伝達すべき信号に応じて駆動される第1のトランジスタと、前記第1のトランジスタの出力に応じて駆動される第2のトランジスタと、前記第2のトランジスタを駆動するために設けられる第1の抵抗と、を有する、基準電圧が互いに異なる2つの回路系の間で信号伝達を行うレベルシフトの誤動作を防止する回路であって、前記2つの回路系の基準電圧が相対変位した際、前記第1のトランジスタに存在する寄生容量へ前記第1の抵抗を介して充電電流が供給される前に、該寄生容量へ充電電流を供給する急速充電手段を備えるレベルシフト誤動作防止回路により達成される。

30

【0009】

この態様の発明において、2つの回路系の基準電圧が相対変位すると、第1のトランジスタに存在する寄生容量へ第1の抵抗を介して充電電流が供給される前に、急速充電手段からその寄生容量へ充電電流が供給される。急速充電手段側から寄生容量へ電流が供給されれば、その電流供給により寄生容量が充電されるので、その急速充電手段が存在しない構成と比較して、第1の抵抗を介してその寄生容量へ供給される電流量が少なくなる。このため、2つの回路系の基準電圧の相対変位が生じても、第1の抵抗の端子間に生ずる電位差が小さく抑制されるので、誤信号の生成を回避することができる。かかる構成においては、基準電圧の変動に起因した抵抗端子間の電位差を抑制するのに、第1の抵抗の端子間に容量を接続する必要は無く、また、第1の抵抗の抵抗値を下げる必要は無い。従って、本発明によれば、レベルシフトの誤動作を、信号伝達の過大な遅延と消費電流の増大とを招くことなく防止することができる。

40

【0010】

ところで、上記したレベルシフト誤動作防止回路において、前記急速充電手段は、前記2つの回路系の基準電圧が相対変位した際に前記第1の抵抗の端子間をバイパスするように駆動される第3のトランジスタを有することとしてもよい。

【0011】

この場合、前記急速充電手段は、また、前記第3のトランジスタを駆動するために設け

50

られる第2の抵抗と、前記第2の抵抗の一端に接続される容量と、を有することとしてもよい。

【0012】

尚、前記第3のトランジスタの大きさと前記第2のトランジスタの大きさとの関係、前記第2の抵抗の抵抗値と前記第1の抵抗の抵抗値との関係、及び前記容量の容量値と前記寄生容量の容量値との関係のうち少なくとも一つは、前記2つの回路系の基準電圧が相対変位した際、前記寄生容量へ前記第1の抵抗を介して充電電流が供給される前に該寄生容量へ前記第3のトランジスタを介して充電電流が供給されるように設定されていることとすればよい。

【発明の効果】

10

【0013】

本発明によれば、レベルシフタの誤動作を、信号伝達の過大な遅延と消費電流の増大とを招くことなく防止することができる。

【図面の簡単な説明】

【0014】

【図1】本発明の一実施例のレベルシフタ誤動作防止回路を備えるインバータ回路の構成図である。

【図2】本実施例のインバータ回路の動作を説明するための図である。

【発明を実施するための形態】

【0015】

20

以下、図面を用いて、本発明に係るレベルシフタ誤動作防止回路の具体的な実施の形態について説明する。

【0016】

図1は、本発明の一実施例のレベルシフタ誤動作防止回路10を備えるインバータ回路12の構成図を示す。本実施例において、レベルシフタ誤動作防止回路10は、インバータ14を駆動するインバータ回路12に設けられており、インバータ回路12の備えるレベルシフタ16の誤動作を防止する回路である。

【0017】

インバータ回路12は、例えばハイブリッド自動車やパワーステアリング装置の大電力系に用いられる回路であって、それぞれパワー素子である一対のN型MOSFET20, 22を備えている。N型MOSFET20, 22は、直流電源Va(例えば100ボルト)と基準グラウンドGNDとの間に直列接続された高耐圧の素子であり、交互にスイッチングされる。N型MOSFET20とN型MOSFET22との接続端子(ノードA)には、負荷(例えばインダクタ)24の一端が接続されている。直流電源Vaは、N型MOSFET20, 22のスイッチング駆動により交流電源に変換されて負荷24に供給される。負荷24は、供給される交流電源に応じて作動される。

30

【0018】

インバータ回路12は、また、N型MOSFET20をスイッチング駆動する耐圧の比較的低い小信号用素子である駆動素子26、及び、N型MOSFET22をスイッチング駆動する耐圧の比較的低い小信号用素子である駆動素子(図示せず)を備えている。駆動素子26の出力は、直流電源Va側のN型MOSFET20のゲートに接続されている。駆動素子26の電源端子には、その駆動素子26に電力を供給する駆動電源28(例えば5ボルト出力の電源)が接続されている。駆動素子26の-側電源端子は、N型MOSFET20とN型MOSFET22との接続端子(ノードA)すなわち負荷24の一端に接続されており、駆動素子26の+側電源端子(ノードB)の電圧は、その-側電源端子(ノードA)の電圧に対して駆動電源28の電圧分だけ高くなっている。駆動素子26は、ノードAの電位を基準電位として駆動電源28から電力供給されることによりN型MOSFET20に対して駆動信号を供給することが可能である。

40

【0019】

インバータ回路12は、また、レベルシフタ16を備えている。レベルシフタ16は、

50

N型MOSFET30と、P型MOSFET32と、プルアップ抵抗34と、を有しており、基準電圧が互いに異なる2つの回路系(具体的には、駆動素子26側の駆動系、及び、その駆動素子26に供給すべき駆動信号として伝達すべき入力信号を生成する制御系)の間で信号伝達を行う回路である。

【0020】

N型MOSFET30は、ゲートに制御系からの入力信号が供給され、ソースに基準グラウンドGNDが接続され、かつドレイン(ノードC)にプルアップ抵抗34の一端が接続された素子である。制御系の生成する入力信号は、基準グラウンドGNDの電位と所定電位(例えば5ボルト)との間で変動し得る信号であり、駆動素子26に供給すべき駆動信号に応じたものである。N型MOSFET30は、制御系からの入力信号に応じてオン/オフ駆動される。プルアップ抵抗34の他端は、ノードBに接続されている。すなわち、プルアップ抵抗34とN型MOSFET30とは、基準グラウンドGNDとノードBとの間に直列接続されている。N型MOSFET30には、ゲートとドレインとの間に寄生容量36が形成される。

10

【0021】

また、P型MOSFET32は、ゲートにプルアップ抵抗34の一端すなわちN型MOSFET30のドレインが接続され、ソースにノードBが接続され、かつドレインに駆動素子26の入力が接続された素子である。プルアップ抵抗34は、N型MOSFET30のオフ時にP型MOSFET32のゲート入力をノードBの電位に引き上げるための抵抗器である。P型MOSFET32は、プルアップ抵抗34の一端すなわちノードCに生ずる電位に応じてオン/オフ駆動される。

20

【0022】

上記したインバータ回路12において、レベルシフタ16は、制御系からの入力信号に応じてN型MOSFET30をオン/オフさせることによりノードCの電位を変化させ、そして、P型MOSFET32をオン/オフさせることにより駆動素子26に信号を伝達する。

【0023】

具体的には、制御系からの入力信号がローレベルであるときは、N型MOSFET30はオフされる。この場合、通常は、ノードCの電位はノードBの電位と同電位であり、プルアップ抵抗34の端子間の電位差はゼロであるので、P型MOSFET32はオフされ、駆動素子26にはローレベルの信号が供給される。従って、制御系からの入力信号がローレベルであるときは、駆動素子26がN型MOSFET20に対してオフ駆動信号を供給し、N型MOSFET20がオフされるので、負荷24の一端に基準グラウンドGNDの電位が供給される。尚、このときは、N型MOSFET22に対してオン駆動信号が供給され、N型MOSFET22がオンされる。

30

【0024】

一方、制御系からの入力信号がハイレベルであるときは、N型MOSFET30はオンされるので、ノードCの電位は基準グラウンドGNDのゼロ電位である。この場合、プルアップ抵抗34の端子間に電位差が生じ、ノードB側からプルアップ抵抗34を介してノードC側へ電流が流れるので、P型MOSFET32はオンされ、駆動素子26にはハイレベルの信号が供給される。従って、制御系からの入力信号がハイレベルであるときは、駆動素子26がN型MOSFET20に対してオン駆動信号を供給し、N型MOSFET20がオンされるので、負荷24の一端に直流電源Vaの電位が供給される。尚、このときは、N型MOSFET22に対してオフ駆動信号が供給され、N型MOSFET22がオフされる。

40

【0025】

このように、本実施例のインバータ回路12によれば、制御系からの入力信号に応じて駆動素子26を駆動し、制御系からレベルシフタ16を介して駆動系へ信号を伝達することが可能であり、この点、基準電圧が互いに異なる制御系と駆動系との間で信号伝達を行うことが可能である。

50

【 0 0 2 6 】

ところで、上記の如く、制御系からの入力信号がローレベルであるときは、N型MOS FET 30はオフされるので、通常は、ノードCの電位はノードBの電位と同電位であり、プルアップ抵抗34の端子間の電位差はゼロであって、P型MOS FET 32はオフされ、駆動素子26にはローレベルの信号が供給される筈である。しかし、N型MOS FET 30のゲート-ドレイン間には寄生容量36が存在するので、制御系からの入力信号がローレベルであるにもかかわらず、N型MOS FET 22のオフなどに伴うノードAの電位上昇によってノードBの電位上昇が生じたときにプルアップ抵抗34を介してその寄生容量36へ電流が流れ、そのプルアップ抵抗34の端子間に電位差が生ずることがあり、ひいては、その電位差がP型MOS FET 32をオン駆動するのに設定されたしきい値を 10
超えることがある。かかる過大な電位差が生ずると、P型MOS FET 32がオン駆動されることで、駆動素子26にハイレベルの誤った信号が生成・供給される事態が生じてしまう。

【 0 0 2 7 】

そこで、本実施例において、インバータ回路12は、レベルシフタ16による駆動素子26への誤信号の伝達を防止するためのレベルシフタ誤動作防止回路10としてのアクティブクランプ回路40を備えている。アクティブクランプ回路40は、P型MOS FET 42と、プルアップ抵抗44と、容量46と、を有している。プルアップ抵抗44の一端はノードBに接続されており、容量46の一端は基準グラウンドGNDに接続されている。そして、プルアップ抵抗44の他端と容量46の他端とは互いに接続されている。すな 20
わち、プルアップ抵抗44と容量46とは、ノードBと基準グラウンドGNDとの間に直列接続されている。

【 0 0 2 8 】

P型MOS FET 42は、ゲートにプルアップ抵抗44の他端と容量46の他端との接続点(ノードD)が接続され、ソースにノードBが接続され、かつドレインにプルアップ抵抗34の一端とN型MOS FET 30のドレインとの接続点(ノードC)すなわちP型MOS FET 32のゲートが接続された素子である。プルアップ抵抗44は、P型MOS FET 42のゲート入力をノードBの電位に引き上げるための抵抗器である。P型MOS FET 42は、プルアップ抵抗44の一端すなわちノードDに生ずる電位に応じてオン/ 30
オフ駆動される。

【 0 0 2 9 】

P型MOS FET 42の大きさ(面積)とP型MOS FET 32の大きさとの関係、プルアップ抵抗44の抵抗値とプルアップ抵抗34の抵抗値との関係、及び容量46の容量値と寄生容量36の容量値との関係のうち少なくとも一つは、制御系からN型MOS FET 30への入力信号がローレベルである状況においてN型MOS FET 22のオフに伴うノードAの電位上昇によってノードBの電位上昇が生じたとき、すなわち、入力信号を生成する制御系の基準電圧と駆動素子26側の駆動系の基準電圧とが相対変位したとき、ノードBからプルアップ抵抗34を介して寄生容量36へ電流が流れる前に、ノードBからP型MOS FET 42を介して寄生容量36へ電流が流れるように設定されている。 40

【 0 0 3 0 】

具体的には、P型MOS FET 42の大きさはP型MOS FET 32の大きさよりも小さく、プルアップ抵抗44の抵抗値はプルアップ抵抗34の抵抗値よりも大きく、或いは容量44の容量値は寄生容量36の容量値よりも大きく設定されている。 40

【 0 0 3 1 】

図2は、本実施例のインバータ回路12の動作を説明するための図を示す。尚、図2(A)には本実施例のインバータ回路12の主要端子における電位波形を、また、図2(B)には本実施例のインバータ回路12と対比されるレベルシフタ誤動作防止回路10の設けられていない対比インバータ回路のタイムチャートを、それぞれ示す。 40

【 0 0 3 2 】

本実施例のレベルシフタ誤動作防止回路10の設けられたインバータ回路12において 50

、制御系からN型MOSFET30への入力信号がローレベルである状況で、N型MOSFET22のオフなどに伴うノードAの電位上昇によってノードBの電位上昇が生ずると、ノードBからプルアップ抵抗34を介して寄生容量36へその寄生容量36を充電する充電電流が流れ、かつ、ノードB側からプルアップ抵抗44を介して容量46へその容量46を充電する充電電流が流れる。尚、上記の如くパラメータが設定されたアクティブクランプ回路40が存在するため、プルアップ抵抗34を介して寄生容量36へ充電電流の供給が開始される前に、プルアップ抵抗44を介して容量46へ充電電流の供給が開始される。

【0033】

プルアップ抵抗44を介して容量46へ充電電流が流れると、そのプルアップ抵抗44の端子間すなわちP型MOSFET42のゲート-ソース間にその充電電流の大きさとプルアップ抵抗44の抵抗値とに応じた電位差が発生する。この際、その電位差がP型MOSFET42をオン駆動させるのに必要な電位差以上であると、P型MOSFET42がプルアップ抵抗34の端子間をバイパスするようにオン駆動される。P型MOSFET42がオン駆動されると、ノードBとノードCとがP型MOSFET42を介して導通されるため、ノードCの電位がノードBの電位に上昇し、ノードBからそのP型MOSFET42を介して寄生容量36へ充電電流の供給が行われる。

10

【0034】

尚、上記したアクティブクランプ回路40が存在するため、ノードBからP型MOSFET42を介した寄生容量36への充電電流の供給は、ノードBからプルアップ抵抗34を介した寄生容量36への充電電流の供給開始よりも前に開始される。この点、寄生容量36は、プルアップ抵抗34を介した充電電流の供給により充電される前に、P型MOSFET42を介した充電電流の供給により急速に充電されることとなる。このため、ノードBとノードCとの導通に伴ってノードBからのP型MOSFET42を介した電流供給により寄生容量36の充電が行われると、ノードBからプルアップ抵抗34を介して寄生容量36へ充電電流が供給され難くなってその充電量が少なくなり、プルアップ抵抗34の端子間すなわちP型MOSFET32のゲート-ソース間にそのP型MOSFET32をオン駆動させるような大きな電位差が生じ難くなる。

20

【0035】

従って、本実施例のレベルシフト誤動作防止回路10によれば、ノードAの電位上昇によってノードBの電位上昇が生じてもすなわち制御系の基準電圧と駆動系の基準電圧との間に相対変位が生じても、プルアップ抵抗34の端子間に生ずる電位差が小さく抑制されるので、制御系からの入力信号をP型MOSFET32が誤って出力する事態を回避することができ、レベルシフト16の誤動作を防止してレベルシフト16による誤信号の生成を回避することができる。

30

【0036】

また、本実施例においては、上記の如く基準電圧の相対変動に起因したプルアップ抵抗34の端子間の電位差を抑制するのに、プルアップ抵抗34の端子間に容量性素子を接続する必要は無いと共に、また、ノードCの電位はアクティブクランプ回路40に設けられた容量46の容量値から影響を受けない。このため、レベルシフト16の誤動作防止を、正規の入力信号を伝達するのに過大な遅延を招くことなく実現することができる。

40

【0037】

更に、本実施例においては、上記の如く基準電圧の相対変動に起因したプルアップ抵抗34の端子間の電位差を抑制するのに、プルアップ抵抗34の抵抗値を下げる必要は無いと共に、また、ノードBと基準グラウンドGNDとの間でプルアップ抵抗44と容量46とが直列接続されたアクティブクランプ回路40は直流的には電流を全く流さない。このため、レベルシフト16の誤動作防止を、消費電流の増大を招くことなく実現することができる。

【0038】

従って、本実施例のレベルシフト誤動作防止回路10によれば、レベルシフト16の誤

50

動作を、信号伝達の過大な遅延と消費電流の増大とを招くことなく防止することが可能となっている。

【0039】

尚、上記の実施例においては、N型MOSFET30が特許請求の範囲に記載した「第1のトランジスタ」に、P型MOSFET32が特許請求の範囲に記載した「第2のトランジスタ」に、プルアップ抵抗34が特許請求の範囲に記載した「第1の抵抗」に、レベルシフト誤動作防止回路10及びアクティブクランプ回路40が特許請求の範囲に記載した「急速充電手段」に、P型MOSFET42が特許請求の範囲に記載した「第3のトランジスタ」に、プルアップ抵抗44が特許請求の範囲に記載した「第2の抵抗」に、それぞれ相当している。

10

【0040】

ところで、上記の実施例においては、アクティブクランプ回路40がP型MOSFET42、プルアップ抵抗44、及び容量46を有するが、P型MOSFET42に代えてPNPトランジスタを用いることとしてもよく、また、容量46に代えてMOSのゲート容量などを用いることとしてもよい。

【符号の説明】

【0041】

- 10 レベルシフト誤動作防止回路
- 12 インバータ回路
- 16 レベルシフト
- 30 N型MOSFET
- 32, 42 P型MOSFET
- 34, 44 プルアップ抵抗
- 36 寄生容量
- 40 アクティブクランプ回路
- 46 容量

20

フロントページの続き

(51)Int.Cl.

H 0 3 K 17/10 (2006.01)

F I

H 0 3 K 17/10

テーマコード(参考)

Fターム(参考) 5J056 AA37 BB17 BB49 CC00 CC12 CC19 CC21 DD13 DD29 DD51
DD59 EE06 EE07 FF06 FF08 GG09 KK01