

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5558695号  
(P5558695)

(45) 発行日 平成26年7月23日(2014.7.23)

(24) 登録日 平成26年6月13日(2014.6.13)

(51) Int. Cl. F I  
 HO 1 L 27/115 (2006.01) HO 1 L 27/10 4 3 4  
 HO 1 L 21/8247 (2006.01) HO 1 L 29/78 3 7 1  
 HO 1 L 21/336 (2006.01)  
 HO 1 L 29/788 (2006.01)  
 HO 1 L 29/792 (2006.01)

請求項の数 4 (全 17 頁)

(21) 出願番号 特願2008-294786 (P2008-294786)  
 (22) 出願日 平成20年11月18日(2008.11.18)  
 (65) 公開番号 特開2010-123684 (P2010-123684A)  
 (43) 公開日 平成22年6月3日(2010.6.3)  
 審査請求日 平成23年11月17日(2011.11.17)

(73) 特許権者 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (74) 代理人 100149803  
 弁理士 藤原 康高  
 (72) 発明者 泉田 貴士  
 東京都港区芝浦一丁目1番1号 株式会社  
 東芝内  
 (72) 発明者 青木 伸俊  
 東京都港区芝浦一丁目1番1号 株式会社  
 東芝内  
 審査官 加藤 俊哉

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

表面に、互いに離間して設けられたソースまたはドレインとなる拡散領域を有する半導体基板と、

前記拡散領域の間の前記半導体基板の表面に、電荷蓄積絶縁膜を有する第1の絶縁膜が配設され、前記第1の絶縁膜の上に接して、不純物がドーピングされたシリコン及び金属系導電性材料のグループから選択される少なくとも1つの材料が配置された第1のゲート電極を備えたメモリセルトランジスタと、

前記拡散領域の間の前記半導体基板の表面に、第2の絶縁膜が配設され、前記第2の絶縁膜の上に接して、前記不純物がドーピングされたシリコン及び前記金属系導電性材料のグループから選択される少なくとも1つの材料が配置された第2のゲート電極を備えた選択トランジスタとを具備し、

前記第1のゲート電極に配置され前記第1の絶縁膜の上に接する材料と、前記第2のゲート電極に配置され前記第2の絶縁膜の上に接する材料とは異なり、

前記第1のゲート電極は、前記第1の絶縁膜の上に接して設けられた金属窒化物を含む多層構造であることを特徴とするチャージトラップ型の不揮発性半導体記憶装置。

【請求項2】

表面に、互いに離間して設けられたソースまたはドレインとなる拡散領域を有する半導体基板と、

前記拡散領域の間の前記半導体基板の表面に、電荷蓄積絶縁膜を有する第1の絶縁膜が

配設され、前記第1の絶縁膜の上に接して、不純物がドーピングされたシリコン及び金属系導電性材料のグループから選択される少なくとも1つの材料が配置された第1のゲート電極を備えたメモリセルトランジスタと、

前記拡散領域の間の前記半導体基板の表面に、第2の絶縁膜が配設され、前記第2の絶縁膜の上に接して、前記不純物がドーピングされたシリコン及び前記金属系導電性材料のグループから選択される少なくとも1つの材料が配置された第2のゲート電極を備えた選択トランジスタとを具備し、

前記第1のゲート電極に配置され前記第1の絶縁膜の上に接する材料と、前記第2のゲート電極に配置され前記第2の絶縁膜の上に接する材料とは異なり、

前記第1のゲート電極に配置され、前記第1の絶縁膜の上に接する材料は、不純物がドーピングされたシリコンであり、

前記第2のゲート電極に配置され、前記第2の絶縁膜の上に接する材料は、金属窒化物であることを特徴とするチャージトラップ型の不揮発性半導体記憶装置。

#### 【請求項3】

前記第2のゲート電極に配置され、前記第2の絶縁膜の上に接する材料は、前記金属単体又は前記金属化合物であることを特徴とする請求項1に記載のチャージトラップ型の不揮発性半導体記憶装置。

#### 【請求項4】

表面に、互いに離間して設けられたソースまたはドレインとなる拡散領域を有する半導体基板と、

前記拡散領域の間の前記半導体基板の表面に、電荷蓄積絶縁膜を有する第1の絶縁膜が配設され、前記第1の絶縁膜の上に接して、第1の幅を有するシリサイドが配置された第1のゲート電極を備えたメモリセルトランジスタと、

前記拡散領域の間の前記半導体基板の表面に、第2の絶縁膜が配設され、前記第2の絶縁膜の上に接して、順に、第1の幅より大きい第2の幅を有する不純物がドーピングされたシリコン及び前記シリサイドが配置された第2のゲート電極を備えた選択トランジスタと、を具備していることを特徴とするチャージトラップ型の不揮発性半導体記憶装置。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、不揮発性半導体記憶装置に関する。

#### 【背景技術】

#### 【0002】

不揮発性半導体記憶装置のメモリセルは半導体基板上にゲート絶縁膜、制御ゲート電極が積層されたトランジスタ構造をなしている。このメモリセルの書き込み/消去は、制御ゲート電極と基板間に電圧を印加することでトンネル電流を流し、電荷蓄積膜中の電荷の有無で閾値電圧を制御することによって、データを記憶させる。メモリセルの構造には、例えば、MONOS (Metal Oxide Nitride Oxide Silicon) 構造、スタックゲート構造等がある。

#### 【0003】

MONOS構造等は、チャージトラップ型とも呼ばれ、例えば、ゲート絶縁膜として電荷を選択的に通過させるトンネル絶縁膜(シリコン酸化膜)、電荷蓄積絶縁膜(シリコン窒化膜)、及び電荷蓄積絶縁膜と制御ゲート電極間の電流を阻止するブロッキング絶縁膜(シリコン酸化膜)が順次積層されており、シリコン窒化膜中に局在するトラップサイトへの電荷トラップによって閾値を変化させる。

#### 【0004】

スタックゲート構造は、浮遊ゲート型とも呼ばれ、例えば、トンネル絶縁膜(シリコン酸化膜)、浮遊ゲート電極(ポリシリコン膜)、電極間絶縁膜(ONO膜)、制御ゲート電極が順次積層されている。書き込み/消去は、制御ゲート電極と半導体基板間に高電圧を印加することでFN (Fowler-Nordheim) トンネル電流を流し、トンネル絶縁膜と浮遊

10

20

30

40

50

ゲート電極間で電荷の出し入れをすることによって行われる。つまり、浮遊ゲート電極内の電荷の有無で閾値電圧を制御することによって、データを記憶させる。

【0005】

これらのどちらのメモリセルも、メモリセルに隣接する選択トランジスタによって選択される。選択トランジスタは、電荷を蓄積し続ける必要はなく、例えば、ゲート絶縁膜（シリコン酸化膜）とその上に制御ゲート電極（ポリシリコン膜）が順次積層されている。

【0006】

メモリセルトランジスタ及び選択トランジスタは、それぞれの閾値電圧が許容範囲に収められることは重要である。スタックゲート構造において、例えば、メモリセルは、浮遊ゲート電極と、浮遊ゲート電極上に配置されるゲート間絶縁膜と、ゲート間絶縁膜上に配置される制御ゲート電極とを有し、選択トランジスタは、下側ゲート電極と、下側ゲート電極上に配置され、開口部を有するゲート間絶縁膜と、少なくとも開口部に形成され、金属原子の拡散をブロックする機能を有するブロック膜と、第2ゲート間絶縁膜上に配置され、ブロック膜を介して下側ゲート電極に電氣的に接続される上側ゲート電極とを有し、メモリセルの制御ゲート電極及び選択トランジスタの上側ゲート電極がフルシリサイド化される構造が開示されている（例えば、特許文献1参照。）。

【0007】

開示されたスタックゲート構造は、選択トランジスタの下側ゲート電極が、シリサイド化されないポリシリコンを残し、メモリセルの制御ゲート電極が、フルシリサイドとされる構成とし、両トランジスタの制御ゲート電極が異なる仕事関数を有することが可能である。これらのゲート電極はゲート間絶縁膜を共通に有し、一方の選択トランジスタはゲート間絶縁膜に開口を有する構成であることを利用している。

【0008】

しかしながら、チャージトラップ型は、ゲート間絶縁膜を配する構造にはなっていないので、開示されたスタックゲート構造の技術をそのまま適用することが難しい。また、開示された技術では、選択トランジスタの下側ゲート電極にポリシリコンを残して、閾値電圧を制御するという選択に限定され、その他の構成を取ることが難しいという問題がある。

【特許文献1】特開2008-159614号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

本発明は、互いに異なる仕事関数のゲート電極を有するメモリセルトランジスタ及び選択トランジスタを構成可能なチャージトラップ型の不揮発性半導体記憶装置を提供する。

【課題を解決するための手段】

【0010】

本発明の一態様の不揮発性半導体記憶装置は、表面に、互いに離間して設けられたソースまたはドレインとなる拡散領域を有する半導体基板と、前記拡散領域の間の前記半導体基板の表面に、電荷蓄積絶縁膜を有する第1の絶縁膜が配設され、前記第1の絶縁膜の上に接して、不純物がドーブされたシリコン及び金属系導電性材料のグループから選択される少なくとも1つの材料が配置された第1のゲート電極を備えたメモリセルトランジスタと、前記拡散領域の間の前記半導体基板の表面に、第2の絶縁膜が配設され、前記第2の絶縁膜の上に接して、前記不純物がドーブされたシリコン及び前記金属系導電性材料のグループから選択される少なくとも1つの材料が配置された第2のゲート電極を備えた選択トランジスタとを具備し、前記第1のゲート電極に配置され前記第1の絶縁膜の上に接する材料と、前記第2のゲート電極に配置され前記第2の絶縁膜の上に接する材料とは異なり、チャージトラップ型であることを特徴とする。

【0011】

また、本発明の別態様の不揮発性半導体記憶装置は、表面に、互いに離間して設けられたソースまたはドレインとなる拡散領域を有する半導体基板と、前記拡散領域の間の前記

10

20

30

40

50

半導体基板の表面に、電荷蓄積絶縁膜を有する第1の絶縁膜が配設され、前記第1の絶縁膜の上に接して、第1の幅を有するシリサイドが配置された第1のゲート電極を備えたメモリセルトランジスタと、前記拡散領域の間の前記半導体基板の表面に、第2の絶縁膜が配設され、前記第2の絶縁膜の上に接して、順に、第1の幅より大きい第2の幅を有する不純物がドーパされたシリコン及び前記シリサイドが配置された第2のゲート電極を備えた選択トランジスタと、を具備し、チャージトラップ型であることを特徴とする。

【発明の効果】

【0012】

本発明によれば、互いに異なる仕事関数のゲート電極を有するメモリセルトランジスタ及び選択トランジスタを構成可能なチャージトラップ型の不揮発性半導体記憶装置を提供する。

10

【発明を実施するための最良の形態】

【0013】

以下、本発明の実施例について、図面を参照しながら説明する。各図では、同一の構成要素には同一の符号を付す。

【実施例1】

【0014】

本発明の実施例1に係る不揮発性半導体記憶装置及びその製造方法について、図1乃至図9を参照しながら説明する。図1は不揮発性半導体記憶装置の構造を模式的に示す断面図である。図2乃至図9は、不揮発性半導体記憶装置の製造方法を工程順に模式的に示す構造断面図である。図2乃至図9のそれぞれの(a)及び(b)は、図1(b)の2点鎖線で囲んだ領域、及び図1(c)の2点鎖線で囲んだ領域に、それぞれ対応している。なお、半導体基板の表面において、半導体基板から離れる方向を上または上方向として説明する。

20

【0015】

図1に示すように、NAND型の不揮発性半導体記憶装置1は、表面に、互いに離間して設けられたソースまたはドレインとする拡散領域21を有する半導体基板10と、拡散領域21の間の半導体基板10の表面に、順に、トンネル絶縁膜13、電荷蓄積絶縁膜14、及びブロッキング絶縁膜15を有する第1の絶縁膜であるゲート絶縁膜18が配設され、ゲート絶縁膜18の上に接して、第1の幅である幅L1を有するシリサイド膜17aが配置された第1のゲート電極であるゲート電極19を備えたメモリセル領域7にあるメモリセルトランジスタ5と、拡散領域21の間の半導体基板10の表面に、第2の絶縁膜であるゲート絶縁膜28が配設され、ゲート絶縁膜28の上に接して、順に、第1の幅より大きい第2の幅である幅L2を有する不純物ドーパのシリコンされたポリシリコン膜16a及びシリサイド膜17aが配置された第2のゲート電極であるゲート電極29を備えた選択ゲート領域8にある選択トランジスタ6とを具備している。

30

【0016】

また、図1(a)に示すように、不揮発性半導体記憶装置1は、複数の素子領域11(網掛け表示)がストライプ状に平行に、図面左右に伸長して設けられている。素子領域11内には、ソースまたはドレインとなる拡散領域21が互いに離間して設けられている。また、素子領域11間には、例えば、シリコン酸化膜からなる素子分離領域31が設けられている。

40

【0017】

メモリセルトランジスタ5のゲート電極19は、素子領域11に直交するように、ストライプ状に平行に、図面上下に伸長して設けられている。メモリセルは個々にメモリセルトランジスタ5に対応し、メモリセル領域7に格子状に配設されている。

【0018】

選択トランジスタ6のゲート電極29は、ゲート電極19に平行に、メモリセル領域7を挟むように両側に、1対の選択トランジスタ6が配置されている。つまり、各メモリセルトランジスタ5のソースとドレイン、すなわち拡散領域21は、隣接するものが共通に

50

接続されて、メモリブロックが形成され、メモリブロックの両端に選択トランジスタ 6 が設けられている。ゲート電極 29 は、2 本ずつ選択ゲート領域 8 に配設されている。ここでは 2 本ずつ図示しているが、選択できればゲート電極 29 を有する選択ゲートは 1 本でもよい。

【0019】

図 1 (b) 及び (c) に示すように、半導体基板 10 は、例えば、p 型シリコン基板であり、拡散領域 21 は、n 型の不純物、例えば As が注入されている。拡散領域 21 は、対向する拡散領域 21 側に、それぞれ張り出したエクステンション領域が設けられていることが多い。隣接する拡散領域 21 間の一部は、チャンネル領域 (図示略) として機能する。なお、半導体基板 10 は、p 型ウェルが設けられた基板構造とすること、絶縁層の上に p 型シリコンを有する SOI (Silicon on Insulator) 基板とすることが可能であり、また、半導体基板 10 及び拡散領域 21 は、それぞれ逆の導電型で構成することが可能である。

10

【0020】

また、ゲート絶縁膜 18、28 及びゲート電極 19、29 は、間を、例えば、シリコン絶縁膜からなる層間絶縁膜 33 で埋め込まれている。なお、図示を省略するが、ゲート絶縁膜 18、28 及びゲート電極 19、29 の側壁部及び上部は、シリコン酸化膜またはシリコン窒化膜またはシリコン酸窒化膜の少なくとも一つからなる絶縁膜で被われている。

【0021】

メモリセル領域 7 では、隣接する拡散領域 21 間のチャンネル領域の上部に、トンネル絶縁膜 13、電荷蓄積絶縁膜 14、及びブロッキング絶縁膜 15 に、それぞれ、対応するシリコン酸化膜 13a、シリコン窒化膜 14a、及びシリコン酸化膜 15a からなるゲート絶縁膜 18 が設けられている。なお、トンネル絶縁膜 13 は、シリコン酸化膜、シリコン酸窒化膜、並びに、シリコン酸化膜及びシリコン窒化膜を積層した膜のいずれかで構成することが可能である。

20

【0022】

メモリセルトランジスタ 5 のゲート電極 19 は、ゲート絶縁膜 18 の最上層のブロッキング絶縁膜 15 に接して、幅 L1 のシリサイド膜 17a が配設されている。シリサイド膜 17a は、例えば、Ni を主成分とする。ゲート電極 19 の幅 L1 が、例えば、製造プロセスの最小寸法で形成される。なお、シリサイド膜 17a は、その他に、Co、Pt、Yb、W 等の内の少なくとも一つの元素を主成分とすることが可能である。

30

【0023】

一方、選択ゲート領域 8 では、隣接する拡散領域 21 間のチャンネル領域の上部に、シリコン酸化膜 13b 及び シリコン酸化膜 15a からなるゲート絶縁膜 28 が設けられている。

【0024】

選択トランジスタ 6 のゲート電極 29 は、シリコン酸化膜 15a に接して、幅 L1 のポリシリコン膜 16a が配置され、ポリシリコン膜 16a の シリコン酸化膜 15a とは反対側に接して、幅 L1 のシリサイド膜 17a が配置されている。つまり、ポリシリコン膜 16a とシリサイド膜 17a との境界は、ゲート電極 29 の半導体基板 10 の表面からの高さ方向の中間にある。ゲート電極 29 は、必要とするトランジスタの駆動能力を発揮するために、チャンネル長がゲート電極 19 より大きく設定され、同時に、幅 L2 が幅 L1 より大きく、例えば、2 倍乃至それ以上大きく形成されている。

40

【0025】

ポリシリコン膜 16a は、不純物、例えば P が導入されて、抵抗が低く形成されている。なお、ポリシリコン膜 16a の不純物は他の n 型または p 型の不純物から適宜選択することが可能である。

【0026】

次に、不揮発性半導体記憶装置 1 の製造方法について説明する。製造工程の説明において、不揮発性半導体記憶装置 1 を構成する材料または配置等が補足される。

50

## 【 0 0 2 7 】

図2に示すように、半導体基板10の表面に、シリコン酸化膜13aが熱酸化法により形成され、シリコン酸化膜13aの上に、シリコン窒化膜14aがCVD (Chemical Vapor Deposition) 法により形成される。図示を省略するが、その後、シリコン窒化膜14aの上に、例えば、フォトリソグラフィ法によりパターニングしたアモルファスシリコンを形成し、このアモルファスシリコンをマスクとして、RIE (Reactive Ion Etching) 法によりエッチングを行う。

## 【 0 0 2 8 】

図3に示すように、メモリセル領域7 (図3(a)の右側) で、シリコン酸化膜13a及びシリコン窒化膜14aが残り、選択ゲート領域8 (図3(a)の左側) で、シリコン酸化膜13a及びシリコン窒化膜14aがエッチングされる。

10

## 【 0 0 2 9 】

図4に示すように、半導体基板10の表面に、シリコン酸化膜13bが熱酸化法により形成される。図示を省略するが、その後、シリコン酸化膜13b及びシリコン窒化膜14aの上に、例えば、フォトリソグラフィ法によりパターニングしたアモルファスシリコンを形成し、このアモルファスシリコンをマスクとして、RIE法によりエッチングを行う。素子分離領域33 (図4(b)の左右両端側) となる領域にトレンチ41を形成し、次に、例えば、このトレンチ41にCVD法によりシリコン酸化膜を埋め込み、平坦化またはエッチングを行う。

## 【 0 0 3 0 】

図5に示すように、トレンチ41に素子分離領域31が形成され、表面にシリコン酸化膜13b、シリコン窒化膜14a、及び素子分離領域31の上面が露出する。

20

## 【 0 0 3 1 】

図6に示すように、シリコン酸化膜13b、シリコン窒化膜14a、及び素子分離領域33の表面に、シリコン酸化膜15aをCVD法により形成する。その後、シリコン酸化膜15aの表面に、Pがドーブされたポリシリコン膜16aを形成する。図示を省略するが、その後、ポリシリコン膜16aの上に、フォトリソグラフィ法によりパターニングしたシリコン窒化膜を形成し、このシリコン窒化膜をマスクとして、RIE法によりエッチングを行う。

## 【 0 0 3 2 】

図7に示すように、ゲート絶縁膜18及びゲート電極19となる領域に、ほぼ幅L1となるシリコン酸化膜13a、シリコン窒化膜14a、シリコン酸化膜15a、及びポリシリコン膜16aを形成し、ゲート絶縁膜28及びゲート電極29となる領域に、ほぼ幅L2となるシリコン酸化膜13b、シリコン酸化膜15a、及びポリシリコン膜16aを形成する。図示を省略するが、その後、形成された積層膜の側壁部及び上部に、シリコン酸化膜またはシリコン窒化膜またはシリコン酸窒化膜の少なくとも一方からなる絶縁膜を形成し、半導体基板10の表面に、イオン注入を行って、拡散領域21を形成する。なお、側壁の絶縁膜を形成する前に、イオン注入を行って、エクステンション領域を形成することは可能である。

30

## 【 0 0 3 3 】

図8に示すように、ゲート絶縁膜18、28及びゲート電極19、29となる領域の間に、TEOS (Tetraethoxysilane) 系のシリコン酸化膜からなる層間絶縁膜33が埋め込まれ、次に、ポリシリコン膜16aの上面が露出するように、CMP法により平坦化して、平坦化された層間絶縁膜33及びポリシリコン膜16aの上に、例えばNiからなるシリサイド形成用の金属膜35aがCVD法により堆積される。

40

## 【 0 0 3 4 】

図9に示すように、加熱処理を行って、ゲート絶縁膜18の上に、ポリシリコン膜16aと金属膜35aとが反応して、全てシリサイド化されたシリサイド膜17aを形成し、同時に、ゲート絶縁膜28の上に、ポリシリコン膜16aの上部のみがシリサイド化されたシリサイド膜17aを形成する。つまり、ゲート絶縁膜18の上のゲート電極19は、

50

幅L1のシリサイド膜17aで構成され、ゲート絶縁膜28の上のゲート電極29は、幅L2のポリシリコン膜16a及びシリサイド膜17aで構成される。

【0035】

ポリシリコン膜16aと金属膜35aとが加熱処理によって反応するシリサイド化は、幅の狭い幅L1のポリシリコン膜16aにおいて、幅の広い幅L2のポリシリコン膜16aより早く進行する、いわゆる細線効果を利用して行われる。幅L1と幅L2は、幅L1のポリシリコン膜16aで全てシリサイド化され、一方、幅L2のポリシリコン膜16aで、ゲート絶縁膜28の上に、ポリシリコン膜16aがシリサイド化されずに安定的に残るように決められる。シリサイド化の速度差は、加熱温度、金属膜35aの種類や膜厚、ポリシリコン膜16aの膜厚、不純物濃度や結晶性等により変化するが、本実施例においては、幅L2を幅L1の約3倍とした。なお、金属膜35aはNiの他、上述の元素とすることが可能である。

10

【0036】

上述したように、不揮発性半導体記憶装置1は、メモリセル領域7のメモリセルトランジスタ5のゲート電極19を幅L1とし、選択ゲート領域8の選択トランジスタ6のゲート電極29を幅L1より大きな幅L2として、ゲート電極19がゲート絶縁膜18に接して全てシリサイド膜17aで構成され、ゲート電極29がゲート絶縁膜28に接してポリシリコン膜16a及びその上のシリサイド膜17aで構成されている。

【0037】

その結果、チャージトラップ型の不揮発性半導体記憶装置1は、異なる仕事関数のゲート電極19、29を有するメモリセルトランジスタ5及び選択トランジスタ6を構成可能である。異なる仕事関数を有するゲート電極19、29を得たことにより、不揮発性半導体記憶装置1は、メモリセルトランジスタ5及び選択トランジスタ6の閾値電圧をより適当な値に設定することが可能となる。

20

【実施例2】

【0038】

本発明の実施例2に係る不揮発性半導体記憶装置について、図10乃至図13を参照しながら説明する。図10乃至図13は、半導体装置の製造方法を工程順に模式的に示す構造断面図であり、図10は、図11乃至図13に示す工程を経て得られる構造断面図である。実施例1の不揮発性半導体記憶装置とは、メモリセルトランジスタのゲート電極が、ゲート絶縁膜の上に金属窒化膜を配設した構成であることが異なる。なお、実施例1と同一構成部分には同一の符号を付して、その説明は省略する。

30

【0039】

図10に示すように、本実施例の不揮発性半導体記憶装置は、実施例1の不揮発性半導体記憶装置1に対して、メモリセル領域7のメモリセルトランジスタ71のゲート電極61の構成、及び選択ゲート領域8の選択ゲートトランジスタ72のゲート電極62の構成が異なる。すなわち、ゲート電極61は、ゲート絶縁膜18に接して、例えば、Ta-Nからなる金属窒化膜51aが形成され、金属窒化膜51aの上にポリシリコン膜53aが形成されており、一方、ゲート電極62は、ゲート絶縁膜28に接して、ポリシリコン膜53aが形成されている。その他の構成は、実施例1の不揮発性半導体記憶装置1と同様であり、ポリシリコン膜53aは、実施例1のポリシリコン膜16aと同様である。なお、金属窒化膜51aは、Ta-Nの他に、Ti-N、WN、TaSiN等が可能である。

40

【0040】

次に、本実施例の不揮発性半導体記憶装置の製造方法について説明する。実施例1の不揮発性半導体記憶装置の製造方法と同様に、図6に示す工程の前まで進めて、次に、図11に示すように、シリコン酸化膜13b、シリコン窒化膜14a、及び素子分離領域33の表面に、シリコン酸化膜15aをCVD法により形成する。その後、シリコン酸化膜15aの表面に、CVD法で金属窒化膜51aを形成する。図示を省略するが、その後、金属窒化膜51aの上に、フォトリソグラフィ法によりパターニングしたシリコン窒化膜を形成し、このシリコン窒化膜をマスクとして、RIE法によりエッチングを行う。

50

## 【 0 0 4 1 】

図 1 2 に示すように、メモリセル領域 7 ( 図 1 2 ( a ) の右側 ) で、金属窒化膜 5 1 a が残り、選択ゲート領域 8 ( 図 1 2 ( a ) の左側 ) で、金属窒化膜 5 1 a がエッチングされる。

## 【 0 0 4 2 】

図 1 3 に示すように、シリコン酸化膜 1 5 a 及び金属窒化膜 5 1 a の表面に、P がドーブされたポリシリコン膜 5 3 a を形成する。図示を省略するが、その後、ポリシリコン膜 5 3 a の上に、フォトリソグラフィ法によりパターンニングしたシリコン窒化膜を形成し、このシリコン窒化膜をマスクとして、R I E 法によりエッチングを行う。

## 【 0 0 4 3 】

図 1 0 に示すように、実施例 1 の図 7 示す工程から、図 8 に示す工程の一部と同様にし、層間絶縁膜 3 3 を形成し、メモリセル領域 7 に上述の構成のゲート電極 6 1、及び選択ゲート領域 8 に上述の構成のゲート電極 6 2 が得られる。

## 【 0 0 4 4 】

上述したように、本実施例の不揮発性半導体記憶装置は、メモリセルトランジスタ 7 1 のゲート電極 6 1 がゲート絶縁膜 1 8 に接して金属窒化膜 5 1 a 及びその上のポリシリコン膜 5 3 a で構成され、選択トランジスタ 7 2 のゲート電極 6 2 がゲート絶縁膜 2 8 に接してポリシリコン膜 5 3 a で構成されている。

## 【 0 0 4 5 】

その結果、本実施例の不揮発性半導体記憶装置は、異なる仕事関数のゲート電極 6 1、6 2 を有するメモリセルトランジスタ 7 1 及び選択トランジスタ 7 2 を構成可能であり、実施例 1 の不揮発性半導体記憶装置 1 と同様な効果を有している。その他に、本実施例の不揮発性半導体記憶装置のゲート電極の幅は、実施例 1 の不揮発性半導体記憶装置 1 のゲート電極の幅より制約が少なくなる。

## 【 実施例 3 】

## 【 0 0 4 6 】

本発明の実施例 3 に係る不揮発性半導体記憶装置について、図 1 4 乃至図 1 6 を参照しながら説明する。図 1 4 乃至図 1 6 は、半導体装置の製造方法を工程順に模式的に示す構造断面図であり、図 1 4 は、図 1 5 及び図 1 6 に示す工程を経て得られる構造断面図である。実施例 1 の不揮発性半導体記憶装置とは、選択トランジスタのゲート電極が、ゲート絶縁膜の上に金属窒化膜を配設した構成であることが異なる。なお、実施例 1 及び 2 と同一構成部分には同一の符号を付して、その説明は省略する。

## 【 0 0 4 7 】

図 1 4 に示すように、本実施例の不揮発性半導体記憶装置は、実施例 1 の不揮発性半導体記憶装置 1 に対して、メモリセル領域 7 のメモリセルトランジスタ 7 3 のゲート電極 6 3 の構成、及び選択ゲート領域 8 の選択トランジスタ 7 4 のゲート電極 6 4 の構成が異なる。すなわち、ゲート電極 6 3 は、ゲート絶縁膜 1 8 に接して、ポリシリコン膜 5 3 a が形成されており、一方、ゲート電極 6 4 は、ゲート絶縁膜 2 8 に接して、例えば、T a N からなる金属窒化膜 5 1 a が形成され、金属窒化膜 5 1 a の上にポリシリコン膜 5 3 a が形成されている。その他の構成は、実施例 1 の不揮発性半導体記憶装置 1 と同様である。

## 【 0 0 4 8 】

次に、本実施例の不揮発性半導体記憶装置の製造方法について説明する。実施例 2 の不揮発性半導体記憶装置の製造方法と同様に、図 1 1 に示す工程まで進める。図示を省略するが、その後、金属窒化膜 5 1 a の上に、フォトリソグラフィ法によりパターンニングしたシリコン窒化膜を形成し、このシリコン窒化膜をマスクとして、R I E 法によりエッチングを行う。

## 【 0 0 4 9 】

図 1 5 に示すように、メモリセル領域 7 ( 図 1 5 ( a ) の右側 ) で、金属窒化膜 5 1 a がエッチングされ、選択ゲート領域 8 ( 図 1 5 ( a ) の左側 ) で、金属窒化膜 5 1 a が残される。

10

20

30

40

50

## 【 0 0 5 0 】

図 1 6 に示すように、シリコン酸化膜 1 5 a 及び金属窒化膜 5 1 a の表面に、P がドーブされたポリシリコン膜 5 3 a を形成する。図示を省略するが、その後、ポリシリコン膜 5 3 a の上に、フォトリソグラフィ法によりパターンニングしたシリコン窒化膜を形成し、このシリコン窒化膜をマスクとして、R I E 法によりエッチングを行う。

## 【 0 0 5 1 】

図 1 4 に示すように、実施例 2 の図 1 0 示す工程と同様にして、上述のメモリセル領域 7 に上述の構成のゲート電極 6 3、及び選択ゲート領域 8 に上述の構成のゲート電極 6 4 が得られる。

## 【 0 0 5 2 】

上述したように、本実施例の不揮発性半導体記憶装置は、メモリセルトランジスタ 7 3 のゲート電極 6 3 がゲート絶縁膜 1 8 に接してポリシリコン膜 5 3 a で構成され、選択トランジスタ 7 4 のゲート電極 6 4 がゲート絶縁膜 2 8 に接して金属窒化膜 5 1 a 及びその上のポリシリコン膜 5 3 a で構成されている。

## 【 0 0 5 3 】

その結果、本実施例の不揮発性半導体記憶装置は、異なる仕事関数のゲート電極 6 3、6 4 を有するメモリセルトランジスタ 7 3 及び選択トランジスタ 7 4 を構成可能であり、実施例 1 の不揮発性半導体記憶装置 1 と同様な効果を有している。また、本実施例の不揮発性半導体記憶装置のゲート電極 6 3、6 4 の仕事関数は、実施例 2 の不揮発性半導体記憶装置のゲート電極 6 1、6 2 の仕事関数と逆の関係にあるが、実施例 2 の不揮発性半導体記憶装置が有する効果と同様な効果を有している。

## 【 実施例 4 】

## 【 0 0 5 4 】

本発明の実施例 4 に係る不揮発性半導体記憶装置について、図 1 7 乃至図 2 0 を参照しながら説明する。図 1 7 乃至図 2 0 は、半導体装置の製造方法を工程順に模式的に示す構造断面図であり、図 1 7 は、図 1 8 乃至図 2 0 に示す工程を経て得られる構造断面図である。実施例 1 の不揮発性半導体記憶装置とは、メモリセルトランジスタのゲート電極が、ゲート絶縁膜の上に金属窒化膜を配置し、選択トランジスタのゲート電極が、ゲート絶縁膜の上に金属膜を配設した構成であることが異なる。なお、実施例 1 乃至 3 と同一構成部分には同一の符号を付して、その説明は省略する。

## 【 0 0 5 5 】

図 1 7 に示すように、本実施例の不揮発性半導体記憶装置は、実施例 2 の不揮発性半導体記憶装置に対して、選択ゲート領域 8 の選択トランジスタ 7 5 のゲート電極 6 5 の構成が異なる。すなわち、ゲート電極 6 5 は、ゲート絶縁膜 2 8 に接して、例えば、Ru からなる金属膜 5 2 a が形成され、金属膜 5 2 a の上にポリシリコン膜 5 3 a が形成されている。その他の構成は、実施例 2 の不揮発性半導体記憶装置と同様である。なお、金属膜 5 2 a は、Ru の他に、Au、Pt、Co、Be、Ni、Rh、Pd、Te、Re、Mo、Al、Hf、Ta、Mn、Zn、Zr、In、Bi、W、Ir、Er、La、Ti、Y、Yb 等が可能である。

## 【 0 0 5 6 】

次に、本実施例の不揮発性半導体記憶装置の製造方法について説明する。実施例 2 の不揮発性半導体記憶装置の製造方法と同様に、図 1 2 に示す工程まで進める。次に、図 1 8 に示すように、シリコン酸化膜 1 5 a、及び金属窒化膜 5 1 a の表面に、金属膜 5 2 a を C V D 法により形成する。図示を省略するが、その後、金属膜 5 2 a の上に、フォトリソグラフィ法によりパターンニングしたシリコン窒化膜を形成し、このシリコン窒化膜をマスクとして、R I E 法によりエッチングを行う。

## 【 0 0 5 7 】

図 1 9 に示すように、メモリセル領域 7 (図 1 9 (a) の右側) で、金属膜 5 2 a がエッチングされ、選択ゲート領域 8 (図 1 9 (a) の左側) で、金属膜 5 2 a が残される。

## 【 0 0 5 8 】

図20に示すように、金属窒化膜51a及び金属膜52aの表面に、Pがドーブされたポリシリコン膜53aを形成する。図示を省略するが、その後、ポリシリコン膜53aの上に、フォトリソグラフィ法によりパターニングしたシリコン窒化膜を形成し、このシリコン窒化膜をマスクとして、RIE法によりエッチングを行う。

【0059】

図17に示すように、実施例2の図10示す工程と同様にして、メモリセル領域7に上述の構成のゲート電極61、及び選択ゲート領域8に上述の構成のゲート電極65が得られる。

【0060】

上述したように、本実施例の不揮発性半導体記憶装置は、メモリセルトランジスタ71のゲート電極61がゲート絶縁膜18に接して金属窒化膜51a及びその上のポリシリコン膜53aで構成され、選択ゲート領域8のゲート電極65がゲート絶縁膜28に接して金属膜52a及びその上のポリシリコン膜53aで構成されている。

【0061】

その結果、本実施例の不揮発性半導体記憶装置は、異なる仕事関数のゲート電極61、65を有するメモリセルトランジスタ71及び選択トランジスタ75を構成可能であり、実施例1乃至3の不揮発性半導体記憶装置と同様な効果を有している。また、本実施例の不揮発性半導体記憶装置のゲート電極61、65の仕事関数は、金属窒化膜51a及び金属膜52aの中から適宜組み合わせることが可能となり、より適するものを選択することが可能となる。

【実施例5】

【0062】

本発明の実施例5に係る不揮発性半導体記憶装置について、図21及び図22を参照しながら説明する。図21及び図22は、半導体装置の製造方法を工程順に模式的に示す構造断面図であり、図21は、図22に示す工程を経て得られる構造断面図である。実施例4の不揮発性半導体記憶装置とは、メモリセルトランジスタのゲート電極が、ゲート絶縁膜の上に金属窒化膜及び金属膜を配設した構成であることが異なる。なお、実施例1乃至4と同一構成部分には同一の符号を付して、その説明は省略する。

【0063】

図21に示すように、本実施例の不揮発性半導体記憶装置は、実施例4の不揮発性半導体記憶装置に対して、メモリセル領域7のメモリセルトランジスタ76のゲート電極66の構成が異なる。すなわち、ゲート電極66は、ゲート絶縁膜18に接して、金属窒化膜51aが形成され、金属窒化膜51aの上に金属膜52aが形成され、金属膜52aの上にポリシリコン膜53aが形成されている。その他の構成は、実施例4の不揮発性半導体記憶装置と同様である。

【0064】

次に、本実施例の不揮発性半導体記憶装置の製造方法について説明する。実施例4の不揮発性半導体記憶装置の製造方法と同様に、図18に示す工程まで進める。次に、図22に示すように、金属膜52aの表面に、Pがドーブされたポリシリコン膜53aを形成する。図示を省略するが、その後、ポリシリコン膜53aの上に、フォトリソグラフィ法によりパターニングしたシリコン窒化膜を形成し、このシリコン窒化膜をマスクとして、RIE法によりエッチングを行う。

【0065】

図21に示すように、実施例4の図17示す工程と同様にして、メモリセル領域7に上述の構成のゲート電極66、及び選択ゲート領域8に上述の構成のゲート電極65が得られる。

【0066】

上述したように、本実施例の不揮発性半導体記憶装置は、メモリセルトランジスタ76のゲート電極66がゲート絶縁膜18に接して、順に、金属窒化膜51a、金属膜52a、及びポリシリコン膜53aで構成され、選択ゲートトランジスタ75のゲート電極65

10

20

30

40

50

がゲート絶縁膜 28 に接して金属膜 52a 及びその上のポリシリコン膜 53a で構成されている。

【0067】

その結果、本実施例の不揮発性半導体記憶装置は、異なる仕事関数のゲート電極 65、66 を有するメモリセルトランジスタ 76 及び選択トランジスタ 75 を構成可能であり、実施例 4 の不揮発性半導体記憶装置と同様な効果を有している。また、本実施例の不揮発性半導体記憶装置は、実施例 4 の不揮発性半導体記憶装置と比較して、金属膜 52a をエッチングする工程が不要となるので、製造工程の短縮が可能である。

【0068】

本発明は、上述した実施例に限定されるものではなく、本発明の要旨を逸脱しない範囲内で、種々、変形して実施することができる。

10

【0069】

例えば、実施例では、ゲート絶縁膜は、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜である例を示したが、誘電率のより高い、例えば、Hf 等を含む酸化膜、Hf 等を含むシリコン酸化膜、Hf 等を含む酸窒化膜、及び Hf 等を含むシリコン酸窒化膜等のいわゆる high-k 膜とすることは可能である。

【0070】

また、実施例では、不揮発性半導体記憶装置は、NAND 型である例を示したが、他の論理、例えば、AND 型を構成するメモリセルトランジスタ及び選択トランジスタに同様に適用可能である。

20

【0071】

また、実施例では、メモリセルトランジスタ及び選択トランジスタのゲート絶縁膜に接するゲート電極の例として、ポリシリコン膜、シリサイド膜、金属窒化膜、及び金属膜内の 2 つの組合せの幾つかを示したが、実施例で示した組合せ以外の別の組合せとすることは可能である。

【0072】

また、実施例では、ゲート電極の材料として、金属単体、シリサイド（珪化物）、窒化物等の金属系導電性材料の例を示したが、その他に、実施例で示した元素を 1 つ以上含む金属単体もしくは金属化合物、または、これらの珪化物、ホウ化物、窒化物、もしくは炭化物であることは可能である。

30

【0073】

その他、以下の付記に記載されるような構成が考えられる。

（付記 1） 表面に、互いに離間して設けられたソースまたはドレインとなる拡散領域を有する半導体基板と、前記拡散領域の間の前記半導体基板の表面に、電荷蓄積絶縁膜を有する第 1 の絶縁膜が配設され、前記第 1 の絶縁膜の上に接して、第 1 の幅を有するシリサイドが配置された第 1 のゲート電極を備えたメモリセルトランジスタと、前記拡散領域の間の前記半導体基板の表面に、第 2 の絶縁膜が配設され、前記第 2 の絶縁膜の上に接して、順に、第 1 の幅より大きい第 2 の幅を有する不純物がドーピングされたシリコン及び前記シリサイドが配置された第 2 のゲート電極を備えた選択トランジスタとを具備している不揮発性半導体記憶装置。

40

【0074】

（付記 2） 前記金属系導電性材料は、Au、Pt、Co、Be、Ni、Rh、Pd、Te、Re、Mo、Al、Hf、Ta、Mn、Zn、Zr、In、Bi、Ru、W、Ir、Er、La、Ti、Y、Yb のうちから選ばれる 1 つ以上の元素を含む金属単体もしくは金属化合物、または、これらの珪化物、ホウ化物、窒化物、もしくは炭化物である付記 1 に記載の不揮発性半導体記憶装置。

【0075】

（付記 3） 前記第 1 の絶縁膜は、前記半導体基板の表面側から、順に、トンネル絶縁膜、電荷蓄積絶縁膜、及びブロッキング絶縁膜を有する付記 1 に記載の不揮発性半導体記憶装置。

50

## 【 0 0 7 6 】

(付記 4) 前記トンネル絶縁膜は、シリコン酸化膜、シリコン酸窒化膜、並びに、シリコン酸化膜及びシリコン窒化膜を積層した膜のいずれかである付記 1 に記載の不揮発性半導体記憶装置。

## 【 0 0 7 7 】

(付記 5) 前記半導体基板は、前記拡散領域の表面とは反対側の内部に、絶縁層を有する付記 1 に記載の不揮発性半導体記憶装置。

## 【 図面の簡単な説明 】

## 【 0 0 7 8 】

【図 1】本発明の実施例 1 に係る不揮発性半導体記憶装置の構造を模式的に示す図で、図 1 ( a ) は平面図、図 1 ( b ) は A - A 線に沿った断面図、図 1 ( c ) は B - B 線に沿った断面図。

10

【図 2】本発明の実施例 1 に係る不揮発性半導体記憶装置の製造方法を模式的に示す構造断面図。

【図 3】本発明の実施例 1 に係る不揮発性半導体記憶装置の図 2 に続く製造方法を模式的に示す構造断面図。

【図 4】本発明の実施例 1 に係る不揮発性半導体記憶装置の図 3 に続く製造方法を模式的に示す構造断面図。

【図 5】本発明の実施例 1 に係る不揮発性半導体記憶装置の図 4 に続く製造方法を模式的に示す構造断面図。

20

【図 6】本発明の実施例 1 に係る不揮発性半導体記憶装置の図 5 に続く製造方法を模式的に示す構造断面図。

【図 7】本発明の実施例 1 に係る不揮発性半導体記憶装置の図 6 に続く製造方法を模式的に示す構造断面図。

【図 8】本発明の実施例 1 に係る不揮発性半導体記憶装置の図 7 に続く製造方法を模式的に示す構造断面図。

【図 9】本発明の実施例 1 に係る不揮発性半導体記憶装置の図 8 に続く製造方法を模式的に示す構造断面図。

【図 1 0】本発明の実施例 2 に係る不揮発性半導体記憶装置の構造を模式的に示す構造断面図。

30

【図 1 1】本発明の実施例 2 に係る不揮発性半導体記憶装置の製造方法を模式的に示す構造断面図。

【図 1 2】本発明の実施例 2 に係る不揮発性半導体記憶装置の図 1 1 に続く製造方法を模式的に示す構造断面図。

【図 1 3】本発明の実施例 2 に係る不揮発性半導体記憶装置の図 1 2 に続く製造方法を模式的に示す構造断面図。

【図 1 4】本発明の実施例 3 に係る不揮発性半導体記憶装置の構造を模式的に示す断面図。

【図 1 5】本発明の実施例 3 に係る不揮発性半導体記憶装置の製造方法を模式的に示す構造断面図。

40

【図 1 6】本発明の実施例 3 に係る不揮発性半導体記憶装置の図 1 5 に続く製造方法を模式的に示す構造断面図。

【図 1 7】本発明の実施例 4 に係る不揮発性半導体記憶装置の構造を模式的に示す断面図。

【図 1 8】本発明の実施例 4 に係る不揮発性半導体記憶装置の製造方法を模式的に示す構造断面図。

【図 1 9】本発明の実施例 4 に係る不揮発性半導体記憶装置の図 1 8 に続く製造方法を模式的に示す構造断面図。

【図 2 0】本発明の実施例 4 に係る不揮発性半導体記憶装置の図 1 9 に続く製造方法を模式的に示す構造断面図。

50

【図 2 1】本発明の実施例 5 に係る不揮発性半導体記憶装置の構造を模式的に示す断面図。

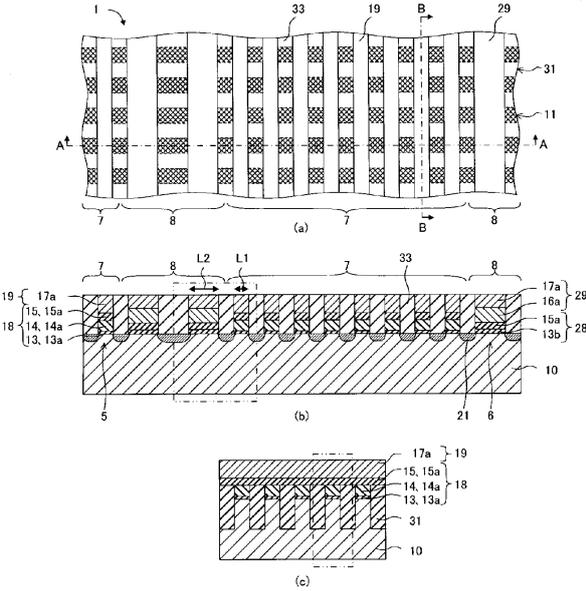
【図 2 2】本発明の実施例 5 に係る不揮発性半導体記憶装置の製造方法を模式的に示す構造断面図。

【符号の説明】

【 0 0 7 9 】

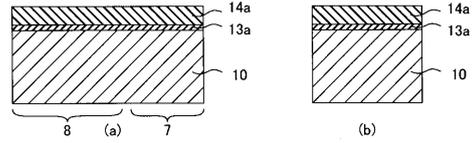
- 1 不揮発性半導体記憶装置
- 5、71、73、76 メモリセルトランジスタ
- 6、72、74、75 選択トランジスタ
- 7 メモリセル領域 10
- 8 選択ゲート領域
- 10 半導体基板
- 11 素子領域
- 13 トンネル絶縁層
- 13a、13b、15a シリコン酸化膜
- 14 電荷蓄積絶縁膜
- 14a シリコン窒化膜
- 15 ブロッキング絶縁膜
- 16a、53a ポリシリコン膜
- 17a シリサイド膜 20
- 18、28 ゲート絶縁膜
- 19、29、61、62、63、64、65、66 ゲート電極
- 21 拡散領域
- 31 素子分離領域
- 33 層間絶縁膜
- 35a、52a 金属膜
- 41 トレンチ
- 51a 金属窒化膜
- L1、L2 幅

【図1】



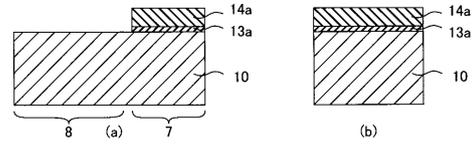
1:不揮発性半導体記憶装置 5:メモリスルランジスタ 6:選択トランジスタ  
 7:メモリスル領域 8:選択ゲート領域 10:半導体基板 11:素子領域  
 13:トンネル絶縁層 13a, 13b, 15a:シリコン酸化膜 14:電荷蓄積絶縁膜  
 14a:シリコン窒化膜 15:ブロッキング絶縁膜 16a:ポリシリコン膜  
 17a:シリサイド膜 18, 28:ゲート絶縁膜 19, 29:ゲート電極 21:拡散領域  
 31:素子分離領域 33:層間絶縁膜 L1, L2:幅

【図2】



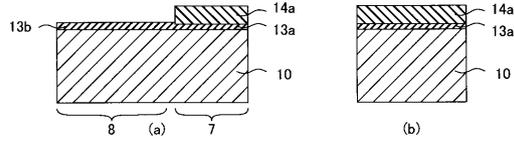
7:メモリスル領域 8:選択ゲート領域 10:半導体基板  
 13a, 13b:シリコン酸化膜 14a:シリコン窒化膜

【図3】



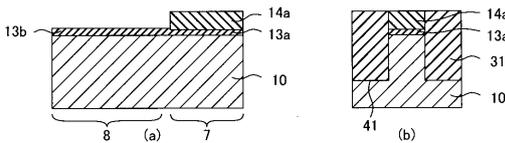
7:メモリスル領域 8:選択ゲート領域 10:半導体基板  
 13a, 13b:シリコン酸化膜 14a:シリコン窒化膜

【図4】



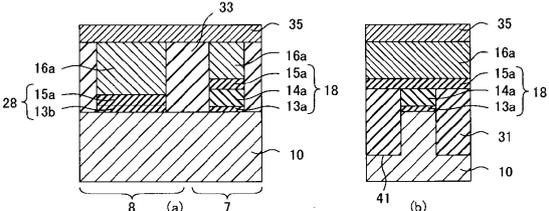
7:メモリスル領域 8:選択ゲート領域 10:半導体基板  
 13a, 13b, 15a:シリコン酸化膜 14a:シリコン窒化膜

【図5】



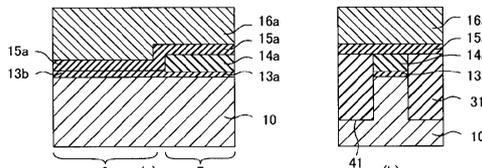
7:メモリスル領域 8:選択ゲート領域 10:半導体基板  
 13a, 13b, 15a:シリコン酸化膜 14a:シリコン窒化膜  
 31:素子分離領域 41:トレンチ

【図8】



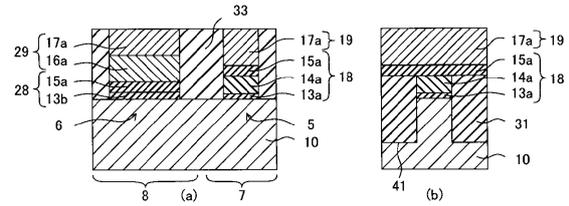
7:メモリスル領域 8:選択ゲート領域 10:半導体基板  
 13a, 13b, 15a:シリコン酸化膜 14a:シリコン窒化膜  
 16a:ポリシリコン膜 18, 28:ゲート絶縁膜 31:素子分離領域  
 33:層間絶縁膜 35a:金属膜 41:トレンチ

【図6】



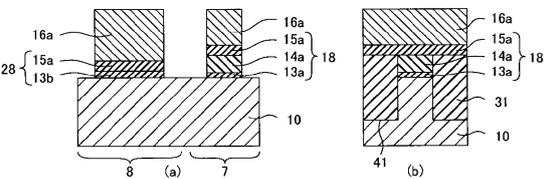
7:メモリスル領域 8:選択ゲート領域 10:半導体基板  
 13a, 13b, 15a:シリコン酸化膜 14a:シリコン窒化膜  
 16a:ポリシリコン膜 31:素子分離領域 41:トレンチ

【図9】



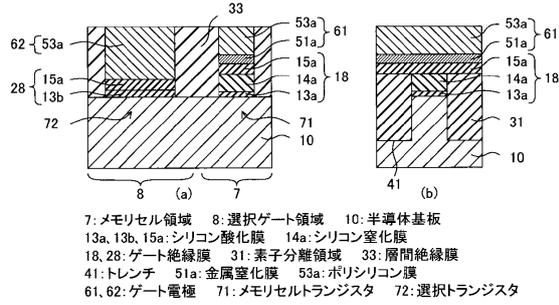
5:メモリスルランジスタ 6:選択トランジスタ 7:メモリスル領域  
 8:選択ゲート領域 10:半導体基板 13a, 13b, 15a:シリコン酸化膜  
 14a:シリコン窒化膜 16a:ポリシリコン膜 17a:シリサイド膜  
 18, 28:ゲート絶縁膜 19, 29:ゲート電極 31:素子分離領域  
 33:層間絶縁膜 41:トレンチ

【図7】

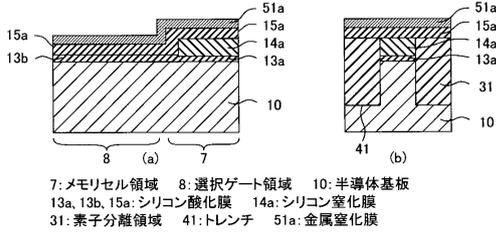


7:メモリスル領域 8:選択ゲート領域 10:半導体基板  
 13a, 13b, 15a:シリコン酸化膜 14a:シリコン窒化膜  
 16a:ポリシリコン膜 18, 28:ゲート絶縁膜 31:素子分離領域  
 41:トレンチ

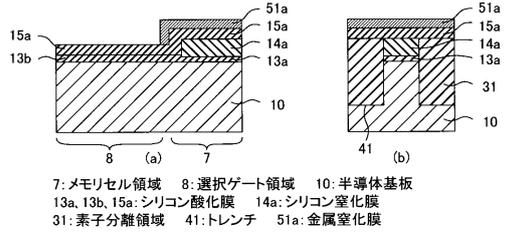
【図10】



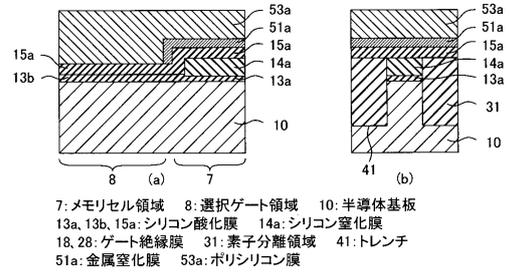
【図11】



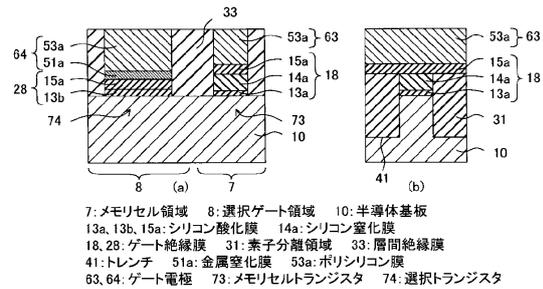
【図12】



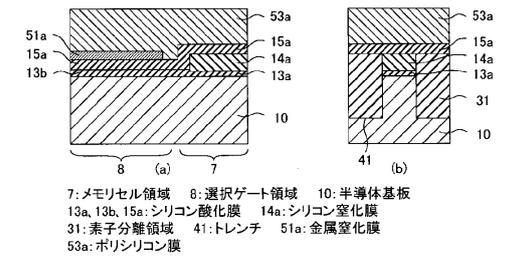
【図13】



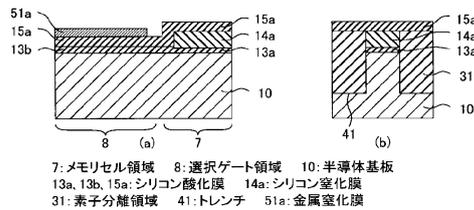
【図14】



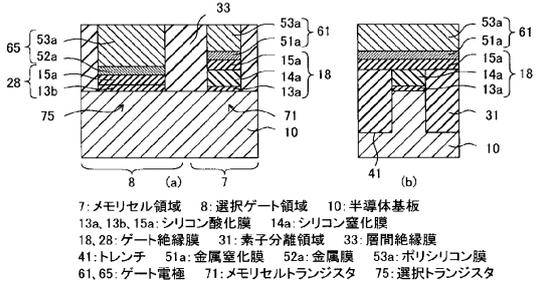
【図16】



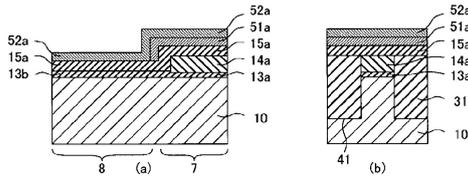
【図15】



【図17】

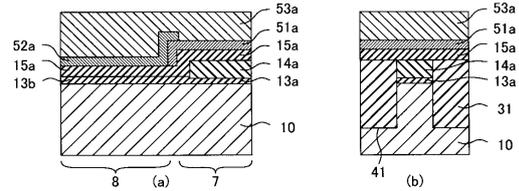


【図18】



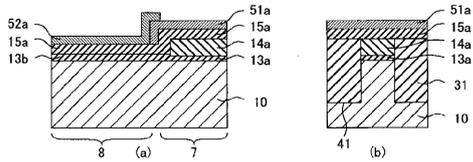
7:メモリセル領域 8:選択ゲート領域 10:半導体基板  
 13a, 13b, 15a:シリコン酸化膜 14a:シリコン窒化膜  
 18, 28:ゲート絶縁膜 31:素子分離領域 41:トレンチ  
 51a:金属窒化膜 52a:金属膜

【図20】



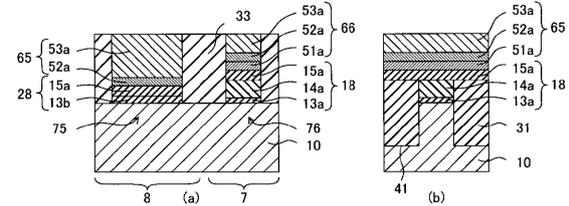
7:メモリセル領域 8:選択ゲート領域 10:半導体基板  
 13a, 13b, 15a:シリコン酸化膜 14a:シリコン窒化膜  
 18, 28:ゲート絶縁膜 31:素子分離領域 41:トレンチ  
 51a:金属窒化膜 52a:金属膜 53a:ポリシリコン膜

【図19】



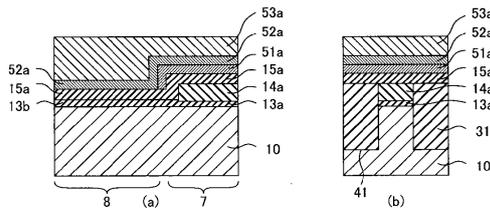
7:メモリセル領域 8:選択ゲート領域 10:半導体基板  
 13a, 13b, 15a:シリコン酸化膜 14a:シリコン窒化膜  
 18, 28:ゲート絶縁膜 31:素子分離領域 41:トレンチ  
 51a:金属窒化膜 52a:金属膜

【図21】



7:メモリセル領域 8:選択ゲート領域 10:半導体基板  
 13a, 13b, 15a:シリコン酸化膜 14a:シリコン窒化膜  
 18, 28:ゲート絶縁膜 31:素子分離領域 33:層間絶縁膜  
 41:トレンチ 51a:金属窒化膜 52a:金属膜 53a:ポリシリコン膜  
 65, 66:ゲート電極 75:選択トランジスタ 76:メモリセルトランジスタ

【図22】



7:メモリセル領域 8:選択ゲート領域 10:半導体基板  
 13a, 13b, 15a:シリコン酸化膜 14a:シリコン窒化膜  
 18, 28:ゲート絶縁膜 31:素子分離領域 41:トレンチ  
 51a:金属窒化膜 52a:金属膜 53a:ポリシリコン膜

---

フロントページの続き

- (56)参考文献 特開2003-051559(JP,A)  
特開2007-258612(JP,A)  
特開2008-103666(JP,A)  
特開2005-243183(JP,A)  
特開2002-100686(JP,A)  
特開2005-044844(JP,A)  
特開2008-270774(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8247  
H01L 21/336  
H01L 27/115  
H01L 29/788  
H01L 29/792