(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
G11C 11/413

(45) 공고일자 2004년05월12일
(11) 등록번호 10-0431303
(24) 등록일자 2004년04월30일

(21) 출원번호 10-2002-0036707
(22) 출원일자 2002년06월28일

(65) 공개번호 10-2004-0001490
(43) 공개일자 2004년01월07일

(73) 특허권자 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 이중섭
경기도이천시송정동107-48풍산아파트102-301

(74) 대리인 강성배

심사관 : 강철수

(54) 페이지 기록 모드를 수행할 수 있는 슈도 스태틱램

요약

페이지 기록 모드를 수행할 수 있는 슈도 스태틱램이 개시된다. 이미 설정된 페이지 폭에 해당하는 칼럼 어드레스 안에서는 한번의 로우 활성화 후 중간에 프리챠지를 하지 않고, 계속 워드라인을 활성화시켜 놓은 상태에서 기록 명령어 신호의 소정 에지에 따라 페이지 기록을 수행한다. 그리고 슈도 스태틱램의 특성상 내부적으로 셀프 리프레쉬를 하게 되는데, 만일 리프레쉬 요청 신호가 기록 명령어보다 먼저 오게 되면 리프레쉬를 끝내고 프리챠지가 오면 기록 동작을 한다. 리프레쉬 요청 신호가 기록 명령어 보다 나중에 오게 되면, 칩 선택이 해제되어 기록 모드를 끝내고 나서 프리챠지가 오면 이어서 리프레쉬 동작을 수행한다. 그리고 장기간에 걸쳐 페이지 기록이 수행되면 내부적으로 리프레쉬를 못하게 되어 셀의 데이터가 소실될 수 있으므로, 장기 기록의 시간이 리프레쉬 간격보다 클 경우에는 기록 동작 중간에 리프레쉬를 할 수 있도록 칩이 선택되지 않는 구간을 판독 사이클 시간만큼 유지시켜 준다. 이러한 본 발명에 의하면 슈도 스태틱램에서의 기록 동작이 고속으로 수행될 수 있다.

대표도

도 2

색인어

슈도 스태틱램, 페이지 기록, 리프레쉬, 페이지 폭

명세서

도면의 간단한 설명

도 1은 종래 스태틱램에서의 단일 기록 모드를 설명하는 신호 파형도.
도 2는 본 발명에 의한 스태틱램에서의 페이지 기록 모드를 설명하는 신호 파형도.
도 3은 본 발명의 일 실시예에 의한 스태틱램의 블록도.
도 4는 도 3에 도시된 칼럼 어드레스 버퍼의 일 예의 회로도.

도 5는 도 3에 도시된 페이지 어드레스 스트로브 신호 생성부의 일 예의 회로도와 신호 파형도.
도 6은 도 3에 도시된 페이지 폭 설정부의 일 예의 회로도와 논리표.
도 7은 어드레스 천이 검출 블록의 일 예의 회로도.
도 8은 본 발명에 의한 페이지 기록 모드에서 워드라인과 칼럼 선택 신호의 동작을 설명하는 신호 파형도.
도 9는 본 발명에 의해 기록 동작에 비해 리프레쉬 동작이 먼저 수행되는 경우의 신호 파형도.
도 10은 본 발명에 의해 기록 동작에 비해 리프레쉬 동작이 늦게 수행되는 경우의 신호 파형도.
도 11은 본 발명에 따라 리프레쉬 동작을 갖는 페이지 기록 모드의 타이밍 관계를 설명하는 신호 파형도.
도 12는 기록 동작이 리프레쉬 동작 보다 먼저 수행되는 경우의 본 발명에 의한 스태틱램에서의 동작 흐름도.
도 13은 리프레쉬 동작이 기록 동작보다 먼저 수행되는 경우의 본 발명에 의한 스태틱램에서의 동작 흐름도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 슈도 스태틱램(pseudo SRAM)에 관한 것으로서, 특히 페이지 기록 모드를 수행할 수 있는 슈도 스태틱램 및 그 동작 방법에 관한 것이다.
반도체 메모리 중에서 램(RAM : random access memory)이란 여하한 기억장소로의 임의 접근이 가능하며 정보의 기록 및 판독을 모두 수행할 수 있는 메모리로서, 컴퓨터나 주변 단말기기의 기억장치에 널리 쓰이고 있다. 장점으로는 염가, 소형, 낮은 소비 전력, 고속 호출, 비파괴성 해독 등이며, 단점으로는 전원이 나가면 기억되어 있던 모든 데이터가 지워진다는 점이다. 종류로는 전원이 연결된 상태에서 일정한 주기마다 리프레시(refresh) 조작을 해주어야만 정보가 지워지지 않는 다이내믹램(Dynamic RAM)과 전원만 연결되어 있으면 정보가 지워지지 않는 스태틱램(Static RAM)이 있다.
이와 같이 전원이 끊어지면 정보가 상실되는 것을 휘발성 메모리(volatile memory)라 하고, ROM(read only memory)과 같이 전원이 끊어져도 정보가 지워지지 않는 것을 비휘발성 메모리라 한다. 스태틱램은 다른 집적회로와 접속하기 쉬운 이점이 있는 반면 다이내믹램과 같은 기억용량으로 하려면 3 4배의 소자가 더 필요하므로 그만큼 복잡하고 가격도 비싸다.
따라서 요즘에는 다이내믹램의 셀을 이용하여 스태틱램과 같은 동작을 구현한 소위 슈도 스태틱램(Pseudo SRAM)에 대한 연구가 활발히 진행되고 있다. 슈도 스태틱램에서는 기존의 스태틱램에 비해 칩 사이즈를 작게 하면서 16Mbit, 32Mbit, 64Mbit 등의 고집적을 구현할 수 있는 장점이 있다. 그러나 셀이 다이내믹램의 셀과 동일한 구성을 가지므로 내부적으로 리프레쉬 동작을 수행하여야 하는 부담이 있다.
메모리 기술의 발전은 크게 2가지 목표를 향해 이루어지고 있다. 하나는 집적도를 높여 대용량의 데이터를 저장하는 것이고, 다른 하나는 메모리로부터의 데이터 판독 및/또는 메모리로의 데이터 기록의 속도를 향상시키는 것이다. 다이내믹램의 셀을 이용하여 스태틱램의 동작을 구현하는 슈도 스태틱램은 기본적으로 기존의 스태틱램에 비해 대용량의 데이터를 저장하기 위한 노력에서 연유했는데, 본 발명은 기존의 슈도 스태틱램에 비해 더욱 고속으로 기록 동작을 수행하기 위한 노력으로부터 도출되었다.
지금까지의 슈도 스태틱램에서는 하나의 로우(row)를 활성화시킨 후, 하나의 칼럼(column)에만 데이터를 기록하는 단일 기록 모드(single write mode)만을 수행할 수 있었으며, 하나의 로우를 활성화시킨 후, 중간에 프리챠지 동작 없이 연속적 으로 여러 개의 칼럼에 데이터를 기록하는 소위 페이지 기록 모드(page write mode)는 수행할 수 없었다.
단일 기록 모드를 수행하는 슈도 스태틱램의 동작 타이밍도는 도 1에 도시된 바와 같다. 도 1에 도시된 신호는 외부와 주고받는 외부 신호의 파형도로서, /CS는 칩 선택 신호를, A0~Am은 칼럼 어드레스 신호를, Am+1~An은 로우 어드레스 신호를, /WE는 기록 인에이블 신호를, /LB와 /UB는 하부 블록 제어 신호와 상부 블록 제어 신호를, DIN은 스태틱램으로 입력되는 데이터 신호를, DOUT은 스태틱램으로부터 출력되는 데이터 신호를 각각 가리킨다. 통상 스태틱램에서는 칼럼 어드레스 신호와 외부 어드레스 신호를 구별하지 않지만 여기서는 설명의 편의를 위해 나누어 설명한다.
도 1에는 스태틱램의 교류 특성이 함께 정의되어 있다. 도 1에서 tCW는 칩 선택에서 기록 종료까지의 시간이고, tWC는 기록 사이클 시간(write cycle time)이며, tAW는 유효 어드레스 신호의 수신에서 기록 종료까지의 시간이다. 또한 tAS는 어드레스 셋업(setup) 시간이고, tWP는 기록 펄스 폭이며, tWR는 기록 복구 시간이고, tBW는 유효 블록 제어 신호의 수신에서 기록 종료까지의 시간이다. 또한 tDW는 데이터 수신에서 기록 종료까지의 시간이고, tDH는 기록 동작에서의 데이터 홀드 시간이며, tWHZ는 기록 개시에서 하이 임피던스가 출력되는 시간이고, tOW는 기록 종료로부터 출력 활성화까지의 시간이다. 칩 선택 신호(/CS)와 블록 제어 신호(/LB, /UB)에서 음영 처리된 부분은 미고려(don't care) 신호를, 출력 데이터 신호(DOUT)에서 빗금친 부분은 무효 데이터(invalid data)를 각각 가리킨다. 그리고 입력 데이터(DIN)와 출력 데이터(DOUT)에서 H-Z는 하이 임피던스(high impedance) 상태를 가리킨다.
도 1에 도시되어 있는 바와 같이, 종래의 단일 기록 모드에서는 한번의 로우 활성화 동작에 따라 하나의 칼럼에 대해서만 기록 동작을 하게 되므로, 고속으로 기록 동작을 수행하기 어려웠다. 즉, 기록 명령어마다 로우 활성화를 수행하고 해당 칼럼의 셀에 데이터를 기록하는 것이 기존의 단일 기록 방식인데, 이전에 활성화된 로우 어드레스와 동일한

어드레스가 계속 수신되어도 다시 로우 활성화를 수행하므로 고속으로 기록 동작을 수행할 수 없다. 따라서 한번의 로우 활성화 동작으로 해당 칼럼 중 이미 설정된 페이지 폭(page width)에 해당하는 여러 칼럼에 대해서 연속으로 기록 동작을 수행하는 페이지 기록 모드를 구현할 필요가 있다.
그런데 슈도 스태틱램은 다이내믹램의 셀을 이용하고 있으므로 전술한 바와 같이 소정 시간 간격으로 리프레쉬를 수행해야 하며, 동시에 슈도 스태틱램도 외부적으로는 다른 스태틱램과 동일하게 동작해야 하므로 동일한 방식(프로토콜)으로 외부와 명령어 신호, 데이터 신호, 어드레스 신호 등을 주고받아야 한다. 단일 기록 모드에서는 기록 동작을 위해 할애해야 할 시간이 길지 않으므로 특별히 리프레쉬가 문제되지 않지만, 페이지 기록 모드에서는 중간에 리프레쉬 동작 없이 오랫동안 기록 동작을 수행하게 되므로 다이내믹램의 셀을 이용하는 슈도 스태틱램에서는 페이지 기록 모드 동안에 데이터를 잃어버릴 수 있는 가능성이 있다. 따라서 슈도 스태틱램에서 페이지 기록 모드를 수행하기 위해서는 페이지 기록 동작과의 관계에서 리프레쉬 동작을 적절하게 수행시키는 것이 필수적으로 된다.

발명이 이루고자 하는 기술적 과제

본 발명은 이와 같은 문제점을 해결하기 위하여 제안된 것으로서, 다이내믹램의 셀을 이용하면서도 페이지 기록 모드를 구현할 수 있는 슈도 스태틱램을 제공하는 것을 일 목적으로 한다.
또한 본 발명은 다이내믹램의 셀을 이용하는 슈도 스태틱램에서 페이지 기록 모드를 구현하는 방법을 제공하는 것을 다른 목적으로 한다.

발명의 구성 및 작용

이러한 목적을 이루기 위하여 신규한 구성을 갖는 슈도 스태틱램이 제공된다. 본 발명에 의한 슈도 스태틱램은 이미 설정된 페이지 폭에 해당하는 칼럼 어드레스 안에서는 한번의 로우 활성화 후 중간에 프리챠지를 하지 않고, 계속 워드라인을 활성화시켜 놓은 상태에서 기록 명령어 신호의 소정 에지에 따라 페이지 기록을 수행한다. 그리고 슈도 스태틱램의 특성상 내부적으로 셀프 리프레쉬를 하게 되는데, 만일 리프레쉬 요청 신호가 기록 명령어보다 먼저 오게 되면 리프레쉬를 끝내고 프리챠지가 오면 기록 동작을 한다. 최악의 경우를 대비해 tCW, tWC, tAW, tBW의 최소값이 리프레쉬 사이클 시간(refresh cycle time)과 단일 기록 사이클 시간(single write cycle time)의 합보다 크게 한다. 한편 리프레쉬 요청 신호가 기록 명령어 보다 나중에 오게 되면, 칩 선택이 해제되어 기록 모드를 끝내고 나서 프리챠지가 오면 이어서 리프레쉬 동작을 수행한다. 그리고 장기간에 걸쳐 페이지 기록이 수행되면 내부적으로 리프레쉬를 못하게 되어 셀의 데이터가 소실될 수 있으므로, 장기 기록의 시간이 리프레쉬 간격(tREF)보다 클 경우에는 기록 동작 중간에 리프레쉬를 할 수 있도록 칩이 선택되지 않는 구간을 판독 사이클 시간(read cycle time : 이하, 'tRC'라고 함)만큼 유지시켜 준다. 리프레쉬 간격(tREF)은 총 보유 시간(retention time)을 총 로우의 개수로 나눈 시간을 말한다. 이러한 본 발명에 의하면 슈도 스태틱램에서의 기록 동작이 고속으로 수행될 수 있다.
본 발명의 일 특징에 의한 슈도 스태틱램은 다이내믹램의 셀로 이루어진 메모리 셀 어레이와, 외부 칩 선택 신호를 수신하여 버퍼 인에이블 신호와 내부 칩 선택 신호를 생성하는 버퍼 인에이블 블록과, 외부 기록 인에이블 신호를 수신하여 기록 명령어 신호를 생성하는 기록 인에이블 신호 버퍼부를 구비한다. 또한 설정된 페이지 폭에 따라 페이지 폭 선택 신호를 생성하는 페이지 폭 설정부와, 리프레쉬 요청 신호를 소정 리프레쉬 간격으로 생성하여 상기 메모리 셀 어레이에 대한 리프레쉬가 수행되도록 하는 리프레쉬 제어부와, 상기 셀 어레이에 대한 로우 활성화 이후 프리챠지할 수 있는 시점에서 기록 명령어 신호가 소정 천이를 하는 경우 페이지 어드레스 스트로브 신호를 생성하는 페이지 어드레스 스트로브 신호 생성부를 구비한다. 또한 상기 버퍼 인에이블 신호가 수신되면 외부 데이터 신호를 수신하여 내부 데이터 신호를 생성하는 데이터 버퍼부와, 상기 버퍼 인에이블 신호가 수신되면 외부 어드레스 신호를 수신하여 내부 어드레스 신호를 생성하고, 상기 페이지 어드레스 스트로브 신호에 따라 상기 내부 어드레스 신호를 래치하며, 상기 생성된 내부 어드레스 신호가 상기 페이지 폭 선택 신호에 따른 페이지 폭 내인 경우 어드레스 천이 검출 신호를 생성하지 않고, 상기 생성된 내부 어드레스 신호가 상기 페이지 폭 밖인 경우 어드레스 천이 검출 신호를 생성하는 어드레스 버퍼부와, 상기 내부 어드레스 신호와 내부 데이터 신호와 기록 명령어 신호와 내부 칩 선택 신호 와 리프레쉬 요청 신호와 페이지 폭 선택 신호를 수신하며, 상기 내부 어드레스 신호가 상기 페이지 폭 선택 신호에 따른 페이지 폭에 해당하는 경우, 이전 어드레스 신호에 의해 활성화된 상기 메모리 셀 어레이의 소정 로우의 활성화 상태를 유지하면서 상기 리프레쉬 제어부를 제어하여 상기 메모리 셀 어레이에 대한 리프레쉬 동작이 수행되지 않도록 하고, 상기 기록 명령어 신호의 천이에 따라 상기 내부 어드레스 신호에 해당하는 상기 메모리 셀 어레이의 칼럼에 상기 내부 데이터 신호를 기록하는 페이지 기록 동작을 수행하는 입출력 제어부와, 상기 어드레스 천이 검출 신호가 수신되면 상기 입출력 제어부를 프리챠지시키는 프리챠지 제어부를 구비한다.
또한 본 발명은 다이내믹램의 셀로 이루어진 메모리 셀 어레이를 갖는 슈도 스태틱램에 대해 페이지 기록 모드를 수행하는 방법에 있어서, 리프레쉬 요청 신호의 생성이 기록 명령어 신호의 생성보다 시간적으로 앞서면 상기 메모리 셀 어레이에 대해 리프레쉬 동작이 먼저 수행되도록 한 후, 기록 동작을 수행하는 제1 단계와, 기록 명령어 신호의 생성이 리프레쉬 요청 신호의 생성보다 시간적으로 앞서면 상기 메모리 셀 어레이에 대해 기록 동작을 먼저 수행한 후, 리프레쉬 동작이 수행되도록 하는 제2 단계를 포함하는 것을 다른 특징으로 한다.
상기 기록 동작은 상기 기록 명령어 신호에 의해 상기 메모리 셀 어레이의 소정 로우에 대한 활성화를 수행한 후 1 비트의 데이터를 해당 셀에 먼저 기록하는 제1 과정과, 외부로부터 다음으로 수신되는 어드레스 신호가 미리 설정된 페이지 폭 내이면 상기 활성화된 로우의 활성화 상태를 유지하면서 상기 다음 어드레스 신 호에 해당하는 셀에 기록하는 제2 과정과, 상기 다음 어드레스 신호가 상기 페이지 폭 밖이면 상기 메모리 셀 어레이에 대해 리프레쉬 동작을 수

행한 후 상기 다음 어드레스에 해당하는 상기 메모리 셀 어레이의 로우를 활성화시켜서 해당 데이터를 기록하는 제3 과정을 포함하여 수행될 수 있다. 상기 제1 과정을 위해 소요되는 시간은 리프레쉬 사이클 시간과 단일 기록 사이클 시간의 합보다 크도록 한다. 상기 제2 과정은 리프레쉬 간격보다 작은 시간 동안만 연속적으로 수행된다.

이하, 첨부된 도면을 참조하여 본 발명의 일 실시예를 상세히 설명한다. 설명의 일관성을 위하여 도면에서 동일한 참조부호는 동일 또는 유사한 구성요소 및 신호를 가리키는 것으로 사용한다.

도 2는 본 발명에 의한 스태틱램에서의 페이지 기록 모드를 설명하는 신호 파형도이다. 도 2에 도시된 신호는 본 발명에 의한 스태틱램이 외부와 주고받는 외부 신호의 파형도로서, 도 1에서와 같이 /CS는 칩 선택 신호를, A0~Am은 칼럼 어드레스 신호를, Am+1~An은 로우 어드레스 신호를, /WE는 기록 인에이블 신호를, /LB와 /UB는 하부 블록 제어 신호와 상부 블록 제어 신호를, DIN은 스태틱램으로 입력되는 데이터 신호를, DOUT은 스태틱램으로부터 출력되는 데이터 신호를 각각 가리킨다.

도 2에는 도 1에 도시되어 있는 바와 같은 종래 스태틱램의 교류 특성(AC parameters)뿐만 아니라, 본 발명에 따라 페이지 기록 모드를 위한 새로운 교류 특성으로서 tPWC, tPCW, tPAW, tPWP라는 패리미터들이 추가적으로 정의되어 있다. tPWC는 페이지 모드 기록 사이클 시간으로서 다음 어드레스가 이미 설정된 페이지 폭 내의 어드레스(이하, '페이지 어드레스'라고 함)인 경우 데이터 기록을 위해 소요되는 사이클 시간이다. 한편 처음 기록 명령어에 의해 기록되는 경우에는 기록 사이클 시간이 tWC이며, 로우를 활성화하기 위한 시간을 포함하여야 하므로 tPWC에 비해 긴 시간을 요구한다. 그리고 tPCW는 칩 선택에서부터 페이지 어드레스 천이까지의 시간으로서, 칩 선택 신호(/CS)가 로우로 된 후 첫 번째 페이지 어드레스에 데이터가 기록되는데 소요되는 시간을 말한다. 한편 tCW는 칩 선택 신호(/CS)가 로우로 된 후 기록 동작이 끝나기까지의 시간을 말한다. 기존 스태틱램에서의 tCW는 본 발명의 tPCW와 같은 값을 가진다. 본 발명에서 tCW는 최소값으로서 tPCW를 가지며, 최대값으로서 리프레쉬 간격(tREF)을 가진다. 그리고 tPAW는 유효한 페이지 어드레스의 수신으로부터 기록 종료까지의 시간으로서 두 번째 페이지 어드레스가 천이된 후 데이터 기록을 위해 소요되는 시간을 말한다. 한편 tAW는 첫 번째 어드레스에 의해 데이터가 기록되는데 소요되는 시간을 말한다. 그리고 tPWP는 페이지 모드 기록 펄스 폭으로서 페이지 어드레스에 의한 기록시 기록 인에이블 신호(/WE)의 펄스 폭을 말한다. 나머지 파라미터들은 도 1에 정의되어 있는 바와 동일하다.

도 3은 본 발명의 일 실시예에 의한 스태틱램의 블록도이다. 스태틱램(300)의 구성이 복잡하여 절단선(AA')을 이용하여 도 3a와 도 3b로 나누어 도시하였다. 스태틱램(300)은 기존의 스태틱램과 비교하여 칼럼 어드레스 버퍼(302)와 페이지 폭 선택부(312)와 페이지 어드레스 스트로브 신호 발생부(322)와 리프레쉬 제어부(326)에서 신규한 구성을 가지고 있다. 도 3에서 로우 어드레스 버퍼(304), 칩 선택 신호 버퍼(306), 블록 제어 신호 버퍼(308), 기록 인에이블 신호 버퍼(310), 셀프 리프레쉬 발진부(314), 입력 데이터 버퍼부(316), ATD 결합부(318), 버퍼 인에이블 제어부(320), 기록 제어부(324), 입력 데이터 구동부(328), 로우 활성화부(330), 프리챠지 제어부(332), 내부 카운터(334), 로우 프리디코더(336), 블록 선택 인에이블 제어부(338), 센스 발생부(340), 센스 지연부(342), 로우 제어부(346), 칼럼 제어부(350), 메인 X 디코더(352), 서브워드라인 구동부(354), 칼럼 프리디코더(356), 비트라인 센스앰프(358), 칼럼 디코더(360), 기록 구동부(362), 셀 어레이(364) 등의 구성과 동작은 기존의 슈도 스태틱램의 것과 동일하므로 여기서는 상술하지 않으며, 본 발명과 관련된 부분에 대해서만 이하에서 상술한다. 도 3에 도시되어 있는 바와 같이 셀 어레이(364)를 구성하는 메모리 셀(368)은 통상의 다이내믹램의 셀과 같이 하나의 MOS 트랜지스터와 하나의 커패시터로 구성된다.

먼저 칼럼 어드레스 버퍼(302)는 0부터 m까지의 칼럼 어드레스를 받는데, /CS, 또는 /UB 및 /LB가 로우 레벨로 되어 칩이 선택되면 버퍼 인에이블 제어부(320)가 하이 레벨의 버퍼 인에이블 신호(bufen)를 출력하고, 이에 따라 칼럼 어드레스 버퍼(302)는 인에이블되어 외부로부터 칼럼 어드레스(A<0:m>)를 수신한다. 그리고 페이지 어드레스 스트로브 신호 발생부(322)가 하이 레벨의 페이지 어드레스 스트로브 신호(addstb_page)를 출력하면 칼럼 어드레스 버퍼(302)는 수신된 외부의 칼럼 어드레스 신호(A<0:m>)를 내부 칼럼 어드레스 신호(ay<0:m>)로 래치시킨다. 그리고 칼럼 어드레스 버퍼(302)는 외부 어드레스가 변하는 것을 감지하는 어드레스 천이 검출 블록(address transition detection block)(도시되지 않음) 을 가지고 있으며, 이의 출력으로 어드레스 천이 검출 신호(atdb<0:m>)를 출력한다. 그리고 페이지 폭 선택부(312)의 출력(page<2,4,8,F>)을 받아 어드레스 천이 검출 신호 결합부(318)로 내보내는 신호들을 고르게 된다. 로우 어드레스 버퍼(304)는 로우 어드레스에 대한 것으로서, 칼럼 어드레스 버퍼(302)와는 페이지 어드레스 스트로브 신호(addstb_page) 대신 어드레스 스트로브 신호(addstb)를 받는다는 점에서 구별된다. 어드레스 스트로브 신호(addstb)는 로우 활성화부(330)에 의해 만들어지는데, 로우 활성화 신호(rowact)에 비해 약간 빠르게 만들어진다. 그 이유는 어드레스 스트로브 신호(addstb)에 의해 외부 로우 어드레스(A<m+1;n>)가 로우 어드레스 버퍼(304)에 의해 래치되어 로우 프리디코더(336)에 도달하는데 시간이 걸리는데 로우 활성화 신호(rowact)는 이보다 마진을 약간 가지고 로우 프리디코더(336)에 와야 정상적으로 로우 프리디코딩이 수행되기 때문이다.

버퍼 인에이블 제어부(320)는 버퍼 인에이블 신호(bufen)와 내부 칩 선택 신호(chipselect)를 만드는데 /CS, 또는 /UB 및 /LB가 로우일 때 버퍼 인에이블 신호(bufen)를 만들며, 내부 칩 선택 신호(chipselect)도 마찬가지이다. 신호(chipselect)와 ATD 결합부(318)에서 출력된 어드레스 천이 검출 결합 신호(atdsum)가 로우 활성화부(330)의 입력으로 되어 로우 활성화 신호(rowact)를 만들며, 신호(refb_fast)보다 칩 선택 신호(chipselect)가 로우 활성화부(330)로 먼저 오면 로우 활성화 신호(rowact)가 인에이블되고, 나중에 프리챠지 신호(pcg)가 뜨면 리프레쉬 개시 신호(ref_start)가 뜨게 된다. 프리챠지 제어부(332)는 칩 선택 신호(chipselect)가 로우이거나 어드레스 천이 검출 결합 신호(atdsum)가 뜨 고, 로우 활성화 이후 프리챠지할 수 있는 시점을 알려주는 센스 지연 신호(sensedly)가 오면 프리챠지 신호(pcg)를 인에이블시킨다.

로우 제어부(346)는 블록 선택 인에이블 신호(bsenb)와 센싱 시점을 알려 주는 신호(sg)를 받아 비트라인 센스앰프(358)를 제어하며, 로우 프리디코더(336)에서 디코딩된 신호(bax<m+1:n>)를 이용하여 메인 X 디코더(352)와 서브

워드라인 구동부(354)는 워드라인(WL)을 인에이블시킨다. 기록 제어부(324)는 기록 인에이블 신호 버퍼(310)를 통해 출력된 내부 기록 인에이블 신호(web)로 기록 명령어 신호(write)를 만드는데, 이 기록 명령어 신호(write)와 센스 지연 신호(sensedly)를 수신하여 페이지 어드레스 스트로브 신호 발생부(322)는 페이지 어드레스 스트로브 신호(addstb_page)를 만든다. 그리고 칼럼 제어부(350)는 기록 명령어 신호(write)와 센스 발생부(340)에서 출력된 신호(sg)를 수신하여 신호(gy_strobe)를 만드는데, 이 신호(gy_strobe)는 내부 칼럼 어드레스 신호(ay<0:m>)가 칼럼 프리디코더(356)에서 프리 디코딩되도록 하여 칼럼 디코더(360)를 통해 칼럼 선택 신호(Yi)가 만들어지도록 한다.
셀프 리프레쉬 발진부(314)를 통해 소정 시간 간격으로 출력되는 셀프 리프레쉬 요청 신호(srefreq)는 리프레쉬 제어부(326)에서 리프레쉬 개시 신호(ref_start)를 만든다. 내부 카운터(334)는 리프레쉬 개시 신호(ref_start)를 수신하여 신호(rcnt<m+1:n>)를 만들어 로우 프리디코더(336)로 제공하며, 이를 통해 스태틱램(300)은 해당 로우에 리프레쉬 동작을 하게 된다.
도 4는 도 3에 도시된 칼럼 어드레스 버퍼(302)의 일 예의 회로도로서, 8 비 트의 칼럼 어드레스를 예시한다. 버퍼 인에이블 신호(bufen)가 하이 레벨일 때 NOR 게이트(402_0, …, 402_7)는 패드(401_0, …, 401_7)로 제공되는 외부 어드레스 신호(A0, …, A7)를 받아들이며, 어드레스 천이 검출 블록(404_0, …, 404_7)을 통해 어드레스 천이 검출 신호(atdb<0:7>)를 만들게 된다. 그런데 모든 어드레스 천이 검출 블록(404_0, …404_7)이 동작하는 것이 아니라 페이지 폭 선택부(312)를 통해 선택된 어드레스 천이 검출 블록만이 동작하게 되는데, 페이지 폭 선택부(312)에 의해 신호(page<2>)가 인에이블되면 어드레스 천이 검출 블록(404_0)만이 동작을 하지 않고 하이 레벨을 출력하여 프리챠지가 수행되지 않는다. 신호(page<4>)가 인에이블되면 어드레스 천이 검출 블록(404_0, 404_1)이 동작하지 않으므로 어드레스 신호(A0, A1)가 변해도 프리챠지가 수행되지 않는다. 신호(page<8>)가 인에이블되면 어드레스 천이 검출 블록(404_0, 404_1, 404_2)이 동작하지 않으므로 어드레스 신호(A0, A1, A2)가 변해도 프리챠지가 수행되지 않는다. 신호(page<F>)가 인에이블되면 모든 어드레스 천이 검출 블록(404_0, …, 404_7)이 동작하지 않고, 로우 어드레스가 변해야만 프리챠지가 수행된다. 래치부(406_0, …, 406_7)는 페이지 어드레스 스트로브 신호 발생부(322)의 출력 신호(addstb_page)가 하이 펄스로 되면 NOR 게이트(402_0, …, 402_7)의 출력 신호를 내부 어드레스 신호(ay<o:7>)로 래치한다. 어드레스 천이 검출 신호(atdb<0:7>)는 로우 레벨이 활성화 상태인 펄스이나, 하이 레벨이 활성화 상태인 펄스로 만들어도 무관하다.
도 5a는 도 3에 도시된 페이지 어드레스 스트로브 신호 생성부의 일 예의 회로도이고, 도 5b는 도 5a에 도시된 회로의 신호 파형도이다. 도 5a에 도시되어 있 는 바와 같이, 페이지 어드레스 스트로브 신호 생성부(500)는 로우 펄스 생성부(502, 520)와 인버터(504, 508, 516, 518, 522)와 NAND 게이트(506)와 PMOS 트랜지스터(510, 512)와 NMOS 트랜지스터(514)로 구현될 수 있다. 로우 펄스 생성부(502, 520)는 입력 단자로 인가되는 신호가 활성화되면 로우 레벨을 갖는 펄스 신호를 생성한다. 도 5a에서 pwrup는 파워업 신호로서 스태틱램으로 공급되는 파워가 안정화되면 발생하는 로우 펄스이며, 노드(ND)를 하이 레벨로 초기화시킨다. 센스 지연 신호(sensedly)는 센스 지연부(도 3의 342)에서 생성되는 신호로서 비트라인 센스앰프(도 3의 358)에 의한 센싱 완료 후 프리챠지 동작을 수행할 시점에서 하이 레벨로 되는 신호이다.
센스 지연 신호(sensedly)가 하이 레벨로 된 후에 기록 명령어 신호(write)가 로우 레벨에서 하이 레벨로 될 때, 페이지 어드레스 스트로브 신호 생성부(500)는 펄스 형태의 신호(addstb_page)를 생성한다. 한편 센스 지연 신호(sensedly)와 기록 명령어 신호(write)는 서로간에 비동기적(asynchronous)이므로 페이지 어드레스 스트로브 신호 생성부(500)에서 글리치(glitch)가 생길 우려가 있다. 따라서 도 5a에 도시되어 있는 바와 같이 다이내믹 회로(dynamic circuit)로 구현하여 글리치가 들어오더라도 래치를 하여 한번 더 펄스를 만들도록 하였다. 이를 통해 언제라도 확실히 래치를 할 수 있게 된다.
도 6a는 도 3에 도시된 페이지 폭 설정부의 일 예의 회로도이고, 도 6b는 도 6a에 도시된 회로의 논리표이다. 도 6a에 도시되어 있는 바와 같이 페이지 폭 설정부(600)는 리드 프레임(602, 604)과 옵션 패드(608, 610, 612) 사이의 본딩 와이어(bonding wire)를 이용하여 도 6b에 도시된 바와 같은 페이지 폭 선택 신호(page<1,2,4,8,F>)를 생성한다.
도 6a에서 리드 프레임(602)에는 전원전압(VCC)이 인가되고, 리드 프레임(604)에는 접지전압(VSS)이 인가된다. 옵션 패드(608, 610, 612)는 본딩 와이어(606)를 통해 리드 프레임(602) 또는 리드 프레임(604)에 선택적으로 연결된다. 옵션 패드(608, 610)가 리드 프레임(602)에 연결되고, 옵션 패드(612)가 리드 프레임(604)에 연결되는 경우를 예로 들어 설명하면, 인버터(614)는 로우 레벨을 출력하고, 인버터(616)는 하이 레벨을 출력한다. 따라서 라인(op0, op1, op2b)에는 하이 레벨이 인가되고, 라인(op1b, op2)에는 로우 레벨이 인가되므로 NAND 게이트(618, 622, 624)는 하이 레벨을 출력하고, NAND 게이트(620)만 로우 레벨을 출력한다. 인버터(626, 628, 630, 632)는 NAND 게이트(618, 620, 622, 624)의 출력 신호를 반전하여 신호(page<4>)만을 하이 레벨로 출력하고, 신호(page<2,8,F>)는 로우 레벨로 출력한다. 이 경우 본 발명에 의한 스태틱램은 페이지 폭이 4인 모드로 동작한다. 한편 옵션 패드(608)가 본딩 와이어에 의해 리드 프레임(604)에 연결되므로써 옵션 패드(608)에 접지전압이 인가되는 경우 인버터(634)는 로우 레벨을 출력하고, 인버터(636)는 하이 레벨 신호를 신호(page<1>)로서 출력한다. 이 경우 스태틱램은 단일 기록 모드, 즉 페이지 폭이 1인 모드로 동작한다.
도 7은 페이지 폭 선택 신호(page<2,4,8,F>)에 의해 제어되는 어드레스 천이 검출 블록의 회로도로서, 도 7a는 도 4의 어드레스 천이 검출 블록(404_0)의 경우이고, 도 7b는 어드레스 천이 검출 블록(404_1)의 경우이며, 도 7c는 어드레스 천 이 검출 블록(404_2)의 경우이고, 도 7d는 어드레스 천이 검출 블록(404_3)의 경우이다. 도 7a 내지 도 7d에 도시되어 있는 바와 같이 어드레스 천이 검출 블록(404_1, 404_2, 404_3, 404_4)은 NOR 게이트(702_1, 702_2, 702_3, 702_4)와 어드레스 천이 검출기(704_1, 704_2, 704_3, 704_4)와 인버터(706_1, 706_2, 706_3, 706_4)와 패스 게이트(708_1, 708_2, 708_3, 708_4)와 PMOS 트랜지스터(710_1, 710_2, 710_3, 710_4)로 구성될 수 있다. 어드레스 천이 검출기(704_1, 704_2, 704_3, 704_4)는 입력 단자로 인가되는 신호가 하이 레벨에서 로우 레벨로 천이

하거나 로우 레벨에서 하이 레벨로 천이 하는 경우 하이 레벨 또는 로우 레벨의 펄스를 생성하여 출력하는 소자이다. 먼저, 어드레스 천이 검출 블록(404_1)의 동작을 설명한다. NOR 게이트(702_1)는 페이지 폭 선택 신호(page<2,4,8,F>)를 입력으로 하므로 어느 하나의 신호라도 하이 레벨이면 로우 레벨을 출력한다. 이 경우 PMOS 트랜지스터(710_1)는 턴온되어 노드(ND71)로 하이 레벨을 출력한다. 반면 모든 페이지 폭 선택 신호가 로우 레벨이면 NOR 게이트(702_1)는 하이 레벨을 출력하므로, PMOS 트랜지스터(710_1)는 턴오프되고, 패스 게이트(708_1)는 턴온된다. 따라서 어드레스 천이 검출기(704_1)에서 출력된 신호가 어드레스 천이 검출 신호(atdb)로서 노드(ND71)에서 출력된다. 어드레스 천이 검출 블록(404_2)에서는 NOR 게이트(702_2)의 입력으로 페이지 폭 선택 신호(page<4,8,F>)가 사용되므로, page<4>, page<8>, page<F> 중 어느 하나의 신호라도 하이 레벨이면 노드(ND72)로 하이 레벨이 출력되고, page<4>, page<8>, page<F>의 모든 신호가 로우 레벨이면 어드레스 천이 검출기(704_2)에서 출력된 신호가 어드레스 천이 검출 신호(atdb)로서 노드(ND72)에서 출력된다. 그리고 어드레스 천이 검출 블록(404_3)에서는 NOR 게이트(702_3)의 입력으로 페이지 폭 선택 신호(page<8,F>)가 사용되므로 page<8>, page<F> 중 어느 하나의 신호라도 하이 레벨이면 노드(ND73)로 하이 레벨이 출력되고, page<8>, page<F>의 모든 신호가 로우 레벨이면 어드레스 천이 검출기(704_3)에서 출력된 신호가 어드레스 천이 검출 신호(atdb)로서 노드(ND73)에서 출력된다. 마지막으로 어드레스 천이 검출 블록(404_4)에서는 NOR 게이트(702_4)의 입력으로 페이지 폭 선택 신호(page<F>)만이 사용되므로 page<F>가 하이 레벨이면 노드(ND74)로 하이 레벨이 출력되고, page<F>가 로우 레벨이면 어드레스 천이 검출기(704_4)에서 출력된 신호가 어드레스 천이 검출 신호(atdb)로서 노드(ND74)에서 출력된다.

도 8은 본 발명에 의한 페이지 기록 동작을 설명하는 신호 파형도로서, 특히 워드라인(WL)과 칼럼 선택 신호(Yi)의 동작을 설명하고 있다. 도 8에 도시되어 있는 바와 같이 칩 선택 신호(/CS)가 로우로 되면 워드라인(WL)이 인에이블된다. 첫 번째 칼럼 선택 신호(Yi)는 센스 지연 신호(sensedly)가 뜨면 동작하고, 그 다음부터는 센스 지연 신호(sensedly)가 하이 레벨인 상태에서 기록 명령어 신호(write)가 로우에서 하이로 천이하면 칼럼 선택 신호(Yi)가 뜬다. 스태틱램에서의 입력 데이터는 기록 인에이블 신호(/WE)가 디스에이블될 때 유효하므로, 칼럼 선택 신호(Yi)도 기록 인에이블 신호(/WE)와 같이 레벨로 하여 기록 인에이블 신호(/WE)가 디스에이블될 때까지 기록 동작이 수행되도록 하였다.

도 9는 본 발명에 의해 기록 동작 이전에 리프레쉬 동작이 수행되는 경우의 신호 파형도이다. 셀프 리프레쉬 요청 신호(srefreq)가 칩 선택 신호(chipselect)보다 빨리 오면 리프레쉬를 먼저 수행하고, 이어서 기록 동작을 수행하게 된다. 신호(refb_fast)는 리프레쉬 개시 신호(ref_start)보다 빨리 로우 활성화부(도 3의 330)에서 로우 활성화 신호(rowact)가 인에이블되지 않도록 막는 역할을 하는 동시에, 리프레쉬 개시 신호(ref_start)와 로우 활성화 신호(rowact)가 동시에 뜨지 않도록 한다. 신호(refb)는 프리챠지 제어부(도 3의 332)에서 센스 지연 신호(sensedly)와 함께 프리챠지 제어 신호(pcg)를 만들고, 프리챠지 제어 신호(pcg)가 뜨면 이어서 로우 활성화부(도 3의 330)에서 로우 활성화 신호(rowact)가 뜬다.

도 10은 본 발명에 의해 기록 동작 이후에 리프레쉬 동작이 수행되는 경우의 신호 파형도이다. 셀프 리프레쉬 요청 신호(srefreq)가 칩 선택 신호(chipselect)보다 늦게 오면 기록 동작을 먼저 수행하고, 기록 동작이 끝나서 프리챠지 제어 신호(pcg)가 뜨면 이어서 리프레쉬 동작을 하게 된다. 이 때 신호(atv_level)는 리프레쉬 제어부(326)로 제공되어 리프레쉬 개시 신호(ref_start)가 뜨지 않도록 한다.

도 11은 본 발명에 따라 리프레쉬 동작을 갖는 페이지 기록 타이밍을 설명하는 신호 파형도로서, 도 11a는 셀프 리프레쉬 요청 신호(srefreq)가 칩 선택 신호(chipselect)보다 먼저 와서 기록 동작 전에 리프레쉬 동작이 먼저 수행되는 경우이고, 도 11b는 셀프 리프레쉬 요청 신호(srefreq)가 칩 선택 신호(chipselect)가 늦게 와서 기록 동작 후에 리프레쉬 동작이 수행되는 경우이 며, 도 11c는 설정된 페이지 폭이 넓어 한번의 로우 활성화 이후에 긴 칼럼에 걸쳐 기록 동작을 수행하는 장기 기록 모드(long write mode)의 경우이다. 장기 기록 모드의 경우 기록 구간이 리프레쉬 간격(tREF)보다 크거나 같으면 칩 선택 신호(chipselect)가 로우 레벨인 구간이 판독 사이클 시간(read cycle time : tRC) 만큼 주어져야 하며, 이 때 리프레쉬 동작이 수행된다. 이러한 사실이 도 11c에 도시되어 있다.

도 12는 기록 동작이 리프레쉬 동작 보다 먼저 수행되는 경우의 본 발명의 스태틱램에서의 동작 흐름도이다. 도 12에 도시되어 있는 바와 같이, 기록 명령어 신호(write)가 셀프 리프레쉬 요청 신호(srefreq)보다 빨리 오므로써 기록 동작이 리프레쉬 동작에 비해 먼저 수행되는 경우에는 기록 명령어의 수신(1202)에 따라 어드레스 신호에 해당하는 로우를 활성화시키고(1204), 1 비트에 대해서 기록 동작을 수행한다(1206). 아직도 칩 선택 신호(chipselect)가 하이 레벨이면서 다음 어드레스가 설정된 페이지 폭 내이면 워드라인의 인에이블 상태를 계속 유지하면서 다음 어드레스에 해당하는 셀에 데이터를 기록한다(1208, 1210, 1206). 칩 선택 신호(chipselect)가 하이 레벨이면서 다음 어드레스가 설정된 페이지 폭 밖이면 로우 프리챠지를 하고(1208, 1210, 1220), 리프레쉬 동작을 수행한 후 다음 어드레스에 해당하는 로우를 활성화시킨다(1222, 1224, 1226, 1204). 한편 칩 선택 신호(chipselect)가 로우 레벨이면 로우 프리챠지를 하고(1208, 1212), 리프레쉬 동작을 수행한다(1214, 1216, 1218). 리프레쉬 동작에 대해서 여기서 상술하지는 않지만 크게 리프레쉬 개시(1214, 1222), 단일 워드라인 복구(1216, 1224), 자동 로우 프리챠지(1218, 1226) 과정을 거친다.

도 13은 리프레쉬 동작이 기록 동작보다 먼저 수행되는 경우의 본 발명의 스태틱램에서의 동작 흐름도이다. 도 13에 도시되어 있는 바와 같이 기록 명령어 신호(write)가 셀프 리프레쉬 요청 신호(srefreq)보다 늦게 오므로써 기록 동작이 리프레쉬 동작에 비해 늦게 수행되는 경우에는 리프레쉬 동작을 먼저 수행한다(1302, 1304, 1306). 다음에는 어드레스 신호에 해당하는 로우를 활성화시키고(1308), 1 비트의 데이터를 해당 셀에 기록한다(1310). 아직도 칩 선택 신호(chipselect)가 하이 레벨이면서 다음 어드레스가 설정된 페이지 폭 내이면 워드라인의 인에이블 상태를 계속 유지하면서 다음 어드레스에 해당하는 셀에 데이터를 기록한다(1312, 1314, 1310). 칩 선택 신호(chipselect)가 하이 레벨이면서 다음 어드레스가 설정된 페이지 폭 밖이면 로우 프리챠지를 한다(1312, 1314, 1318). 한편 칩 선택 신호(

chipselect)가 로우 레벨이면 로우 프리챠지를 한다(1312, 1316).
여기서 설명된 실시예들은 본 발명을 당업자가 용이하게 이해하고 실시할 수 있도록 하기 위한 것일 뿐이며, 본 발명의 범위를 한정하려는 것은 아니다. 따라서 당업자들은 본 발명의 범위 안에서 다양한 변형이나 변경이 가능함을 주목하여야 한다. 본 발명의 범위는 원칙적으로 후술하는 특허청구범위에 의하여 정하여진다.

발명의 효과

이와 같은 본 발명의 구성에 의하면, 다이내믹램의 셀로 스태틱램의 셀 어레이를 구성하면서도 페이지 기록 모드를 수행할 수 있으므로, 대용량이면서 고속으로 데이터를 기록할 수 있는 스태틱램을 제공할 수 있다.

(57) 청구의 범위

청구항 1.
페이지 기록 모드를 수행할 수 있는 슈도 스태틱램에 있어서,
다이내믹램의 셀로 이루어진 메모리 셀 어레이와,
설정된 페이지 폭에 따라 페이지 폭 선택 신호를 생성하는 페이지 폭 설정부와,
리프레쉬 요청 신호를 소정 리프레쉬 간격으로 생성하여 상기 메모리 셀 어레이에 대한 리프레쉬가 수행되도록 하는 리프레쉬 제어부와,
외부로부터 어드레스 신호와 데이터 신호와 기록 인에이블 신호를 수신하고, 상기 페이지 폭 설정부로부터 상기 페이지 폭 선택 신호를 수신하며, 상기 리프레쉬 제어부로부터 상기 리프레쉬 요청 신호를 수신하고, 상기 수신된 어드레스 신호가 상기 페이지 폭 선택 신호에 따른 페이지 폭에 해당하는 경우, 이전 어드레스 신호에 의해 활성화된 상기 메모리 셀 어레이의 소정 로우의 활성화 상태를 유지하면서 상기 리프레쉬 제어부를 제어하여 상기 메모리 셀 어레이에 대한 리프레쉬 동작이 수행되지 않도록 하고, 상기 기록 인에이블 신호의 천이에 따라 상기 어드레스 신호에 해당하는 상기 메모리 셀 어레이의 칼럼에 상기 수신된 데이터 신호를 기록하는 페이지 기록 동작을 수행하는 동작 제어부를
포함하는 것을 특징으로 하는 슈도 스태틱램.

청구항 2.
제 1 항에 있어서,
상기 동작 제어부는 상기 리프레쉬 제어부로부터의 리프레쉬 요청 신호의 수신이 외부로부터의 상기 기록 인에이블 신호의 수신보다 시간적으로 앞서면 상기 메모리 셀 어레이에 대해 리프레쉬 동작이 먼저 수행되도록 한 후, 기록 동작을 수행하는 것을 특징으로 하는 슈도 스태틱램.

청구항 3.
제 1 항에 있어서,
상기 동작 제어부는 외부로부터의 상기 기록 인에이블 신호의 수신이 상기 리프레쉬 제어부로부터의 리프레쉬 요청 신호의 수신보다 시간적으로 앞서면 상기 메모리 셀 어레이에 대해 기록 동작을 먼저 수행한 후, 리프레쉬 동작이 수행되도록 하는 것을 특징으로 하는 슈도 스태틱램.

청구항 4.
제 3 항에 있어서,
상기 동작 제어부는 상기 리프레쉬 간격보다 작은 시간 동안만 상기 페이지 기록 동작이 연속적으로 수행되도록 하는 것을 특징으로 하는 슈도 스태틱램.

청구항 5.
제 3 항에 있어서,
상기 동작 제어부는 제1 레벨일 때 상기 슈도 스태틱램을 인에이블시키고 제2 레벨일 때 상기 슈도 스태틱램을 디스에이블시키는 칩 선택 신호를 외부로부터 더 수신하고, 상기 제2 레벨의 지속 시간은 리프레쉬 사이클 시간과 단일 기록 사이클 시간의 합보다 큰 것을 특징으로 하는 슈도 스태틱램.

청구항 6.
제 5 항에 있어서,
상기 동작 제어부는 상기 칩 선택 신호가 제1 레벨일 때 외부로부터 수신되는 어드레스 신호가 상기 페이지 폭 밖인 경우, 상기 수신된 어드레스 신호에 해당하는 로우를 새로 활성화시킨 후에 기록 동작을 수행하는 것을 특징으로 하는 슈도 스태틱램.

청구항 7.
제 1 항에 있어서,
상기 동작 제어부에서 상기 메모리 셀 어레이의 소정 로우에 대한 활성화 이후 첫 번째 데이터 신호를 기록하는데 소요되는 시간(tWC)이 리프레쉬 사이클 시간과 단일 기록 시간의 합보다 큰 것을 특징으로 하는 슈도 스태틱램.

청구항 8.
제 1 항에 있어서,
상기 페이지 폭 설정부는 상기 페이지의 폭을 2, 4, 8, 전체 페이지로 이루어진 그룹에서 선택된 어느 하나로 설정하는 것을 특징으로 하는 슈도 스태틱램.

청구항 9.
제 1 항에 있어서,
상기 페이지 폭 설정부는 복수개의 옵션 패드를 포함하고 있으며, 상기 옵션 패드의 각각이 전원 전압에 연결되어 있는지 또는 접지 전압에 연결되어 있는지에 따라 페이지 폭 선택 신호를 생성하는 것을 특징으로 하는 슈도 스태틱램.

청구항 10.
제 1 항에 있어서,
상기 슈도 스태틱램은 tPWC, tPCW, tPAW, tPWP를 교류 특성으로 갖는 것을 특징으로 하는 슈도 스태틱램.

청구항 11.
페이지 기록 모드를 수행할 수 있는 슈도 스태틱램에 있어서,
다이내믹램의 셀로 이루어진 메모리 셀 어레이와,
외부 칩 선택 신호를 수신하여 버퍼 인에이블 신호와 내부 칩 선택 신호를 생성하는 버퍼 인에이블 블록과,
외부 기록 인에이블 신호를 수신하여 기록 명령어 신호를 생성하는 기록 인에이블 신호 버퍼부와,
설정된 페이지 폭에 따라 페이지 폭 선택 신호를 생성하는 페이지 폭 설정부와,
리프레쉬 요청 신호를 소정 리프레쉬 간격으로 생성하여 상기 메모리 셀 어레이에 대한 리프레쉬가 수행되도록 하는 리프레쉬 제어부와,
상기 셀 어레이에 대한 로우 활성화 이후 프리챠지할 수 있는 시점에서 기록 명령어 신호가 소정 천이를 하는 경우 페이지 어드레스 스트로브 신호를 생성하는 페이지 어드레스 스트로브 신호 생성부와,
상기 버퍼 인에이블 신호가 수신되면 외부 데이터 신호를 수신하여 내부 데이터 신호를 생성하는 데이터 버퍼부와,
상기 버퍼 인에이블 신호가 수신되면 외부 어드레스 신호를 수신하여 내부 어드레스 신호를 생성하고, 상기 페이지 어드레스 스트로브 신호에 따라 상기 내부 어드레스 신호를 래치하며, 상기 생성된 내부 어드레스 신호가 상기 페이지 폭 선택 신호에 따른 페이지 폭 내인 경우 어드레스 천이 검출 신호를 생성하지 않고, 상기 생성된 내부 어드레스 신호가 상기 페이지 폭 밖인 경우 어드레스 천이 검출 신호를 생성하는 어드레스 버퍼부와,
상기 내부 어드레스 신호와 내부 데이터 신호와 기록 명령어 신호와 내부 칩 선택 신호와 리프레쉬 요청 신호와 페이지 폭 선택 신호를 수신하며, 상기 내부 어드레스 신호가 상기 페이지 폭 선택 신호에 따른 페이지 폭에 해당하는 경우, 이전 어드레스 신호에 의해 활성화된 상기 메모리 셀 어레이의 소정 로우의 활성화 상태를 유지하면서 상기 리프레쉬 제어부를 제어하여 상기 메모리 셀 어레이에 대한 리프레쉬 동작이 수행되지 않도록 하고, 상기 기록 명령어 신호의 천이에 따라 상기 내부 어드레스 신호에 해당하는 상기 메모리 셀 어레이의 칼럼에 상기 내부 데이터 신호를 기록하는 페이지 기록 동작을 수행하는 입출력 제어부와,
상기 어드레스 천이 검출 신호가 수신되면 상기 입출력 제어부를 프리챠지시키는 프리챠지 제어부를
포함하는 것을 특징으로 하는 슈도 스태틱램.

청구항 12.
제 11 항에 있어서,
상기 입출력 제어부는 상기 리프레쉬 제어부로부터의 리프레쉬 요청 신호의 수신이 외부로부터의 상기 기록 인에이블 신호의 수신보다 시간적으로 앞서면 상기 메모리 셀 어레이에 대해 리프레쉬 동작이 먼저 수행되도록 한 후, 기록 동작을 수행하는 것을 특징으로 하는 슈도 스태틱램.

청구항 13.
제 11 항에 있어서,
상기 입출력 제어부는 외부로부터의 상기 기록 인에이블 신호의 수신이 상기 리프레쉬 제어부로부터의 리프레쉬 요청 신호의 수신보다 시간적으로 앞서면 상기 메모리 셀 어레이에 대해 기록 동작을 먼저 수행한 후, 리프레쉬 동작이 수행되도록 하는 것을 특징으로 하는 슈도 스태틱램.

청구항 14.
제 13 항에 있어서,
상기 입출력 제어부는 상기 리프레쉬 간격보다 작은 시간 동안만 상기 페이지 기록 동작이 연속적으로 수행되도록 하는 것을 특징으로 하는 슈도 스태틱램.

청구항 15.
제 13 항에 있어서,
상기 입출력 제어부는 제1 레벨일 때 상기 슈도 스태틱램을 인에이블시키고 제2 레벨일 때 상기 슈도 스태틱램을 디스에이블시키는 칩 선택 신호를 외부로부터 더 수신하고, 상기 제2 레벨의 지속 시간은 리프레쉬 사이클 시간과 단일 기록 사이클 시간의 합보다 큰 것을 특징으로 하는 슈도 스태틱램.

청구항 16.
제 11 항에 있어서,
상기 입출력 제어부에서 상기 메모리 셀 어레이의 소정 로우에 대한 활성화 이후 첫 번째 데이터 신호를 기록하는데 소요되는 시간(tWC)이 리프레쉬 사이클 시간과 단일 기록 사이클 시간의 합보다 큰 것을 특징으로 하는 슈도 스태틱램.

청구항 17.
다이내믹램의 셀로 이루어진 메모리 셀 어레이를 갖는 슈도 스태틱램에 대해 페이지 기록 모드를 수행하는 방법에 있어서,

리프레쉬 요청 신호의 생성이 기록 명령어 신호의 생성보다 시간적으로 앞서면 상기 메모리 셀 어레이에 대해 리프레쉬 동작이 먼저 수행되도록 한 후, 기록 동작을 수행하는 제1 단계와,
기록 명령어 신호의 생성이 리프레쉬 요청 신호의 생성보다 시간적으로 앞서면 상기 메모리 셀 어레이에 대해 기록 동작을 먼저 수행한 후, 리프레쉬 동작이 수행되도록 하는 제2 단계를
포함하는 것을 특징으로 하는 슈도 스태틱램에서의 페이지 기록 모드의 수행 방법.

청구항 18.

제 17 항에 있어서,
상기 기록 동작은
상기 기록 명령어 신호에 의해 상기 메모리 셀 어레이의 소정 로우에 대한 활성화를 수행한 후 1 비트에 대해 먼저 기록하는 제1 과정과,
외부로부터 다음으로 수신되는 어드레스 신호가 미리 설정된 페이지 폭 내이면 상기 활성화된 로우의 활성화 상태를 유지하면서 상기 다음 어드레스 신호에 해당하는 셀에 기록하는 제2 과정과,
상기 다음 어드레스 신호가 상기 페이지 폭 밖이면 상기 메모리 셀 어레이에 대해 리프레쉬 동작을 수행한 후 상기 수신된 어드레스에 해당하는 상기 메모리 셀 어레이의 로우를 활성화시켜서 기록하는 제3 과정을
포함하는 것을 특징으로 하는 슈도 스태틱램에서의 페이지 기록 모드의 수행 방법.

청구항 19.

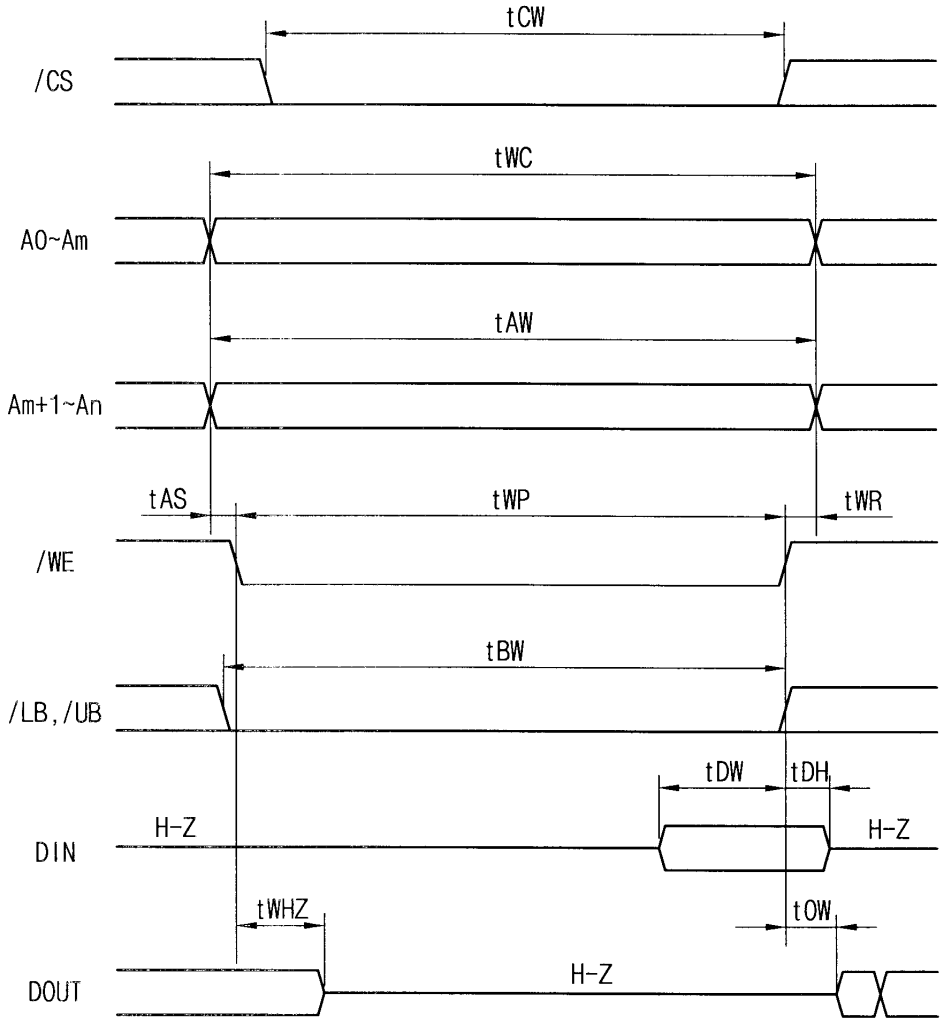
제 18 항에 있어서,
상기 제1 과정을 위해 소요되는 시간은 리프레쉬 사이클 시간과 단일 기록 사이클 시간의 합보다 큰 것을 특징으로 하는 슈도 스태틱램에서의 페이지 기록 모드의 수행 방법.

청구항 20.

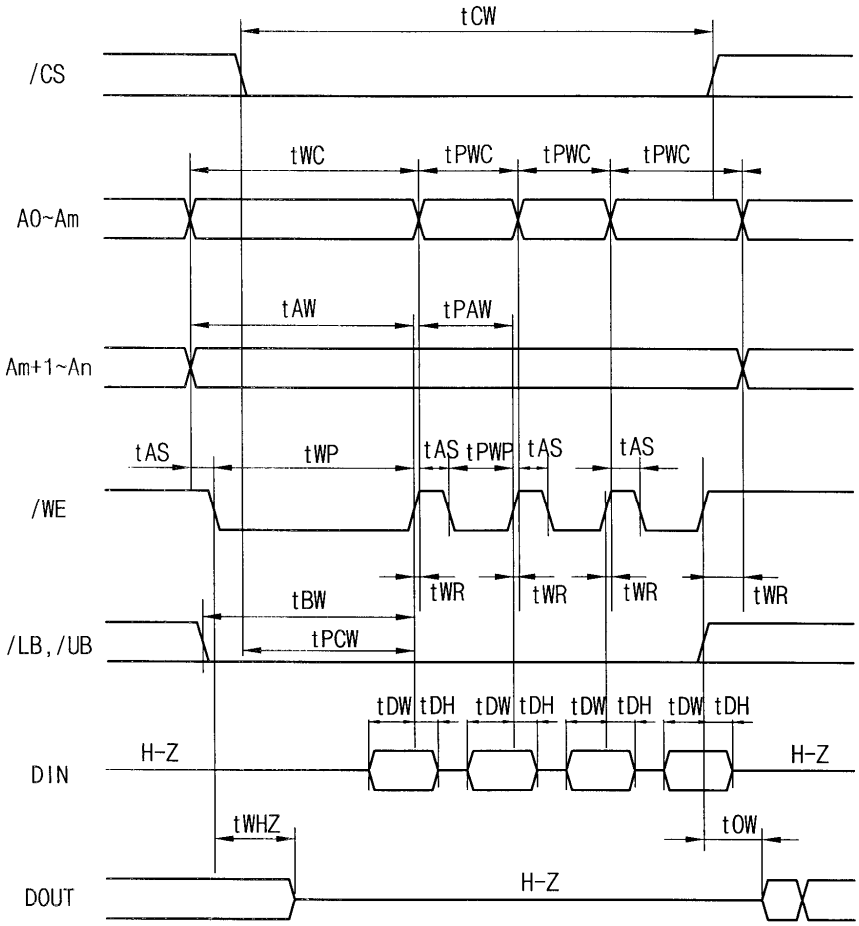
제 18 항에 있어서,
상기 제2 과정은 리프레쉬 간격보다 작은 시간 동안만 연속적으로 수행되는 것을 특징으로 하는 슈도 스태틱램에서의 페이지 기록 모드의 수행 방법.

도면

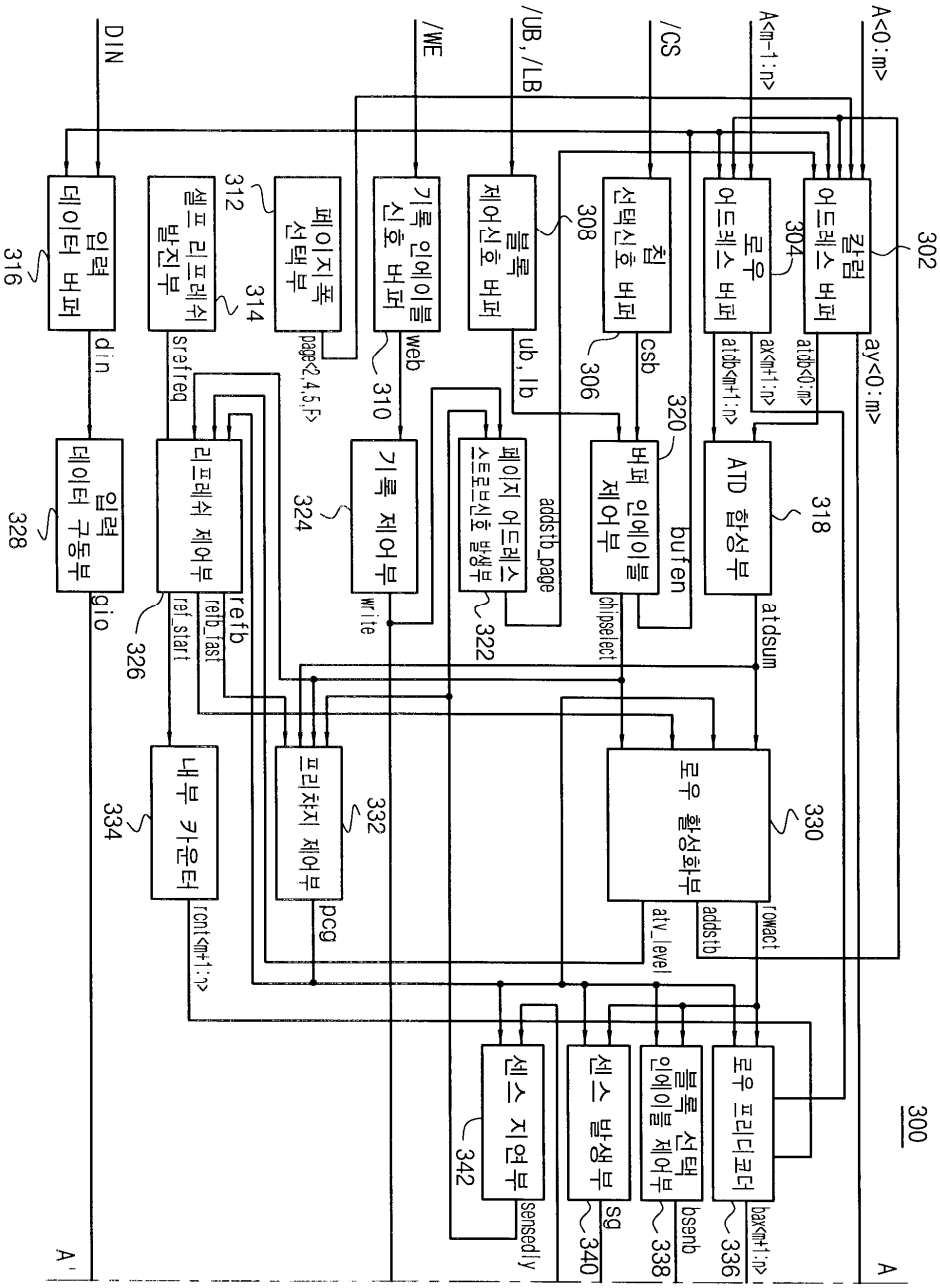
도면1


tCW
/CS
tWC
A0~Am
tAW
Am+1~An
tAS
tWP
tWR
/WE
tBW
/LB, /UB
tDW
tDH
H-Z
H-Z
DIN
tWHZ
tOW
H-Z
DOUT

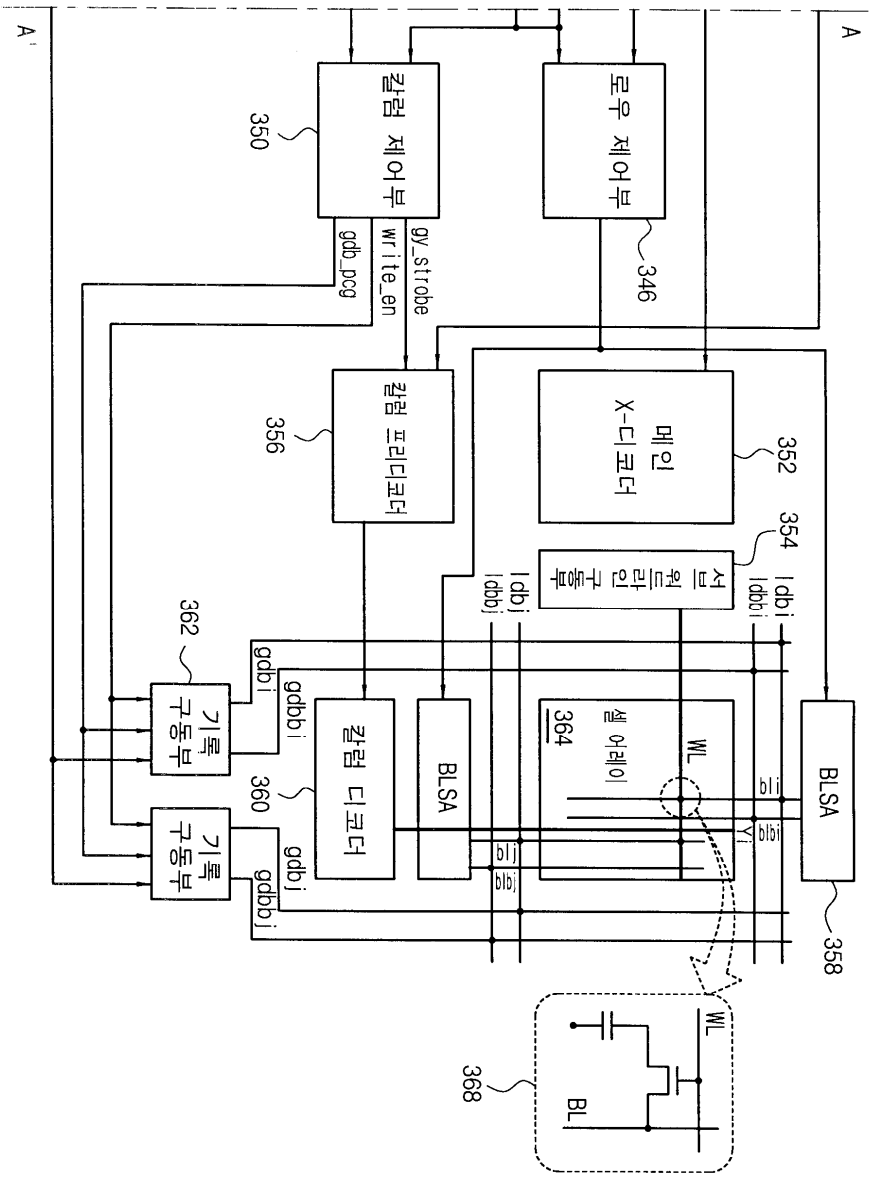
도면2


tCW
/CS
tWC
tPWC
tPWC
tPWC
A0~Am
tAW
tPAW
Am+1~An
tAS
tWP
tAS
tPWP
tAS
tAS
/WE
tBW
tWR
tWR
tWR
tWR
/LB, /UB
tPCW
tDW
tDH
tDW
tDH
tDW
tDH
tDW
tDH
H-Z
DIN
H-Z
tWHZ
tOW
DOUT
H-Z

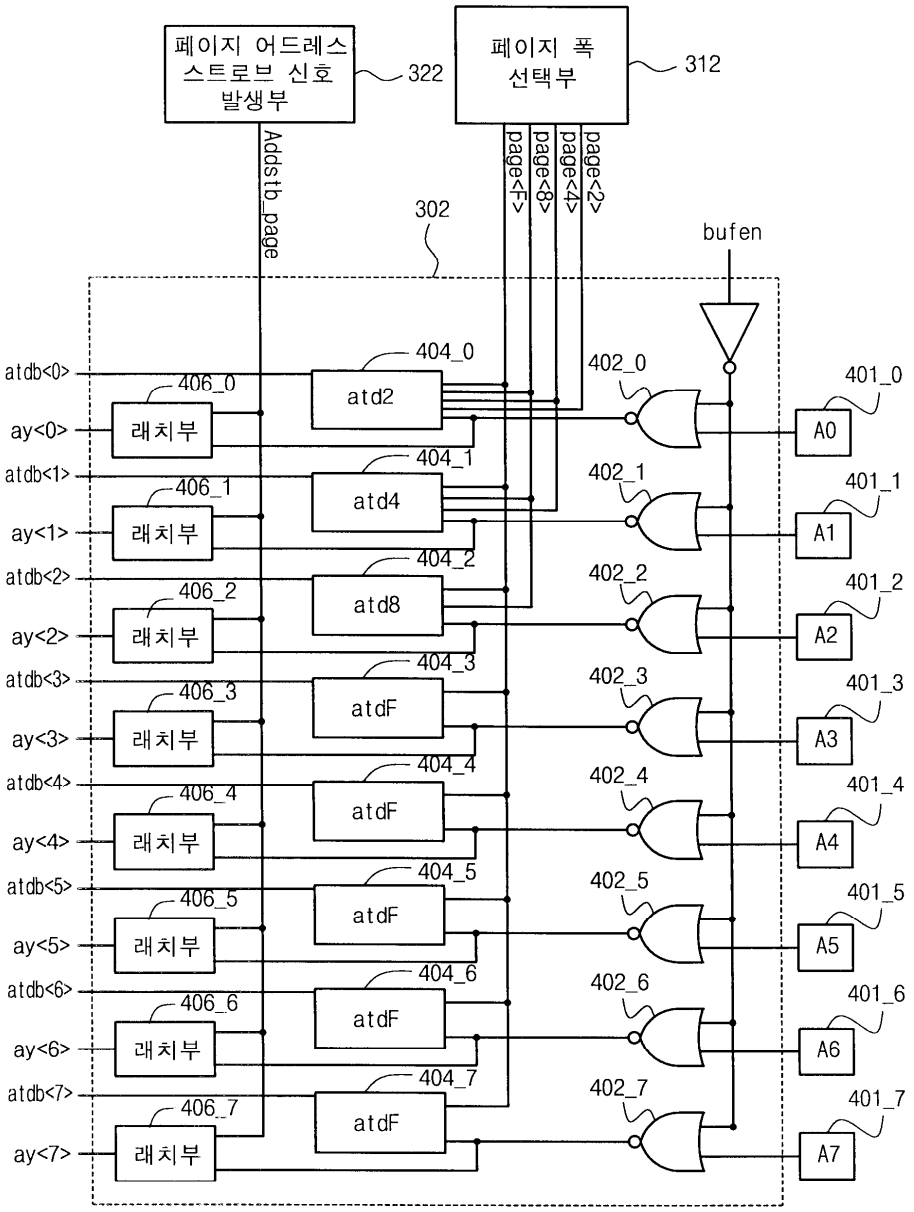
도면3a


A<0:m>
/CS
/UB, /LB
/WE
DIN
어드레스 버퍼
302
304
로우 어드레스 버퍼
칩 선택신호 버퍼
308
306
블록 제어신호 버퍼
기록 인에이블 신호 버퍼
310
페이지폭 선택부
312
셀프 리프레쉬 발진부
314
입력 데이터 버퍼
316
ATD 합성부
318
버퍼 인에이블 제어부
320
페이지 어드레스 스트로브신호 발생부
322
기록 제어부
324
리프레쉬 제어부
326
입력 데이터 구동부
328
로우 활성화부
330
프리차지 제어부
332
내부 카운터
334
로우 프리디코더
336
블록 선택 인에이블 제어부
338
센스 발생부
340
센스 지연부
342
300
ay<0:m>
atdb<0:m>
ax<m+1:n>
atdb<m+1:n>
csb
ub, lb
web
write
buten
addstb_page
colpselect
atdsum
rowact
addstb
atv_level
pcg
refb
refb_fast
ref_start
srefreq
page<2,4,5,F>
din
gio
rcnt<m+1:n>
bax<m+1:n>
bsenb
sg
sensedly
A
A'

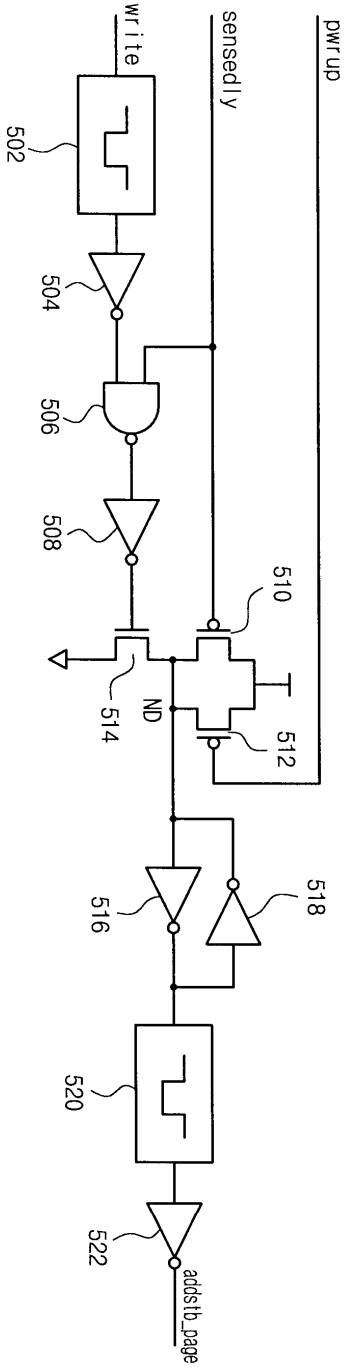
도면3b


A'
A
칼럼 제어부
350
로우 제어부
346
gdb_pcg
write_en
gy_strobe
칼럼 프리디코더
356
메인 X-디코더
352
354
센스앰프 구동부
idbj
idbbj
362
기록 구동부
gdbj
gdbbj
칼럼 디코더
360
BLSA
셀 어레이
364
WL
BL
368
358

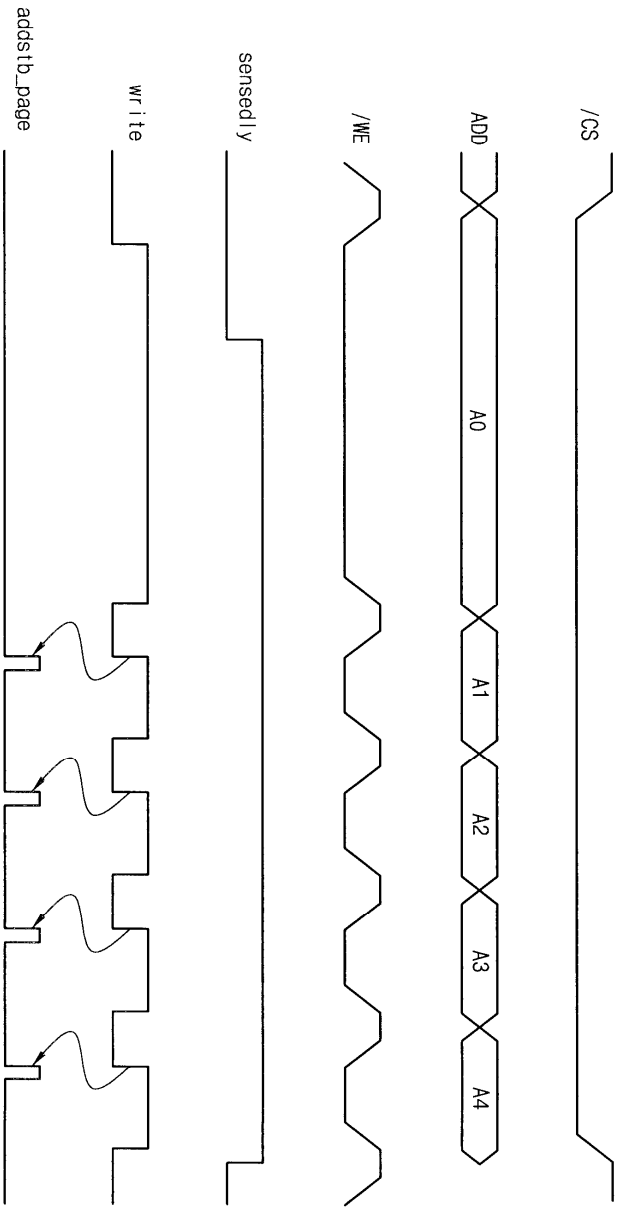
도면4


페이지 어드레스 스트로브 신호 발생부
322
페이지 폭 선택부
312
Addstb_page
page<F>
page<8>
page<4>
page<2>
302
bufen
atdb<0>
ay<0>
atdb<1>
ay<1>
atdb<2>
ay<2>
atdb<3>
ay<3>
atdb<4>
ay<4>
atdb<5>
ay<5>
atdb<6>
ay<6>
atdb<7>
ay<7>
406_0
406_1
406_2
406_3
406_4
406_5
406_6
406_7
래치부
404_0
404_1
404_2
404_3
404_4
404_5
404_6
404_7
atd2
atd4
atd8
atdF
402_0
402_1
402_2
402_3
402_4
402_5
402_6
402_7
401_0
401_1
401_2
401_3
401_4
401_5
401_6
401_7
A0
A1
A2
A3
A4
A5
A6
A7

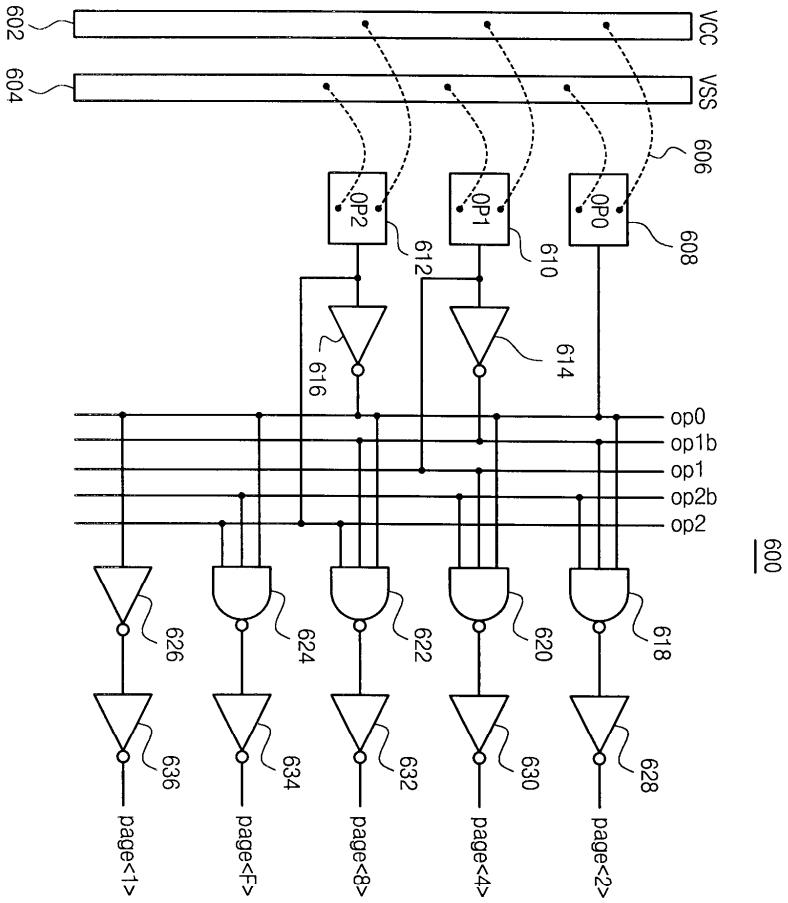
도면5a


write
sensedly
pwrup
502
504
506
508
510
512
514
ND
516
518
520
522
addstb_page
500

도면5b



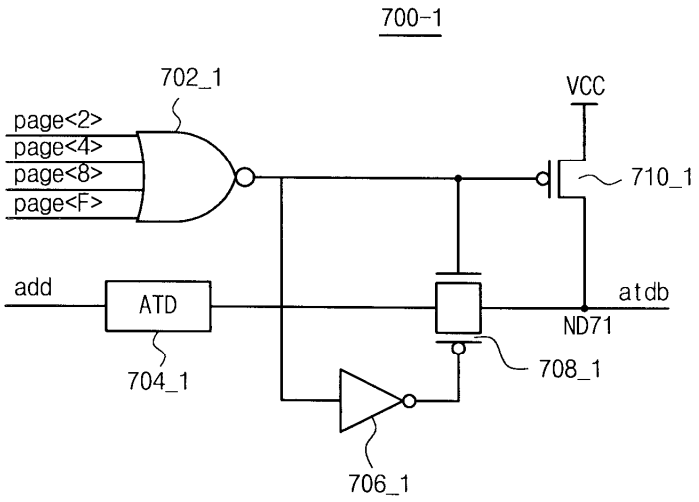
도면6a



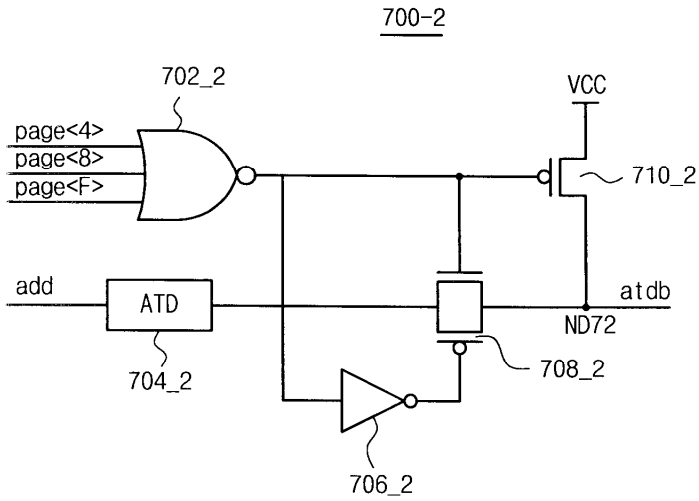
도면6b

OP0	OP1	OP2	모드
VSS	X	X	page<1>
VCC	VSS	VSS	page<2>
VCC	VCC	VSS	page<4>
VCC	VSS	VCC	page<8>
VCC	VCC	VCC	page<F>

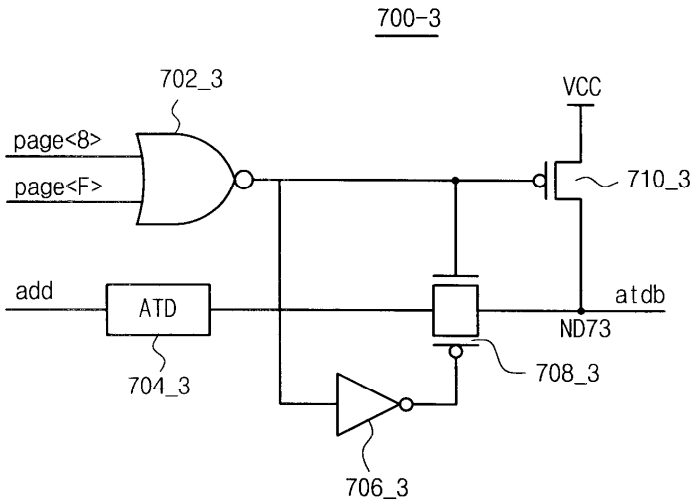
도면7a



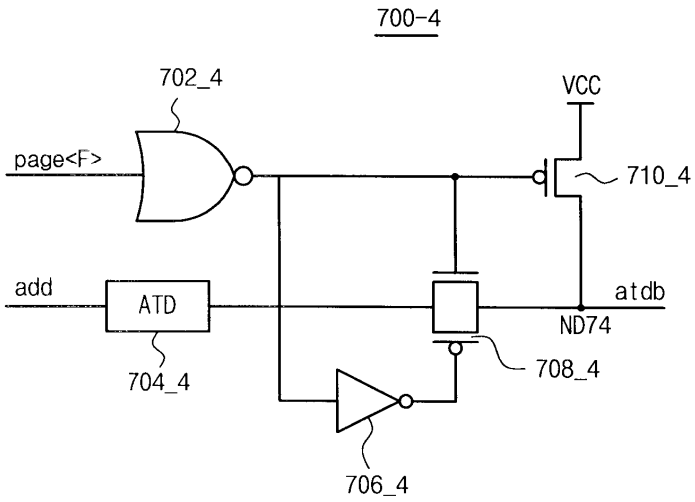
도면7b



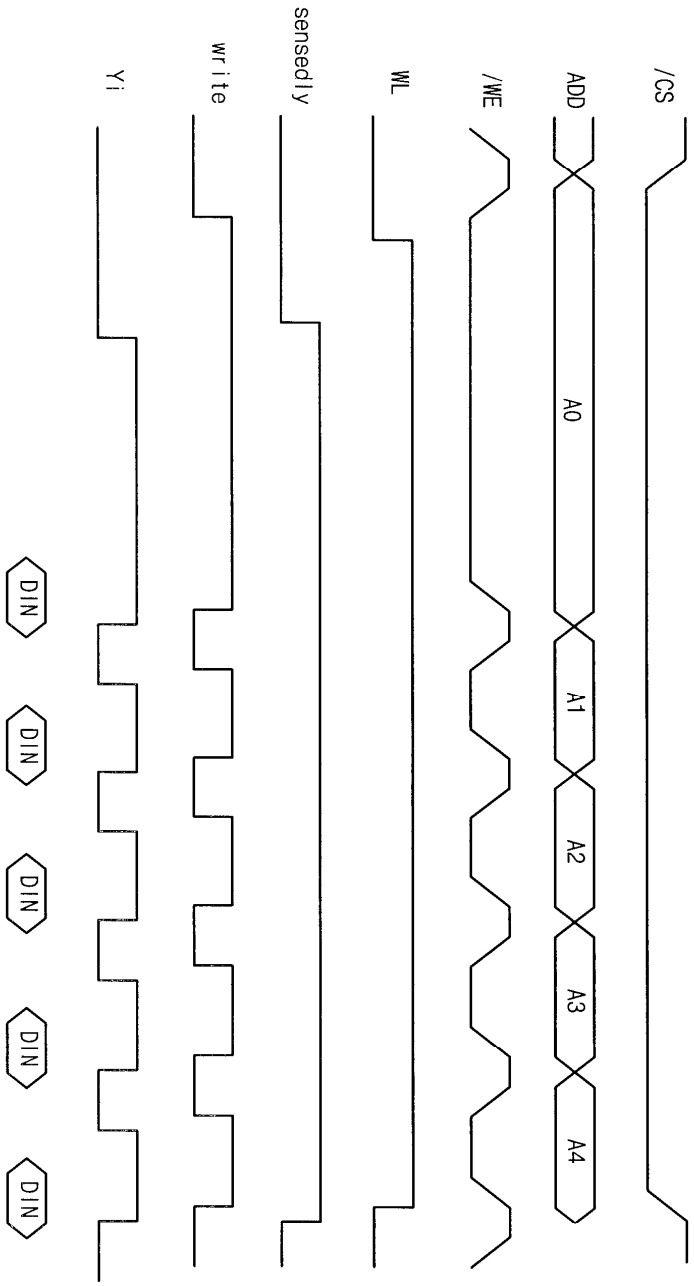
도면7c



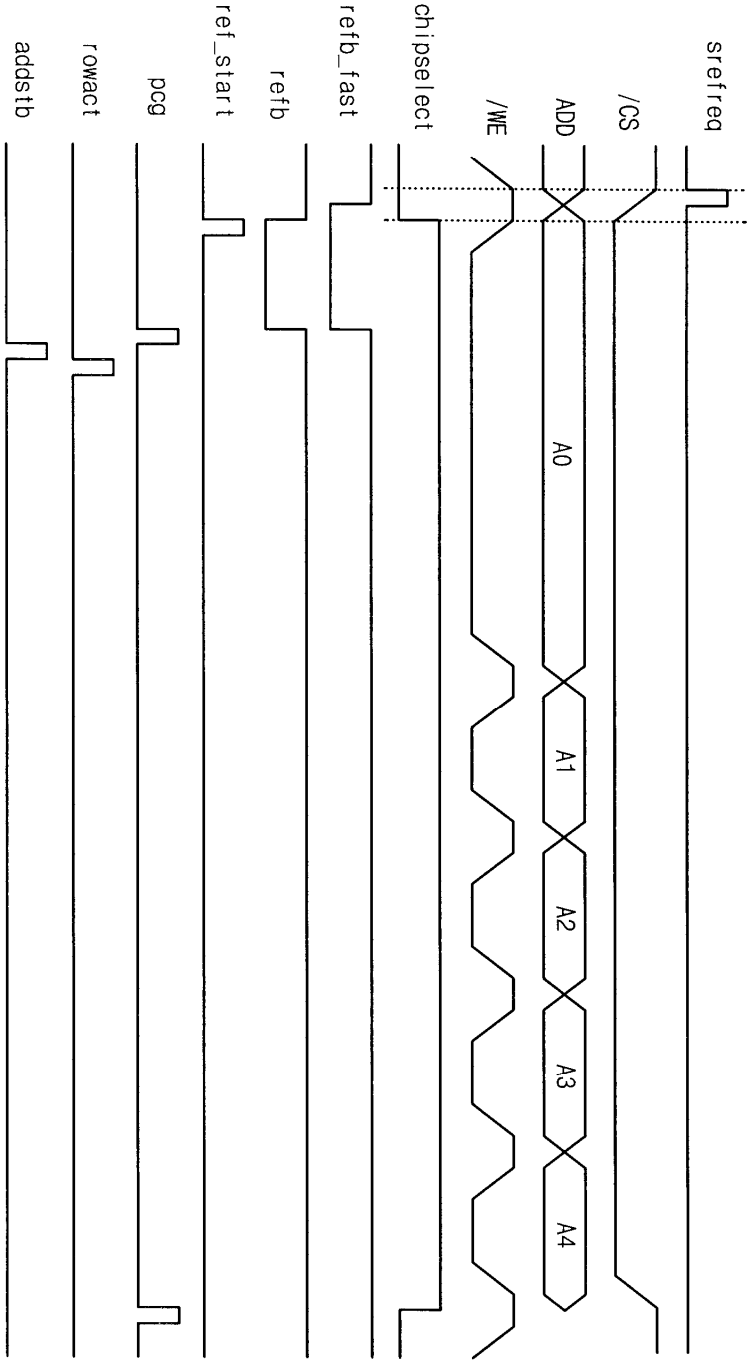
도면7d


700-4
702_4
VCC
page<F>
710_4
add
ATD
atdb
ND74
704_4
708_4
706_4

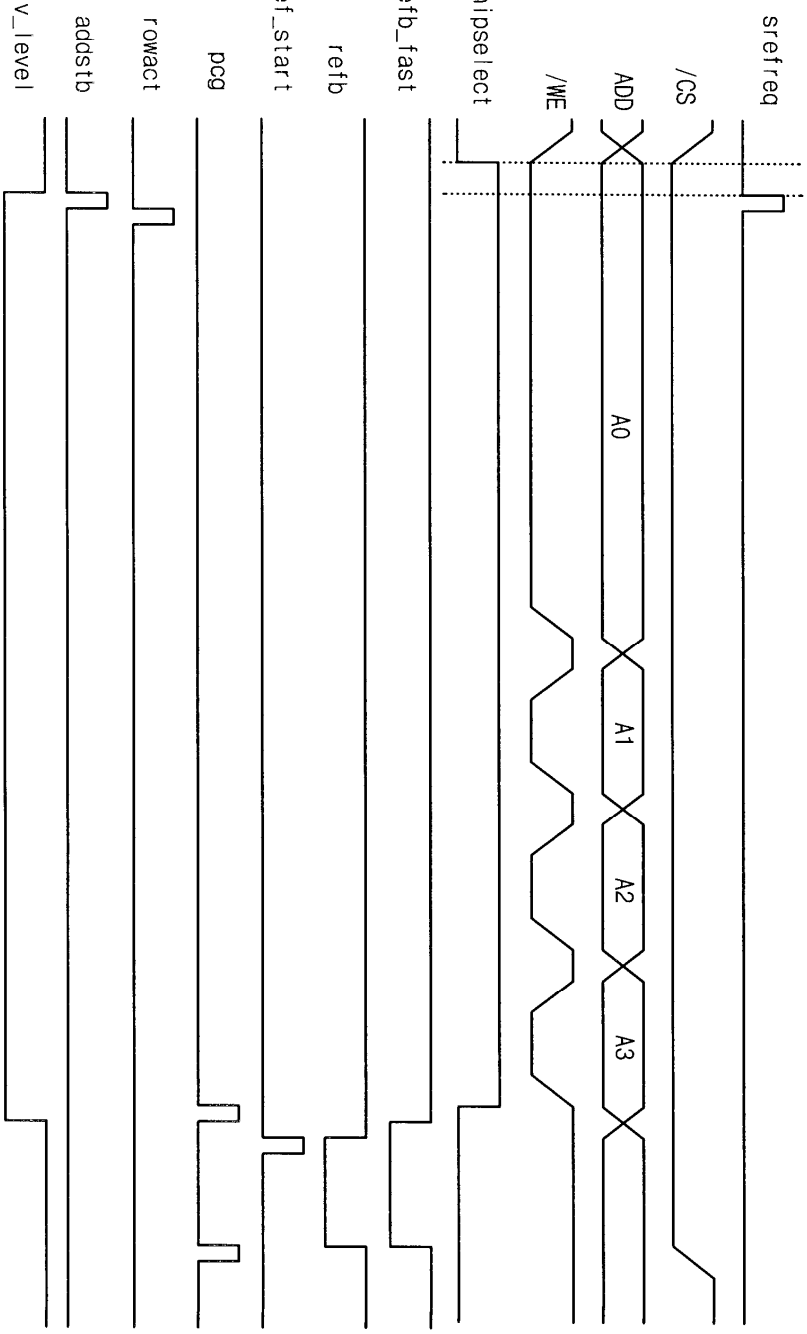
도면8


Yi
write
sensedly
WL
/WE
ADD
/CS
A0
A1
A2
A3
A4
DIN
DIN
DIN
DIN
DIN

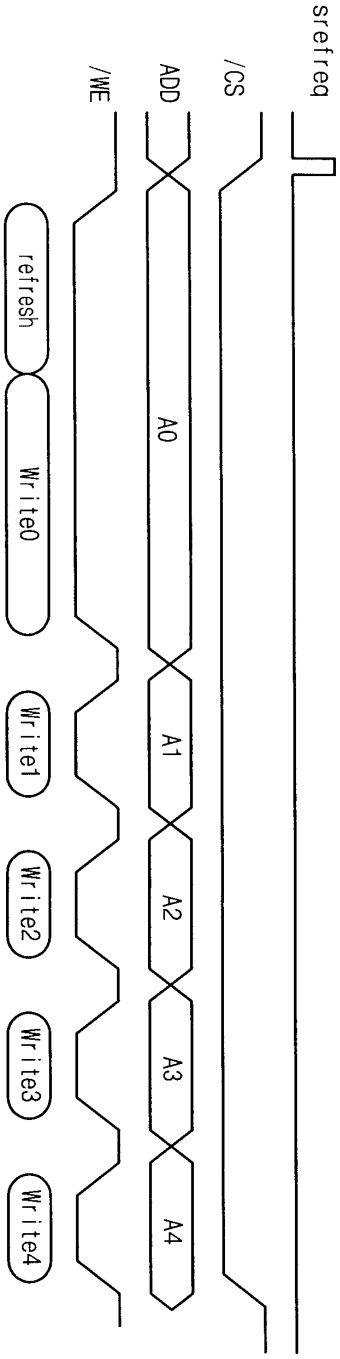
도면9


srefreq
/CS
ADD
/WE
chipselect
refb_fast
refb
ref_start
pcg
rowact
addstb
A0
A1
A2
A3
A4

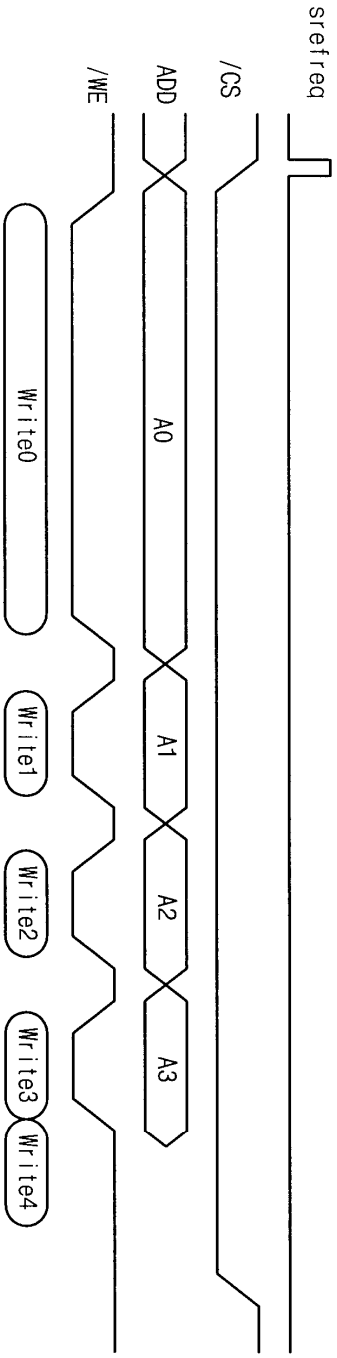
도면10


srefreq
/CS
ADD
/WE
chipselect
refb_fast
refb
ref_start
pcg
rowact
addstb
atv_level
A0
A1
A2
A3

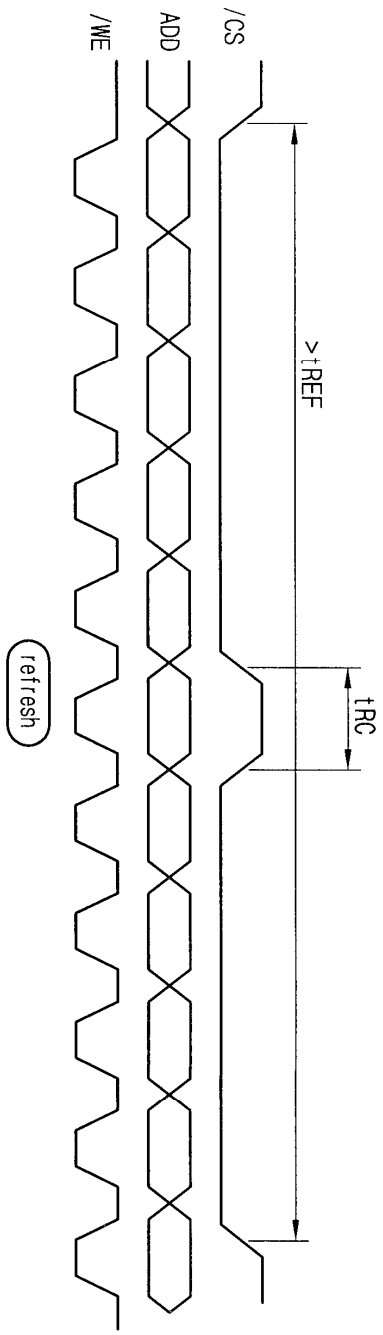
도면11a


srefreq
/CS
ADD
/WE
A0
A1
A2
A3
A4
refresh
Write0
Write1
Write2
Write3
Write4

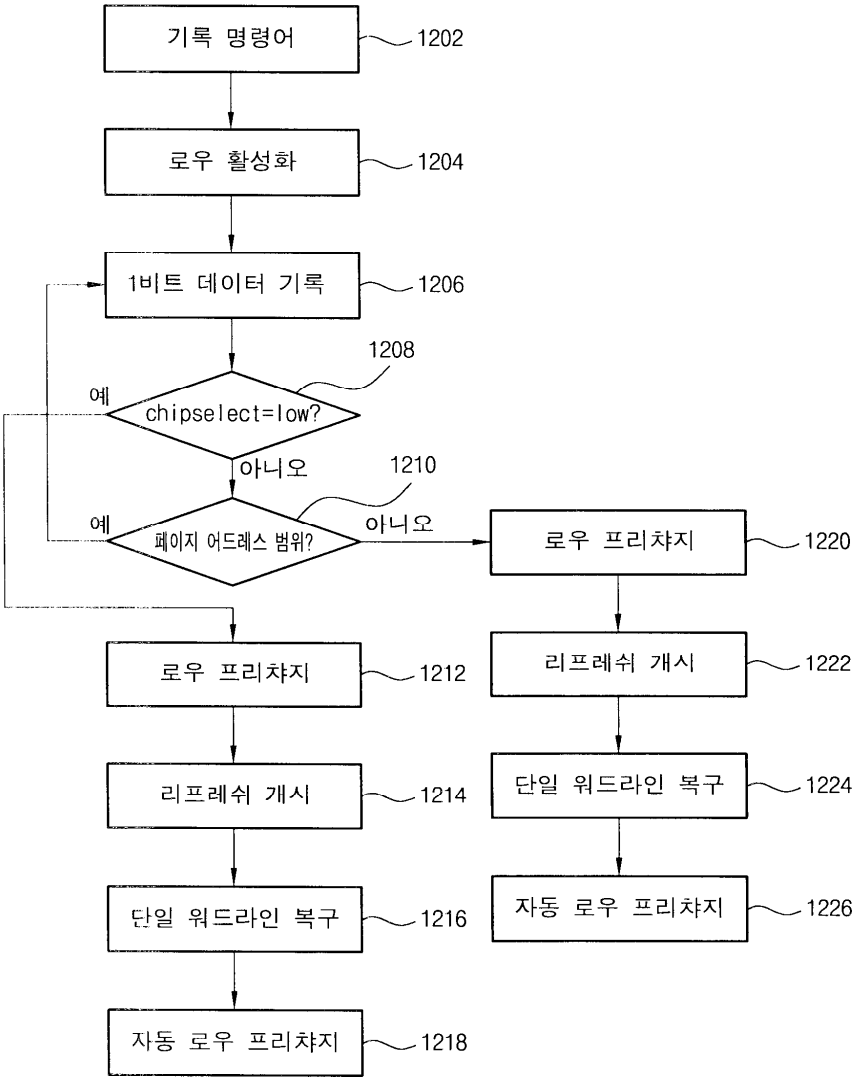
도면11b


srefreq
/CS
ADD
/WE
A0
A1
A2
A3
Write0
Write1
Write2
Write3
Write4

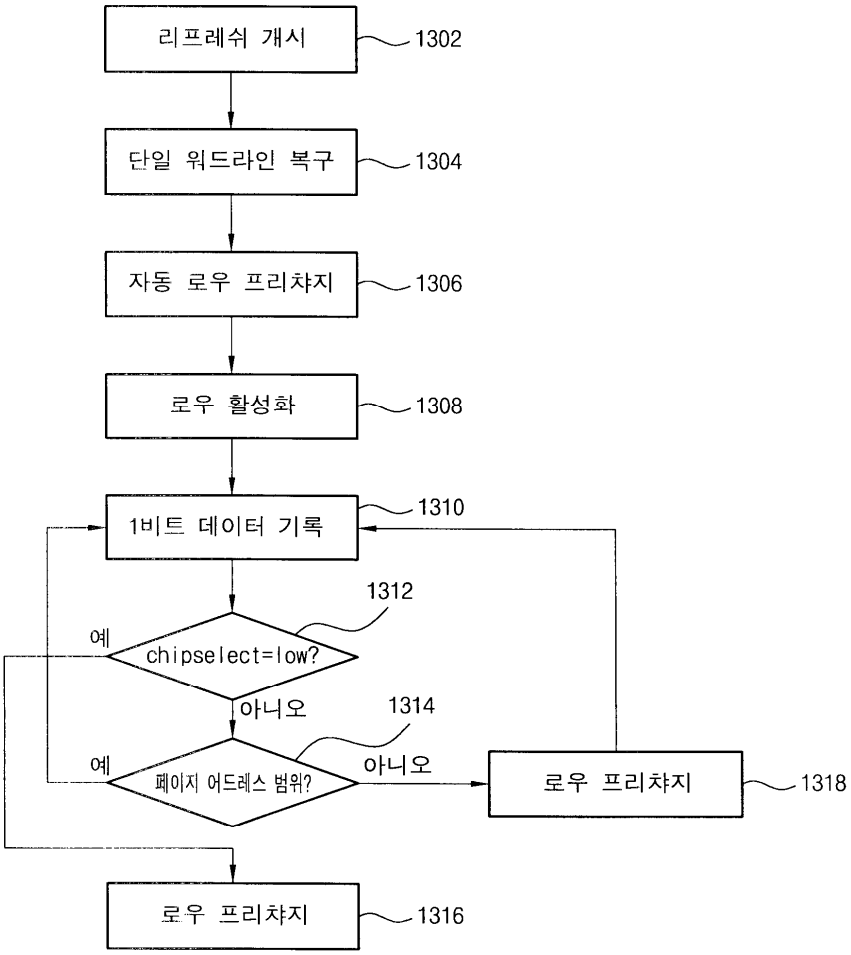
도면11c



도면12


기록 명령어
1202
로우 활성화
1204
1비트 데이터 기록
1206
1208
예
chipselect=low?
아니오
1210
예
페이지 어드레스 범위?
아니오
로우 프리챠지
1220
로우 프리챠지
1212
리프레쉬 개시
1222
리프레쉬 개시
1214
단일 워드라인 복구
1224
단일 워드라인 복구
1216
자동 로우 프리챠지
1226
자동 로우 프리챠지
1218

도면13


리프레쉬 개시
1302
단일 워드라인 복구
1304
자동 로우 프리챠지
1306
로우 활성화
1308
1비트 데이터 기록
1310
1312
예
chipselect=low?
아니오
1314
예
페이지 어드레스 범위?
아니오
로우 프리챠지
1318
로우 프리챠지
1316