



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I658767 B

(45) 公告日：中華民國 108 (2019) 年 05 月 01 日

(21) 申請案號：106133447

(22) 申請日：中華民國 106 (2017) 年 09 月 28 日

(51) Int. Cl. : H05K3/32 (2006.01)

H05K3/46 (2006.01)

(71) 申請人：欣興電子股份有限公司 (中華民國) UNIMICRON TECHNOLOGY CORP. (TW)

桃園市桃園區龜山工業區興邦路 38 號

(72) 發明人：廖伯軒 LIAO, PO HSUAN (TW)

(74) 代理人：李世章；秦建譜

(56) 參考文獻：

TW 201720262A

TW 201733765A

審查人員：劉育瑜

申請專利範圍項數：8 項 圖式數：14 共 32 頁

(54) 名稱

電路板的製造方法以及應用於製造其之堆疊結構

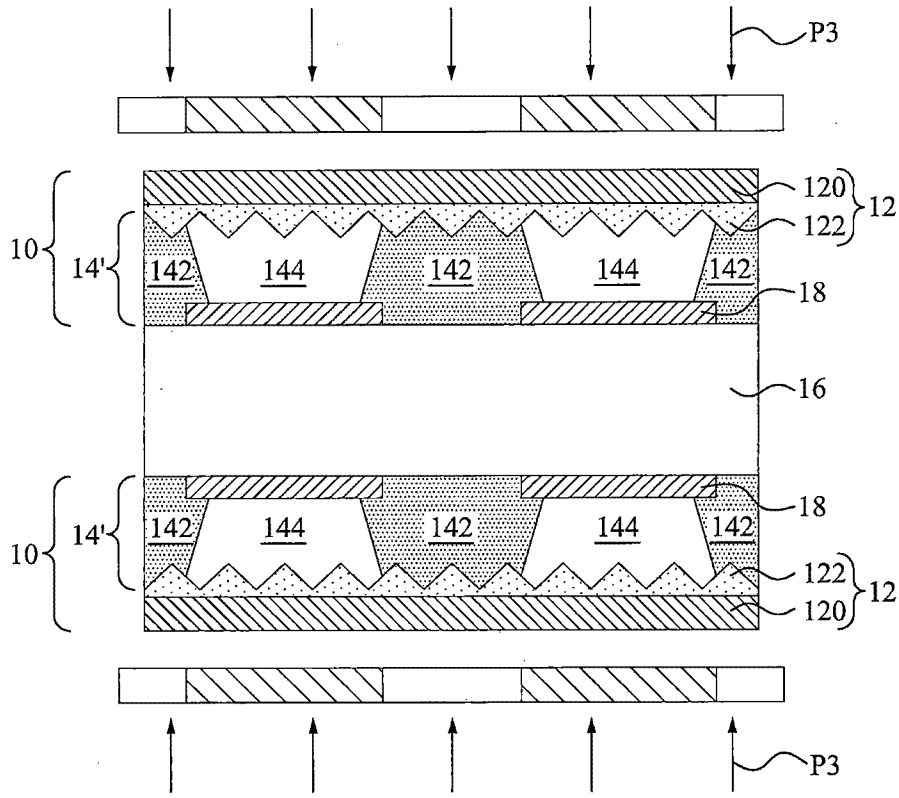
METHOD FOR MANUFACTURING CIRCUIT BOARD AND A STACKING LAYER APPLIED THERETO

(57) 摘要

一種電路板的製造方法，包含：形成多個凹陷結構於轉印層上；形成介電層於轉印層上，以形成堆疊結構，其中介電層至少與凹陷結構互嵌；壓合堆疊結構於基板上，使得介電層接觸基板；圖案化介電層，且前述之圖案化介電層包含隔著轉印層對堆疊結構進行曝光製程；以及於曝光製程完成之後移除轉印層。

A method for manufacturing a circuit board includes forming a plurality of recessing structure on a transferring layer; forming a dielectric layer on the transferring layer to form a stacking structure, in which the dielectric layer is at least embedded with the recessing structure; Pressing the stacking structure to combine with a substrate, such that the dielectric layer is in contact with the transferring layer; patterning the dielectric layer, and the patterning the dielectric layer includes performing a exposure processing to the stacking structure through the transferring layer; and after the exposure processing is finished, removing the transferring layer.

指定代表圖：



符號簡單說明：

- 10 . . . 堆疊結構
- 12 . . . 轉印層
- 14' . . . 介電層
- 16 . . . 基板
- 18 . . . 第一線路層
- 120 . . . 基材
- 122 . . . 薄膜結構
- 142 . . . 曝光區
- 144 . . . 非曝光區
- P3 . . . 曝光製程

第 6 圖

【發明說明書】

【中文發明名稱】 電路板的製造方法以及應用於製造其之堆疊結構

【英文發明名稱】 METHOD FOR MANUFACTURING CIRCUIT BOARD AND A STACKING LAYER APPLIED THERETO

【技術領域】

【0001】 本揭露係關於一種電路板，特別係關於一種應用轉印層之電路板。

【先前技術】

【0002】 線路板係目前手機、電腦以及數位相機等電子裝置(electronic device)及/或電視、洗衣機以及冰箱等家電用品所需要的零件。詳細而言，線路板能承載以及供晶片(chip)、被動元件(passive component)、主動元件(active component) 以及 微 機 電 系 統 元 件 (Microelectromechanical Systems, MEMS)等多種電子元件(electronic component)裝設於其上。如此，電流可以經由線路板而傳輸至前述之電子元件，進而運作電子裝置及/或家電用品。

【發明內容】

【0003】 依據本揭露之一實施方式，一種電路板的製造

方法，包含形成多個凹陷結構於轉印層上；形成介電層於轉印層上，以形成堆疊結構，其中介電層至少與凹陷結構互嵌；壓合堆疊結構於基板上，使得堆疊結構之介電層接觸基板；圖案化介電層，且前述之圖案化介電層包含隔著轉印層對堆疊結構進行曝光製程；以及於曝光製程完成之後移除轉印層。

【0004】 於本揭露的一或多個實施方式中，前述之形成多個凹陷結構於轉印層上包含：形成薄膜結構於基材上以形成轉印層；以及利用轉印製程將圖案形成於薄膜結構上以形成多個凹陷結構。

【0005】 於本揭露的一或多個實施方式中，電路板的製造方法更包含：於形成圖案於轉印層之薄膜結構上之後，固化薄膜結構。

【0006】 於本揭露的一或多個實施方式中，前述之形成介電層於轉印層上係使得多個凹陷結構轉印形成多個突起結構於介電層靠近轉印層之一側。

【0007】 於本揭露的一或多個實施方式中，電路板的製造方法更包含：於壓合堆疊結構於基板上之前，形成第一線路層於基板上。壓合堆疊結構於基板係使得第一線路層嵌入於堆疊結構之介電層。

【0008】 於本揭露的一或多個實施方式中，前述之圖案化介電層包含：於移除轉印層之前，曝光製程使得堆疊結構之介電層上形成曝光區以及非曝光區。於移除轉印層之後，對經曝光之介電層進行顯影製程。

【0009】 於本揭露的一或多個實施方式中，電路板的製造方法更包含：形成第二線路層於經圖案化之介電層上。第二線路層至少與介電層之曝光區互嵌。

【0010】 於本揭露的一或多個實施方式中，前述之介電層的折射率與轉印層具的折射率實質上相同。

【0011】 於本揭露的一或多個實施方式中，前述之形成多個凹陷結構於轉印層上係以多維排列的方式形成多個凹陷結構於轉印層上。

【0012】 依據本揭露之另一實施方式，一種堆疊結構應用於製造電路板。堆疊結構包含轉印層以及介電層。轉印層包含基材以及薄膜結構。薄膜結構設置於基材上，且具有多個多維排列的凹陷結構。介電層設置於轉印層上，且至少位於薄膜結構之多個凹陷結構中，使得介電層至少與薄膜結構上之多個凹陷結構互嵌。

【0013】 綜上所述，本揭露由於介電層之突起結構藉由轉印製程而與轉印層之凹陷結構互補，因此突起結構具有與凹陷結構實質上相同之粗糙面積比(Roughness Surface Area Ratio, RSAR)。因此，藉由轉印層之突起結構控制凹陷結構的粗糙面積比，因而可增加導電線路與介電層之間的接觸面積進而提高導電線路與介電層之間的結合力以微縮其線寬，並避免導電線路與介電層分離而於後續之製程中使得電路板產生起泡(blister)的問題。

【圖式簡單說明】

【0014】 為讓本揭露之上述和其他目的、特徵、優點與實施例能更明顯易懂，所附圖式之說明如下：

第1圖至第12圖分別繪示依據本揭露一實施方式之電路板於不同中間製造階段下的剖視圖。

第13圖至第14圖分別繪示依據本揭露另一實施方式之電路板於不同中間製造階段下的剖視圖。

【實施方式】

【0015】 以下的說明將提供許多不同的實施方式或實施例來實施本揭露的主題。元件或排列的具體範例將在以下討論以簡化本揭露。當然，這些描述僅為部分範例且本揭露並不以此為限。例如，將第一特徵形成在第二特徵上或上方，此一敘述不但包含第一特徵與第二特徵直接接觸的實施方式，也包含其他特徵形成在第一特徵與第二特徵之間，且在此情形下第一特徵與第二特徵不會直接接觸的實施方式。此外，本揭露可能會在不同的範例中重複標號或文字。重複的目的是為了簡化及明確敘述，而非界定所討論之不同實施方式及配置間的關係。

【0016】 此外，空間相對用語如「下面」、「下方」、「低於」、「上面」、「上方」及其他類似的用語，在此是為了方便描述圖中的一個元件或特徵與另一個元件或特徵的關係。空間相對用語除了涵蓋圖中所描繪的方位外，該用語更涵蓋裝置在使用或操作時的其他方位。也就是說，當該裝置的方位與圖式不同(旋轉90度或在其他方位)時，在本文中所使用的空間相對用語同樣可相應地進行解釋。

【0017】 請參照第1圖至第12圖。第1圖至第12圖分別繪示依據本揭露一實施方式之電路板1(標示於第12圖中)於不同中間製造階段下的剖視圖。

【0018】 如第1圖所示，提供基材120。接著，薄膜結構122形成於基材120上，以形成轉印層12。亦即，本實施方式之轉印層12包含基材120以及薄膜結構122，並應用於製造電路板1。於本實施方式中，形成薄膜結構122於基材120上的方法可包含塗佈製程、沉積製程或其他任何適合之製程。舉例而言，沉積製程可包含旋轉塗佈(spin coating)製程、槽縫式塗佈(slot coating)製程、凹版塗佈(Gravure coating)製程、滾輪塗佈(Comma Coating)製程、物理氣相沉積(physical vapor deposition, PVD)製程或其他任何適合的製程。於本實施方式中，基材120的材質包含聚乙烯對苯二甲酸酯(Polyethylene terephthalate, PET)，但本揭露不以此材料為限。

【0019】 於本實施方式中，薄膜結構122繪示為單層結構。然而，於其他實施方式中，薄膜結構122可為多層結構。本揭露之薄膜結構122的材質包含環氧樹脂(epoxy)、聚甲基丙烯酸甲酯樹脂(Arcylic resin)或環烯烴(Cyclic-Olefin)，且其厚度實質上小於5微米(μm)，但本揭露不以此材料以及厚度範圍為限。本實施方式之薄膜結構122的折射率與基材120的折射率之間具有下述關係：

$$1 \geq n_{\text{PET}}/n_{\text{A}} \geq 0.995 ;$$

其中 n_{PET} 定義為基材120之折射率，而 n_{A} 定義為薄膜結

構122之折射率。然而，本揭露之基材120的折射率與薄膜結構122的折射率不以前述關係為限，其他任何適合之關係皆能應用於本揭露。

【0020】 如第2圖所示，於形成轉印層12之後，形成多個凹陷結構1220於轉印層12之薄膜結構122上。具體來說，本實施方式利用轉印製程P1將圖案P形成於薄膜結構122上以形成多個凹陷結構1220。舉例而言，本實施方式之轉印製程P1係先製作具有圖案P的微結構於母板(未繪示)上，進而將位於母板上圖案P轉印於薄膜結構122上以形成與母板之微結構互補的凹陷結構1220。

【0021】 本實施之凹陷結構1220係以多維排列的形式均勻地具重覆規律性地形成於轉印層12之薄膜結構122上。前述多維排列的形式係指凹陷結構1220具有交錯配置之底部位1222以及頂部位1224。凹陷結構1220之頂部位1224相對於基材120具有第一高度H1，而第一高度H1實質上小於5微米。凹陷結構1220之頂部位1224相對於底部位1222具有第二高度H2，而第二高度H2與第一高度H1的比值實質上介於0.05與0.5之間。相鄰之凹陷結構1220的頂部位1224之間具有第一距離D1以及第二距離D2。於本實施方式中，第一距離D1實質上相同於第二距離D2。於其他實施方式中，第一距離D1可不同於第二距離D2，而形成疏密分佈的凹陷結構1220。

【0022】 進一步而言，兩相鄰之凹陷結構1220中之一者的兩內壁1226相夾而具有第一角度A1，而另一者的兩內壁

1226相夾而具有第二角度A2。於本實施方式中，第一角度A1實質上相同於第二角度A2，且實質上介於45°與135°之間。於其他實施方式中，第一角度A1可不同於第二角度A2。於一些實施方式中，凹陷結構1220之粗糙面積比(Roughness Surface Area Ratio, RSAR)實質上介於1.1與2.6之間。

【0023】 如第3圖所示，於形成圖案P於轉印層12之薄膜結構122上之後，利用固化製程P2以固化薄膜結構122。於一些實施方式中，固化製程P2可包含熱固化製程或光固化製程。

【0024】 如第4圖所示，於固化薄膜結構122之後，介電層14形成於轉印層12之薄膜結構122上以共同形成堆疊結構10。亦即，堆疊結構10包含轉印層12以及介電層14。進一步而言，形成介電層14於轉印層12上係使得位於轉印層12之凹陷結構1220轉印形成多個互補之突起結構140於介電層14靠近轉印層12之一側。突起結構140均勻地分佈於介電層14上，於剖面上具有直線輪廓(如第4圖中兩側壁148所示)，且至少位於薄膜結構122之多個凹陷結構1220中，使得介電層14經由突起結構140而至少與轉印層12上之凹陷結構1220互嵌。

【0025】 於本實施方式中，形成介電層14於轉印層12上的方法可包含塗佈製程，而介電層14的材質為感光型介層材料(Photoimagible Dielectric, PID)；但本揭露不以前述製程以及材料為限。於一些實施方式中，介電層14的折

射率與轉印層12之薄膜結構122的折射率之間具有下述關係：

$$1 \geq n_A/n_{PID} \geq 0.998 ;$$

其中 n_{PID} 定義為介電層14之折射率，而 n_A 定義為薄膜結構122之折射率。於本實施方式中，介電層14的折射率與轉印層12的折射率實質上相同。然而，本揭露之介電層14的折射率與薄膜結構122的折射率不以前述關係為限，其他任何適合之關係皆能應用於本揭露。

【0026】 由於介電層14之突起結構140與轉印層12之凹陷結構1220互補，因此突起結構140具有與母板以及凹陷結構1220實質上相同之粗糙面積比，並與母板具有相同之表面輪廓。於一些實施方式中，介電層14之突起結構140的粗糙面積比實質上介於1.1與2.6之間。詳細而言，若在介電層14相對於基板16的表面之粗糙面積比大於2.6的情況下，後續製程所欲形成的細線路不易形成於前述之表面上。相對地，若在介電層14相對於基板16的表面之粗糙面積比小於1.1的情況下，前述之表面無法提供足夠的接觸面積以提供介電層14與後續製程所欲形成之線路之間的結合力，因而於後續之製程中介電層14與前述之線路分離，而造成電路板1發生起泡(blister)問題。

【0027】 因此，本實施方式可藉由轉印的方式於介電層14上形成與轉印層12之凹陷結構1220互補之突起結構140，以控制凹陷結構1220的粗糙面積比。藉由母板以及轉印層12之凹陷結構1220，本實施方式之突起結構140的粗

糙面積比可被控制於約1.1至約2.6的範圍內，以提高後續製程所欲形成的細線路與介電層14的結合力，且避免於後續之烘烤製程對電路板1所造成之起泡問題。

【0028】 如第5圖所示，提供基板16。本實施方式之基板16具有相對之第一表面160以及第二表面162，且可為陶瓷板、金屬板、有機板或其他任何適合的結構。接著，分別於基板16的第一表面160以及第二表面162上形成第一線路層18。接著，於形成堆疊結構10之後，分別於基板16的第一表面160以及第二表面162上壓合堆疊結構10，使得堆疊結構10之介電層14接觸基板16的第一表面160以及第二表面162，並使得第一線路層18分別嵌入於堆疊結構10之介電層14。於本實施方式中，將堆疊結構10壓合於基板16的方法包含真空壓膜製程，但本揭露不以此製程為限。此外，本實施方式之真空壓膜製程所使用的機台可包含批次式單段壓膜機或批次式多段真空壓膜機。

【0029】 如第6圖所示，於壓合堆疊結構10於基板16上之後，圖案化介電層14。進一步而言，本實施方式係隔著轉印層12對堆疊結構10進行曝光製程P3，以於堆疊結構10之介電層14'上形成曝光區142以及非曝光區144。舉例而言，本實施方式之曝光製程P3所使用的機台可包含直接成像(Imaging System, DI)機台、鐳射直接成像(Laser Direct Imaging, LDI)機台、步進式(Stepper)機台、接觸式曝光(Contact)機台或其他任何適合的機台。由於本實施方式之介電層14的折射率與轉印層12的折射率實質上相同而相互

匹配，因此於進行曝光製程P3的過程中，轉印層12不會對介電層14的圖案化造成曝光上的影響，因而可於介電層14'上形成設計上的曝光區142以及非曝光區144。

【0030】 如第7圖所示，於對堆疊結構10進行曝光製程P3之後，轉印層12被移除以暴露出經曝光之介電層14'。亦即，於經曝光之介電層14'上，與轉印層12之凹陷結構1220互補之突起結構140被暴露出。藉此，本實施方式不須藉由額外的蝕刻製程以於經曝光之介電層14'相對基板16的表面上形成不均勻的粗造結構，因而可省略相關的蝕刻製程(例如，濕蝕刻製程)，進而簡化製造流程並降低製造成本。

【0031】 如第8圖所示，於移除轉印層12之後，對經曝光之介電層14'進行顯影製程P4，以形成經圖案化之介電層14''。進一步而言，本實施方式藉由顯影製程P4移除經曝光之介電層14'中的非曝光區144並保留曝光區142，以形成導通孔146以及經圖案化之介電層14''。第一線路層18經由導通孔146而被暴露出。接著，於顯影製程P4完成之後，利用固化製程以固化經圖案化之介電層14''。於一些實施方式中，本實施方式之固化製程可包含熱固化製程、光固化製程、上述製程之組合或其他任何適合的製程。

【0032】 如第9圖所示，於形成經圖案化之介電層14''之後，第二線路層19形成於經圖案化之介電層14''上，且形成於導通孔146中並接觸第一線路層18。第二線路層19至少與介電層14'之曝光區142上的突起結構140互嵌。於本實施方式中，形成第二線路層19於經圖案化之介電層14''上的方法

包含電鍍製程，但本揭露不以此製程為限。於本實施方式中，第二線路層19的材質包含銅(Cu)。於一些實施方式中，第二線路層19的材質可為鋁(Al)，但本揭露不以此材料為限，其他任何適合的材料皆可應用於本揭露。

【0033】 由於本實施方式之突起結構140的粗糙面積比被控制而實質上介於1.1與2.6之間，因而可增加第二線路層19與經圖案化之介電層14''之間的接觸面積，進而提高第二線路層19與經圖案化之介電層14''之間的結合力，以降低第二線路層19與經圖案化之介電層14''之間因結合力不足而導致相互分離的機會。

【0034】 如第10圖所示，於形成第二線路層19之後，光阻層17形成於第二線路層19上。本實施方式之光阻層17至少對應第一線路層18設置，且具有多個開口170，以暴露出部分之第二線路層19。光阻層17可保護第二線路層19被光阻層17所覆蓋之部位。接著，藉由蝕刻製程P5蝕刻第二線路層19被光阻層17之開口170所暴露之部位。

【0035】 如第11圖所示，於蝕刻製程P5進行完成之後，第二線路層19被圖案化以形成第一導電線路190以及第二導電線路192。

【0036】 如第12圖所示，形成第一導電線路190以及第二導電線路192之後，移除光阻層17，進而完成本實施方式之電路板1。詳細而言，第一導電線路190至少位於導通孔146中，且連接於第一線路層18。第二導電線路192位於介電層14'之曝光區142上，且電性隔離於第一導電線路190。由於

本實施方式之突起結構140的粗糙面積比被控制，因可而增加第二導電線路192與經圖案化之介電層14''之間的接觸面積，進而提高第二導電線路192與經圖案化之介電層14''之間的結合力以微縮其線寬，並避免第二導電線路192與經圖案化之介電層14''分離而於後續之製程中使得電路板1產生起泡的問題。舉例來說，本實施方式於後續之製程中所形成之第二導電線路192的線寬可小於30微米。

【0037】 此外，於本實施方式中，位於經圖案化之介電層14''上的突起結構140係暴露於第一導電線路190與第二導電線路192之間，因此於後續之製程中可接觸其他的結構，進而也可提高經圖案化之介電層14''與其他後續所形成之結構之間的結合力，以降低結構之間相互分離而導致電路板1產生缺陷的機會。

【0038】 請參照第13圖。第13圖繪示依據本揭露另一實施方式之堆疊結構20的剖視圖。如第13圖所示，本實施方式之堆疊結構20包含轉印層22以及介電層24。堆疊結構20之轉印層22進一步包含基材120以及薄膜結構222。這些元件的結構、功能以及各元件之間的連接關係皆與第1圖至第4圖所示之堆疊結構10大致相同，因此可參照前述相關說明，在此不再贅述。在此要說明的是，本實施方式與第1圖至第4圖所示之實施方式的差異之處，在於本實施方式之轉印層22之凹陷結構2220的內壁2226具有朝基材120凹陷的彎曲輪廓，而不具有如第2圖之剖視圖中內壁1226所示之直線輪廓。

【0039】 本實施之凹陷結構2220係以多維排列的形式

均勻地具重覆規律性地形成於轉印層22之薄膜結構222上。前述多維排列的形式係指凹陷結構2220具有交錯配置之底部位2222以及頂部位2224。凹陷結構2220之頂部位2224相對於基材120具有第一高度H3，而第一高度H3實質上小於5微米(μm)。凹陷結構2220之頂部位2224相對於底部位2222具有第二高度H4，而第二高度H4與第一高度H3的比值實質上介於0.05與0.5之間。相鄰之凹陷結構2220的頂部位2224之間具有第一距離D3以及第二距離D4。於本實施方式中，第一距離D3實質上相同於第二距離D4。於其他實施方式中，第一距離D3可不同於第二距離D4，而形成疏密分佈的凹陷結構2220。於一些實施方式中，凹陷結構2220之粗糙面積比(Roughness Surface Area Ratio, RSAR)實質上介於1.1與2.6之間。

【0040】 由於介電層24之突起結構240與轉印層22之凹陷結構2220互補，因此突起結構240具有與母板以及凹陷結構2220實質上相同之粗糙面積比，並與母板具有相同之表面輪廓。於一些實施方式中，介電層24之突起結構240的粗糙面積比實質上介於1.1與2.6之間。詳細而言，若在介電層24相對於基板16的表面之粗糙面積比大於2.6的情況下，後續製程所欲形成的細線路不易形成於前述之表面上。相對地，若在介電層24相對於基板16的表面之粗糙面積比小於1.1的情況下，前述之表面無法提供足夠的接觸面積以提高介電層24與後續製程所欲形成之線路之間的結合力，因而於後續之製程中介電層24與前述之線路分離，而造成電路

板2發生起泡問題。

【0041】 因此，本實施方式可藉由轉印的方式於介電層24上形成與轉印層22之凹陷結構2220(見第13圖)互補之突起結構240，以藉由轉印層22之凹陷結構2220控制突起結構240的粗糙面積比。藉此，由於轉印層22之凹陷結構2220，本實施方式之突起結構240的粗糙面積比可被控制於約1.1至約2.6的範圍內，以提高後續製程所欲形成的細線路與介電層24的結合，且避免於後續之烘烤製程對電路板2所造成之起泡(Blister)問題。

【0042】 此外，應注意的是，於本實施方式中介於第13圖至第14圖中不同中間製造階段下的製程步驟實質上相同於第5圖至第11圖所示之製程步驟，因此，相關的描述可參考前述段落，於此處不再贅述。

【0043】 請參照第14圖。第14圖繪示依據本揭露另一實施方式之電路板2的剖視圖。如第14圖所示，本實施方式之電路板2包含基板16、第一線路層18、經圖案化之介電層24''、第一導電線路190以及第二導電線路192。這些元件的結構、功能以及各元件之間的連接關係皆與第1圖至第12圖所示之電路板1大致相同，因此可參照前述相關說明，在此不再贅述。在此要說明的是，本實施方式與第1圖至第12圖所示之實施方式的差異之處，在於本實施方式中，位於介電層24上之突起結構240具有遠離基板16突出之彎曲輪廓，而不具有如第12圖之剖視圖中突起結構240所示之直線輪廓。因此，本實施方式以突起結構240取代如第10圖所示之突起結構

140。

【0044】 由於本實施方式之突起結構240的粗糙面積比被控制，因可而增加第二導電線路192與介電層24之間的接觸面積，進而提高第二導電線路192與介電層24之間的結合力以微縮其線寬，並避免後續之製程對電路板1造成起泡(Blister)的問題。舉例來說，本實施方式於後續之製程中所形成之第二導電線路192的線寬可小於30微米。

【0045】 前述多個實施方式的特徵可使本技術領域中具有通常知識者更佳地理解本揭露之各個態樣。本技術領域中具有通常知識者應可瞭解，為了達到相同之目的及/或本揭露之實施方式之相同優點，其可利用本揭露為基礎，進一步設計或修飾其他製程及結構。在本技術領域中具有通常知識者亦應瞭解，這樣的均等結構並未背離本揭露之精神及範圍，而在不背離本揭露之精神及範圍下，本技術領域中具有通常知識者可在此進行各種改變、替換及修正。

【符號說明】

【0046】

1、2：電路板

10、20：堆疊結構

12、22：轉印層

14、14'、14''、24、24''：介電層

16：基板

17：光阻層

- 170：開口
- 18：第一線路層
- 19：第二線路層
- 120：基材
- 122、222：薄膜結構
- 140、240：突起結構
- 142：曝光區
- 144：非曝光區
- 146：導通孔
- 148：側壁
- 160：第一表面
- 162：第二表面
- 190：第一導電線路
- 192：第二導電線路
- 1220、2220：凹陷結構
- 1222、2222：底部位
- 1224、2224：頂部位
- 1226、2226：內壁
- A1：第一角度
- A2：第二角度
- D1、D3：第一距離
- D2、D4：第二距離
- H1、H3：第一高度
- H2、H4：第二高度

P：圖案

P1：轉印製程

P2：固化製程

P3：曝光製程

P4：顯影製程

P5：蝕刻製程

【發明摘要】

【中文發明名稱】 電路板的製造方法以及應用於製造其之堆疊結構

【英文發明名稱】 METHOD FOR MANUFACTURING CIRCUIT BOARD AND A STACKING LAYER APPLIED THERETO

【中文】

一種電路板的製造方法，包含：形成多個凹陷結構於轉印層上；形成介電層於轉印層上，以形成堆疊結構，其中介電層至少與凹陷結構互嵌；壓合堆疊結構於基板上，使得介電層接觸基板；圖案化介電層，且前述之圖案化介電層包含隔著轉印層對堆疊結構進行曝光製程；以及於曝光製程完成之後移除轉印層。

【英文】

A method for manufacturing a circuit board includes forming a plurality of recessing structure on a transferring layer; forming a dielectric layer on the transferring layer to form a stacking structure, in which the dielectric layer is at least embedded with the recessing structure; Pressing the stacking structure to combine with a substrate, such that the dielectric layer is in contact with the transferring layer; patterning the dielectric layer, and the

patterning the dielectric layer includes performing a exposure processing to the stacking structure through the transferring layer; and after the exposure processing is finished, removing the transferring layer.

【指定代表圖】 第6圖

【代表圖之符號簡單說明】

10：堆疊結構

120：基材

12：轉印層

122：薄膜結構

14'：介電層

142：曝光區

16：基板

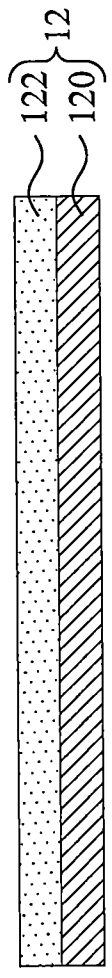
144：非曝光區

18：第一線路層

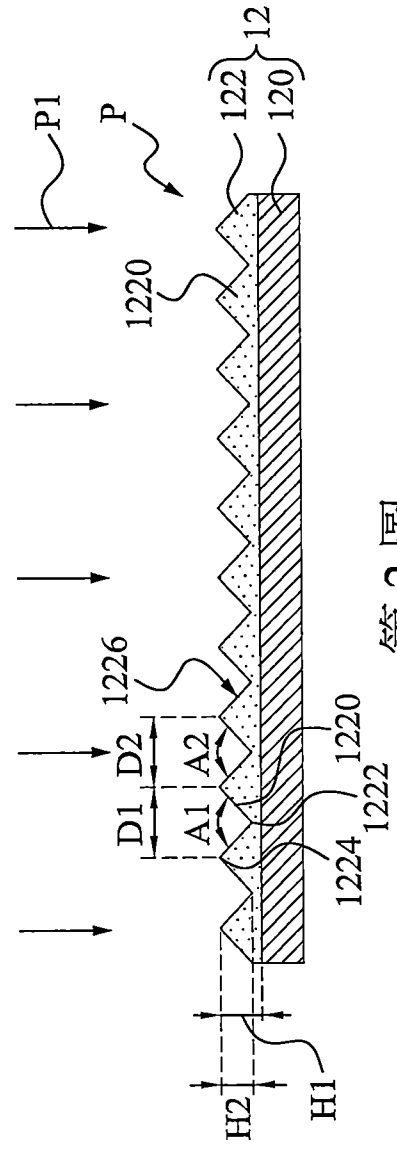
P3：曝光製程

【特徵化學式】無

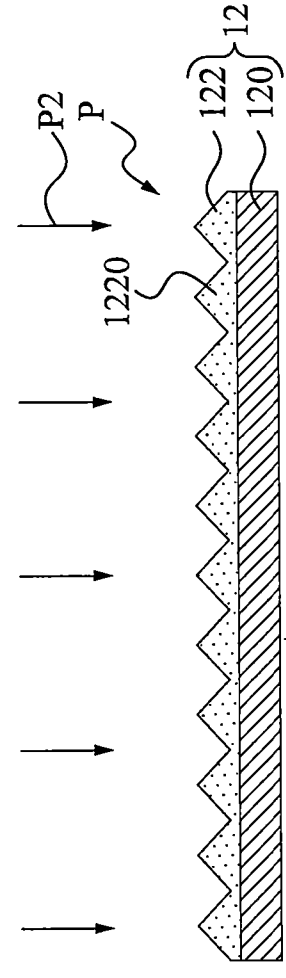
圖式



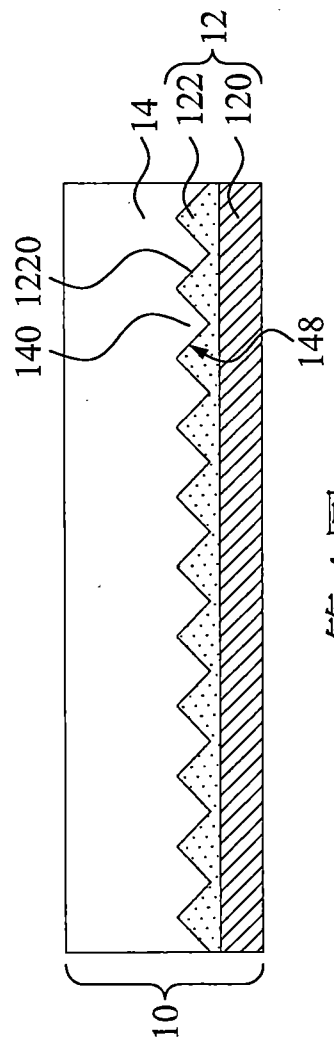
第 1 圖



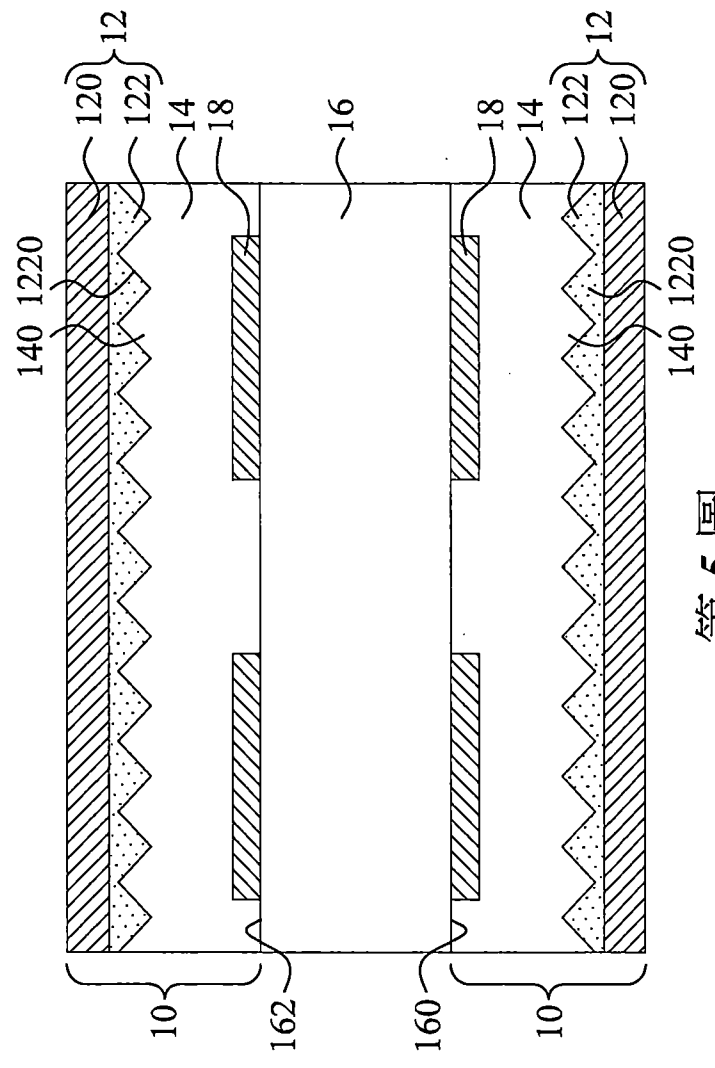
第 2 圖



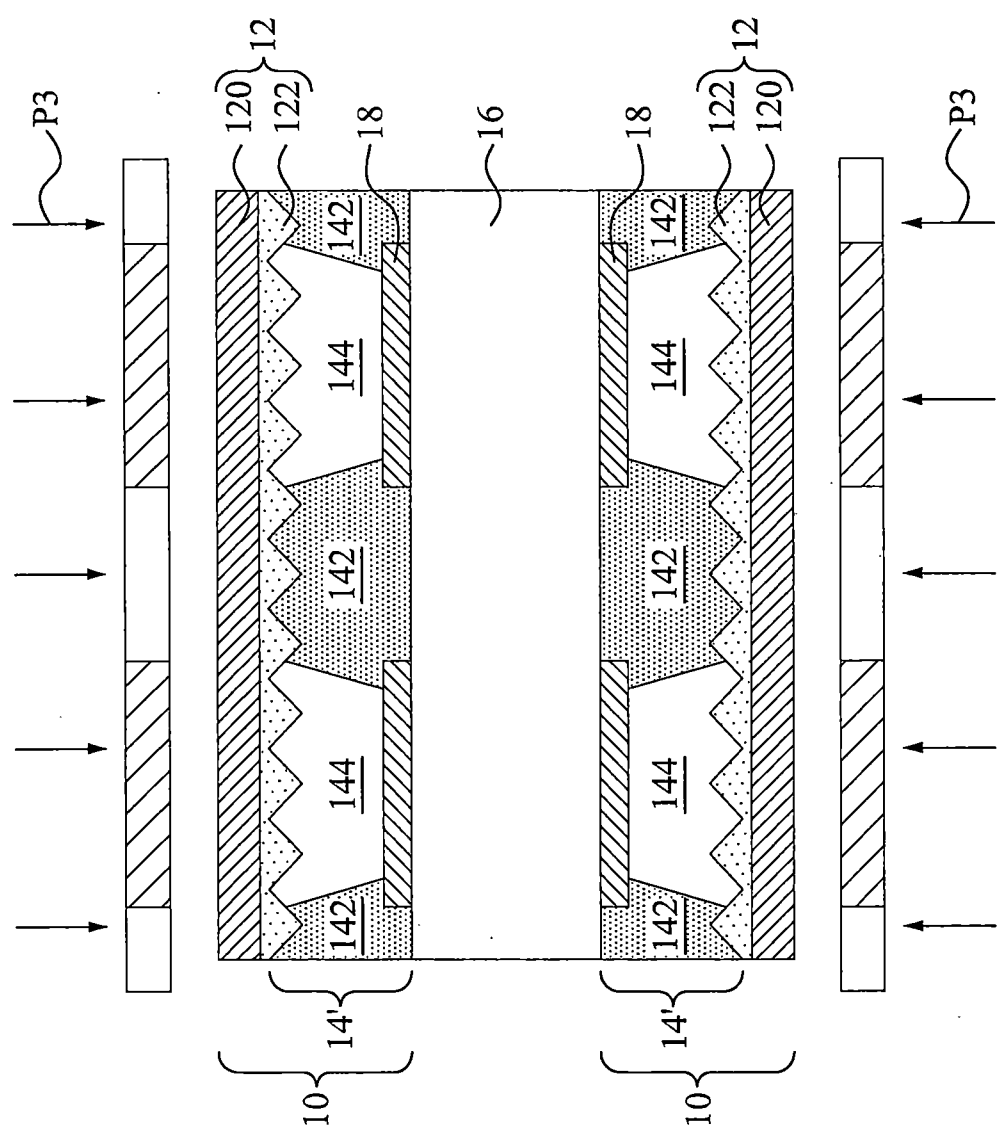
第 3 圖



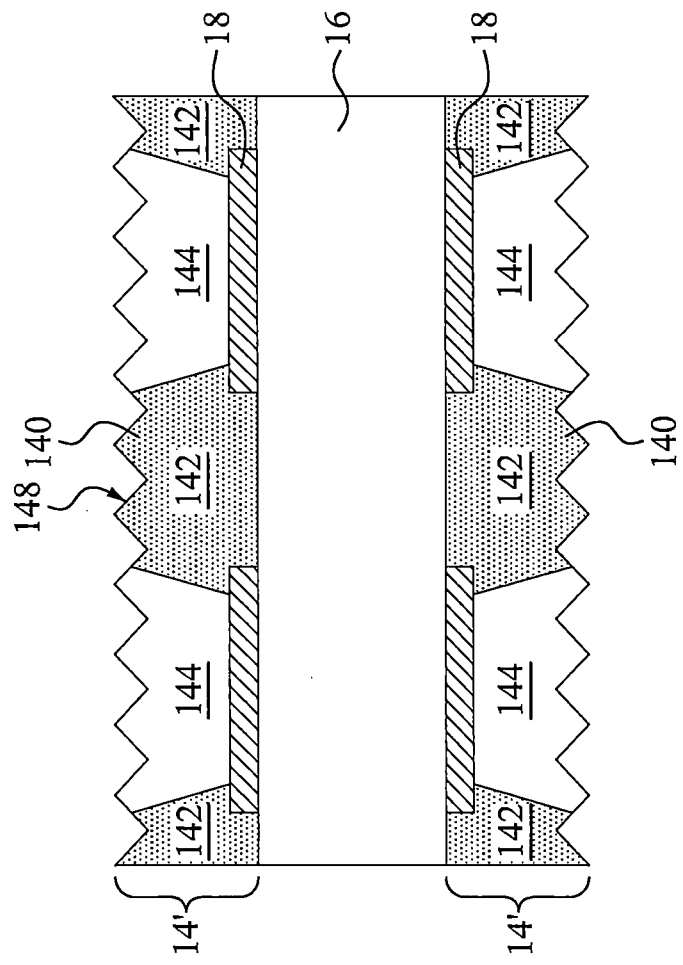
第4圖



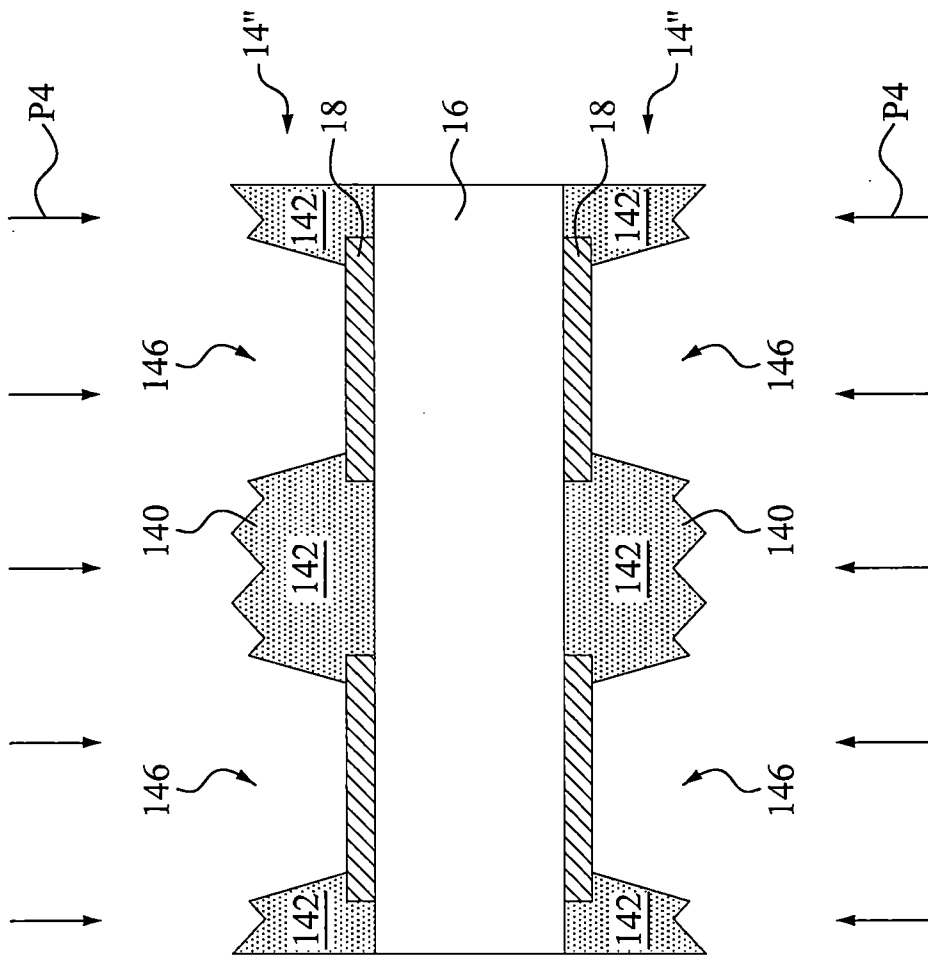
第5圖



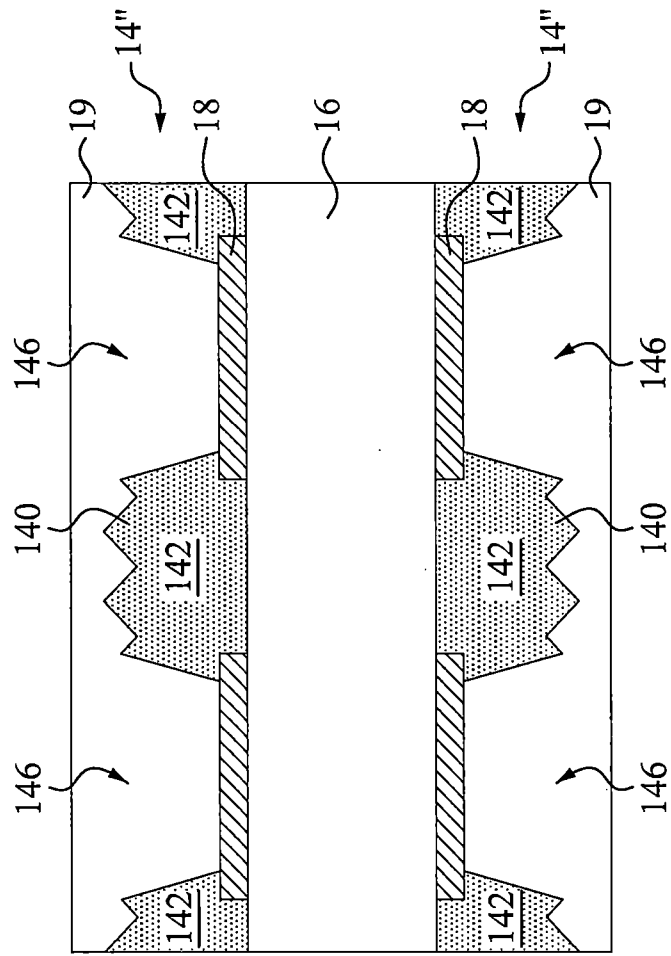
第6圖



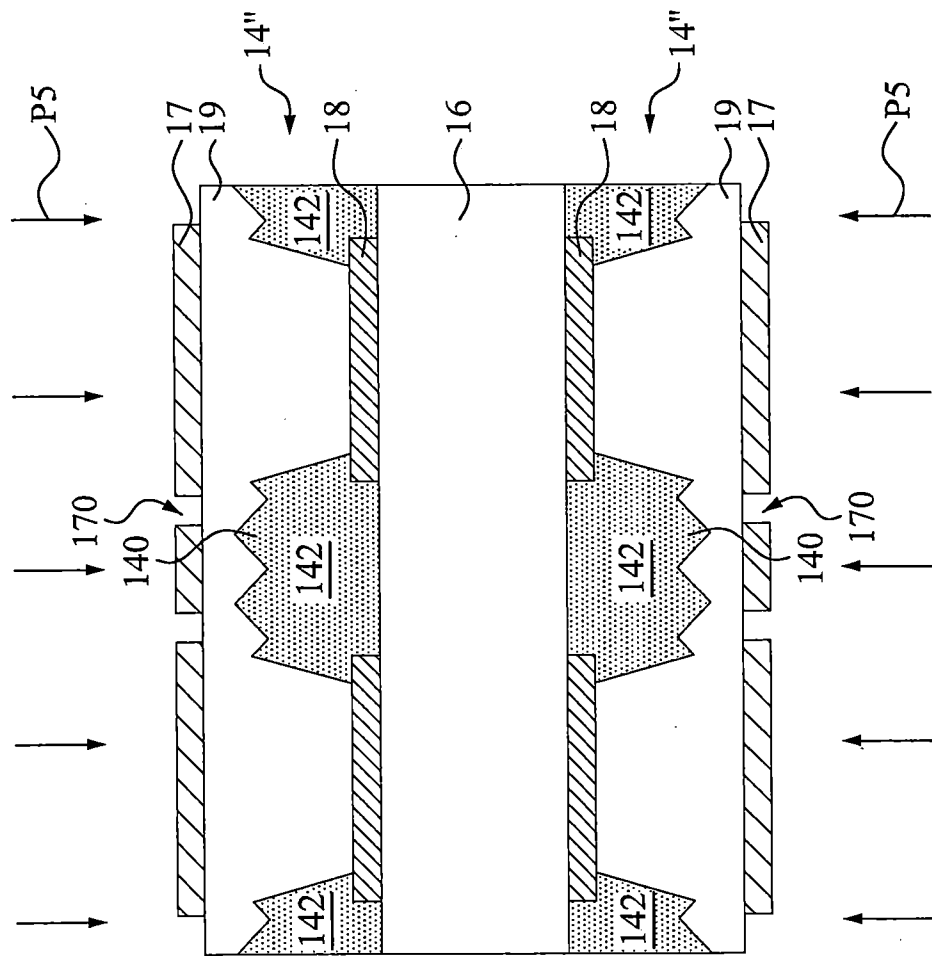
第 7 圖



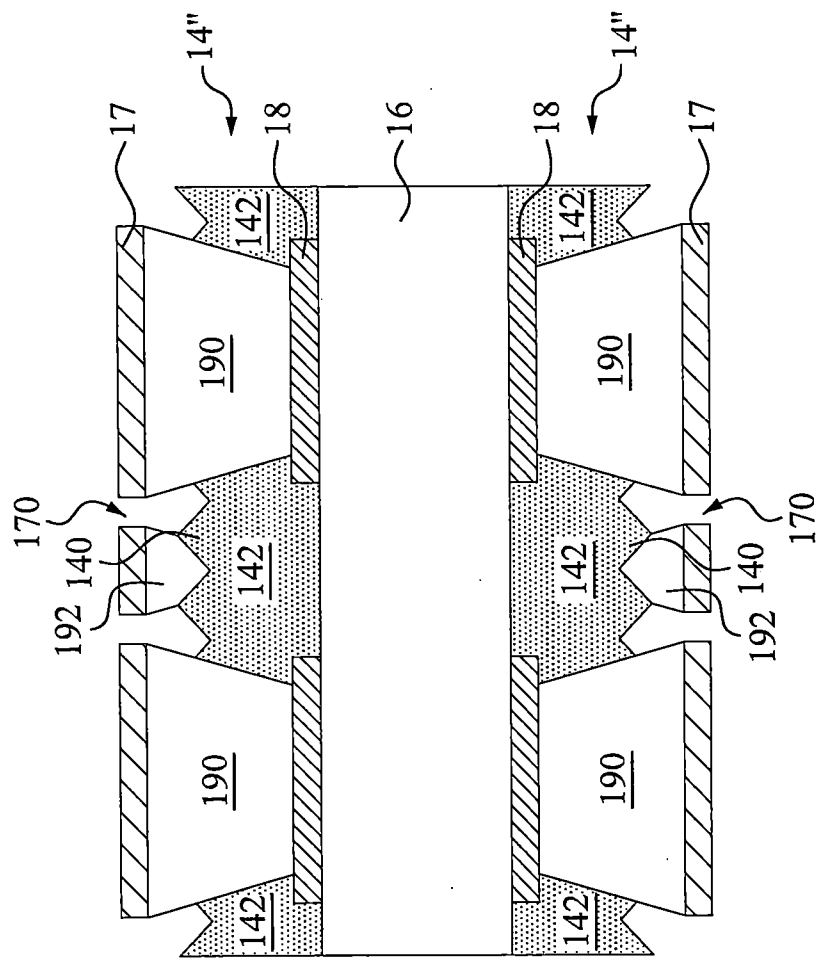
第 8 圖



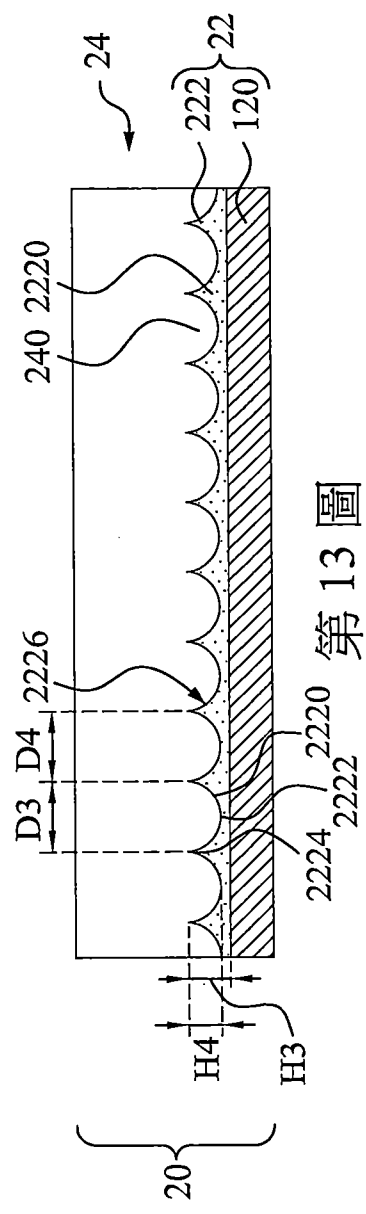
第9圖



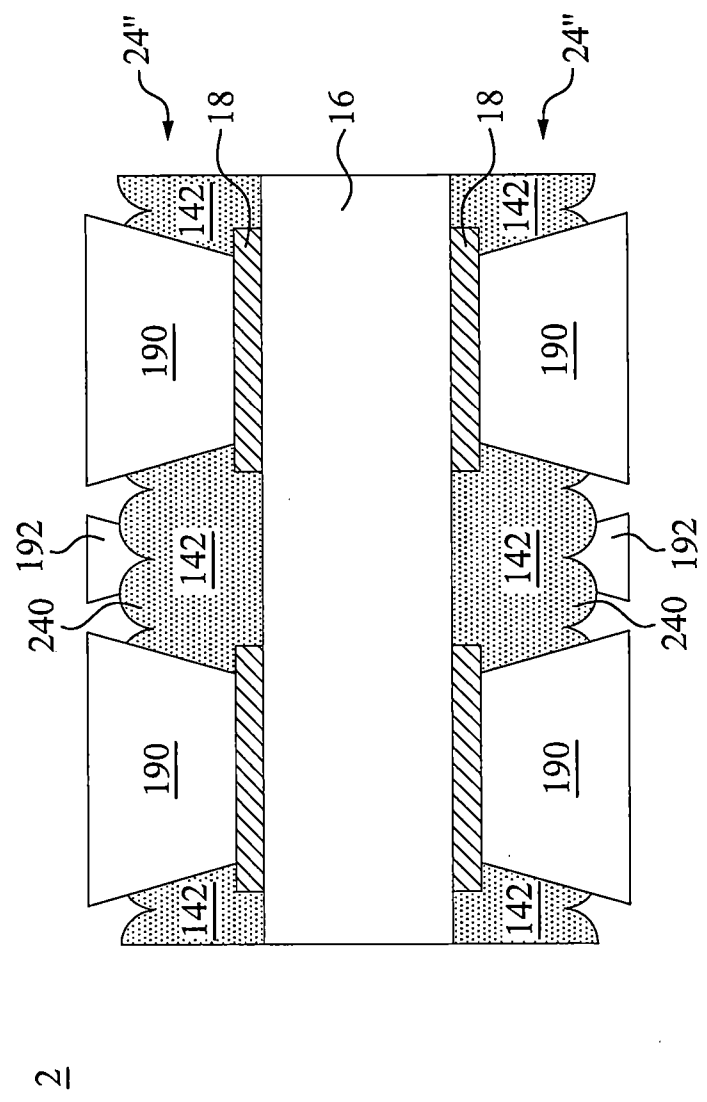
第 10 圖



第 11 圖



第 13 圖



第 14 圖

【發明申請專利範圍】

【第 1 項】一種電路板的製造方法，包含：

形成一薄膜結構於一基材上以形成一轉印層；

利用一轉印製程將一圖案形成於該薄膜結構上以形成複數個凹陷結構，其中該些凹陷結構係以多維排列的形式，均勻地並重覆規律性地形成於該薄膜結構上；

形成一介電層於該轉印層上，以形成一堆疊結構，其中該介電層至少與該些凹陷結構互嵌；

壓合該堆疊結構於一基板上，使得該介電層接觸該基板；

圖案化該介電層，且該圖案化該介電層包含：

隔著該轉印層對該堆疊結構進行一曝光製程；

以及

於該曝光製程完成之後移除該轉印層。

【第 2 項】如請求項 1 所述之電路板的製造方法，更包含：

於該形成該圖案於該薄膜結構上之後，利用一固化製程固化該薄膜結構。

【第 3 項】如請求項 1 所述之電路板的製造方法，其中該形成該介電層於該轉印層上係使得該些凹陷結構轉印形成複數個突起結構於該介電層靠近該轉印層之一側。

【第 4 項】如請求項 1 所述之電路板的製造方法，更

包含：

於該壓合該堆疊結構於該基板上之前，形成一第一線路層於該基板上，其中該壓合該堆疊結構於該基板係使得該第一線路層嵌入於該介電層。

【第 5 項】如請求項 1 所述之電路板的製造方法，其中該圖案化該介電層包含：

於該移除該轉印層之前，該曝光製程使得該介電層上形成一曝光區以及一非曝光區；以及

於該移除該轉印層之後，對經曝光之該介電層進行一顯影製程。

【第 6 項】如請求項 5 所述之電路板的製造方法，更包含：

形成一第二線路層於經圖案化之該介電層上，其中該第二線路層至少與該介電層之該曝光區互嵌。

【第 7 項】如請求項 1 所述之電路板的製造方法，其中該介電層的折射率與該轉印層具的折射率實質上相同。

【第 8 項】一種堆疊結構，應用於製造一電路板，該堆疊結構包含

一轉印層，包含：

一基材；以及

一薄膜結構，設置於該基材上，且具有複數個

凹陷結構，該些凹陷結構係以多維排列的形式，均勻地並重覆規律性地形成於該薄膜結構上；以及一介電層，設置於轉印層上，且至少位於該薄膜結構之該些凹陷結構中，使得該介電層至少與該些凹陷結構互嵌。