



(12) 发明专利申请

(10) 申请公布号 CN 103150987 A

(43) 申请公布日 2013.06.12

(21) 申请号 201210570692.4

(22) 申请日 2012.12.25

(30) 优先权数据

101140494 2012.11.01 TW

(71) 申请人 友达光电股份有限公司

地址 中国台湾新竹科学工业园区新竹市力行二路1号

(72) 发明人 刘立伟 蔡宗廷

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 梁挥 祁建国

(51) Int. Cl.

G09G 3/20 (2006.01)

G09G 3/32 (2006.01)

G11C 19/28 (2006.01)

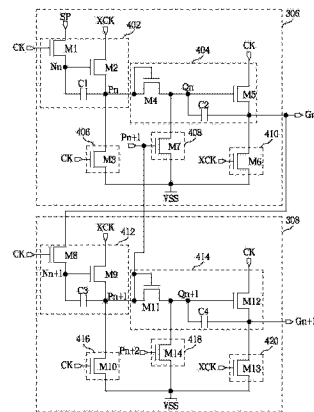
权利要求书3页 说明书6页 附图9页

(54) 发明名称

栅极扫描器驱动电路及其移位寄存器

(57) 摘要

本发明提供一种栅极扫描器驱动电路及其移位寄存器第N级移位寄存器包含上拉单元、驱动单元、第一下拉单元、第二下拉单元及第三下拉单元。该上拉单元用以根据第一时钟信号、第二时钟信号及起始信号提供第一上拉信号。该驱动单元用以根据该第一上拉信号提供驱动信号，及根据该第一时钟信号及该驱动信号提供栅极信号。该第一下拉单元用以根据该第一时钟信号下拉该第一上拉信号。该第二下拉单元用以根据第二上拉信号，下拉该驱动信号。该第三下拉单元用以根据该第二时钟信号，下拉该栅极信号。



1. 一种移位寄存器,其特征在于,包含:

一第一晶体管,具有一用以接收一第一时钟信号的控制端,一用以接收一起始信号的第一端,及一第二端;

一第二晶体管,具有一耦接于该第一晶体管的第二端控制端,一用以接收一第二时钟信号的第一端,及一用以提供一第一上拉信号的第二端;

一第三晶体管,具有一用以接收该第一时钟信号的控制端,一耦接于该第二晶体管的第二端的第一端,及一用以接收一低电位的第二端;

一第四晶体管,具有一耦接于该第二晶体管的第二端控制端,一耦接于该第四晶体管的控制端的第一端,及一用以提供一驱动信号的第二端;

一第五晶体管,具有一耦接于该第四晶体管的第二端控制端,一用以接收该第一时钟信号的第一端,及一用以提供一栅极信号的第二端;

一第六晶体管,具有一用以接收该第二时钟信号的控制端,一耦接于该第五晶体管的第二端的第一端,及一耦接于该第三晶体管的第二端的第二端;及

一第七晶体管,具有一用以接收一第二上拉信号的控制端,一耦接于该第五晶体管的控制端的第一端,及一耦接于该第三晶体管的第二端的第二端。

2. 根据权利要求1所述的移位寄存器,其特征在于,另包含:

一第一电容,耦接于该第一晶体管的第二端及该第二晶体管的第二端之间。

3. 根据权利要求2所述的移位寄存器,其特征在于,另包含:

一第二电容,耦接于该第五晶体管的控制端及第二端之间。

4. 根据权利要求1所述的移位寄存器,其特征在于,该第一时钟信号及该第二时钟信号为反相的频率信号。

5. 一种栅极扫描器驱动电路,其特征在于,包含:

第N级移位寄存器,包含:

一第一晶体管,具有一用以接收一第一时钟信号的控制端,一用以接收一起始信号的第一端,及一第二端;

一第二晶体管,具有一耦接于该第一晶体管的第二端控制端,一用以接收一第二时钟信号的第一端,及一用以提供一第一上拉信号的第二端;

一第三晶体管,具有一用以接收该第一时钟信号的控制端,一耦接于该第二晶体管的第二端的第一端,及一用以接收一低电位的第二端;

一第四晶体管,具有一耦接于该第二晶体管的第二端控制端,一耦接于该第四晶体管的控制端的第一端,及一用以提供一第一驱动信号的第二端;

一第五晶体管,具有一耦接于该第四晶体管的第二端控制端,一用以接收该第一时钟信号的第一端,及一用以提供一第一栅极信号的第二端;

一第六晶体管,具有一用以接收该第二时钟信号的控制端,一耦接于该第五晶体管的第二端的第一端,及一耦接于该第三晶体管的第二端的第二端;及

一第七晶体管,具有一用以接收一第二上拉信号的控制端,一耦接于该第五晶体管的控制端的第一端,及一耦接于该第三晶体管的第二端的第二端;及

第N+1级移位寄存器,包含:

一第八晶体管,具有一用以接收该第一时钟信号的控制端,一用以接收该第一栅极信

号的第一端,及一第二端;

一第九晶体管,具有一耦接于该第八晶体管的第二端的控制端,一用以接收该第二时钟信号的第一端,及一用以提供该第二上拉信号的第二端;

一第十晶体管,具有一用以接收该第一时钟信号的控制端,一耦接于该第九晶体管的第二端的第一端,及一用以接收该低电位的第二端;

一第十一晶体管,具有一耦接于该第九晶体管的第二端的控制端,一耦接于该第十一晶体管的控制端的第一端,及一用以提供一第二驱动信号的第二端;

一第十二晶体管,具有一耦接于该第十一晶体管的第二端的控制端,一用以接收该第一时钟信号的第一端,及一用以提供一第二栅极信号的第二端;

一第十三晶体管,具有一用以接收该第二时钟信号的控制端,一耦接于该第十二晶体管的第二端的第一端,及一耦接于该第十晶体管的第二端的第二端;及

一第十四晶体管,具有一用以接收一第三上拉信号的控制端,一耦接于该第十二晶体管的控制端的第一端,及一耦接于该第十晶体管的第二端的第二端。

6. 根据权利要求 5 所述的移位寄存器,其特征在于,该第 N 级移位寄存器另包含:

一第一电容,耦接于该第一晶体管的第二端及该第二晶体管的第二端之间;及

一第二电容,耦接于该第五晶体管的控制端及第二端之间。

7. 根据权利要求 5 所述的移位寄存器,其特征在于,该第 N+1 级移位寄存器另包含:

一第三电容,耦接于该第八晶体管的第二端及该第九晶体管的第二端之间;及

一第四电容,耦接于该第十二晶体管的控制端及第二端之间。

8. 根据权利要求 5 所述的移位寄存器,其特征在于,该第一时钟信号及该第二时钟信号为反相的频率信号。

9. 一移位寄存器,其特征在于,包含:

一上拉单元,用以根据一第一时钟信号、一第二时钟信号及一起始信号,提供一第一上拉信号;及

一驱动单元,用以根据该第一上拉信号,提供一驱动信号,及用以根据该第一时钟信号及该驱动信号,提供一栅极信号。

10. 根据权利要求 9 所述的移位寄存器,其特征在于,另包含:

一第一下拉单元,用以根据该第一时钟信号,下拉该第一上拉信号;

一第二下拉单元,用以根据一第二上拉信号,下拉该驱动信号;及

一第三下拉单元,用以根据该第二时钟信号,下拉该栅极信号。

11. 根据权利要求 10 所述的移位寄存器,其特征在于,该上拉单元包含:

一第一晶体管,具有一用以接收该第一时钟信号的控制端,一用以接收该起始信号的第一端,及一第二端;

一第二晶体管,具有一耦接于该第一晶体管的第二端的控制端,一用以接收该第二时钟信号的第一端,及一用以提供该第一上拉信号的第二端;及

一第一电容,耦接于该第一晶体管的第二端及该第二晶体管的第二端之间。

12. 根据权利要求 10 所述的移位寄存器,其特征在于,该第一下拉单元包含:

一第三晶体管,具有一用以接收该第一时钟信号的控制端,一耦接于该上拉单元的第一端,及一用以接收一低电位的第二端。

13. 根据权利要求 10 所述的移位寄存器,其特征在于,该驱动单元包含:

一第四晶体管,具有一耦接于该上拉单元的控制端,一耦接于该第四晶体管的控制端的第一端,及一用以提供该驱动信号的第二端;及

一第五晶体管,具有一耦接于该第四晶体管的第二端控制端,一用以接收该第一时钟信号的第一端,及一用以提供该栅极信号的第二端;及

一第二电容,耦接于该第五晶体管的控制端及第二端之间。

14. 根据权利要求 10 所述的移位寄存器,其特征在于,该第三下拉单元包含:

一第六晶体管,具有一用以接收该第二时钟信号的控制端,一耦接于该驱动单元的第一端,及一用以接收一低电位的第二端。

15. 根据权利要求 10 所述的移位寄存器,其特征在于,该第二下拉单元包含:

一第七晶体管,具有一用以接收该第二上拉信号的控制端,一耦接于该驱动单元的第一端,及一用以接收一低电位的第二端。

16. 根据权利要求 10 所述的移位寄存器,其特征在于,该第一时钟信号及该第二时钟信号为反相的频率信号。

栅极扫描器驱动电路及其移位寄存器

技术领域

[0001] 本发明涉及一种移位寄存器,尤指涉及一种用于栅极扫描器驱动电路中的移位寄存器。

背景技术

[0002] 图 1 为现有技术显示面板 100 的示意图。显示面板 100 包含栅极扫描器驱动电路 102 及像素阵列 112。栅极扫描器驱动电路 102 包含多级移位寄存器。每一级移位寄存器通过各别的扫描线 110,按顺序输出各别的栅极信号至像素阵列 112。

[0003] 图 2 为图 1 栅极扫描器驱动电路 102 的时序图。图 2 以图 1 的第 N-1 级移位寄存器 104、第 N 级移位寄存器 106 及第 N+1 级移位寄存器 108 为例,以方便说明。图 2 的横轴为时间 t,纵轴为电压值,从上至下为第二时钟信号 XCK、第一时钟信号 CK、第 N-1 级移位寄存器 104 输出的栅极信号 G_{n-1} 、第 N 级移位寄存器 106 输出的栅极信号 G_n 及第 N+1 级移位寄存器 108 输出的栅极信号 G_{n+1} 。于 T1 时段,第二时钟信号 XCK 由低电位上升至高电位,第 N-1 级移位寄存器 104 根据第二时钟信号 XCK 的电位输出高电位栅极信号 G_{n-1} ;于 T2 时段,第一时钟信号 CK 由低电位上升至高电位,第 N 级移位寄存器 106 根据第一时钟信号 CK 的电位输出高电位栅极信号 G_n ;于 T3 时段,第二时钟信号 XCK 再次由低电位上升至高电位,第 N+1 级移位寄存器 108 根据第二时钟信号 XCK 的电位输出高电位栅极信号 G_{n+1} 。也即,栅极扫描器驱动电路 102 中相邻的移位寄存器中,接收第二时钟信号 XCK 及第一时钟信号 CK 的输入节点的位置需交错对调以输出各别的栅极信号,且第 N+1 级移位寄存器输出的栅极信号 G_{n+1} 在时序上紧接着第 N 级移位寄存器输出的栅极信号 G_n ,即栅极信号 G_{n+1} 是栅极信号 G_n 位移一次的波形。

[0004] 若要使栅极信号 G_n 与栅极信号 G_{n+1} 相隔半个第一时钟信号 CK 周期的时间,也就是栅极信号 G_{n+1} 是栅极信号 G_n 移位两次的波形,则必须将第 N 级移位寄存器 106 的电路重复布局两次,以达到位移两次的结果。若要使相邻的每一级移位寄存器输出的栅极信号都相隔半个第一时钟信号 CK 周期的时间,则每一级移位寄存器都要布局两组重复的电路,如此会增加栅极扫描器驱动电路 102 中的移位寄存器内部的元件数量及所需要的布局空间,不符合当今要缩小显示面板边框的趋势。

发明内容

[0005] 本发明的一实施例揭示一种栅极扫描器驱动电路。该栅极扫描器驱动电路包含第 N 级移位寄存器及第 N+1 级移位寄存器。该第 N 级移位寄存器包含上拉单元、驱动单元、第一下拉单元、第二下拉单元及第三下拉单元。该第 N+1 级移位寄存器包含上拉单元、驱动单元、第一下拉单元、第二下拉单元及第三下拉单元。

[0006] 本发明的另一实施例揭示一种第 N 级移位寄存器。该第 N 级移位寄存器包含上拉单元、驱动单元、第一下拉单元、第二下拉单元及第三下拉单元。该上拉单元用以根据第一时钟信号、第二时钟信号及起始信号提供第一上拉信号。该驱动单元用以根据该第一上拉

信号提供驱动信号,及根据该第一时钟信号及该驱动信号提供栅极信号。该第一下拉单元用以根据该第一时钟信号下拉该第一上拉信号。该第二下拉单元用以根据第二上拉信号,下拉该驱动信号。该第三下拉单元用以根据该第二时钟信号,下拉该栅极信号。

[0007] 本发明实施例揭示的每一级移位寄存器不需布局两组重复的电路,即可输出前一级移位寄存器的栅极信号移位两次后的栅极信号,可减少移位寄存器内部的元件数量及所需要的布局空间。另外,本发明实施例提供的栅极扫描器驱动电路中的相邻两级的移位寄存器耦接第一时钟信号 CK 及第二时钟信号 XCK 的输入节点的位置不需对调,可简化时钟信号的设计。

附图说明

- [0008] 图 1 为现有技术显示面板的示意图；
 [0009] 图 2 为图 1 栅极扫描器驱动电路的时序图；
 [0010] 图 3 为本发明一实施例说明栅极扫描器驱动电路的示意图；
 [0011] 图 4 为本发明一实施例说明图 3 的移位寄存器的示意图；
 [0012] 图 5 为本发明一实施例说明图 4 移位寄存器动作的时序图；
 [0013] 图 6 为本发明一实施例说明图 3 栅极扫描器驱动电路的时序图；
 [0014] 图 7 为本发明另一实施例说明图 3 栅极扫描器驱动电路的时序图；
 [0015] 图 8 为本发明另一实施例说明移位寄存器的示意图；
 [0016] 图 9 为本发明一实施例说明图 8 的移位寄存器动作的时序图。

附图标记

- | | |
|---|-------------------------------|
| [0018] 100 :显示面板 | 102 :栅极扫描器驱动电路 |
| [0019] 112 :像素阵列 | 110 :扫描线 |
| [0020] 104 :第 N-1 级移位寄存器 | 106、306 :第 N 级移位寄存器 |
| [0021] 108、308 :第 N+1 级移位寄存器 | 402、412 :上拉单元 |
| [0022] 404、414 :驱动单元 | 406、416 :第一下拉单元 |
| [0023] 408、418 :第二下拉单元 | 410、420 :第三下拉单元 |
| [0024] SP :起始信号 | P _n :第一上拉信号 |
| [0025] Q _n :第一驱动信号 | P _{n+1} :第二上拉信号 |
| [0026] Q _{n+1} :第二驱动信号 | P _{n+2} :第三上拉信号 |
| [0027] P _{n+3} :第 N+3 级上拉信号 | P _{n+4} :第 N+4 级上拉信号 |
| [0028] G _{n-1} :第 N-1 级栅极信号 | G _n :第 N 级栅极信号 |
| [0029] G _{n+1} :第 N+1 级栅极信号 | G _{n+2} :第 N+2 级栅极信号 |
| [0030] G _{n+3} :第 N+3 级栅极信号 | G _{n+4} :第 N+4 级栅极信号 |
| [0031] N _n 、N _{n+1} :节点 | VSS :低电位 |
| [0032] CK :第一时钟信号 | XCK :第二时钟信号 |
| [0033] t :时间 | T1 至 T4 :时段 |
| [0034] M1 至 M14 :晶体管 | C1 至 C4 :电容 |

具体实施方式

[0035] 图3为本发明一实施例说明栅极扫描器驱动电路302的示意图。栅极扫描器驱动电路302包含多级移位寄存器。图4为本发明一实施例说明图3的移位寄存器的示意图。在图4中以图3的第N级移位寄存器306及第N+1级移位寄存器308为例以方便说明。图4实施例中所有的晶体管可为N型薄膜晶体管(TFT)。

[0036] 第N级移位寄存器306包含上拉单元402、驱动单元404、第一下拉单元406、第二下拉单元408及第三下拉单元410。上拉单元402用以根据第一时钟信号CK、第二时钟信号XCK及起始信号SP,提供第一上拉信号 P_n 。起始信号SP可为来自第N-1级移位寄存器的栅极信号,或由显示面板系统提供。第一上拉信号 P_n 可为第N级移位寄存器306的上拉信号。驱动单元404用以根据第一上拉信号 P_n 提供第一驱动信号 Q_n ,及用以根据第一时钟信号CK及第一驱动信号 Q_n ,提供第一栅极信号 G_n 。第一驱动信号 Q_n 可为第N级移位寄存器306的驱动信号,第一栅极信号 G_n 可为第N级移位寄存器306的栅极信号。第一下拉单元406用以根据第一时钟信号CK下拉第一上拉信号 P_n 。第二下拉单元408用以根据第二上拉信号 P_{n+1} 下拉第一驱动信号 Q_n 。第二上拉信号 P_{n+1} 可为第N+1级移位寄存器308的上拉信号。第三下拉单元410用以根据第二时钟信号XCK,下拉第一栅极信号 G_n 。第一时钟信号CK及第二时钟信号XCK可为反相的频率信号。

[0037] 第N级移位寄存器306的上拉单元402包含第一晶体管M1、第二晶体管M2及第一电容C1。第一下拉单元406包含第三晶体管M3。驱动单元404包含第四晶体管M4、第五晶体管M5及第二电容C2。第三下拉单元410包含第六晶体管M6。第二下拉单元408包含第七晶体管M7。

[0038] 第一晶体管M1具有用以接收第一时钟信号CK的控制端,用以接收起始信号SP的第一端,及第二端。第二晶体管M2具有耦接于第一晶体管M1的第二端的控制端,用以接收第二时钟信号XCK的第一端,及用以提供第一上拉信号 P_n 的第二端。第三晶体管M3,具有用以接收第一时钟信号CK的控制端,耦接于第二晶体管M2的第二端的第一端,及用以接收低电位VSS的第二端。第四晶体管M4,具有耦接于第二晶体管M2的第二端的控制端,耦接于第四晶体管M4的控制端的第一端,及用以提供第一驱动信号 Q_n 的第二端。第五晶体管M5,具有耦接于第四晶体管M4的第二端的控制端,用以接收第一时钟信号CK的第一端,及用以提供第一栅极信号 G_n 的第二端。第六晶体管M6,具有用以接收第二时钟信号XCK的控制端,耦接于第五晶体管M5的第二端的第一端,及耦接于第三晶体管M3的第二端的第二端。第七晶体管M7,具有用以接收第二上拉信号 P_{n+1} 的控制端,耦接于第五晶体管M5的控制端的第一端,及耦接于第三晶体管M3的第二端的第二端。第一电容C1耦接于第一晶体管M1的第二端及第二晶体管M2的第二端之间。第二电容C2耦接于第五晶体管M5的控制端及第二端之间。

[0039] 第N+1级移位寄存器308包含上拉单元412、驱动单元414、第一下拉单元416、第二下拉单元418及第三下拉单元420。上拉单元412用以根据第一时钟信号CK、第二时钟信号XCK及第一栅极信号 G_n ,提供第二上拉信号 P_{n+1} 。驱动单元414用以根据第二上拉信号 P_{n+1} 提供第二驱动信号 Q_{n+1} ,及用以根据第一时钟信号CK及第二驱动信号 Q_{n+1} ,提供第二栅极信号 G_{n+1} 。第二驱动信号 Q_{n+1} 可为第N+1级移位寄存器308的驱动信号,第二栅极信号 G_{n+1} 可为第N+1级移位寄存器308的栅极信号。第一下拉单元416用以根据第一时钟信号CK下拉第二上拉信号 P_{n+1} 。第二下拉单元418用以根据第三上拉信号 P_{n+2} 下拉

第二驱动信号 Q_{n+1} 。第三上拉信号 P_{n+2} 可为第 $N+2$ 级移位寄存器的上拉信号。第三下拉单元 420 用以根据第二时钟信号 XCK, 下拉第二栅极信号 G_{n+1} 。

[0040] 第 $N+1$ 级移位寄存器 308 的上拉单元 412 包含第八晶体管 M8、第九晶体管 M9 及第三电容 C3。第一下拉单元 416 包含第十晶体管 M10。驱动单元 414 包含第十一晶体管 M11、第十二晶体管 M12 及第四电容 C4。第三下拉单元 420 包含第十三晶体管 M13。第二下拉单元 418 包含第十四晶体管 M14。

[0041] 第八晶体管 M8 具有用以接收第一时钟信号 CK 的控制端, 用以接收第一栅极信号 G_n 的第一端, 及第二端。第九晶体管 M9 具有耦接于第八晶体管 M8 的第二端的控制端, 用以接收第二时钟信号 XCK 的第一端, 及用以提供第二上拉信号 P_{n+1} 的第二端。第十晶体管 M10, 具有用以接收第一时钟信号 CK 的控制端, 耦接于第九晶体管 M9 的第二端的第一端, 及用以接收低电位 VSS 的第二端。第十一晶体管 M11, 具有耦接于第九晶体管 M9 的第二端的控制端, 耦接于第十一晶体管 M11 的控制端的第一端, 及用以提供第二驱动信号 Q_{n+1} 的第二端。第十二晶体管 M12, 具有耦接于第十一晶体管 M11 的第二端的控制端, 用以接收第一时钟信号 CK 的第一端, 及用以提供第二栅极信号 G_{n+1} 的第二端。第十三晶体管 M13, 具有用以接收第二时钟信号 XCK 的控制端, 耦接于第十二晶体管 M12 的第二端的第一端, 及耦接于第十晶体管 M10 的第二端的第二端。第十四晶体管 M14, 具有用以接收第三上拉信号 P_{n+2} 的控制端, 耦接于第十二晶体管 M12 的控制端的第一端, 及耦接于第十晶体管 M10 的第二端的第二端。第三电容 C3 耦接于第八晶体管 M8 的第二端及第九晶体管 M9 的第二端之间。第四电容 C4 耦接于第十二晶体管 M12 的控制端及第二端之间。

[0042] 图 5 为本发明一实施例说明图 4 移位寄存器动作的时序图。图 5 的横轴为时间 t , 从上至下为第一时钟信号 CK、第二时钟信号 XCK、起始信号 SP、节点 N_n 的信号、第一上拉信号 P_n 、第一驱动信号 Q_n 、第二上拉信号 P_{n+1} 及第一栅极信号 G_n 。第 N 级移位寄存器 306 的动作如下所述。于 T_1 时段, 起始信号 SP 及第一时钟信号 CK 由低电位切换至高电位, 使第一晶体管 M1 导通, 将起始信号 SP 的高电位储存到第一电容 C1 的节点 N_n 。于 T_2 时段, 第一时钟信号 CK 由高电位切换至低电位, 第二时钟信号 XCK 由低电位切换至高电位, 节点 N_n 因为第一电容 C1 的耦合作用, 上升至更高电位, 使第二晶体管 M2 导通并且上拉第一上拉信号 P_n 至第二时钟信号 XCK 的高电位。同时第四晶体管 M4 导通, 将第二电容 C2 上的第一驱动信号 Q_n 上拉至第一上拉信号 P_n 的高电位。于 T_3 时段, 第一时钟信号 CK 由低电位切换至高电位, 第二时钟信号 XCK 由高电位切换至低电位, 此时第一时钟信号 CK 使第三晶体管 M3 导通以下拉第一上拉信号 P_n , 因此第一上拉信号 P_n 的低电位使第四晶体管 M4 截止, 第一驱动信号 Q_n 因为第二电容 C2 的耦合作用, 上升至更高电位, 使第五晶体管 M5 导通并且上拉第一栅极信号 G_n 至第一时钟信号 CK 的高电位, 并且输出至第 $N+1$ 级移位寄存器 308, 作为第 $N+1$ 级移位寄存器 308 的起始信号。于 T_4 时段, 第二时钟信号 XCK 由低电位切换至高电位, 此时第二时钟信号 XCK 使第六晶体管 M6 导通以下拉第一栅极信号 G_n 。图 5 中, 第一上拉信号 P_n 为起始信号 SP 移位一次的波形, 第一栅极信号 G_n 为起始信号 SP 移位两次的波形。于 T_4 时段, 第二上拉信号 P_{n+1} 可由第 $N+1$ 级移位寄存器 308 回馈至第 N 级移位寄存器 306, 导通第七晶体管 M7 以下拉第一驱动信号 Q_n 。第 $N+1$ 级移位寄存器 308 的动作按照上述的动作原理类推。

[0043] 从图 5 说明可知, 图 4 的第 N 级移位寄存器 306 输出的第一栅极信号 G_n 是起始信

号 SP 移位两次的波形,即第一栅极信号 G_n 是第 $N-1$ 级移位寄存器输出的栅极信号经过移位两次的波形。同理,第 $N+1$ 级移位寄存器 308 输出的第二栅极信号 G_{n+1} 是第 N 级移位寄存器 306 输出的第一栅极信号 G_n 经过移位两次的波形。也即相邻的每一级移位寄存器各别输出的栅极信号会相隔半个第一时钟信号 CK 周期的时间。

[0044] 图 6 为本发明一实施例说明图 3 栅极扫描器驱动电路 302 的时序图。图 6 的横轴为时间 t ,从上至下为起始信号 SP、第一时钟信号 CK、第二时钟信号 XCK、第 N 级栅极信号 G_n 、第 $N+1$ 级栅极信号 G_{n+1} 、第 $N+2$ 级栅极信号 G_{n+2} 、第 $N+3$ 级栅极信号 G_{n+3} 及第 $N+4$ 级栅极信号 G_{n+4} 。按照图 5 的动作说明,栅极扫描器驱动电路 302 的第 N 级栅极信号 G_n 为起始信号 SP 移位两次的波形、第 $N+1$ 级栅极信号 G_{n+1} 为第 N 级栅极信号 G_n 移位两次的波形、第 $N+2$ 级栅极信号 G_{n+2} 为第 $N+1$ 级栅极信号 G_{n+1} 移位两次的波形、第 $N+3$ 级栅极信号 G_{n+3} 为第 $N+2$ 级栅极信号 G_{n+2} 移位两次的波形、第 $N+4$ 级栅极信号 G_{n+4} 为第 $N+3$ 级栅极信号 G_{n+3} 移位两次的波形。

[0045] 图 7 为本发明另一实施例说明图 3 栅极扫描器驱动电路 302 的时序图。图 7 的横轴为时间 t ,从上至下为起始信号 SP、第一时钟信号 CK、第二时钟信号 XCK、第 N 级栅极信号 G_n 、第 $N+1$ 级栅极信号 G_{n+1} 、第 $N+2$ 级栅极信号 G_{n+2} 、第 $N+3$ 级栅极信号 G_{n+3} 及第 $N+4$ 级栅极信号 G_{n+4} 。图 7 与图 6 的差异为图 7 的起始信号 SP 为多次脉波,所以第 N 级栅极信号 G_n 、第 $N+1$ 级栅极信号 G_{n+1} 、第 $N+2$ 级栅极信号 G_{n+2} 、第 $N+3$ 级栅极信号 G_{n+3} 及第 $N+4$ 级栅极信号 G_{n+4} 都为多次脉波。第 N 级栅极信号 G_n 的每一脉波为起始信号 SP 的每一脉波移位两次的波形、第 $N+1$ 级栅极信号 G_{n+1} 的每一脉波为第 N 级栅极信号 G_n 的每一脉波移位两次的波形、第 $N+2$ 级栅极信号 G_{n+2} 的每一脉波为第 $N+1$ 级栅极信号 G_{n+1} 的每一脉波移位两次的波形、第 $N+3$ 级栅极信号 G_{n+3} 的每一脉波为第 $N+2$ 级栅极信号 G_{n+2} 的每一脉波移位两次的波形、第 $N+4$ 级栅极信号 G_{n+4} 的每一脉波为第 $N+3$ 级栅极信号 G_{n+3} 的每一脉波移位两次的波形。

[0046] 图 8 为本发明另一实施例说明第 N 级移位寄存器 806 的示意图。第 N 级移位寄存器 806 的连接方式与图 4 所示的第 N 级移位寄存器 306 相同,不再赘述。差异在于图 8 中所有的晶体管可为 P 型薄膜晶体管(TFT),及将图 4 中的低电位 VSS 更换为高电位 VDD。

[0047] 图 9 为本发明一实施例说明图 8 的第 N 级移位寄存器动作的时序图。图 9 的横轴为时间 t ,从上至下为第一时钟信号 CK、第二时钟信号 XCK、起始信号 SP、节点 N_n 的信号、第一上拉信号 P_n 、第一驱动信号 Q_n 、第二上拉信号 P_{n+1} 及第一栅极信号 G_n 。第 N 级移位寄存器 806 的动作如下。于 T_1 时段,起始信号 SP 及第一时钟信号 CK 由高电位切换至低电位,使第一晶体管 M_1 导通,将起始信号 SP 的低电位储存到第一电容 C_1 的节点 N_n 。于 T_2 时段,第一时钟信号 CK 由低电位切换至高电位,第二时钟信号 XCK 由高电位切换至低电位,节点 N_n 因为第一电容 C_1 的耦合作用,下降至更低电位,使第二晶体管 M_2 导通并且将第二时钟信号 XCK 的低电位写入第一上拉信号 P_n 。同时因为第四晶体管 M_4 为二极管接法,所以第四晶体管 M_4 会导通,将第一上拉信号 P_n 的低电位写入第二电容 C_2 上的第一驱动信号 Q_n 。于 T_3 时段,第一时钟信号 CK 由高电位切换至低电位,第二时钟信号 XCK 由低电位切换至高电位,此时第一时钟信号 CK 使第三晶体管 M_3 导通以上拉第一上拉信号 P_n 至高电位,第一上拉信号 P_n 的高电位使第四晶体管 M_4 截止,第一驱动信号 Q_n 则因为第二电容 C_2 的耦合作用,下降至更低电位,使第五晶体管 M_5 导通并且将第一时钟信号 CK 的低电位写入第一栅极信号

G_n。于 T4 时段,第二时钟信号 XCK 由高电位切换至低电位,此时第二时钟信号 XCK 使第六晶体管 M6 导通以上拉第一栅极信号 G_n。图 9 中,第一上拉信号 P_n 为起始信号 SP 移位一次的波形,第一栅极信号 G_n 为起始信号 SP 移位两次的波形。于 T4 时段,第二上拉信号 P_{n+1} 可由第 N+1 级移位寄存器回馈至第 N 级移位寄存器 806,导通第七晶体管 M7 以上拉第一驱动信号 Q_n,因此第二上拉信号 P_{n+1} 不需由外部信号提供,可简化设计。其它级移位寄存器的动作按照上述的动作原理类推。

[0048] 综上所述,本发明实施例提供的栅极扫描器驱动电路中的每一级移位寄存器输出的栅极信号即是前一级移位寄存器的栅极信号移位两次的波形,所以每一级移位寄存器不需布局两组重复的电路,可减少移位寄存器内部的元件数量及所需要的布局空间。另外,本发明实施例提供的栅极扫描器驱动电路中的相邻两级的移位寄存器耦接第一时钟信号 CK 及第二时钟信号 XCK 的输入节点的位置不需对调,可简化时钟信号的设计。

[0049] 以上所述仅为本发明的较佳实施例,凡依本发明权利要求书所作的均等变化与修饰,皆应属本发明的涵盖范围。

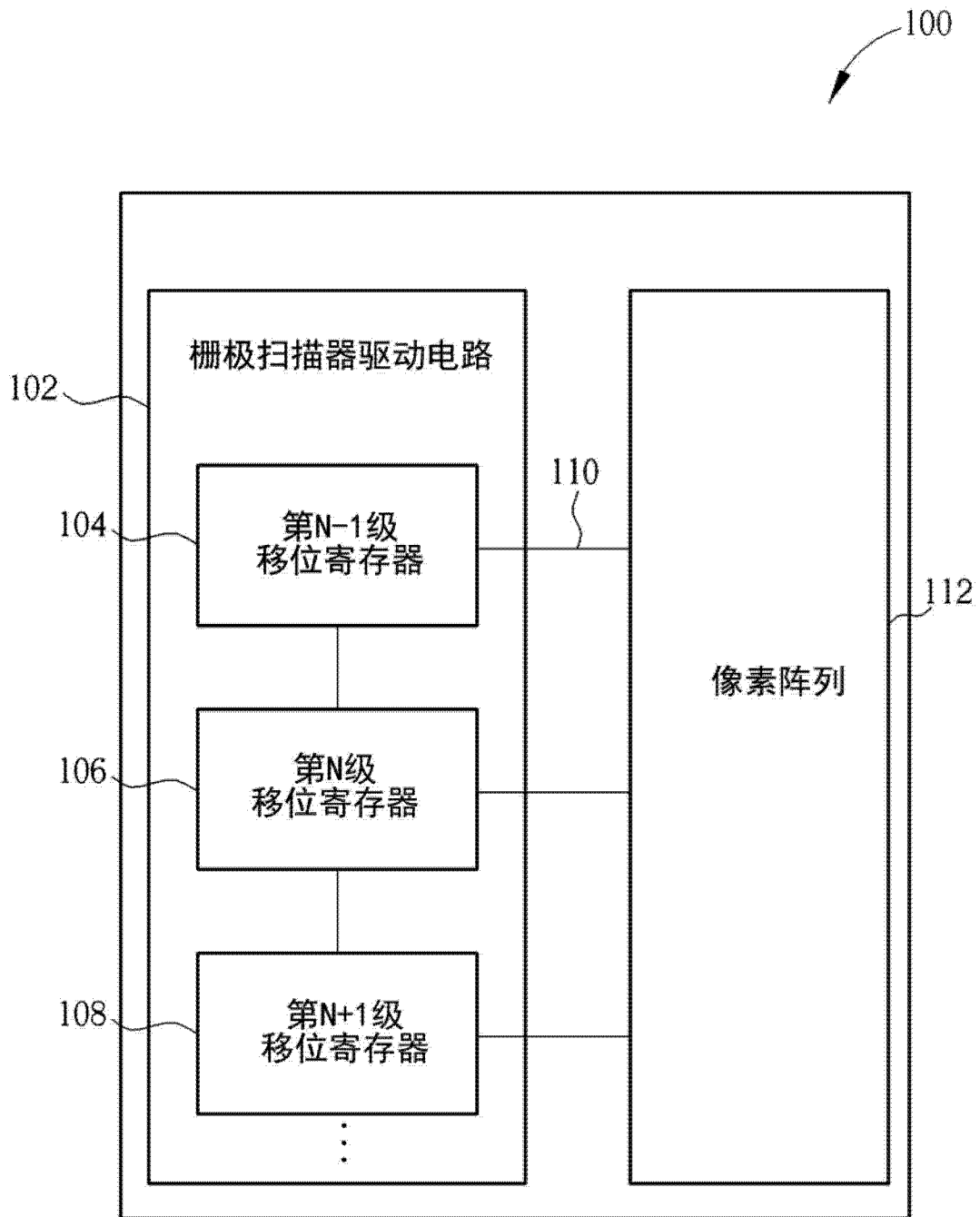


图 1

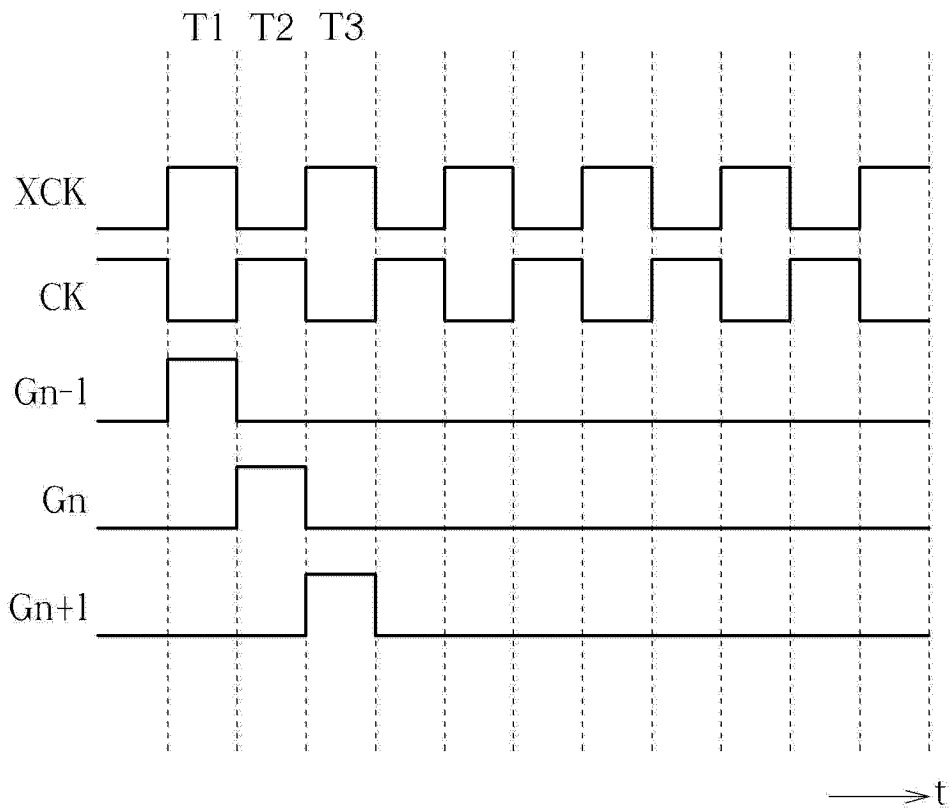


图 2

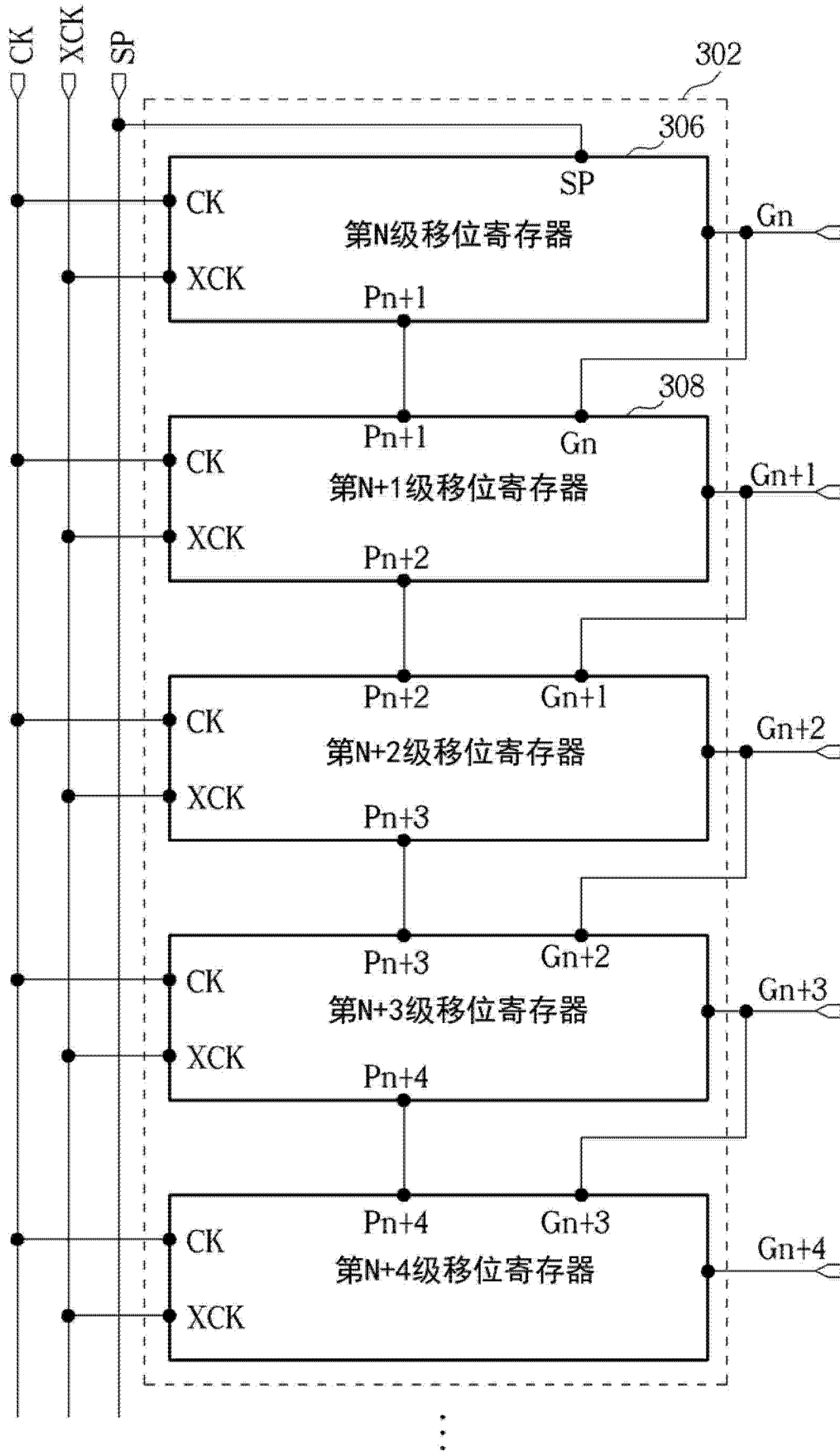


图 3

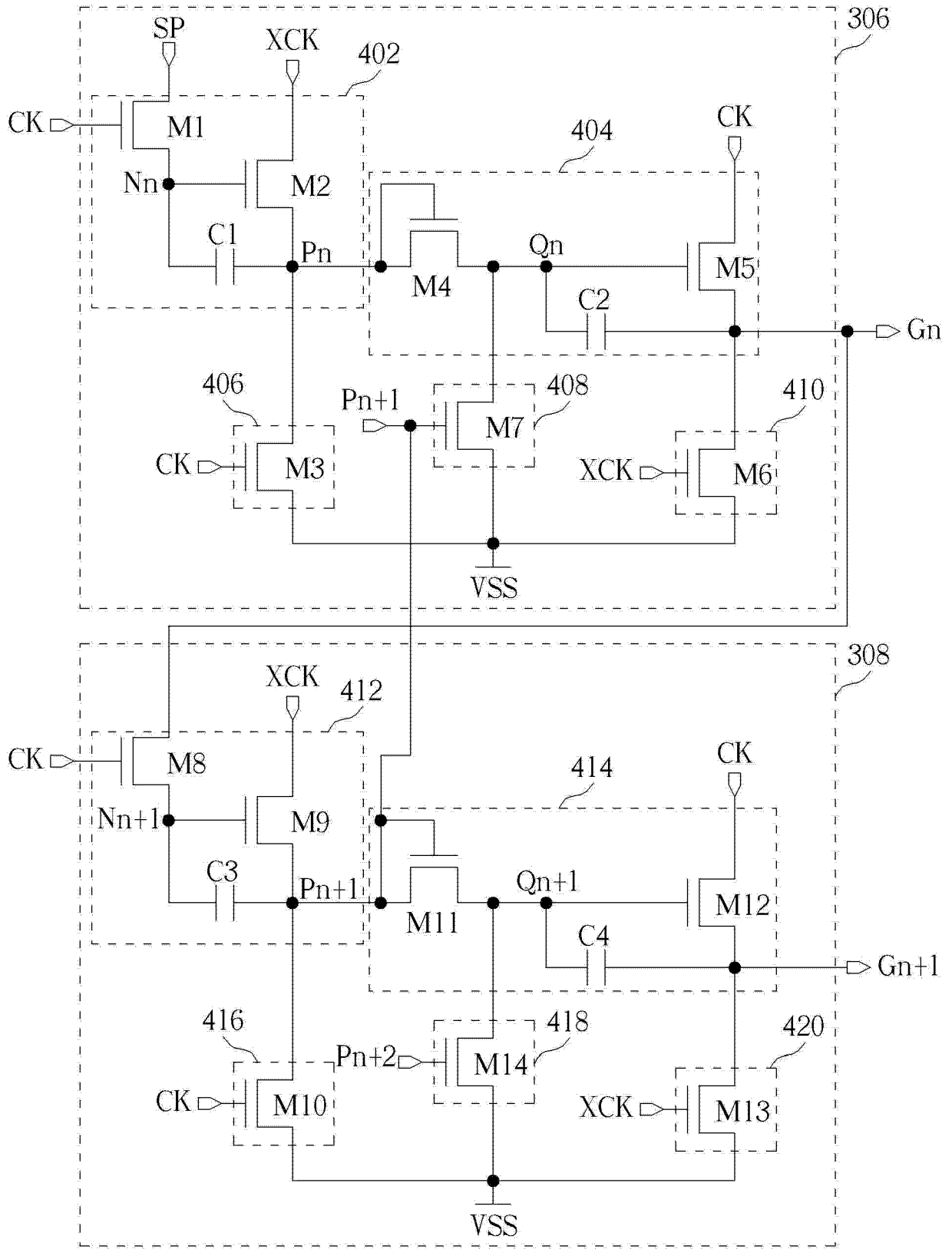


图 4

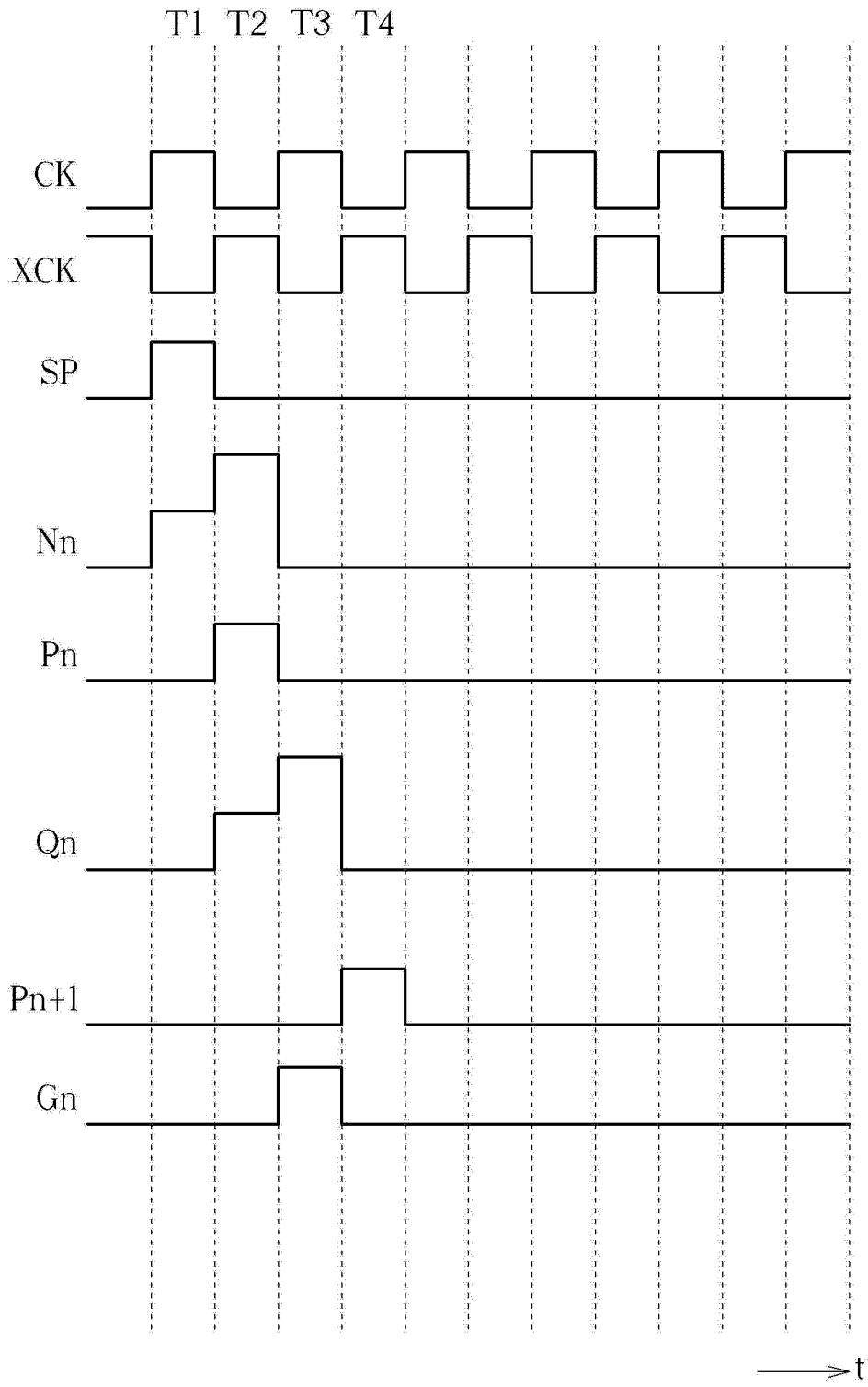


图 5

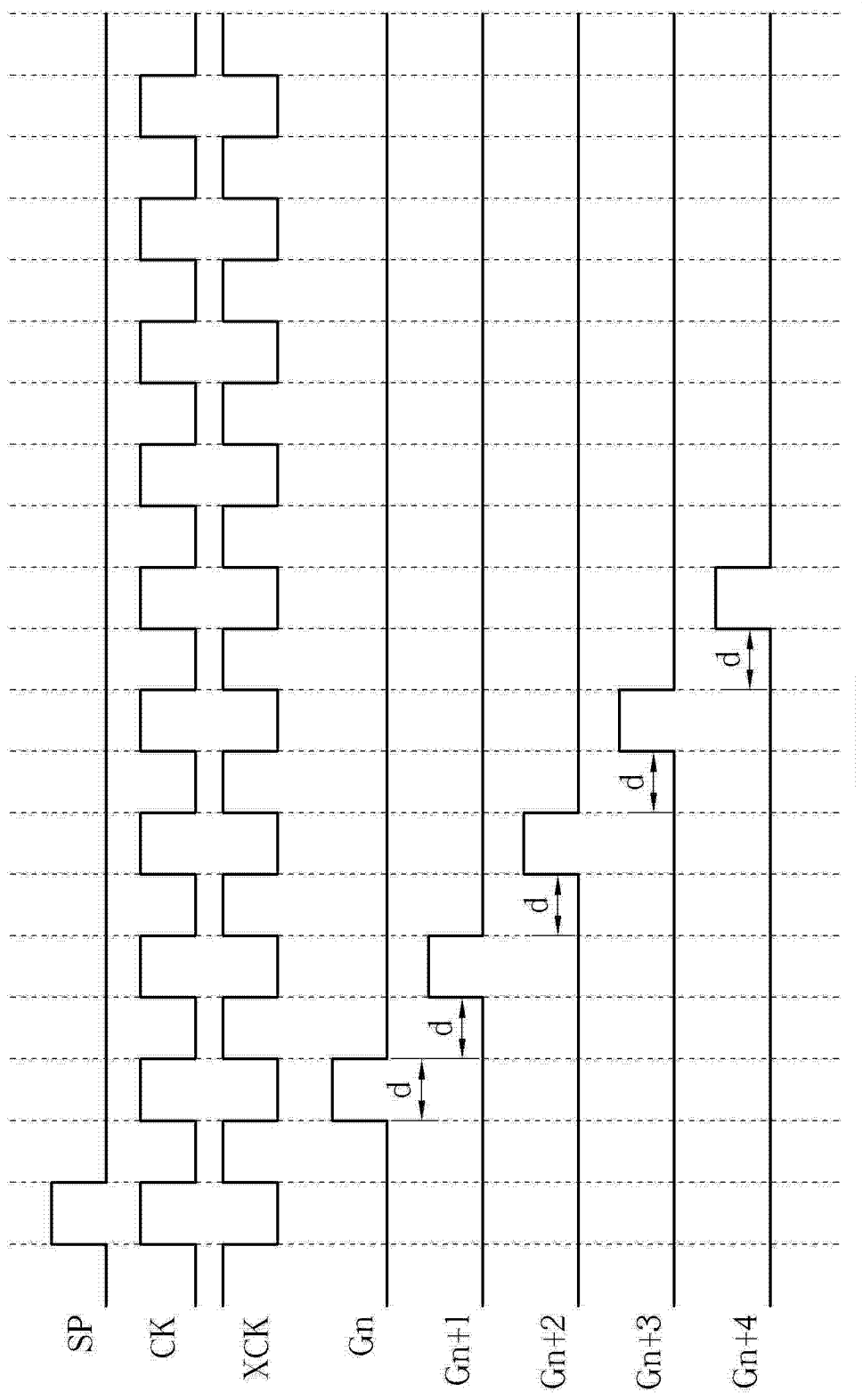


图 6

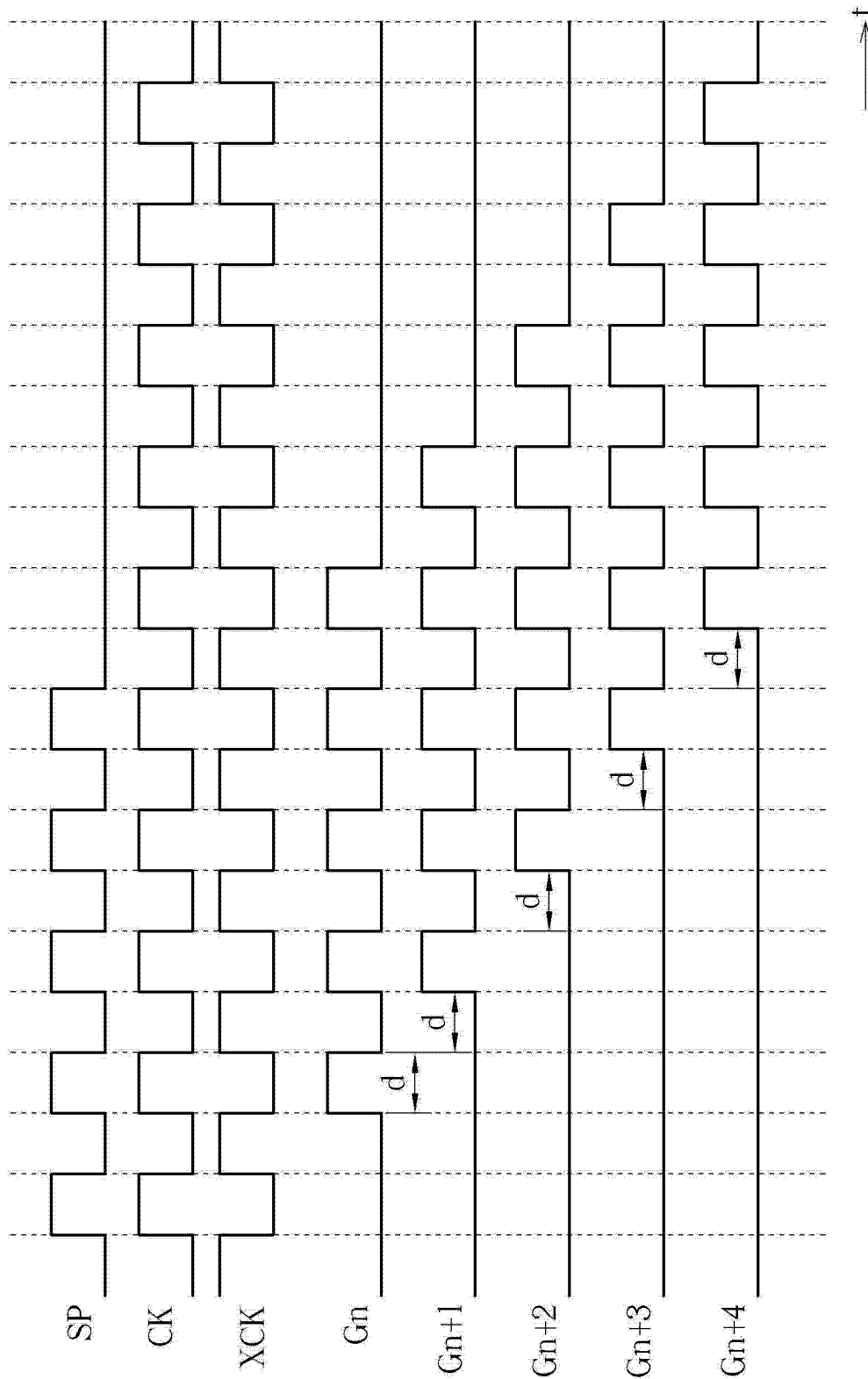


图 7

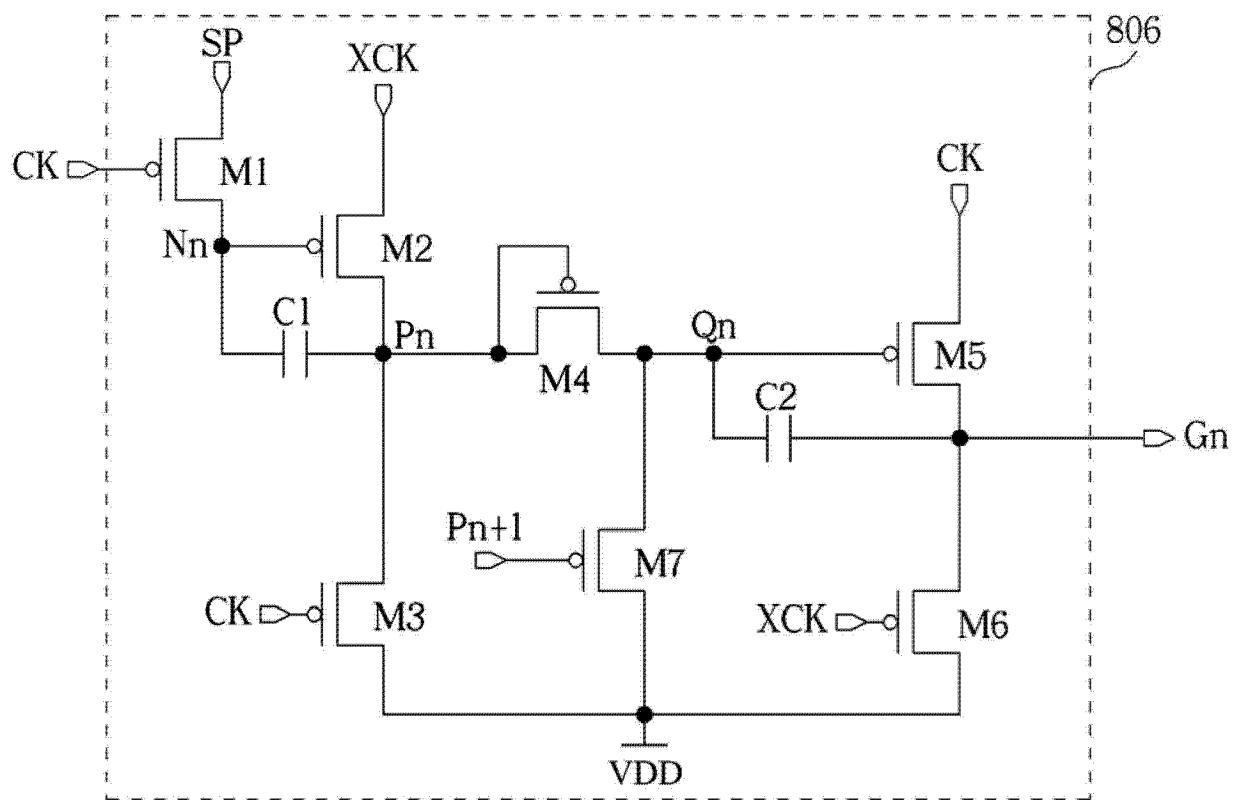


图 8

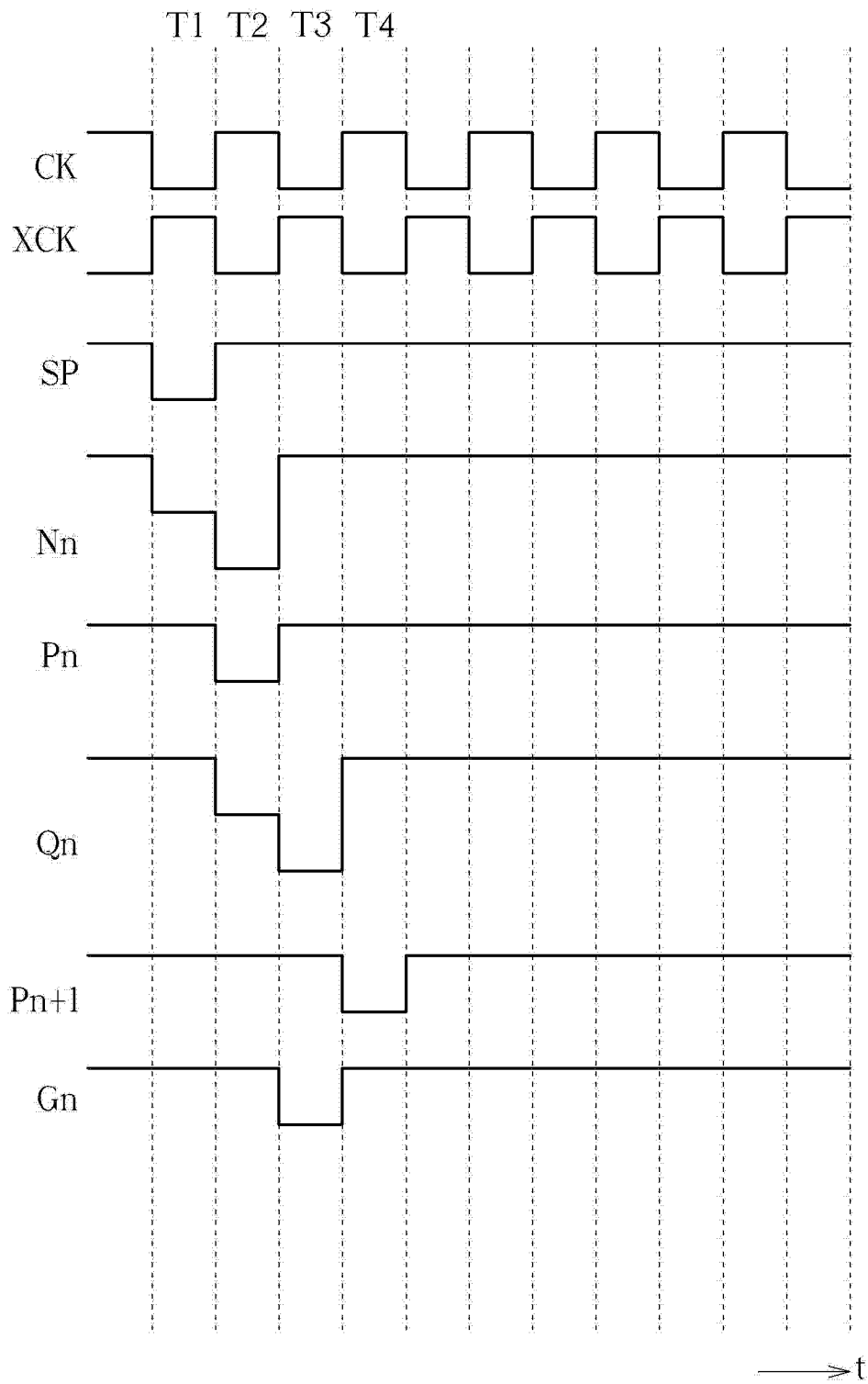


图 9