



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년06월29일
(11) 등록번호 10-1751482
(24) 등록일자 2017년06월21일

(51) 국제특허분류(Int. Cl.)
H01L 21/336 (2006.01) H01L 29/78 (2006.01)
(21) 출원번호 10-2011-0020462
(22) 출원일자 2011년03월08일
심사청구일자 2016년02월23일
(65) 공개번호 10-2012-0102355
(43) 공개일자 2012년09월18일
(56) 선행기술조사문헌
KR1020080001530 A
KR1020070036472 A
KR102006000003251A
JP2004140039 A

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
김영필
경기도 화성시 동탄지성로 295, 행복마을 참누리
아파트 108동 202호 (기산동)
이형익
경기도 수원시 영통구 봉영로1759번길 17, 와이티
오피스텔 505호 (영통동)
(74) 대리인
(뒷면에 계속)
특허법인 고려

전체 청구항 수 : 총 10 항

심사관 : 김종희

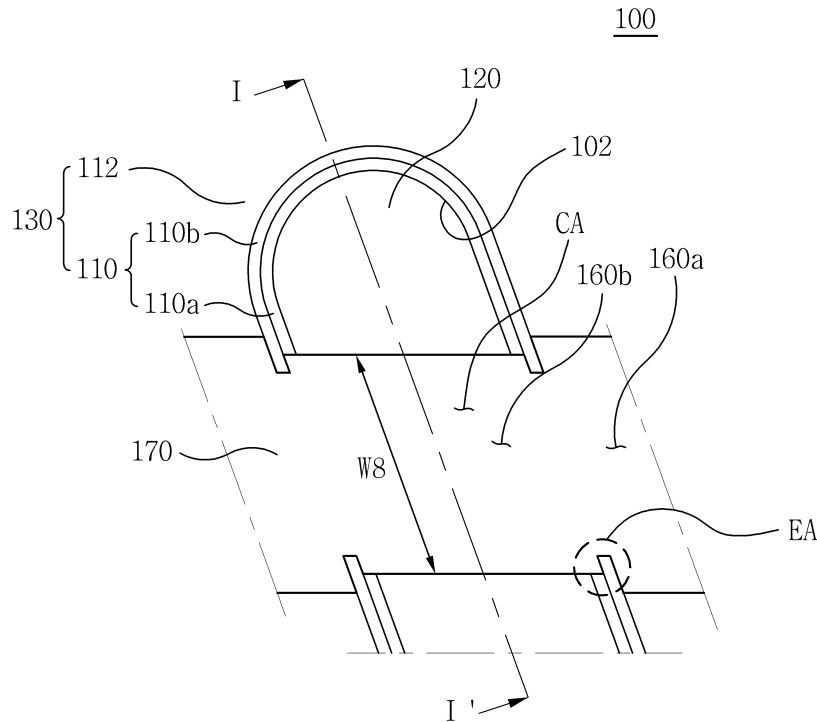
(54) 발명의 명칭 리세스 채널을 포함하는 반도체 소자의 제조 방법

(57) 요약

기판의 일부를 제거하여 소자 분리 트렌치를 형성하고, 상기 소자 분리 트렌치의 내부 표면 상에 제1 라이너를 형성하고, 상기 제1 라이너 상에 제2 라이너를 형성하고, 상기 제2 라이너 상에 상기 소자 분리 트렌치를 채우도록 소자 절연 물질을 형성하여 상기 기판 내에 활성 영역을 한정하는 소자 분리 영역을 형성하고, 상기 기판 내

(뒷면에 계속)

대표도 - 도11a



에 예비 게이트 트렌치를 형성하되, 상기 예비 게이트 트렌치는, 상기 소자 분리 영역을 가로지르며 상기 제1 라이너, 제2 라이너 및 상기 소자 절연 물질을 노출시키는 제1 영역, 및 상기 활성 영역을 가로지르며 상기 기관의 일부를 노출시키는 제2 영역을 포함하되, 상기 제1 영역은 평면형 제1 측벽을 갖고, 상기 제2 영역은 상기 제1 영역과의 경계부에 침부를 갖도록 중앙 영역이 오목한 제2 측벽을 갖고, 상기 제1 영역에 노출된 상기 제1 라이너의 일부를 제거하여 상기 침부를 돌출시키는 제1 깊이의 텐트를 형성하고, 상기 돌출한 침부를 리플로우 공정을 이용하여 제거하여 상기 예비 게이트 트렌치를 게이트 트렌치로 변환하고, 및 상기 게이트 트렌치 내에 게이트 절연막, 게이트 도전 패턴, 및 게이트 캡핑 패턴을 형성하는 것을 포함하는 반도체 소자의 제조 방법이 설명된다.

(72) 발명자

전우성

경기도 수원시 영통구 봉영로1517번길 30, 604동 1802호 (영통동, 극동아파트)

김기홍

충청남도 아산시 음봉면 음봉로 567 103동 104호 (덕지리, 더샵레이크사이드아파트)

원정연

경기도 화성시 능동 푸른마을포스코더샵아파트 606동 1702호

정인선

경기도 수원시 영통구 봉영로1517번길 27, 벽적골 9단지아파트 915동 1302호 (영통동)

명세서

청구범위

청구항 1

기판의 일부를 제거하여 소자 분리 트렌치를 형성하고,
 상기 소자 분리 트렌치의 내부 표면 상에 제1 라이너를 형성하고,
 상기 제1 라이너 상에 제2 라이너를 형성하고,
 상기 제2 라이너 상에 상기 소자 분리 트렌치를 채우도록 소자 절연 물질을 형성하여 상기 기판 내에 활성 영역을 한정하는 소자 분리 영역을 형성하고,
 상기 기판 내에 예비 게이트 트렌치를 형성하되,
 상기 예비 게이트 트렌치는,
 상기 소자 분리 영역을 가로지르며 상기 제1 라이너, 제2 라이너 및 상기 소자 절연 물질을 노출시키는 제1 영역, 및
 상기 활성 영역을 가로지르며 상기 기판의 일부를 노출시키는 제2 영역을 포함하되,
 상기 제1 영역은 평면형 제1 측벽을 갖고,
 상기 제2 영역은 상기 제1 영역과의 경계부에 침부를 갖도록 중앙 영역이 오목한 제2 측벽을 갖고,
 상기 제1 영역에 노출된 상기 제1 라이너의 일부를 제거하여 상기 침부를 돌출시키는 제1 깊이의 텐트를 형성하고,
 상기 돌출한 침부를 리플로우 공정을 이용하여 제거하여 상기 예비 게이트 트렌치를 게이트 트렌치로 변환하고,
 및
 상기 게이트 트렌치 내에 게이트 절연막, 게이트 도전 패턴, 및 게이트 캡핑 패턴을 형성하는 것을 포함하는 반도체 소자의 제조 방법.

청구항 2

제 1 항에 있어서,
 상기 기판은 실리콘을 포함하고, 상기 제1 라이너는 실리콘 열산화물을 포함하고, 상기 제2 라이너는 실리콘 질화물을 포함하고, 및 상기 소자 절연 물질은 실리콘 산화물을 포함하는 반도체 소자의 제조 방법.

청구항 3

제 1 항에 있어서,
 상기 예비 게이트 트렌치의 상기 제1 영역은 평균적으로 제1폭을 갖고,
 상기 예비 게이트 트렌치의 상기 제2 영역은 평균적으로 상기 제1폭 보다 넓은 제2폭을 갖는 반도체 소자의 제조 방법.

청구항 4

제 3 항에 있어서,
 상기 게이트 트렌치의 상기 제1 영역은 평균적으로 제3폭을 갖고,
 상기 게이트 트렌치의 상기 제2 영역은 평균적으로 상기 제3폭보다 좁은 제4 폭을 갖는 반도체 소자의 제조 방법.

청구항 5

제 1 항에 있어서,

상기 침부를 제거하는 것은 상기 침부의 실리콘 원자가 상기 제2 측벽의 오목한 중앙 영역으로 이동하는 것을 포함하는 반도체 소자의 제조 방법.

청구항 6

제 1 항에 있어서,

상기 돌출한 침부를 리플로우하는 것은, 수소를 포함하는 가스 분위기에서 어닐링하는 것을 포함하는 반도체 소자의 제조 방법.

청구항 7

제 6 항에 있어서,

상기 돌출한 침부를 리플로우 하는 것은,

밀폐된 챔버 내에서,

0.1 내지 50SLM의 수소 가스 공급 유량,

0.1 내지 10Torr의 압력, 및

650 내지 1000℃의 온도 하에서 수행되는 것을 포함하는 반도체 소자의 제조 방법.

청구항 8

제 1 항에 있어서,

상기 제1 영역에 노출된 상기 제1 라이너의 일부를 제거하여 상기 침부를 돌출시키는 것은, 상기 제1 영역에 노출된 상기 소자 절연 물질의 일부를 제거하는 것을 포함하는 반도체 소자의 제조 방법.

청구항 9

기판의 일부를 제거하여 소자 분리 트렌치를 형성하고,

상기 소자 분리 트렌치의 내부 표면 상에 제1 라이너를 형성하고,

상기 제1 라이너 상에 상기 소자 분리 트렌치를 채우도록 소자 절연 물질을 형성하여 상기 기판 내에 활성 영역을 한정하는 소자 분리 영역을 형성하고,

상기 기판 내에 예비 게이트 트렌치를 형성하되,

상기 예비 게이트 트렌치는,

상기 소자 분리 영역을 가로지르며 상기 제1 라이너 및 상기 소자 절연 물질을 노출시키는 제1 영역, 및

상기 활성 영역을 가로지르며 상기 기판의 일부를 노출시키는 제2 영역을 포함하되,

상기 제1 영역은 제1 폭을 갖고,

상기 제2 영역의 중앙 영역은 상기 제1 폭보다 넓은 제2 폭을 갖고,

상기 제1 영역과 상기 제2 영역의 경계면에서 상기 기판은 침부를 갖고,

상기 침부가 돌출하도록 상기 제1 폭을 더 넓히고,

리플로우 공정을 이용하여 상기 침부를 제거하여 게이트 트렌치로 변환하고, 및

상기 게이트 트렌치 내에 게이트 절연막, 게이트 도전 패턴, 및 게이트 캡핑 패턴을 형성하는 것을 포함하는 반도체 소자의 제조 방법.

청구항 10

제 9 항에 있어서,

상기 제1폭을 넓히는 것은 상기 라이너의 일부를 제거하는 것을 포함하고,

동시에 상기 소자 절연 물질의 일부가 제거되는 것을 포함하는 반도체 소자의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 리세스 채널을 포함하는 반도체 소자와 그 제조 방법, 상기 반도체 소자를 포함하는 반도체 모듈 및 전자 시스템에 관한 것이다.

배경 기술

[0002] 반도체 소자의 집적도가 높아짐에 따라 메모리 셀이 점차 미세화됨에 따라 게이트 채널의 길이가 감소되어 단 채널 효과가 나타난다. 이를 방지하기 위하여 대하여, 기판에 트렌치를 형성하고, 트렌치 내부에 게이트를 형성함으로써, 채널의 길이를 증가시킨 반도체 소자가 제안되었다.

발명의 내용

해결하려는 과제

- [0003] 본 발명이 해결하고자 하는 과제는, 리세스 채널을 포함하는 반도체 소자를 제공하는 것이다.
- [0004] 본 발명이 해결하고자 하는 다른 과제는, 리세스 채널을 포함하는 반도체 소자를 갖는 반도체 모듈을 제공하는 것이다.
- [0005] 본 발명이 해결하고자 하는 또 다른 과제는, 리세스 채널을 포함하는 반도체 소자 혹은 반도체 모듈을 갖는 전자시스템 또는 메모리 카드를 제공하는 것이다.
- [0006] 본 발명이 해결하고자 하는 또 다른 과제는 리세스 채널을 포함하는 반도체 소자를 형성하는 다양한 방법들을 제공하는 것이다.
- [0007] 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당 업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0008] 상기 해결하고자 하는 과제를 달성하기 위한 본 발명의 기술적 사상에 의한 반도체 소자는, 기판 내에 제1 방향으로 늘어진 활성 영역들, 상기 활성 영역을 정의하는 소자 분리 영역, 및 상기 활성 영역들과 상기 소자 분리 영역을 가로지르는 게이트 전극을 포함할 수 있다. 상기 소자 분리 영역은 단일 층 또는 다층의 라이너 및 소자 절연 물질을 포함할 수 있다. 게이트 전극은 소자 분리 영역을 가로지르는 제1 영역 및 활성 영역을 가로지르는 제2 영역을 포함한다. 상기 제1 영역의 폭이 상기 제2 영역의 폭보다 넓을 수 있다. 게이트 전극과 인접하는 활성 영역은 평평하거나 게이전 전극 쪽으로 볼록한 표면을 가질 수 있다.
- [0009] 상기 해결하고자 하는 과제를 달성하기 위한 본 발명의 기술적 사상에 의한 반도체 소자의 제조 방법은, 기판의 일부를 제거하여 소자 분리 트렌치를 형성하고, 상기 소자 분리 트렌치의 내부 표면 상에 제1 라이너를 형성하고, 상기 제1 라이너 상에 제2 라이너를 형성하고, 상기 제2 라이너 상에 상기 소자 분리 트렌치를 채우도록 소자 절연 물질을 형성하여 상기 기판 내에 활성 영역을 한정하는 소자 분리 영역을 형성하고, 상기 기판 내에 예비 게이트 트렌치를 형성하되, 상기 예비 게이트 트렌치는, 상기 소자 분리 영역을 가로지르며 상기 제1 라이너, 제2 라이너 및 상기 소자 절연 물질을 노출시키는 제1 영역, 및 상기 활성 영역을 가로지르며 상기 기판의 일부를 노출시키는 제2 영역을 포함하되, 상기 제1 영역은 평면형 제1 측벽을 갖고, 상기 제2 영역은 상기 제1 영역과의 경계부에 침부를 갖도록 중앙 영역이 오목한 제2 측벽을 갖고, 상기 제1 영역에 노출된 상기 제1 라이너의 일부를 제거하여 상기 침부를 돌출시키는 제1 깊이의 텐트를 형성하고, 상기 돌출한 침부를 리플로우 공정을 이용하여 제거하여 상기 예비 게이트 트렌치를 게이트 트렌치로 변환하고, 및 상기 게이트 트렌치 내에 게이트 절연막, 게이트 도전 패턴, 및 게이트 캡핑 패턴을 형성하는 것을 포함한다.
- [0010] 상기 해결하고자 하는 과제를 달성하기 위한 본 발명의 기술적 사상에 의한 반도체 소자의 제조 방법은, 기판의

일부를 제거하여 소자 분리 트렌치를 형성하고, 상기 소자 분리 트렌치의 내부 표면 상에 제1 라이너를 형성하고, 상기 제1 라이너 상에 상기 소자 분리 트렌치를 채우도록 소자 절연 물질을 형성하여 상기 기판 내에 활성 영역을 한정하는 소자 분리 영역을 형성하고, 상기 기판 내에 예비 게이트 트렌치를 형성하되, 상기 예비 게이트 트렌치는, 상기 소자 분리 영역을 가로지르며 상기 제1 라이너 및 상기 소자 절연 물질을 노출시키는 제1 영역, 및 상기 활성 영역을 가로지르며 상기 기판의 일부를 노출시키는 제2 영역을 포함하되, 상기 제1 영역은 제1 폭을 갖고, 상기 제2 영역의 중앙 영역은 상기 제1 폭보다 넓은 제2 폭을 갖고, 상기 제1 영역과 상기 제2 영역의 경계면에서 상기 기판은 침부를 갖고, 상기 침부가 돌출하도록 상기 제1 폭을 더 넓히고, 리플로우 공정을 이용하여 상기 침부를 제거하여 게이트 트렌치로 변환하고, 및 상기 게이트 트렌치 내에 게이트 절연막, 게이트 도전 패턴, 및 게이트 캡핑 패턴을 형성하는 것을 포함한다.

[0011] 본 발명의 기술적 사상에 의한 반도체 모듈은, 모듈 기판, 모듈 기판 상부에 실장되는 반도체 집적회로 칩들, 및 모듈 기판의 일측에 나란히 형성되어 반도체 집적회로 칩들과 전기적으로 연결되는 모듈 접촉 단자들, 및 본 발명의 기술적 사상에 의한 반도체 소자를 포함할 수 있다.

[0012] 본 발명의 기술적 사상에 의한 전자 시스템은, 제어기, 입출력 장치, 기억 장치, 및 본 발명의 기술적 사상에 의한 반도체 소자를 포함할 수 있다.

[0013] 본 발명의 기술적 사상에 의한 메모리 카드는, 비휘발성 기억 장치 및 메모리 제어기를 포함하고, 및 본 발명의 기술적 사상에 의한 반도체 소자를 포함할 수 있다.

발명의 효과

[0014] 위에서 설명한 바와 같이, 본 발명의 기술적 사상에 의한 반도체 소자의 제조 방법에 의하면 다음과 같은 효과를 기대할 수 있다. 첫째, 리세스 채널 또는 베리드 채널을 포함하는 반도체 소자에 있어서, 플라즈마 공정 등을 의하여 손상된 예비 리세스 채널 트렌치의 내부 실리콘 표면이 어닐링을 통하여 큐어링되고, 코너부의 침부가 제거될 수 있다. 이에 의해, 전계가 특정 부위에 집중되는 현상이 방지 됨으로써, 누설 전류를 감소시킬 수 있으므로 소모 전력을 줄일 수 있고, 데이터 저장 능력을 개선할 수 있다. 둘째, 채널을 볼록(convex)하게 형성함으로써, 채널의 폭을 증가시킴으로써, 게이트의 구동 능력을 개선할 수 있다.

도면의 간단한 설명

[0015] 도 1a는 본 발명의 기술적 사상의 제1 실시예에 의한 반도체 소자의 구성을 나타내는 평면도이고, 도 1b는 도 1a의 A-A'의 종단면도이다.

도 2는 본 발명의 기술적 사상의 제2 실시예에 의한 반도체 소자의 구성을 나타내는 평면도이다.

도 3a 및 3b는 본 발명의 기술적 사상의 제3 실시예에 의한 반도체 소자의 구성을 나타내는 평면도 및 B-B'의 종단면도이다.

도 4a, 4b 및 4c는 본 발명의 기술적 사상의 제4 내지 제6 실시예들에 의한 반도체 소자들의 구성을 나타내는 평면도들이다.

도 5a 및 5b는 본 발명의 기술적 사상의 제7 실시예에 의한 반도체 소자의 구성을 나타내는 평면도 및 종단면도이다.

도 6은 본 발명의 기술적 사상의 제8 실시예에 의한 반도체 소자의 구성을 나타내는 평면도이다.

도 7a 내지 도 12b는 본 발명의 기술적 사상에 의한 반도체 소자를 제조하기 위한 제1 실시예에 의한 제조 방법들을 설명하기 위한, 도 1a의 P 부분을 확대한 부분 확대도 및 I-I'방향의 종단면도들이다.

도 13a 내지 15d는 본 발명의 기술적 사상에 의한 다양한 반도체 소자들을 제조하기 위한 제조 방법들을 설명하기 위한 평면도들이다.

도 16a 내지 도 16c는 본 발명의 기술적 사상에 의한 다양한 반도체 패키지를 포함하는 반도체 모듈, 전자 시스템, 및 메모리 카드의 블록 다이어그램들이다.

발명을 실시하기 위한 구체적인 내용

[0016] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서

로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 각 구성의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

- [0017] 도 1a 및 1b는 본 발명의 기술적 사상의 제1 실시예에 의한 반도체 소자의 구성을 나타내는 평면도, 및 A-A'의 종단면도이다.
- [0018] 도 1a 및 도 1b를 참조하면, 본 발명의 기술적 사상의 제1 실시예에 의한 반도체 소자(10a)는, 활성 영역들(120), 활성 영역들(120)을 정의하는 소자 분리 영역(130), 및 활성 영역들(120)과 소자 분리 영역(130)을 제2 방향으로 가로지르는 다수 개의 평행한 게이트 전극들(200)을 포함할 수 있다.
- [0019] 다수 개의 활성 영역들(120)이 소정 간격으로 반복 배열될 수 있다. 활성 영역(120)은 장축이 제1방향으로 늘어진(elongated) 바(bar) 형상일 수 있다. 활성 영역들(120)은 각각 소스 영역(S), 및 드레인 영역(D)을 포함할 수 있다.
- [0020] 소자 분리 영역(130)은 라이너(110) 및 소자 절연 물질(112)을 포함할 수 있다. 라이너(110)는 이중막으로 형성될 수 있다. 즉, 라이너(110)는 제1 라이너(110a) 및 제2 라이너(110b)를 포함할 수 있다. 제1 라이너(110a)는 실리콘 열산화물(thermal silicon oxides)을 포함할 수 있고, 제2 라이너(110b)는 실리콘 질화물(silicon nitrides)을 포함할 수 있다. 소자 절연 물질(112)은 실리콘 산화물(silicon oxides)을 포함할 수 있다.
- [0021] 게이트 전극들(200)은 게이트 절연막(210), 게이트 도전 패턴(220) 및 게이트 캡핑 패턴(230)을 포함할 수 있다. 반도체 소자(10a)는 게이트 절연막(210)의 주위에서 기판(100)의 표면과 수직한 방향으로 형성의 채널을 포함하는 리세스 채널(RC)을 포함할 수 있다.
- [0022] 게이트 전극들(200)은 서로 평행하며, 제2방향으로 연장될 수 있다. 1개의 활성 영역(120)이 2줄의 게이트 전극(200)과 상호 교차될 수 있다. 제2방향은 제1방향에 대하여 소정 각도로 경사질 수 있다.
- [0023] 게이트 전극들(200)의 양 측면들은 요철 또는 굴곡이 질 수 있다. 예를 들어, 게이트 전극들(200)과 소자 분리 영역(130)의 사이의 제1경계면(I1)과 게이트 전극들(200)과 활성 영역들(120)의 제2경계면(I2)이 일직선 상 또는 동일 평면 상에 정렬되지 않을 수 있다. 다른 말로, 게이트 전극들(200)은 소자 분리 영역(130)을 가로지르는 제1영역(160a)과 활성 영역들(120)을 가로지르는 제2영역(160b)에서 그 폭이 서로 다를 수 있다. 보다 상세하게, 제1영역(160a)의 제1폭(W1)은 제2영역(160b)의 제2폭(W2)보다 넓을 수 있다. 제1경계면(I1)과 제1영역(160a)에서, 제2경계면(I2)은 제2부분(160b)에서 각각 직선화 또는 평평하게 형성될 수 있다.
- [0024] 게이트 전극들(200)은 제2 라이너(110b)가 게이트 전극(200) 방향으로 돌출할 수 있다. 즉, 제2 라이너(110b)들의 사이의 제3폭(W3)은 제1폭(W1) 및 제2폭(W2)보다 작을 수 있다.
- [0025] 도 2는 본 발명의 기술적 사상의 제2 실시예에 의한 반도체 소자의 구성을 나타내는 평면도이다. 도 2를 참조하면, 게이트 전극(200)이 활성 영역(120)과 교차하는 제2영역(160b)에서 게이트 전극(200)과 활성 영역(120)의 경계면(I3)이 게이트 전극(200) 방향으로 볼록하게(convex) 라운드 형태로 돌출할 수 있다.
- [0026] 도 3a 및 3b는 본 발명의 기술적 사상의 제3 실시예에 의한 반도체 소자의 구성을 나타내는 평면도 및 B-B'의 종단면도이다. 도 3a 및 3b를 참조하면, 본 발명의 기술적 사상의 제3 실시예에 의한 반도체 소자(10c)는 단일막의 라이너(110)를 포함할 수 있다. 게이트 전극(200)과 라이너(110)의 경계면(I4)과 게이트 전극(200)과 활성 영역(120)의 경계면(I5)은 발명을 쉽게 이해할 수 있도록 동일 직선 또는 동일 평면 상에 정렬된 것으로 간략하게 도시되었다. 즉, 서로 일직선 상에 정렬되지 않을 수 있다. 본 실시예에서도, 제1영역(160a)의 제1폭(W1)이 제2영역(160b)의 제2폭(W2)보다 넓을 수 있다.
- [0027] 도 4a, 4b 및 4c는 본 발명의 기술적 사상의 제4 내지 제6 실시예들에 의한 반도체 소자들의 구성을 나타내는 평면도들이다. 도 4a, 4b 및 4c를 참조하면, 본 발명의 기술적 사상의 제4 내지 제6 실시예들에 의한 반도체 소자들(10d-10f)는 단일막의 라이너(110) 및 볼록한 모양의 활성 영역(120)을 포함할 수 있다. 다른 구성 요소들에 대한 설명은 본 제4 실시예에 의한 반도체 소자(10d)는 도 2, 3a 및 3b를 참조하여 보다 상세하게 이해될 수 있을 것이다. 도 4a를 참조하면, 활성 영역(120)의 볼록한 끝 부분들은 라이너(110)의 끝 부분들과 정렬될 수 있고, 도 4b를 참조하면, 활성 영역(120)의 볼록한 끝 부분들이 라이너(110)의 끝 부분들보다 안쪽으로 위치될 수도 있고, 도 4c를 참조하면, 활성 영역(120)의 볼록한 끝 부분들은 라이너(110)의 끝 부분들보다 바깥쪽으로 돌출할 수도 있다. 이러한 기술적 사상은 본 발명의 다른 모든 실시예들에 확장, 적용될 수 있다. 도면이 복잡

해지는 것을 피하기 위하여 대표적인 실시예들만 도시, 설명된다.

- [0028] 도 5a 및 5b는 본 발명의 기술적 사상의 제7 실시예에 의한 반도체 소자의 구성을 나타내는 평면도 및 C-C'의 종단면도이다. 도 5a 및 5b를 참조하면, 본 발명의 기술적 사상의 제7 실시예에 의한 반도체 소자(10g)는 라이너(110)가 삼중막 이상으로 형성될 수 있다. 즉, 제1 라이너(110a), 제2 라이너(110b) 및 제3 라이너(110c)를 포함할 수 있다. 제1 라이너(110a)와 상기 제3 라이너(110c)의 끝 부분들이 서로 일직선 상 또는 동일 평면 상에 정렬될 수 있다. 제1 라이너(110a)와 제3 라이너(110c)는 동일한 물질을 포함할 수 있다. 예를 들어, 제1 라이너(110a)와 제3 라이너(110c)는 실리콘 산화물을 포함할 수 있다. 제2 라이너(110b)는 실리콘 질화물을 포함할 수 있다.
- [0029] 도 6은 본 발명의 기술적 사상의 제8 실시예에 의한 반도체 소자의 구성을 나타내는 평면도이다. 도 6을 참조하면, 본 발명의 기술적 사상의 제8 실시예에 의한 반도체 소자(10h)는 삼중막의 라이너(110) 및 불룩한 모양의 활성 영역(120)을 포함할 수 있다. 본 제8 실시예는 도 2, 4a 내지 4c, 5a 및 5b를 참조하여 이해될 수 있을 것이다.
- [0030] 본 발명의 제1 내지 제8 실시예에 의한 반도체 소자들(10a-10h)은 서로 독립적으로 적용될 수도 있고, 다양한 기술적 사상이 함께 적용될 수도 있다. 예를 들어, 게이트 전극들(200)과 활성 영역들(120)의 경계면들의 끝 부분들과 게이트 전극들(200)과 라이너들(110)의 끝 부분들은 서로 정렬 또는 일치될 수도 있고 그렇지 않을 수도 있다. 이것은 제조 공정을 적용하는 방법에 따라 다양한 결과물들이 얻어질 수 있다는 것을 의미한다.
- [0031] 이하, 본 발명의 기술적 사상에 의한 반도체 소자들의 제조 방법들을 첨부 도면을 참조하여 상세하게 설명하기로 한다.
- [0032] 도 7a 내지 도 12b는 본 발명의 기술적 사상에 의한 반도체 소자를 제조하기 위한 제1 실시예에 의한 제조 방법들을 설명하기 위한, 도 1a의 P 부분을 확대한 부분 확대도 및 I-I'방향의 종단면도들이다.
- [0033] 도 7a 및 도 7b를 참조하면, 기판(100) 내부에 소자 분리 영역(130)이 형성될 수 있다. 기판(100)은, 단결정 실리콘 혹은 실리콘 저마늄을 포함할 수 있다. 소자 분리 영역(130)은 라이너(110) 및 소자 절연 물질(112)을 포함할 수 있다. 먼저, 소자 분리 트렌치(102)가 기판(100)의 일부를 플라즈마 식각 또는 습식 식각으로 제거하여 형성될 수 있다. 계속해서, 기판(100)의 표면 및 소자 분리 트렌치(102)의 내부 표면 상에 라이너(110)가 형성될 수 있다. 라이너(110)는, 이중막으로 형성될 수 있다. 예를 들어, 라이너(110)는, 소자 분리 트렌치(102)의 내부 표면 상에 직접적으로 형성된 제1 라이너(110a)과, 제1 라이너(110a) 상에 직접적으로 형성되는 제2 라이너(110b)를 포함할 수 있다. 제1 라이너(110a)는 실리콘 산화막을 포함할 수 있다. 예를 들어, 소자 분리 트렌치(102)의 내부 표면에 표면 산화 공정이 실시되어 형성될 수 있다. 일례로, MTO(Mid-Temperature Oxide)막이 열산화 공정에 의하여 소자 분리 트렌치(102)의 내부 표면 상에 약 5~50Å의 두께로 형성될 수 있다. MTO막은 500~700°C 정도의 온도에서 습식 산화법으로 형성될 수 있다. 제2 라이너(110b)는 실리콘 질화막(SiN)을 포함할 수 있다. 제2 라이너(110b)는 화학기상 증착법 등을 이용하여 제1 라이너(110a) 상에 약 10~80Å의 두께로 형성될 수 있다. 다음, 소자 분리 트렌치(102)를 채우도록 제2 라이너(110b) 상에 소자 절연 물질(112)이 형성될 수 있다. 소자 절연 물질(112)은, BPSG(boron phosphorous silicate glass), USG(undoped silicate glass), TOSZ(tonen silazene) 혹은 HDP(high density plasma) 등의 다양한 실리콘 산화막 중 하나 이상을 포함할 수 있다. 이후, CMP 공정 등을 이용하여 기판(100)의 표면 위(above)의 구성 요소들을 제거함으로써, 소자 분리 영역(130)이 형성될 수 있다. 소자 분리 영역(130)은 활성 영역(120)을 포위하도록 형성되므로, 활성 영역(130)은 섬(island) 형상일 수 있다.
- [0034] 도 8a 및 도 8b를 참조하면, 기판(100) 상에 패드 절연막(140) 및 마스크막(150)이 전면적으로 형성될 수 있다. 패드 절연막(140)은 실리콘 산화물을 포함할 수 있고, 산화 공정 또는 CVD 공정을 이용하여 형성될 수 있다. 마스크막(150)은 실리콘 질화물을 포함할 수 있고 CVD 공정을 이용하여 형성될 수 있다. 다른 실시예에서, 패드 절연막(140) 및 마스크 막(150)은 한 층의 포토레지스트막으로 대체될 수도 있다.
- [0035] 도 9a 및 도 9b를 참조하면, 예비 게이트 트렌치(160)가 형성될 수 있다. 먼저, 패드 절연막(도 8b의 140) 및 마스크막(도 8b의 150)이 예비 게이트 트렌치(160)을 형성하기 위한 패드 절연 패턴(142) 및 마스크 패턴(152)으로 형성될 수 있다. 패드 절연 패턴(142) 및 마스크 패턴(152)에 의하여, 소자 분리 영역(130)의 상면 일부와 활성 영역(120)의 상면 일부가 노출될 수 있다. 마스크 패턴(152) 및 패드 절연 패턴(142)을 식각 마스크로 이용하여, 노출된 소자 분리 영역(130)의 일부와 노출된 활성 영역(120)의 일부가 예를 들어 플라즈마 식각 공정을 이용하여 소정 깊이로 제거될 수 있다. 이로써, 기판(100) 내에 도 1a의 제2방향으로 연장하는 예비 게이트

트 트렌치(160)가 형성될 수 있다. 다수의 예비 게이트 트렌치(160)는 제3방향으로 평행하게 다수 개가 반복 배열될 수 있다. 가령, 플라즈마 건식 식각은, 5 ~ 50mtorr 압력 범위와 50 ~ 100W의 파워에서 C12와 HBr의 혼합가스를 사용하여 진행될 수 있다. 이때, 플라즈마 건식 식각 공정시, 예비 게이트 트렌치(160)의 노출된 내부 표면이 플라즈마에 의하여 손상될 수 있다. 패드 절연막(도 8b의 140) 및 마스크막(도 8b의 150)이 포토레지스트막인 경우, 패드 절연 패턴(142) 및 마스크 패턴(152)은 한 층의 포토레지스트 패턴으로 대체될 수 있다.

[0036] 예비 게이트 트렌치(160)는, 소자 분리 영역(130)을 가로지르는 제1영역(160a)과 활성 영역(120)을 가로 지르는 제2 영역(160b)을 포함할 수 있다. 상기 제1영역(160a)에는 제1 라이너(110a), 제2 라이너(110b), 및 소자 절연 물질(112)이 노출될 수 있다. 제2영역(160b)에는 활성 영역(120)에 해당하는 기관(100)의 일부가 노출될 수 있다. 활성 영역(120)의 표면이 소자 분리 영역(130)의 표면보다 더 제거될 수 있다. 따라서, 활성 영역(120)과 교차하는 제2영역(160b)의 제4폭(W4)이 소자 분리 영역(160)과 교차하는 제1영역(160a)의 제5폭(W5)보다 클 수 있다. 제4폭(W4) 및/또는 제5폭(W5)은 각각 제2 및 제1 영역의 평균적인 폭을 의미할 수 있다. 엣지 영역(EA)에서 제2영역(160b)의 폭은 중앙 영역(CA)에서 제2영역(160b)의 폭보다 좁을 수 있다. 따라서, 제4폭(W4)은, 엣지 영역(EA)에서 제5폭(W5)과 유사하거나 실질적으로 동일한 최소폭(Wmin)과 중앙 영역(CA)에서 제5폭(W5)보다 더 넓은 최대폭(Wmax)을 포함할 수 있다. 최대폭(Wmax)은 최소폭(Wmin)보다 양쪽으로 제1길이(L1) 만큼 더 넓을 수 있다. 예비 게이트 트렌치(160)는 제1영역(160a)에서 표면이 직선형 또는 평평한 평면형인 제1 측벽(160x)과 제2영역(160b)에서 표면이 오목한 곡면형인 제2 측벽(160y)을 포함할 수 있다.

[0037] 제1 영역(160a)과 제2영역(160b)이 인접하는 경계부, 즉 엣지 영역(EA)에서 활성 영역(120)은 첨부를 가질 수 있다. 즉, 제2영역(160b)에서, 중앙 영역(CA)의 활성 영역(120)의 표면이 엣지 영역(EA)의 표면보다 더 제거됨으로써, 엣지 영역(EA)의 제2 측벽(160y)은 양 끝에 첨부 형태를 가지고, 중앙이 오목하게 라운드진 형태를 가질 수 있다. 특히, 직선형 또는 평평한 형태의 내부 표면을 가지는 제1 측벽(160x)과 오목한 형태의 내부 표면을 가지는 제2 측벽(160y)이 만나는 지점에서 가장 예리한 첨부 형태를 가질 수 있다. 이후, 마스크 패턴(152)이 인산(H3PO4)을 포함하는 습식 공정에 의하여 제거될 수 있다.

[0038] 도 10a 및 도 10b를 참조하면, 패드 절연 패턴(142), 라이너(110)의 일부, 및 소자 절연 물질(112)의 일부가 제거될 수 있다. 활성 영역(120)과 제2 라이너(110b)의 사이에서, 제1 라이너(110a)의 일부가 제거되어 덴트(T1)가 형성될 수 있다. 제1 라이너(110a)와 소자 절연 물질(112)의 사이에는 제2 라이너(110b)가 돌출할 수 있다.

[0039] 부가하여, 도 10b에서, 제1 라이너(110a) 및 소자 절연 물질(112)의 상부 표면이 활성 영역(120)의 상부 표면보다 낮아질 수 있다. 또는, 기관(100) 상에 패드 절연 패턴(142)이 잔존했다면, 이 공정에서 패드 절연 패턴(142)이 함께 제거될 수 있고, 제1 라이너(110a) 및 소자 절연 물질(112)이 활성 영역(120)의 상부 표면과 같은 레벨을 유지할 수도 있다.

[0040] 덴트(T1)를 형성하는 공정은 식각 공정 혹은 세정 공정을 포함할 수 있다. 식각 공정 혹은 세정 공정은, 건식 공정 또는 습식 공정을 포함할 수 있다. 가령, 습식 공정은 묽은 불산(HF)을 포함하는 세정 용액을 이용할 수 있다. 제1 라이너(110a)가 MTO 같은 열산화막을 포함하고, 소자 절연 물질(112)이 HDP 실리콘 산화막 같은 증착 산화막을 포함하면, 소자 절연 물질(112)이 제1 라이너(110a)보다 더 제거될 수 있다. 즉, 소자 절연 물질(112)은 제1 라이너(110a)보다 많은 제거될 수 있다. 따라서, 제1 라이너(110a) 간의 제6폭 보다 소자 절연 물질(112) 간의 제7폭이 더 넓다. 소자 절연 물질(112)이 제거되기 전의 경계선은 점선으로 표시되었다. 제1 라이너(110a)가 제거됨으로써 발생하는 덴트(T1)의 깊이(L2)는 특별한 제한이 없으나, 제1길이(도 9a의 L1)와 유사하거나 작을 수 있다. 덴트(T1)의 깊이(L2)에 따라 최종 프로파일이 달라지지만, 후속 공정에서 충분히 다른 모양으로 변형될 수도 있으므로, 반드시 덴트(T1)의 깊이(L2)를 특정하게 형성해야만 하는 것은 아니다.

[0041] 도 11a 및 도 11b를 참조하면, 노출된 활성 영역(120)의 기관 실리콘 표면이 리플로우되어 게이트 트렌치(170)가 형성될 수 있다. 수소 가스 혹은 불활성 가스 분위기하에서 기관(100)을 어닐링하는 것을 포함할 수 있다. 도 11a를 참조하면, 제2영역(160b)에서, 예비 게이트 트렌치(도 10a의 160)의 엣지 영역(EA)에 있던 실리콘 원자(Si atom)가 열역학적으로 더 안정한 중앙 영역(CA)으로 이동될 수 있다. 실리콘 원자가 엣지 영역(EA)에서 중앙 영역(CA)으로 이동하면서, 엣지 영역(EA)의 첨부가 사라지고, 중앙 영역이 상대적으로 두터워질 수 있다. 덴트(T1)는 사라질 수도 있고 작아진 모양으로 잔존할 수도 있지만, 덴트(T1)가 사라지도록 첨부가 완전히 사라질 수 있다. 리플로우 공정을 통하여, 제2영역(160b)에서 제8폭(W8)을 가지는 게이트 트렌치(170)가 형성될 수 있다. 제8폭(W8)은 제4폭(도 9a의 W4)보다 클 수 있다. 제8폭(W8)은 최대폭(도 9a의 Wmax)에 근접하거나 일치할 수 있다.

[0042] 도 11b를 참조하면, 리플로우 공정에 의하여, 예비 게이트 트렌치(도 10a의 160)의 측면에 있던 실리콘 원자(Si

atom)가 열역학적으로 더 안정한 바닥면으로 이동될 수 있다. 실리콘 원자가 예비 게이트 트렌치(도 10a의 160)의 바닥면으로 집중되면서, 바닥면의 중앙부는 상방으로 리프트될 수 있다. 바닥면이 리프트되면, 바닥면의 하부 폭이 증가될 수 있고, 게이트 트렌치(170)의 깊이는 낮아질 수 있다. 이로써, 게이트 트렌치(170)의 내부 표면이 개선될 수 있다.

[0043] 수소 가스를 이용한 어닐 공정은 밀폐된 챔버 내에서, 약 0.1 내지 50 SLM (standard liter per a minute)의 수소 가스 공급 유량, 0.1 내지 10 Torr의 내부 압력, 및 약 650 내지 1000℃의 챔버 내부 온도에서 수 초 내지 수 분간 수행될 수 있다. 각 공정 인자들은 리플로우 시키고자 하는 실리콘의 양 및 프로파일에 따라 다양하게 응용될 수 있다. 예를 들어, 리플로우를 촉진시키기 위하여, 수소 가스 공급 유량을 늘리고, 내부 압력을 줄이며, 챔버 내부 온도를 상승시킬 수 있다.

[0044] 도 12a 및 도 12b를 참조하면, 게이트 전극(200)이 형성될 수 있다. 먼저, 게이트 절연막(210)이 열산화 공정에 의하여 게이트 트렌치(170)의 표면을 따라 내벽 상에 컨포멀하게 형성될 수 있다. 게이트 절연막(210)은, 실리콘 열 산화막, 티타늄 산화막 혹은 hafnium 산화막 같은 금속 산화막을 포함할 수 있다. 게이트 절연막(210) 상에는 CVD 혹은 스퍼터링 공정에 의하여 게이트 도전 패턴(220)이 형성될 수 있다. 게이트 도전 패턴(220)은, 도핑된 폴리실리콘 혹은 금속이나 금속 화합물을 포함할 수 있다. 게이트 도전 패턴(220)의 상면 레벨은 기판(100)의 상면 레벨보다 낮을 수 있다. 게이트 도전 패턴(220) 상에 게이트 도전 패턴(220)을 보호하는 게이트 캡핑 패턴(230)이 형성될 수 있다. 게이트 캡핑 패턴(230)은, 실리콘 질화막을 포함할 수 있다. 이후, 기판(100) 위의 구성 요소들을 제거하기 위한 CMP 공정이 수행될 수 있다. 이로써, 게이트 절연막(210), 게이트 도전 패턴(220) 및 게이트 캡핑 패턴(230)을 포함하는 게이트 전극(200)이 형성될 수 있다. 게이트 캡핑 패턴(230)의 양측의 기판(100)에 소스 영역(S) 및 드레인 영역(D)을 형성하기 위한, 이온 주입 공정이 수행될 수 있다. 이온 주입 공정을 통하여 소스 영역(S) 및 드레인 영역(D)을 형성함으로써, 소스 영역(S) 및 드레인 영역(D)에 의해 게이트 절연막(210)의 하부에 리세스 채널(RC)이 형성될 수 있다.

[0045] 도 13a 및 13b는 본 발명의 기술적 사상에 의한 반도체 소자를 제조하기 위한 제2 실시예 의한 제조 방법들을 설명하기 위한 평면도들이다.

[0046] 도 13a를 참조하면, 도 10a 및 10b를 참조하는 공정들이 수행되어, 패드 절연 패턴(142), 라이너(110)의 일부, 및 소자 절연 물질(112)의 일부가 제거될 수 있다. 이 공정에서, 소자 분리 영역(120) 및 제1 라이너(110a)가 도 10a 및 도 10b를 참조하는 공정보다 더 많이 제거될 수 있다. 텐트(T2)의 깊이(L3)가 중앙 영역(CA)의 최대 폭(도 9a의 Wmax)보다 더 깊게 형성된 것처럼 도시되었으나, 이것은 예시적인 것이다.

[0047] 도 13b를 참조하면, 도 11a 및 11b를 참조하는 리플로우 공정을 수행하여, 중앙 영역(CA)이 불록한 활성 영역(120)으로 변환될 수 있다. 도시된 모양은 텐트(T2)의 깊이(L3) 및 리플로우 공정의 다양한 조건들을 최적화하여 얻어질 수 있다. 보다 상세하게, 도 4a 내지 4c에 예시된 모양들을 참조하여 이해될 수 있다. 이후, 도 12a 및 12b를 참조하는 공정들이 더 수행되어 도 2에 도시된 모양이 형성될 수 있다.

[0048] 도 14a 내지 14d는 본 발명의 기술적 사상에 의한 반도체 소자를 제조하기 위한 제3 및 제4 실시예에 의한 제조 방법들을 설명하기 위한 평면도들이다. 특히, 라이너(110)가 단일막을 포함하는 경우가 설명된다.

[0049] 도 14a를 참조하면, 도 4a 내지 9b를 참조하는 공정들이 수행되어, 예비 게이트 트렌치(160)가 형성된다. 기술적 이해를 돕기 위하여, 도 9a 및 9b와는 다르게 패드 절연 패턴(142) 및 마스크 패턴(152)이 생략되었다. 예비 게이트 트렌치(160)는 제1영역(160a)에서 제1 측벽(160x)을 포함할 수 있고, 제2영역(160b)에서 제2 측벽(160y)을 포함할 수 있다.

[0050] 도 14b를 참조하면, 도 10a 및 10b를 참조하는 공정들이 수행되어 소자 절연 물질(112)의 일부 및 라이너(110)의 일부가 제거될 수 있다. 소자 절연 물질(112)이 라이너(110)보다 더 많이 제거될 수 있다. 라이너(110)는 실리콘 열산화막을 포함할 수 있고, 소자 절연 물질(112)은 증착된 실리콘 산화물을 포함할 수 있다. 이에 의해, 엣지 영역(EA)에서 활성 영역(120)의 끝 부분들은 침부 형태로 형성, 노출될 수 있다.

[0051] 도 14c를 참조하면, 도 11a 및 11b를 참조하는 리플로우 공정이 수행되어 제2 측벽(160y)이 직선화 또는 평평해질 수 있다. 이후, 도 12a 및 12b를 참조하여, 게이트 전극(200)을 형성하는 공정이 수행될 수 있다.

[0052] 도 14d를 참조하면, 도 14b를 참조하는 공정이 수행된 후, 도 11a 및 11b를 참조하는 리플로우 공정이 수행되어, 제2 측벽(160y)이 불록하게 형성될 수 있다. 이후, 도 12a 및 12b를 참조하여, 게이트 전극(200)을 형성하는 공정이 수행될 수 있다. 이에 의해 도 4a 내지 4c에 예시된 반도체 소자들(10d-10f) 중 어느 하나가

형성될 수 있다.

- [0053] 도 15a 내지 도 15d는 본 발명의 기술적 사상에 의한 반도체 소자를 제조하기 위한 제5 및 제6 실시예들을 설명하기 위한 평면도들이다. 특히, 라이너(110)가 삼중막을 포함하는 경우가 설명된다. 제1 라이너(110a), 제2 라이너(110b), 및 제3 라이너(110c)는 도 5a 및 5b를 참조하여 이해될 수 있을 것이다.
- [0054] 도 15a를 참조하면, 도 4a 내지 9b를 참조하는 공정들이 수행되어 예비 게이트 트렌치(160)가 형성된다. 기술적 이해를 돕기 위하여, 도 9a 및 9b와는 다르게, 도 14a처럼, 패드 절연 패턴(142)이 생략되었다. 도 14a처럼, 예비 게이트 트렌치(160)는 제1영역(160a)에서 제1 측벽(160x)을 포함할 수 있고, 제2영역(160b)에서 제2 측벽(160y)을 포함할 수 있다. 제1 라이너(110a) 및 제3 라이너(110c)는 실리콘 열산화물을 포함할 수 있고, 제2 라이너(110b)는 실리콘 질화물을 포함할 수 있으며, 소자 절연 물질(112)은 증착 또는 코팅 방법으로 형성될 수 있는 실리콘 산화물을 포함할 수 있다.
- [0055] 도 15b를 참조하면, 도 10a 및 10b를 참조하는 공정들이 수행되어 제1 라이너(110a), 제3 라이너(110b), 및 소자 절연 물질(112)을 부분적으로 제거될 수 있다. 이 공정에 의하여, 엣지 영역(EA)에서 활성 영역(120)의 침부를 노출시키는 덴트(T3)가 형성될 수 있다. 제2 라이너(110b)와 활성 영역(120)은 제거되지 않으므로 돌출한 모양이 될 수 있다. 활성 영역(120)의 끝 부분들은 침부 형태로 형성, 노출될 수 있다. 제1 라이너(110a)와 제3 라이너(110c)는 동일하거나 유사하게 제거될 수 있고, 소자 절연 물질(112)은 상대적으로 더 제거될 수 있다.
- [0056] 도 15c를 참조하면, 도 11a 및 11b를 참조하는 리플로우 공정이 수행되어, 제2 측벽(160y)이 직선화 또는 평평해질 수 있다. 이후, 도 12a 및 12b를 참조하여, 게이트 전극(200)을 형성하는 공정이 수행될 수 있다. 이에 의해, 도 5a 및 5b에 예시된 반도체 소자(100g)가 형성될 수 있다.
- [0057] 도 15d를 참조하면, 도 15b를 참조하는 공정이 수행된 후, 도 11a 및 11b를 참조하는 리플로우 공정이 수행되어, 제2 측벽(160y)이 불룩하게 형성될 수 있다. 이후, 도 12a 및 12b를 참조하여, 게이트 전극(200)을 형성하는 공정이 수행될 수 있다. 이에 의해 도 6에 예시된 반도체 소자(10h)가 형성될 수 있다.
- [0058] 도 16a, 도 16b, 및 도 16c는 본 발명의 기술적 사상에 의한 다양한 반도체 패키지를 포함하는 반도체 모듈, 전자 시스템, 및 메모리 카드의 블록 다이어그램들이다.
- [0059] 도 16a를 참조하면, 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들(10a-10h)은 반도체 모듈(300)에 적용될 수 있다. 반도체 모듈(300)은, 모듈 기판(310), 모듈 기판(310) 상부에 실장되는 반도체 집적회로 칩들(320), 모듈 기판(310)의 일측에 나란히 형성되어 반도체 집적회로 칩들(320)과 전기적으로 연결되는 모듈 접촉 단자들(330)을 포함할 수 있다. 반도체 집적회로 칩들(320) 중 적어도 하나는 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자 기술이 적용된 것일 수 있다. 반도체 모듈(300)은 모듈 접촉 단자들(330)를 통해 외부 전자 장치와 연결될 수 있다.
- [0060] 도 16b를 참조하면, 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들(10a-10h)은, 전자 시스템(400)에 적용될 수 있다. 전자 시스템(400)은, 제어기(410), 입출력 장치(420), 및 기억 장치(430)를 포함할 수 있다. 제어기(410), 입출력 장치(420), 및 기억 장치(430)는 데이터들이 이동하는 통로를 제공하는 버스(450)를 통하여 결합될 수 있다. 제어기(410)는, 하나 이상의 마이크로 프로세서, 디지털 신호 프로세서, 마이크로 컨트롤러, 및 이들과 유사한 기능을 수행할 수 있는 논리 소자들 중에서 적어도 어느 하나를 포함할 수 있다. 제어기(410) 및 기억 장치(430)는, 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들(10a-10h)을 하나 이상 포함할 수 있다. 입출력 장치(420)는, 키패드, 키보드 및 표시 장치(display device) 등에서 선택된 적어도 하나를 포함할 수 있다. 기억 장치(430)는, 데이터 및/또는 제어기(410)에 의해 실행되는 명령어 등을 저장할 수 있다. 기억 장치(430)는, 디램과 같은 휘발성 기억 소자 및/또는 플래시 메모리와 같은 비휘발성 기억 소자를 포함할 수 있다. 전자 시스템(400)은, 통신 네트워크로 데이터를 전송하거나 통신 네트워크로부터 데이터를 수신하기 위한 인터페이스(440)를 더 포함할 수 있다. 인터페이스(440)는 유무선 형태일 수 있다. 예컨대, 인터페이스(440)는 안테나 또는 유무선 트랜시버 등을 포함할 수 있다. 전자 시스템(400)은, 모바일 시스템, 개인용 컴퓨터, 산업용 컴퓨터 또는 다양한 기능을 수행하는 로직 시스템 등으로 구현될 수 있다.
- [0061] 도 16c를 참조하면, 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들(10a-10h)은 메모리 카드(500)의 형태로 제공될 수 있다. 일례로, 메모리 카드(500)는 비휘발성 기억 장치(510) 및 메모리 제어기(520)를 포함할 수 있다. 비휘발성 기억 장치(510) 및 메모리 제어기(520)는, 데이터를 저장하거나 저장된 데이터를 판독할 수 있다. 비휘발성 기억 장치(510)는, 본 발명에 따른 반도체 소자 기술이 적용된 비휘발성 기억 소

자들 중에서 적어도 어느 하나를 포함할 수 있다. 메모리 제어기(520)는, 호스트(530)의 판독/쓰기 요청에 응답하여 저장된 데이터를 독출하거나, 데이터를 저장하도록 비휘발성 기억 장치(510)를 제어할 수 있다.

[0062] 그 외, 도면에 참조 부호가 표시되지 않았거나, 참조 부호만 표시된 구성 요소들은 본 명세서의 다른 도면들 및 그 설명들로부터 그 이름과 기능 등이 쉽게 이해될 수 있을 것이다.

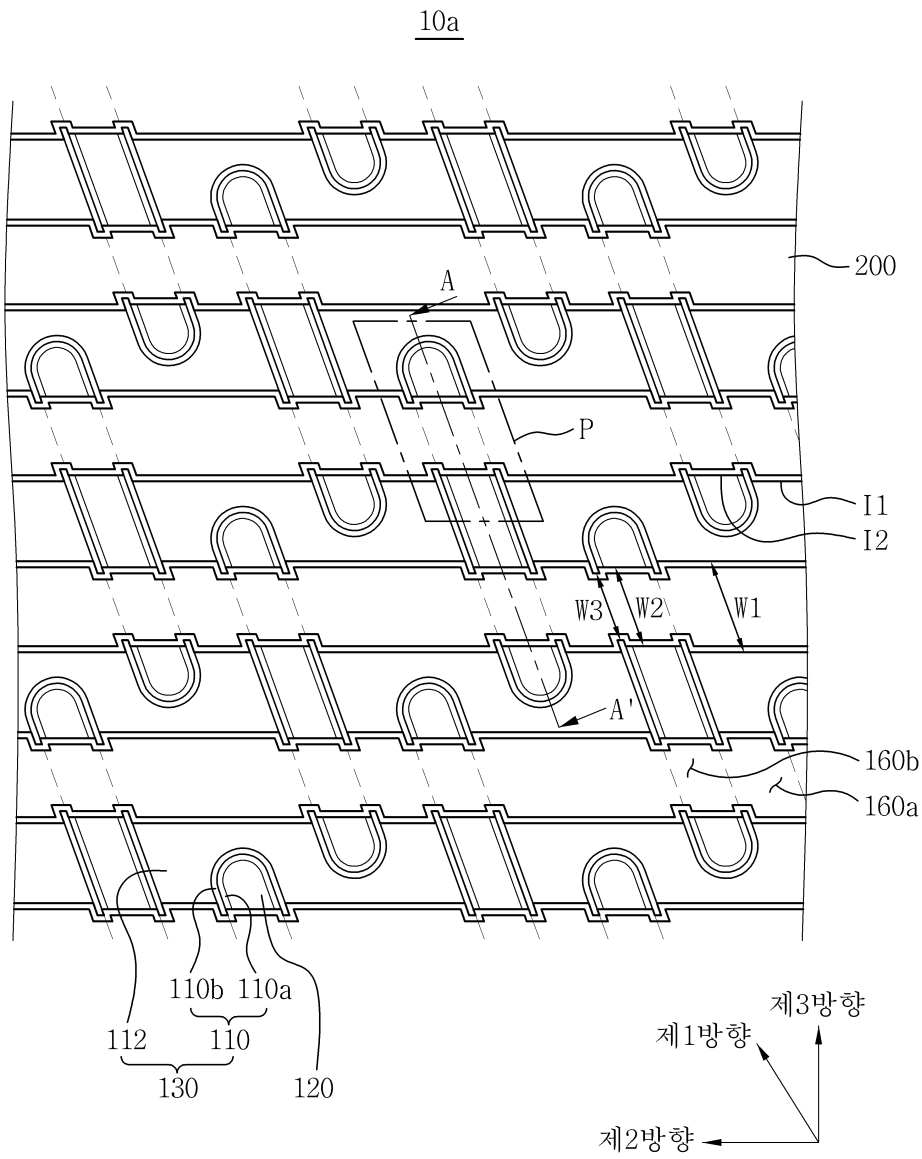
[0063] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 개략적으로 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해하여야 한다.

부호의 설명

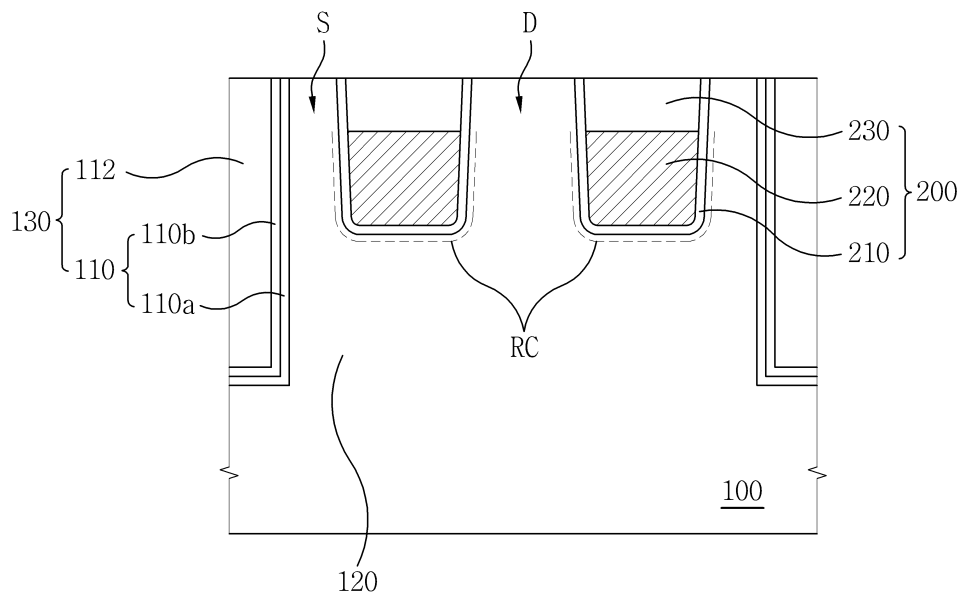
- | | | |
|--------|-----------------|----------------|
| [0064] | 10: 반도체 소자 | 100: 기판 |
| | 102: 소자 분리 트렌치 | 110: 라이너 |
| | 110a: 제1 라이너 | 110b: 제2 라이너 |
| | 110c: 제3 라이너 | 112: 소자 절연 물질 |
| | 120: 활성 영역 | 130: 소자 분리 영역 |
| | 140: 패드 절연막 | 142: 패드 절연 패턴 |
| | 150: 마스크막 | 152: 마스크 패턴 |
| | 160: 예비 게이트 트렌치 | 160a: 제1영역 |
| | 160b: 제2영역 | 170: 게이트 트렌치 |
| | 200: 게이트 전극 | 210: 게이트 절연막 |
| | 220: 게이트 도전 패턴 | 230: 게이트 캡핑 패턴 |

도면

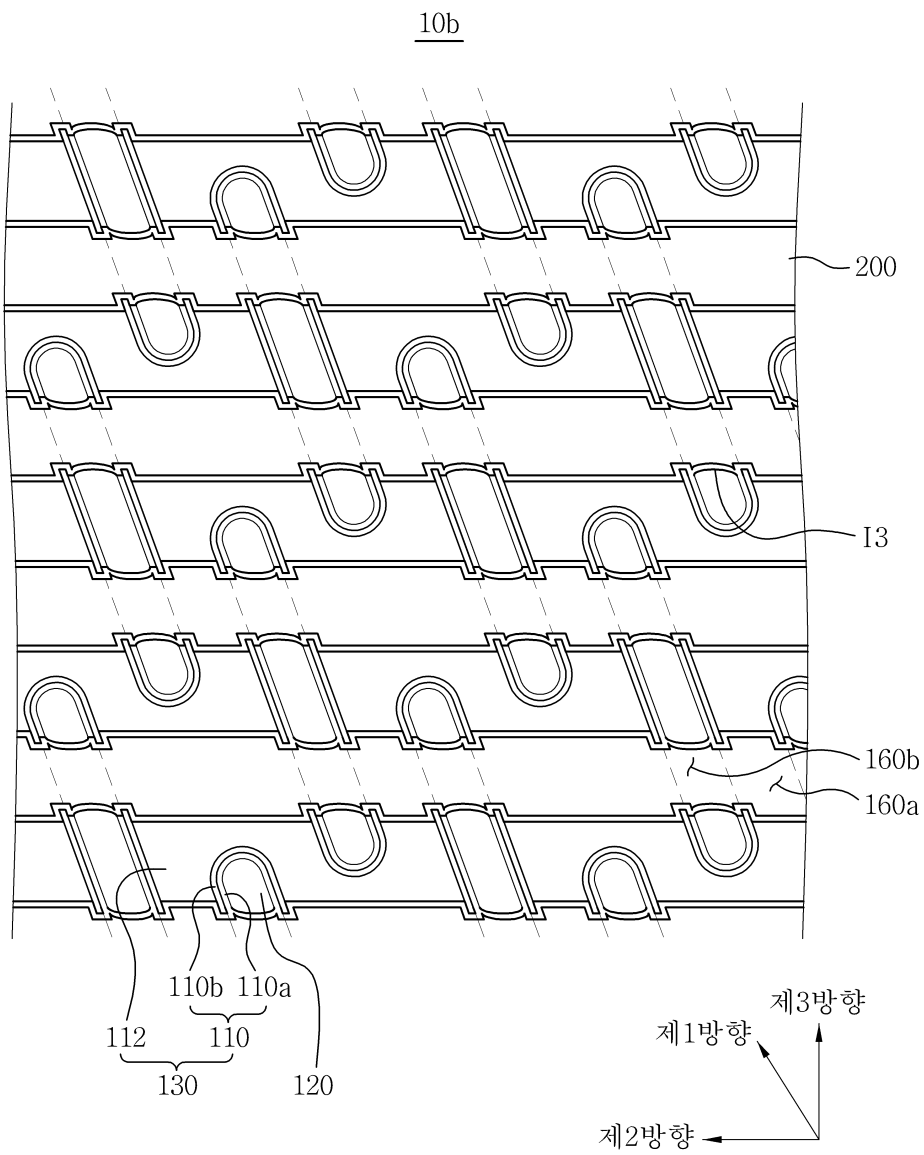
도면1a



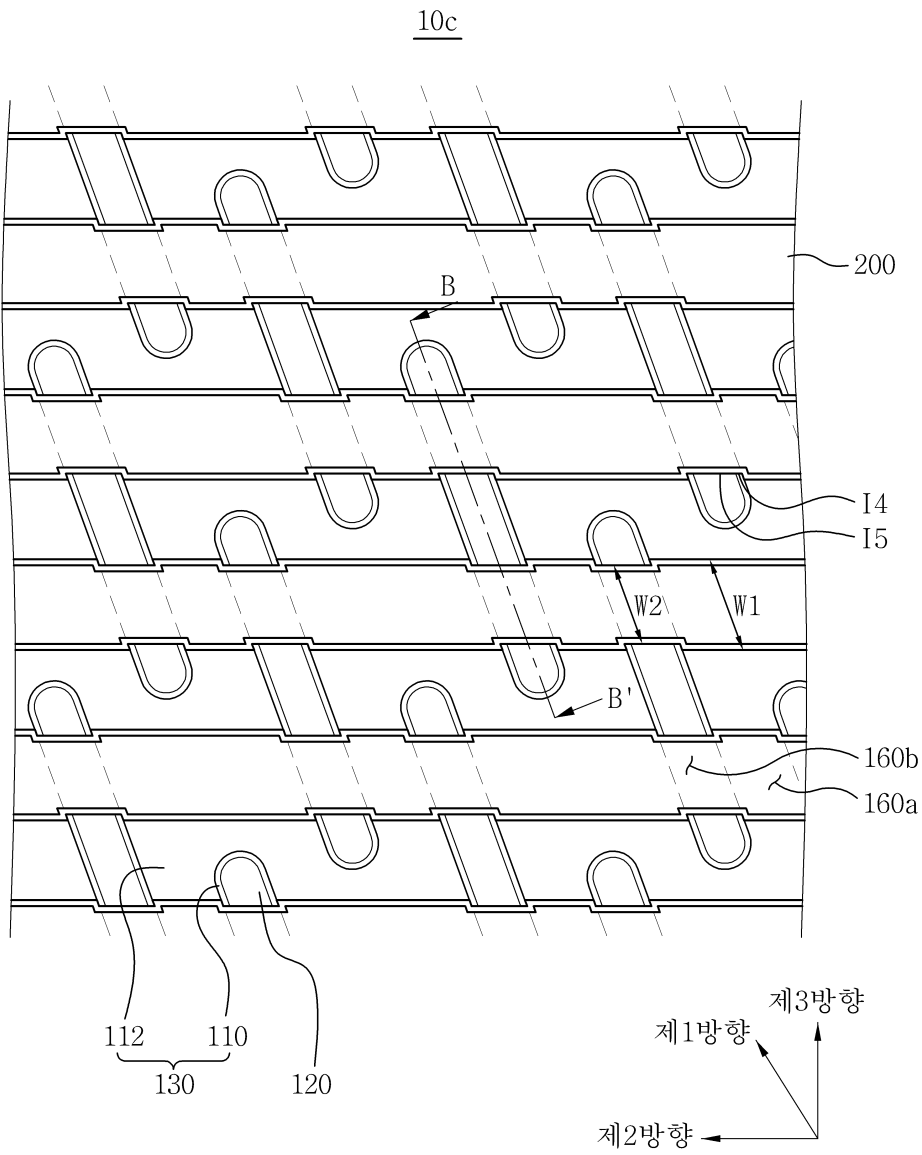
도면1b



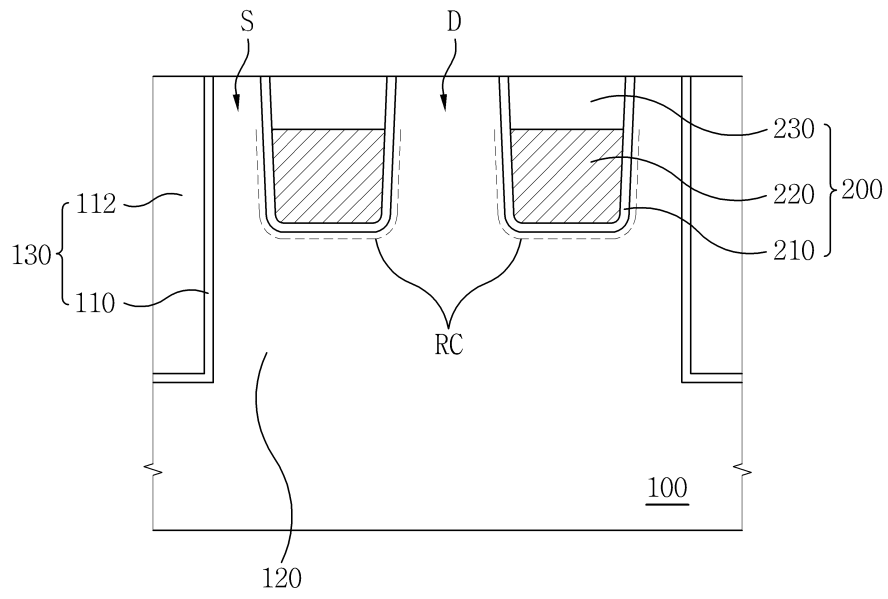
도면2



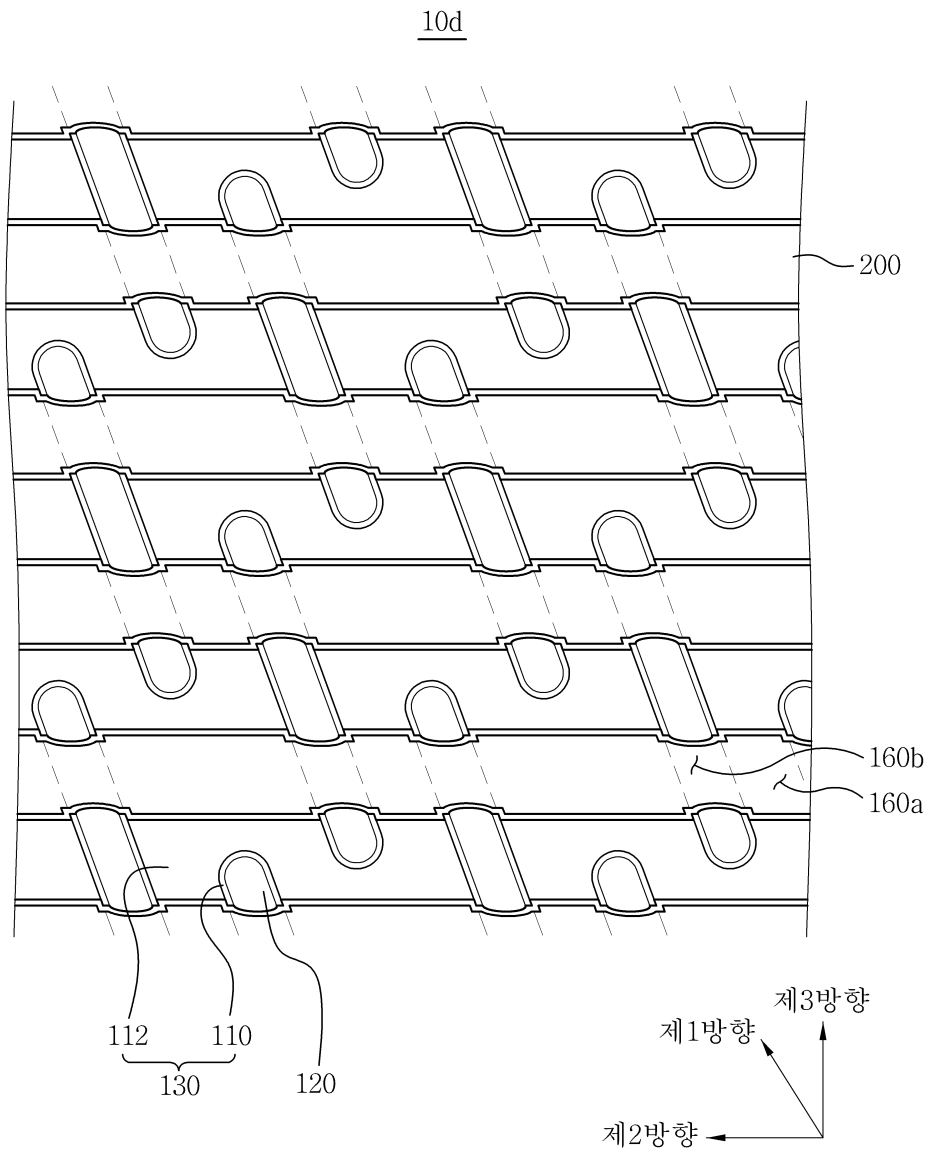
도면3a



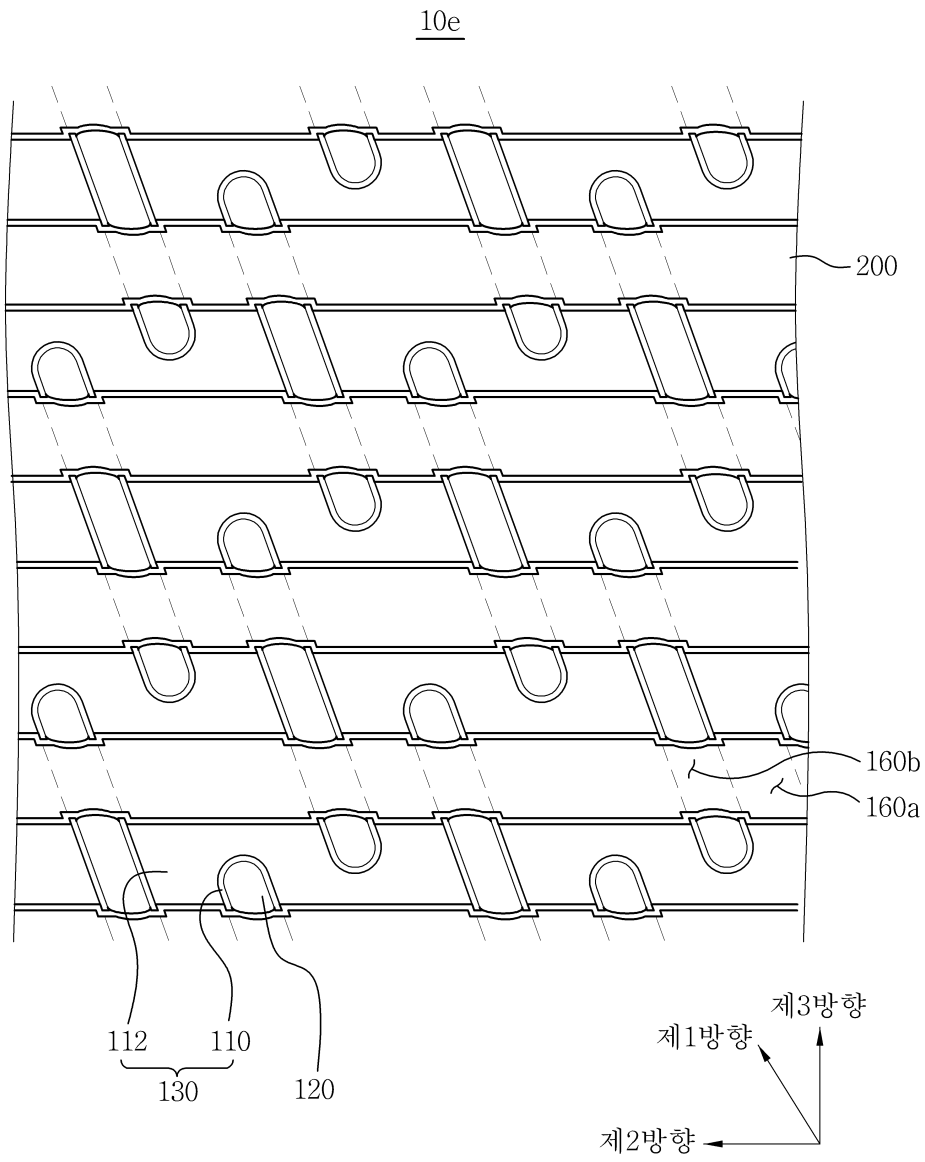
도면3b



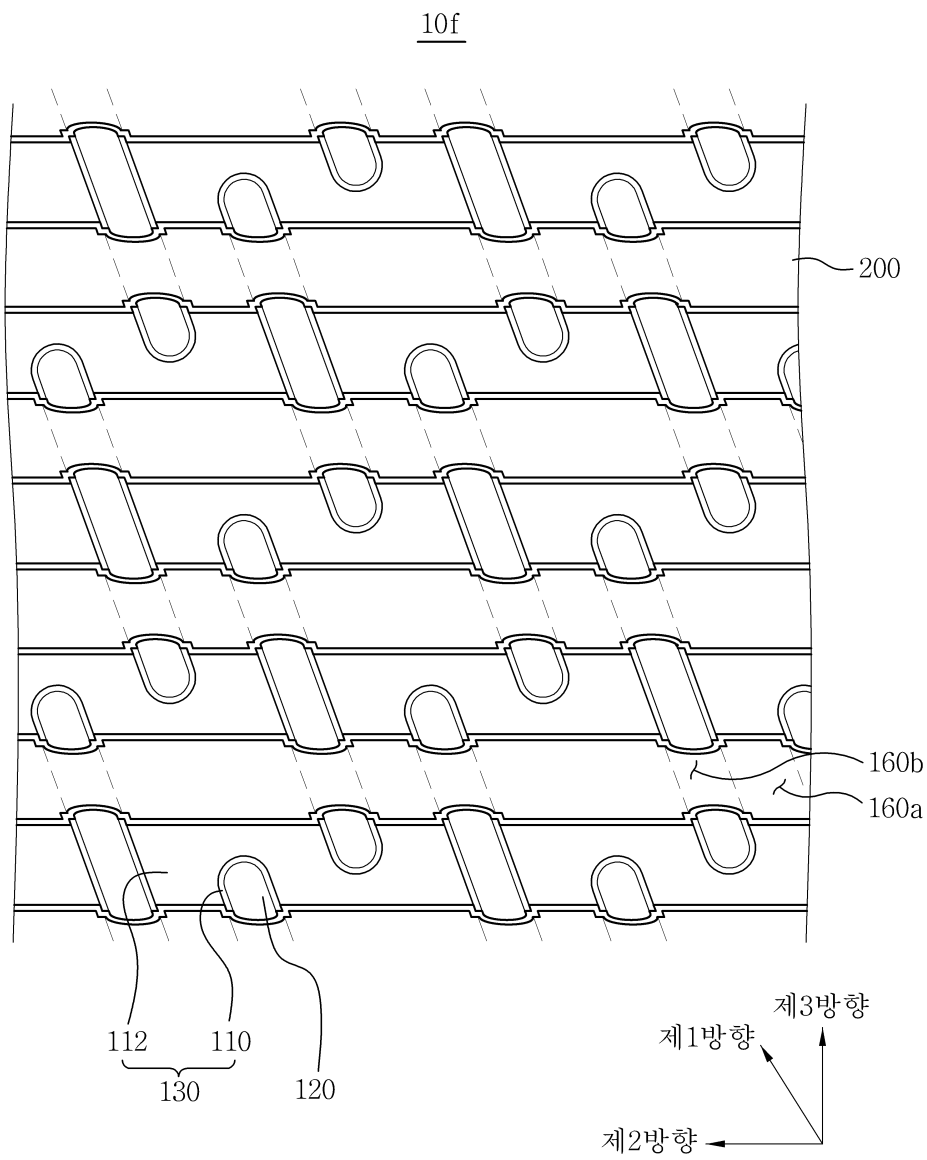
도면4a



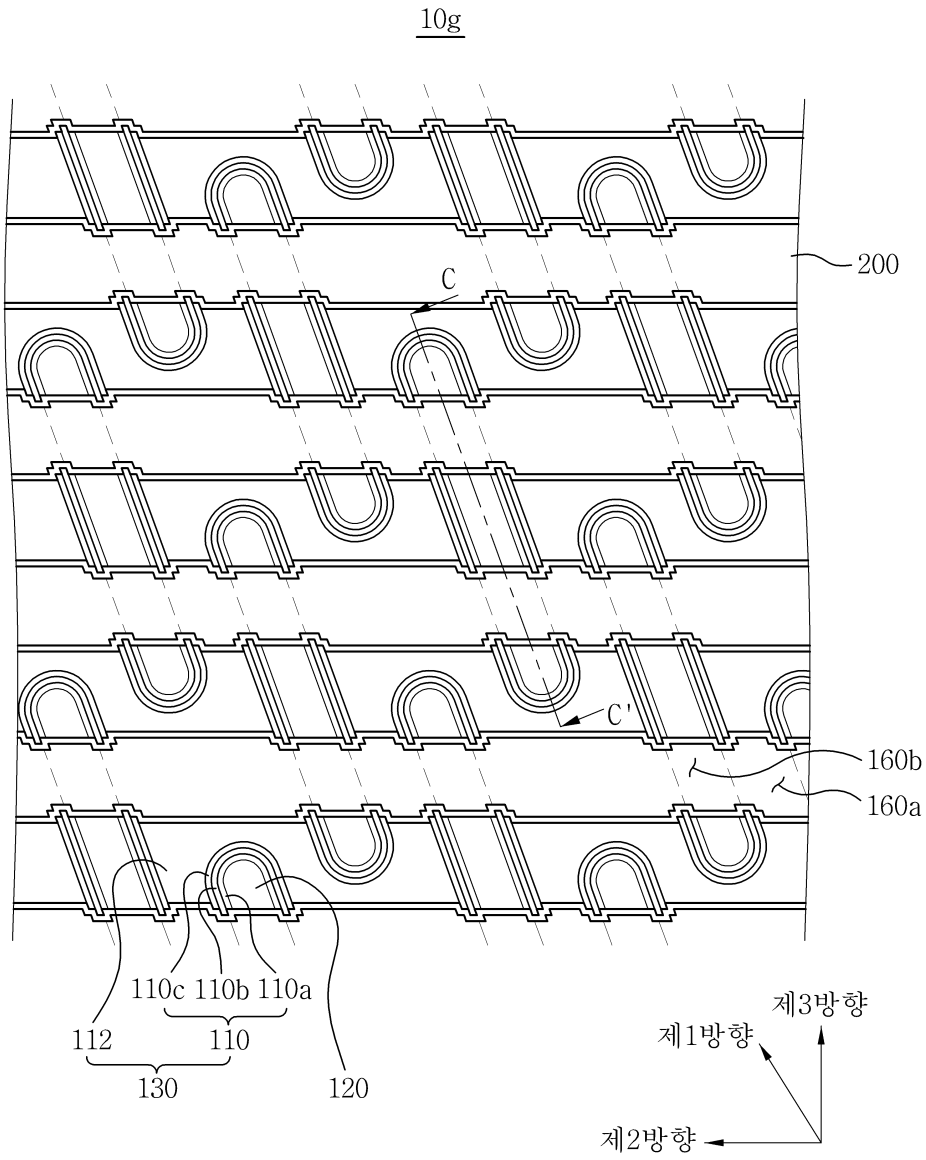
도면4b



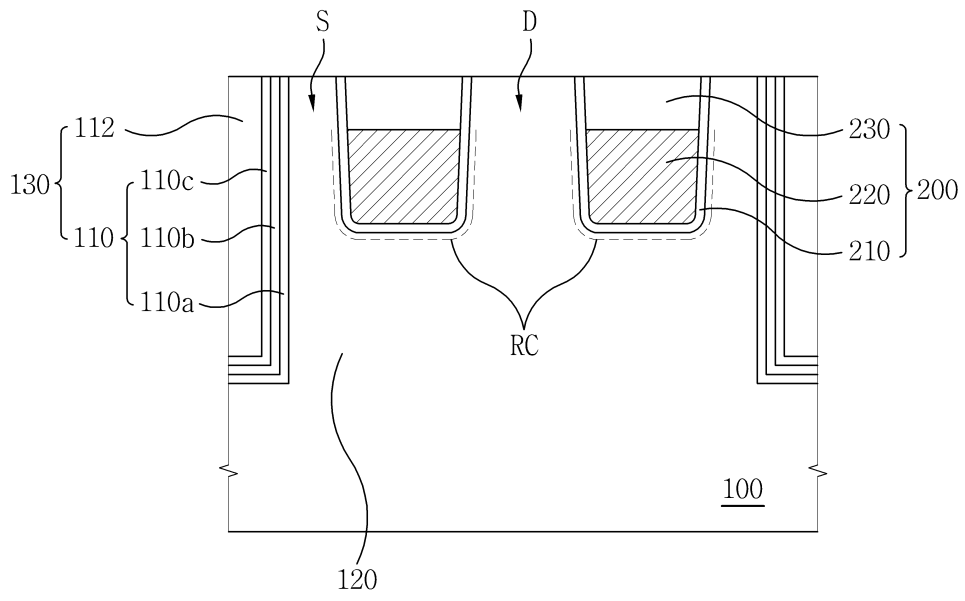
도면4c



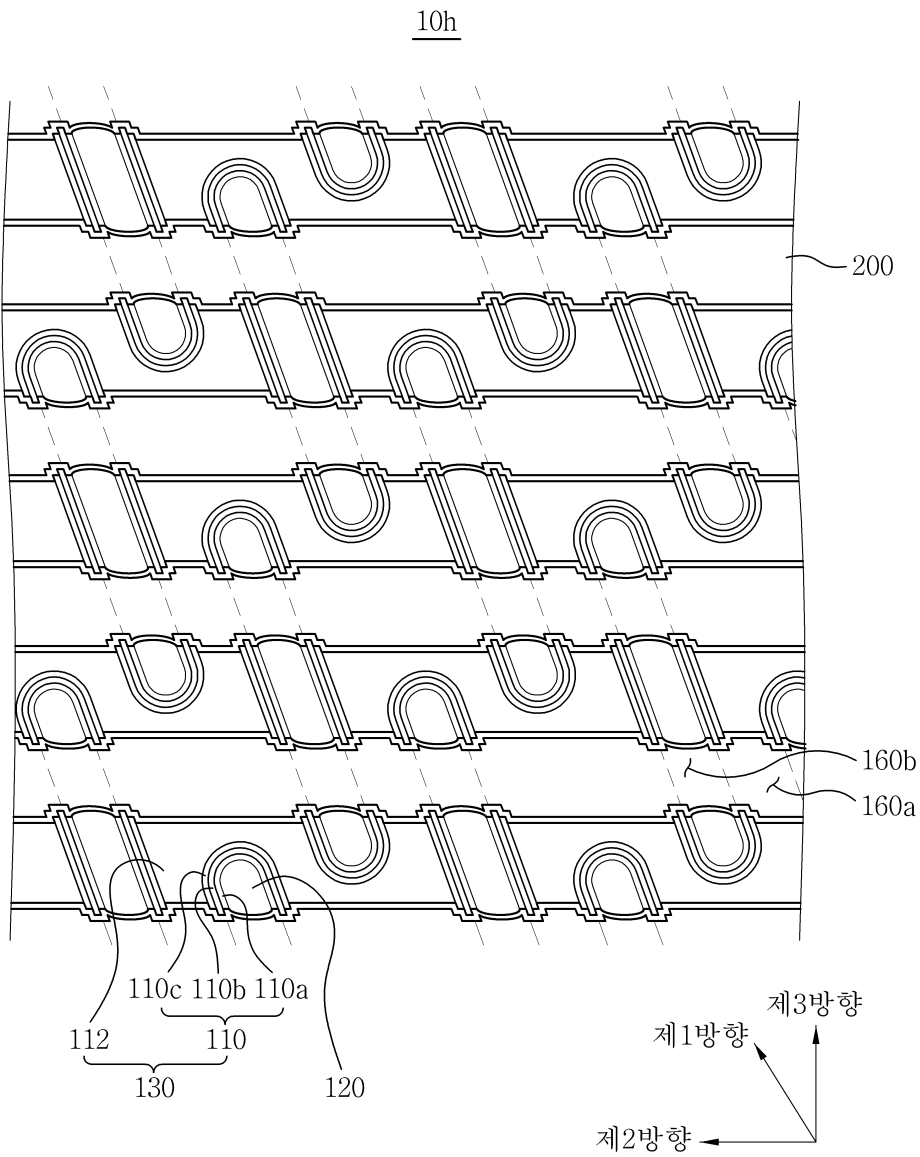
도면5a



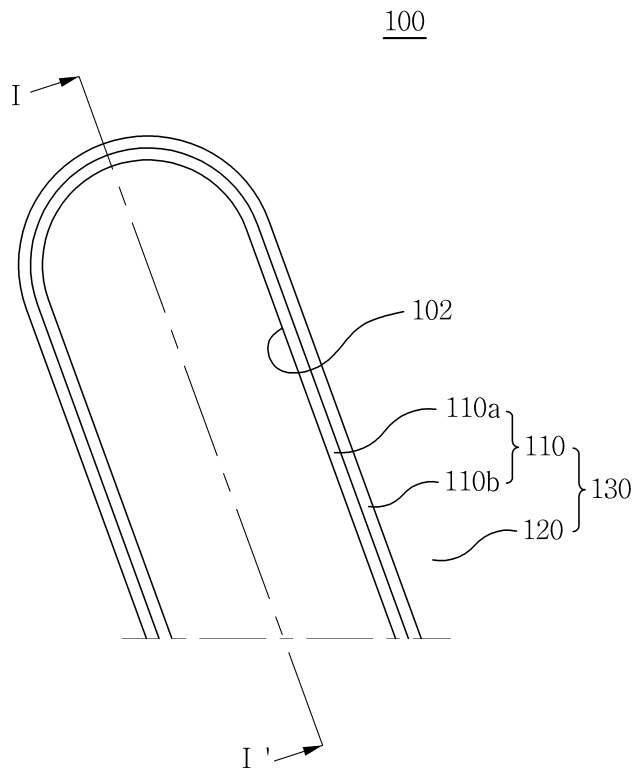
도면5b



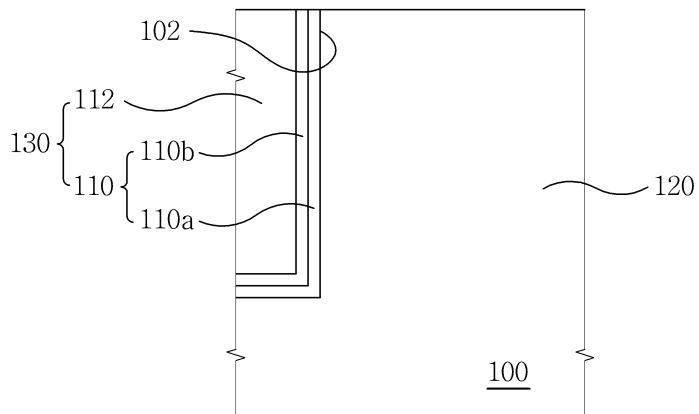
도면6



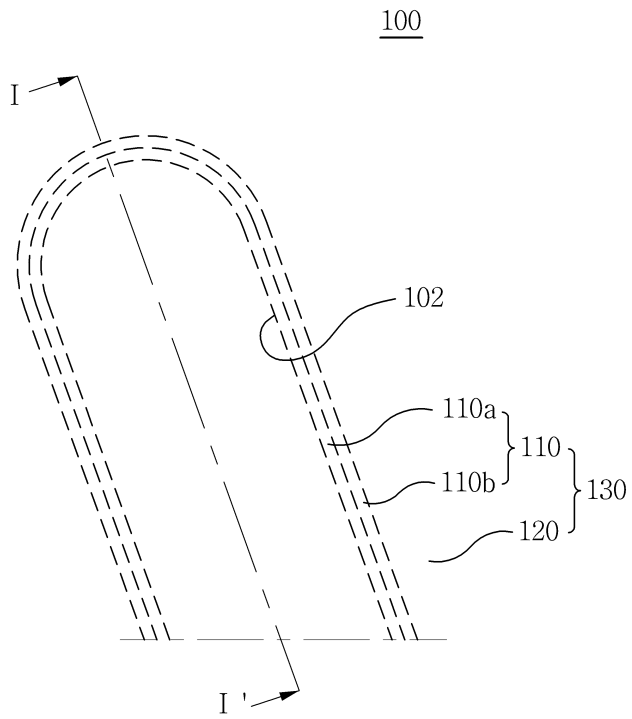
도면7a



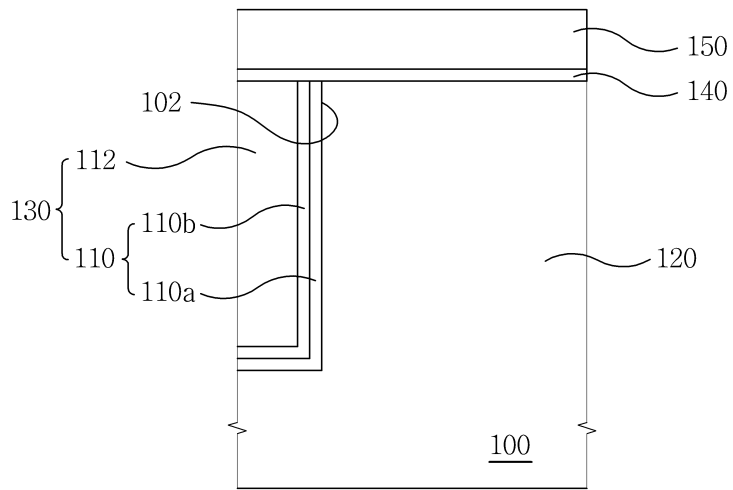
도면7b



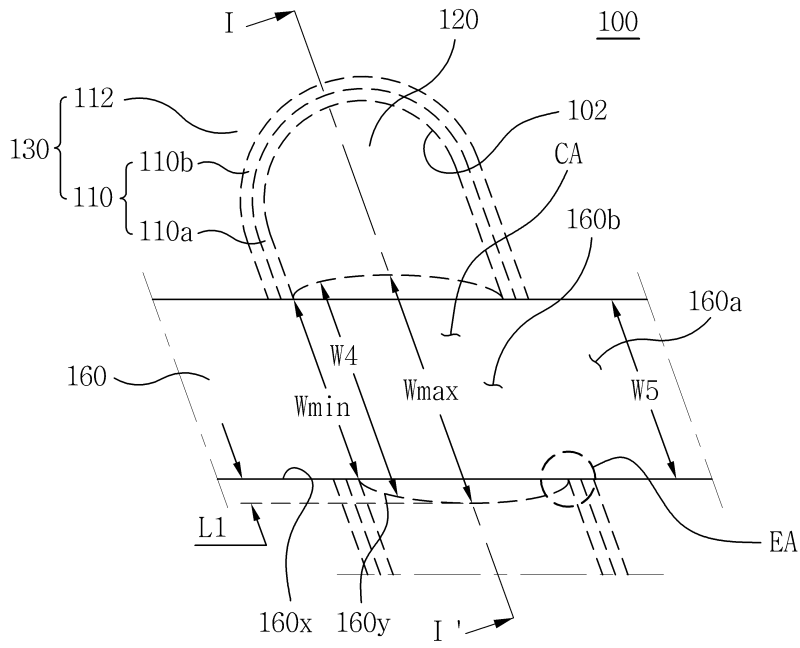
도면8a



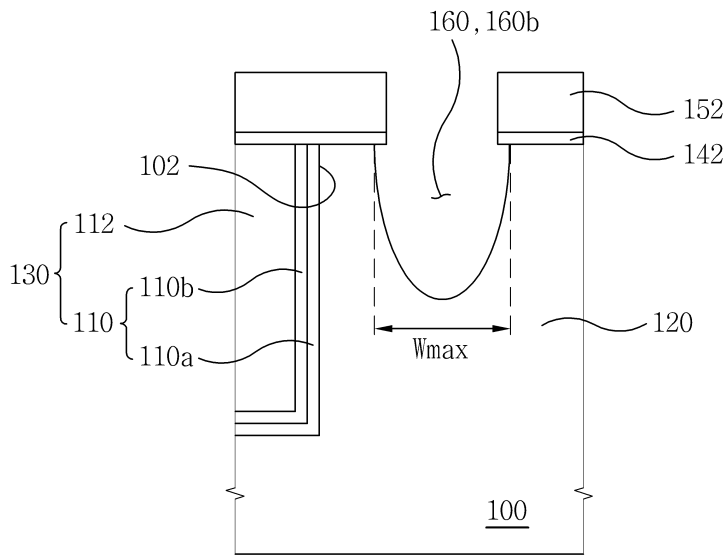
도면8b



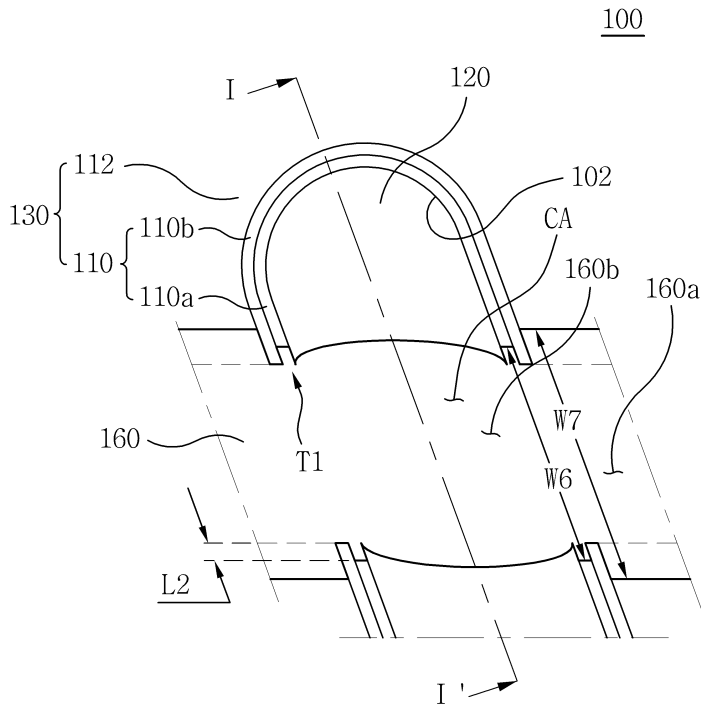
도면9a



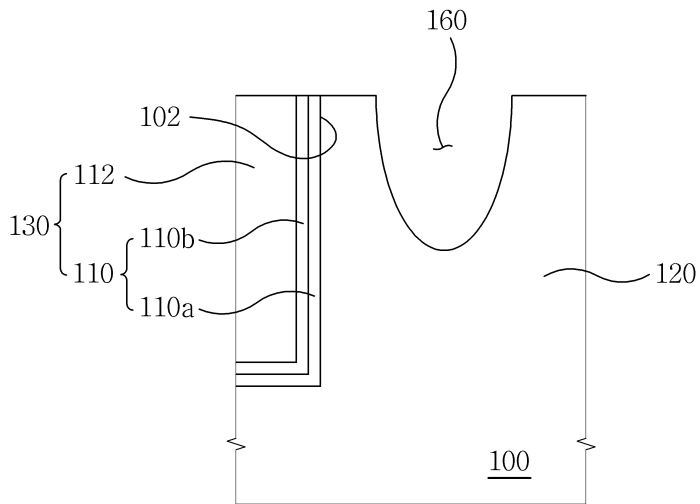
도면9b



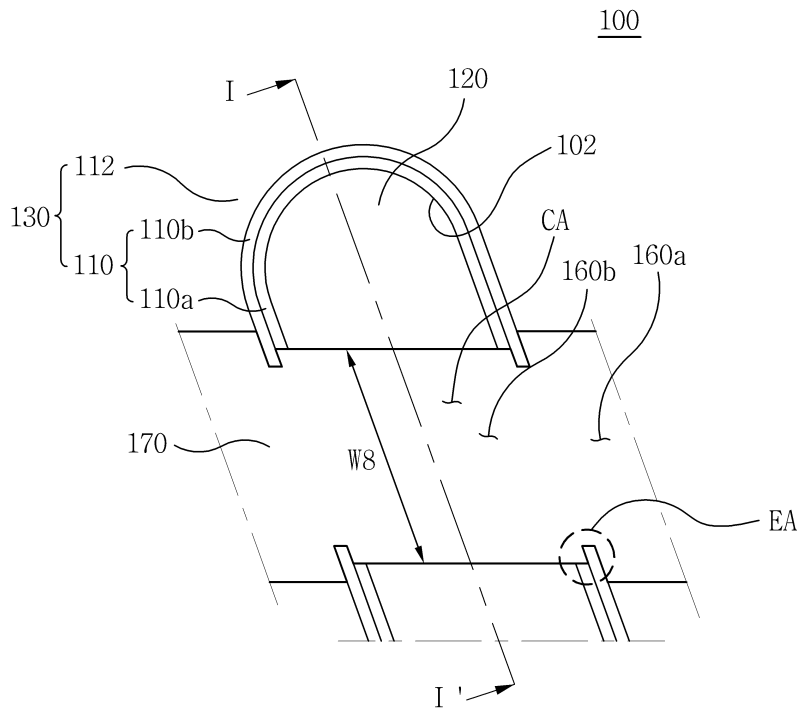
도면10a



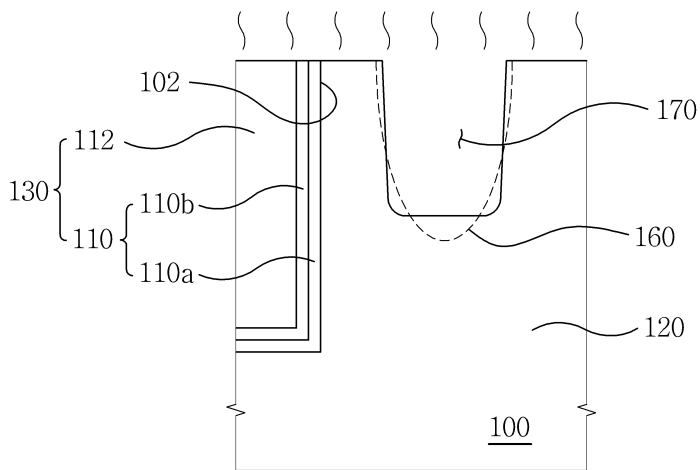
도면10b



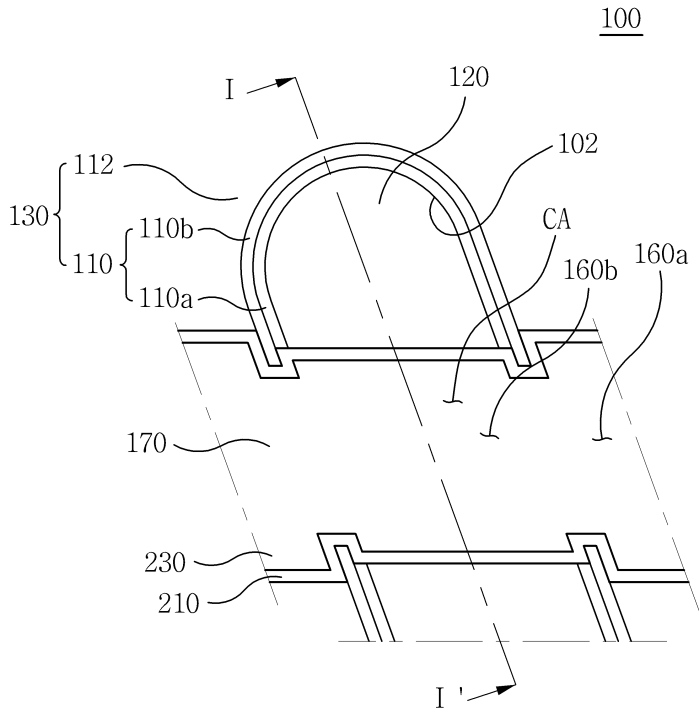
도면11a



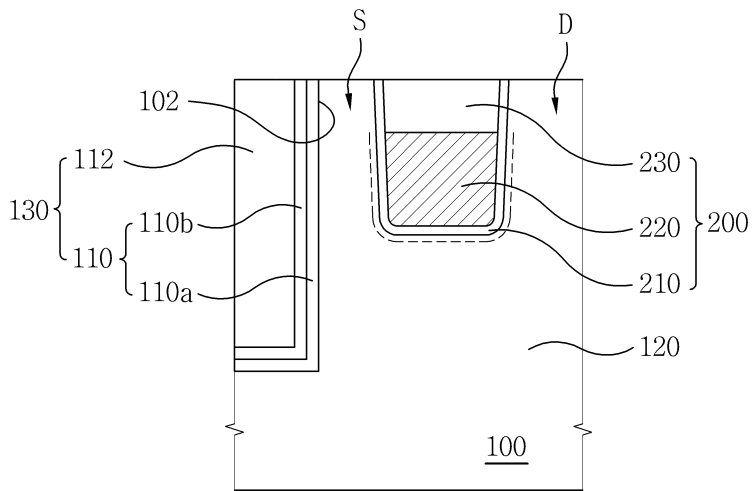
도면11b



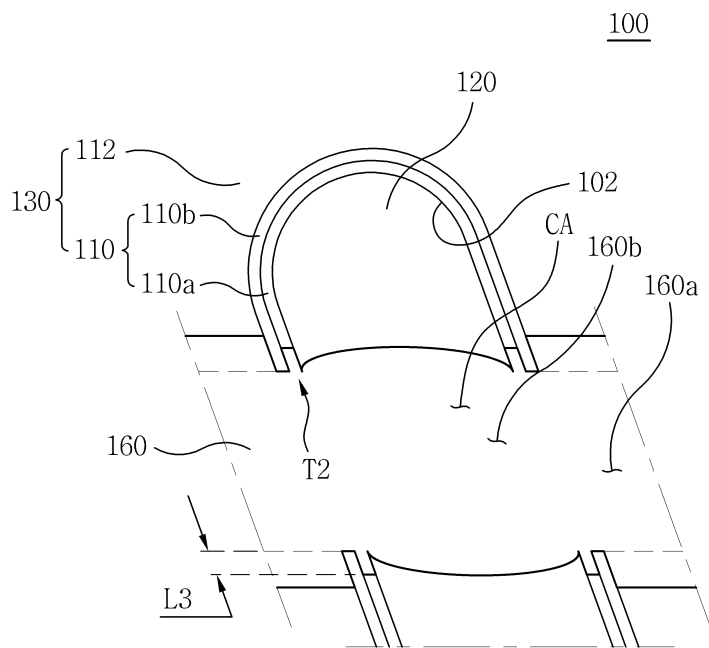
도면12a



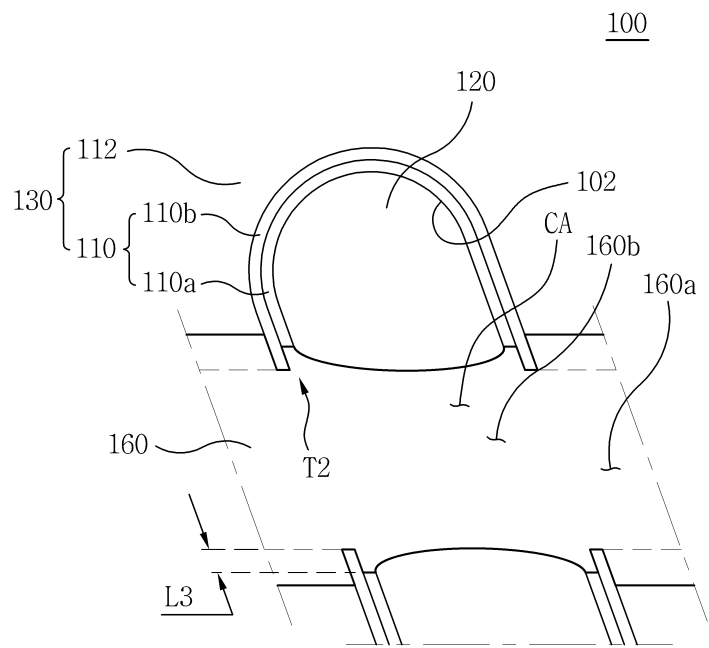
도면12b



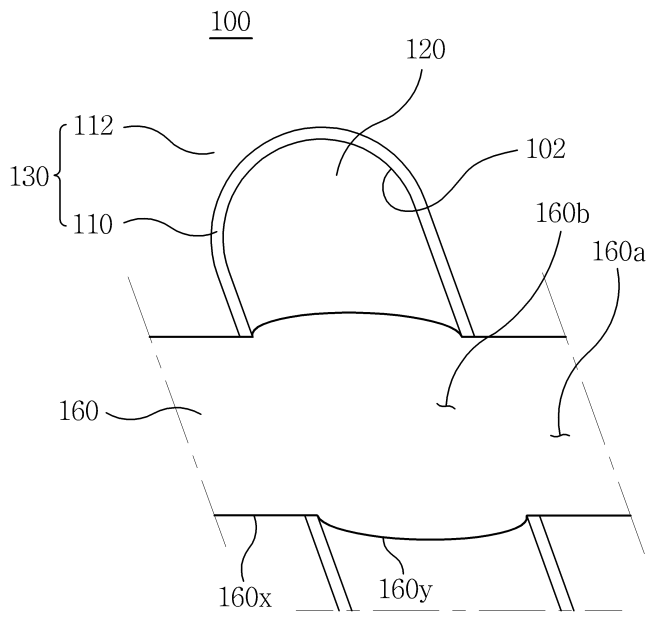
도면13a



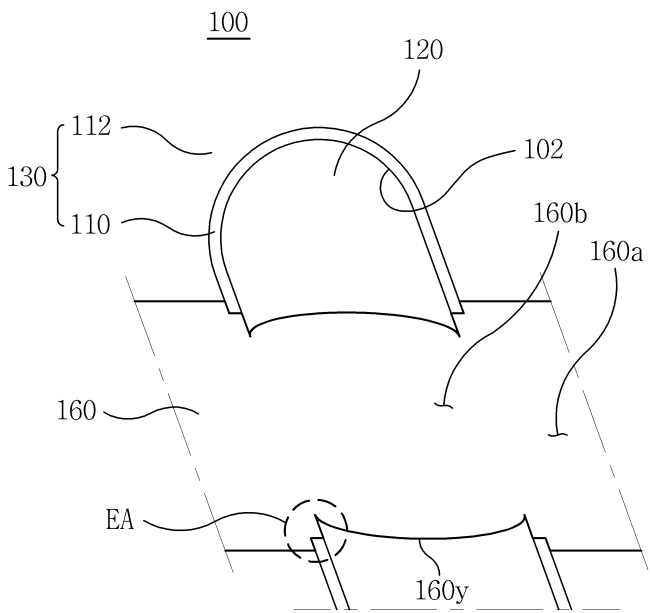
도면13b



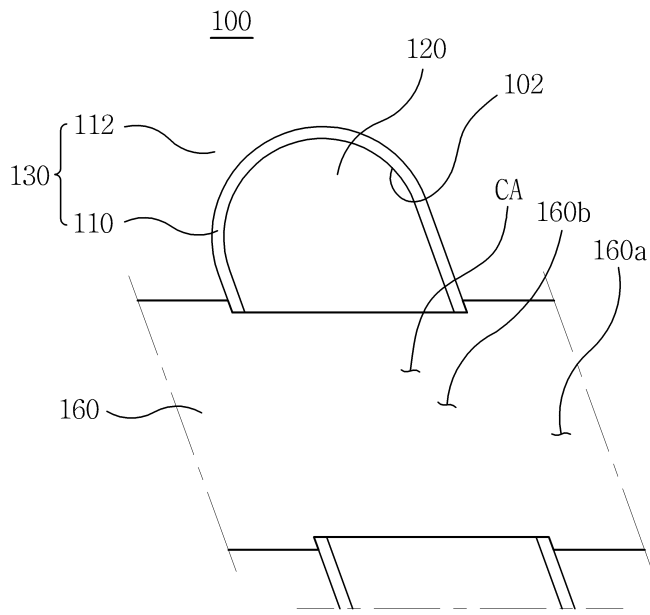
도면14a



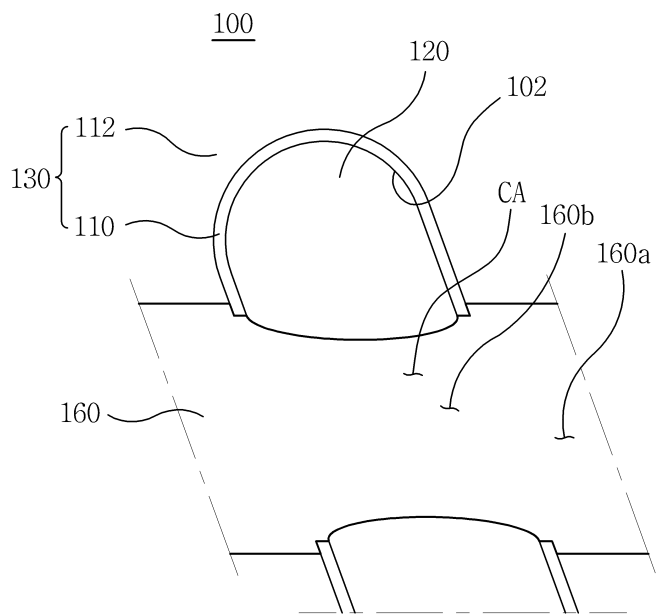
도면14b



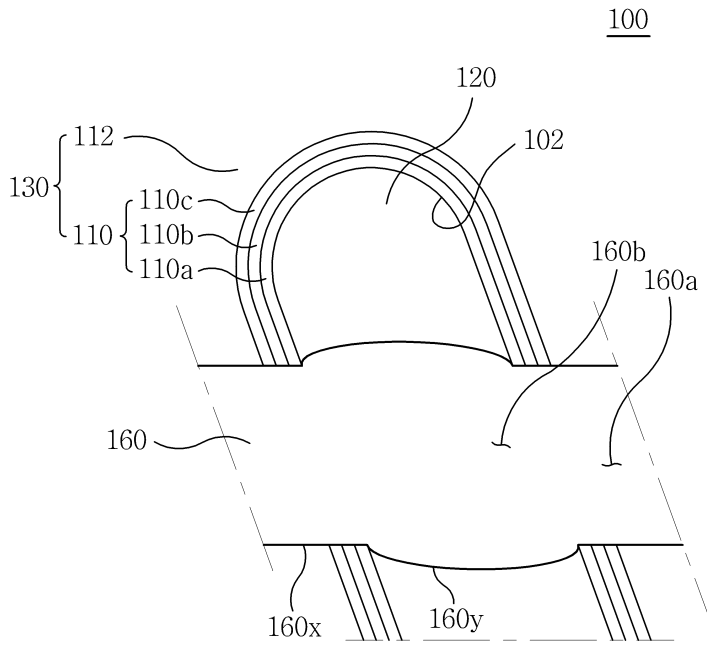
도면14c



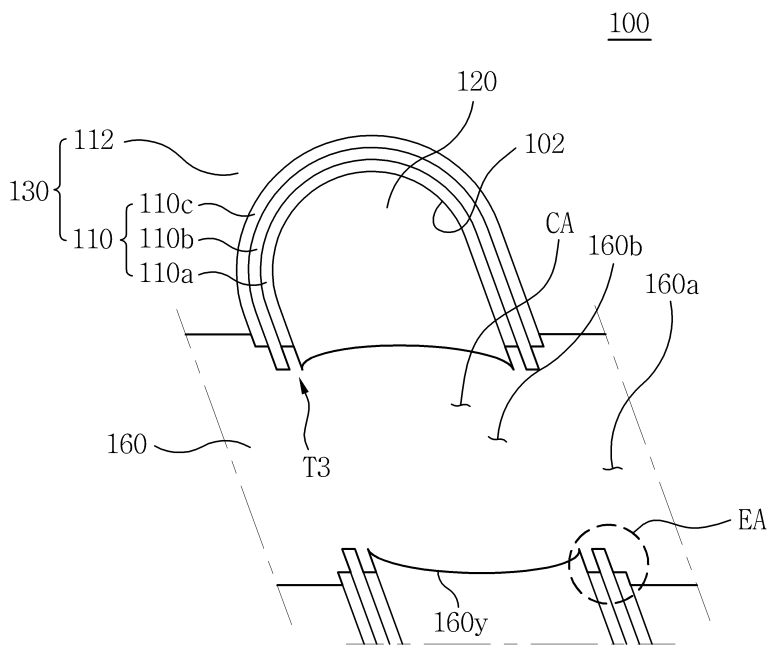
도면14d



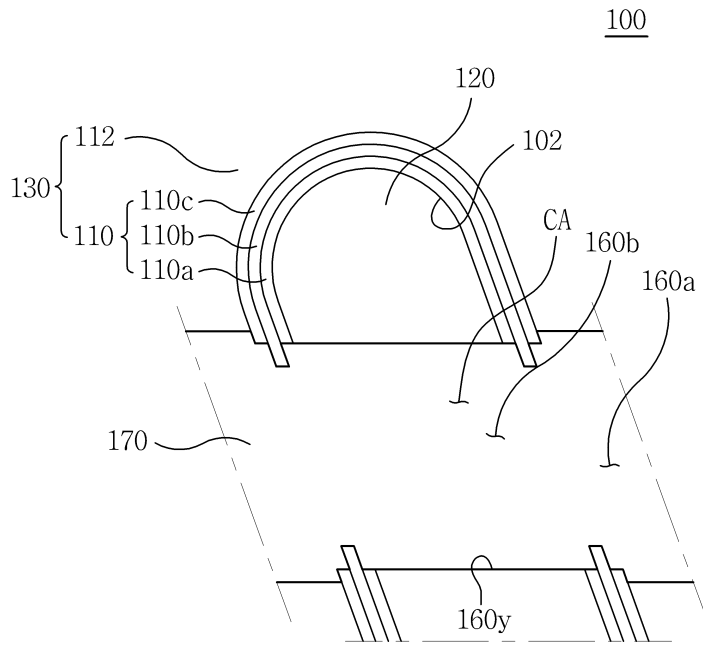
도면15a



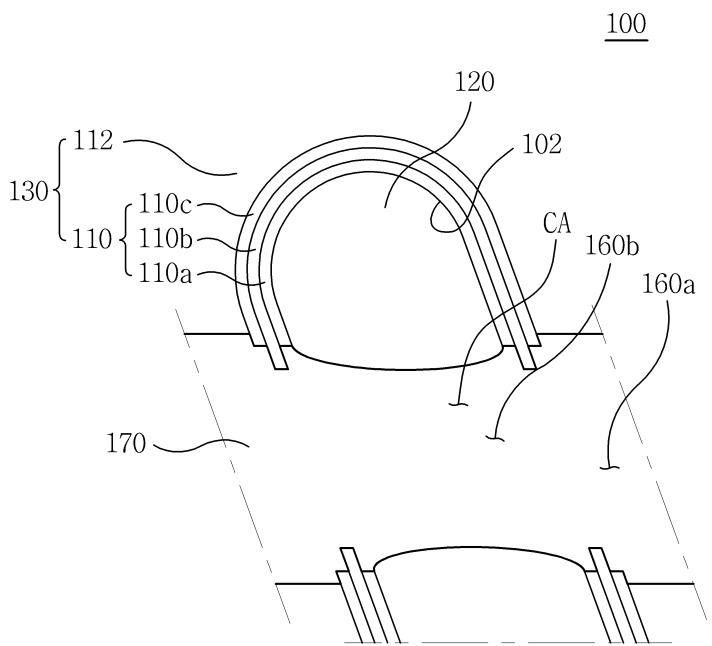
도면15b



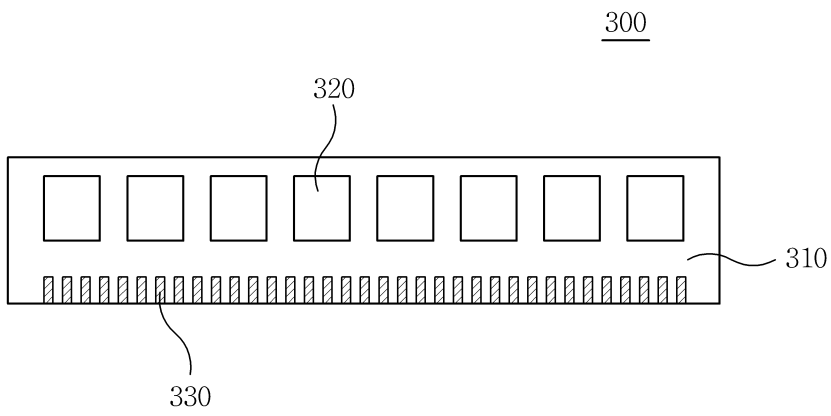
도면15c



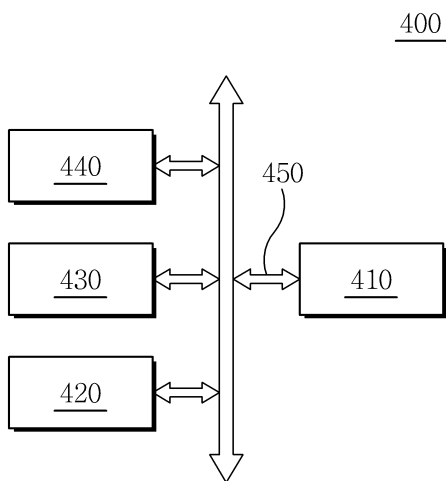
도면15d



도면16a



도면16b



도면16c

