



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0007708
(43) 공개일자 2012년01월25일

(51) Int. Cl.

H01L 27/108 (2006.01) H01L 21/8242 (2006.01)
H01L 21/28 (2006.01)

(21) 출원번호 10-2010-0068371

(22) 출원일자 2010년07월15일

심사청구일자 2010년07월15일

(71) 출원인

주식회사 하이닉스반도체

경기도 이천시 부발읍 경충대로 2091

(72) 발명자

권세인

인천광역시 부평구 원적로 361, 204동 1102호 (산곡동, 한화아파트)

(74) 대리인

특허법인태평양

전체 청구항 수 : 총 27 항

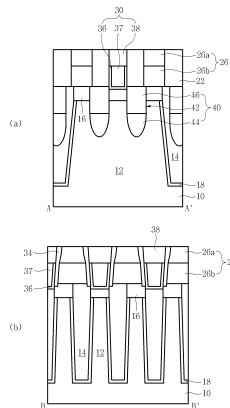
(54) 반도체 소자 및 그 형성방법

(57) 요약

본 발명은 반도체 소자 및 그 형성방법에 관한 것으로, 특히 비트라인 스페이서를 산화막으로 형성함으로써 기생 캐패시턴스를 감소시키고, 저장전극 콘택이 라인 타입이므로 패터닝 마진을 확보할 수 있으며, 저장전극 콘택폴더를 농도가 다른 폴리실리콘으로 형성함으로써 누설전류를 감소시키는 반도체 소자 및 그 형성방법에 관한 것이다.

본 발명의 반도체 소자는, 소자분리막으로 정의되는 활성영역을 포함하는 반도체 기판, 상기 반도체 기판의 상부에 구비되는 비트라인 홈, 상기 비트라인 홈의 측벽에 구비되는 산화막 및 상기 산화막이 형성된 비트라인 홈에 매립되는 비트라인 도전층을 포함하는 것을 특징으로 한다.

대표도 - 도9



특허청구의 범위

청구항 1

소자분리막으로 정의되는 활성영역을 포함하는 반도체 기판;
상기 반도체 기판의 상부에 구비되는 비트라인 홀;
상기 비트라인 홀의 측벽에 구비되는 산화막; 및
상기 산화막이 형성된 비트라인 홀에 매립되는 비트라인 도전층
을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 2

청구항 1에 있어서,
상기 비트라인 홀에 인접하여 구비되며, 반도체 기판과 연결되는 저장전극 콘택홀; 및
상기 저장전극 콘택홀에 매립되어 구비되는 저장전극 콘택플러그를 더 포함하는 것을 특징으로 하는 반도체 소
자.

청구항 3

청구항 2에 있어서,
상기 저장전극 콘택플러그는,
상기 저장전극 콘택홀의 하부에 구비되는 저농도 콘택플러그; 및
상기 저장전극 콘택홀에서 상기 저농도 콘택플러그의 상부에 구비되는 고농도 콘택플러그
를 포함하는 것을 특징으로 하는 반도체 소자.

청구항 4

청구항 3에 있어서,
상기 산화막은 상기 저장전극 콘택플러그의 측벽에 구비되며,
상기 저농도 콘택플러그에 형성되는 상기 산화막의 두께보다, 상기 고농도 콘택플러그에 형성되는 상기 산화막
의 두께가 더 두꺼운 것을 특징으로 하는 반도체 소자.

청구항 5

청구항 2에 있어서,
상기 저장전극 콘택홀은 비트라인과 교차하는 라인 타입인 것을 특징으로 하는 반도체 소자.

청구항 6

청구항 1에 있어서,
상기 반도체 기판 상부에 구비되고 상기 비트라인 홀의 하부에 구비되며, 폴리실리콘을 포함하는 랜딩 플러그를
더 포함하는 것을 특징으로 하는 반도체 소자.

청구항 7

청구항 1에 있어서,
상기 비트라인 홀 내에서 상기 비트라인 도전층의 상부에 구비되는 비트라인 하드마스크를 더 포함하는 것을 특
징으로 하는 반도체 소자.

청구항 8

청구항 1에 있어서,

상기 비트라인 도전층은

상기 비트라인 홀의 표면에 형성되는 배리어 메탈층; 및

상기 배리어 메탈층이 형성된 상기 비트라인 홀에 매립되어 구비되는 도전층을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 9

청구항 1에 있어서,

상기 반도체 기관의 활성영역 및 소자분리막에 소정 깊이 매립되어 형성되는 매립형 게이트를 더 포함하는 것을 특징으로 하는 반도체 소자.

청구항 10

반도체 기관에 활성영역을 정의하는 소자분리막을 형성하는 단계;

상기 반도체 기관의 상부에 비트라인 홀을 형성하는 단계;

상기 비트라인 홀의 측벽에 산화막을 형성하는 단계; 및

상기 산화막이 형성된 비트라인 홀에 비트라인 도전층을 매립하여 형성하는 단계
포함하는 것을 특징으로 하는 반도체 소자의 형성방법.

청구항 11

청구항 10에 있어서,

상기 비트라인 홀의 측벽에 산화막을 형성하는 단계는,

건식 산화(Dry Oxidation) 공정 또는 라디칼 산화 공정을 포함하는 것을 특징으로 하는 반도체 소자의 형성방법.

청구항 12

청구항 10에 있어서,

상기 비트라인 홀의 측벽에 산화막을 형성하는 단계 이후,

상기 비트라인 홀에 에치백을 수행하여, 상기 비트라인 홀 바닥의 산화막을 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 형성방법.

청구항 13

청구항 10에 있어서,

상기 비트라인 홀을 형성하는 단계 전, 상기 반도체 기관의 상부에 저장전극 콘택플러그를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 형성방법.

청구항 14

청구항 13에 있어서,

상기 비트라인 홀을 형성하는 단계는, 상기 저장전극 콘택플러그를 분리시키는 것을 특징으로 하는 반도체 소자의 형성방법.

청구항 15

청구항 13에 있어서,

상기 저장전극 콘택플러그를 형성하는 단계는,
 상기 반도체 기판을 노출시키는 저장전극 콘택홀을 형성하는 단계;
 상기 저장전극 콘택홀에 폴리실리콘을 매립하는 단계;
 상기 폴리실리콘에 저농도 이온주입 공정을 수행하여 하부에 저농도 폴리실리콘층을 형성하는 단계; 및
 상기 폴리실리콘에 고농도 이온주입 공정을 수행하여 상부에 고농도 폴리실리콘층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성방법.

청구항 16

청구항 13에 있어서,
 상기 저장전극 콘택플러그를 형성하는 단계는,
 상기 반도체 기판을 노출시키는 저장전극 콘택홀을 형성하는 단계;
 상기 저장전극 콘택홀 하부에 폴리실리콘을 매립하는 단계;
 상기 폴리실리콘에 저농도 이온주입 공정을 수행하여 저농도 폴리실리콘층을 형성하는 단계;
 상기 저농도 폴리실리콘층 상부에 폴리실리콘을 매립하는 단계; 및
 상기 폴리실리콘에 고농도 이온주입 공정을 수행하여 상기 저농도 폴리실리콘층의 상부에 고농도 폴리실리콘층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성방법.

청구항 17

청구항 13에 있어서,
 상기 비트라인 홀의 측벽에 산화막을 형성하는 단계는,
 상기 저장전극 콘택플러그 측벽을 산화시키는 단계를 포함하며,
 상기 저농도 폴리실리콘층의 산화막보다, 상기 고농도 폴리실리콘층의 산화막을 더 두껍게 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

청구항 18

청구항 15에 있어서,
 상기 저장전극 콘택홀을 형성하는 단계는,
 상기 저장전극 콘택홀을 비트라인과 교차하는 라인 타입으로 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

청구항 19

청구항 10에 있어서,
 상기 비트라인 도전층을 형성하는 단계 이후,
 상기 비트라인 홀에서 상기 비트라인 도전층의 상부에 비트라인 하드마스크를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 형성방법.

청구항 20

청구항 10에 있어서,
 상기 비트라인 도전층을 형성하는 단계는,
 상기 비트라인 홀의 표면에 배리어 메탈층을 형성하는 단계; 및

상기 배리어 메탈층이 형성된 상기 비트라인 홀에 도전층을 매립하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성방법.

청구항 21

청구항 10에 있어서,

상기 비트라인 홀을 형성하는 단계 전,

상기 셀 영역의 반도체 기판에 매립형 게이트를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 형성방법.

청구항 22

반도체 기판에 형성되고 소자분리막에 의해 서로 절연되는 제 1 및 제 2 활성영역;

상기 제 1 활성영역에 형성되고, 상기 제 1 활성영역의 접합영역에 전기적으로 연결되는 저장전극 콘택플러그;

상기 제 2 활성영역에 형성되고, 상기 제 2 활성영역의 접합영역에 전기적으로 연결되는 비트라인 콘택플러그; 및

상기 저장전극 콘택플러그 및 상기 비트라인 콘택플러그의 측벽에 형성되어, 상기 저장전극 콘택플러그를 상기 비트라인 콘택플러그로부터 절연시키며, 산화막을 포함하는 스페이서

를 포함하는 것을 특징으로 하는 반도체 소자.

청구항 23

청구항 22에 있어서,

상기 스페이서는 산화막을 포함하고 질화막은 포함하지 않는 것을 특징으로 하는 반도체 소자.

청구항 24

청구항 2에 있어서,

상기 스페이서는 상기 반도체 기판보다 얇은 두께를 가지는 것을 특징으로 하는 반도체 소자.

청구항 25

청구항 22에 있어서,

상기 저장전극 콘택플러그는 소자분리막 상부에 연장되는 것을 특징으로 하는 반도체 소자.

청구항 26

반도체 기판에 소자분리막에 의하여 서로 절연되는 제 1 활성영역 및 제 2 활성영역을 형성하는 단계;

상기 제 1 및 제 2 활성영역에 각각, 소자분리막에 의하여 서로 절연되는 제 1 및 제 2 접합영역을 형성하는 단계;

상기 제 1 및 제 2 활성영역 그리고 상기 소자분리막 상부에 절연막을 형성하는 단계;

상기 절연막을 식각하여, 상기 제 1 및 제 2 접합영역과 상기 소자분리막을 노출시키는 연속적인 라인 패턴의 제 1 트렌치를 형성하는 단계;

상기 제 1 트렌치를 매립하는 도전층을 형성하는 단계;

상기 도전층을 식각하여 상기 제 2 접합영역을 노출시키는 제 2 트렌치를 형성하면서, 연속적인 라인 패턴의 제 1 도전층을 분리된 섬 타입이며 상기 제 1 접합영역에 전기적으로 연결되는 저장전극 콘택플러그로 형성하는 단계;

상기 제 2 트렌치의 측벽에 스페이서를 형성하는 단계; 및

상기 제 2 트렌치를 매립하는 비트라인 콘택플러그를 형성하여, 상기 스페이서가 상기 비트라인 콘택플러그와

상기 저장전극 콘택플러그를 분리시키도록 하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성방법.

청구항 27

청구항 26에 있어서,
상기 스페이서는 산화막을 포함하고 질화막은 포함하지 않는 것을 특징으로 하는 반도체 소자의 형성방법.

명세서

기술분야

[0001] 본 발명은 반도체 소자 및 그 형성방법에 관한 것이다. 보다 상세하게는 비트라인을 포함하는 반도체 소자 및 그 형성방법에 관한 것이다.

배경기술

[0002] 최근 반도체 메모리 소자, 특히 디램(DRAM; Dynamic Random Access Memory) 소자의 대용량화에 대한 요구가 점점 커짐에도 불구하고, 칩 크기의 증가 한계에 의해 디램 소자의 용량증가 또한 한계를 보이는 실정이다. 칩 크기가 증가하게 되면 웨이퍼 당 칩의 수가 감소하여 소자의 생산성이 감소하게 된다. 따라서 최근에는 셀 레이아웃을 변화시켜 셀 면적을 감소시키고, 그에 따라 보다 많은 메모리 셀을 하나의 웨이퍼에 집적시키고자 하는 노력을 기울이고 있다.

[0003] 그리고 비트라인의 측벽을 보호하기 위하여 질화막(Nitride) 재질의 스페이서를 주로 사용하는데, 질화막은 유전상수(dielectric constant)가 비교적 높은 물질이기 때문에 비트라인에 기생 캐패시턴스(Parasitic Capacitance)가 증가하는 문제점이 있다.

[0004] 그리고 저장전극 콘택과 비트라인을 형성하는 공정에 있어서, 두 개의 저장전극 콘택을 한 번에 형성한 후 비트라인을 다마신(Damascene) 공정을 이용하여 형성하면서 저장전극 콘택을 다시 두 개로 분리하는 발명이 알려져 있다. 그러나 이 발명에서도 저장전극 콘택홀을 식각할 때 오버레이(overlay) 문제가 있어서 콘택 저항이 증가할 수 있는 문제점이 있다. 또한 다마신 공정으로 비트라인 텅스텐을 형성할 때 텅스텐 에치백(etch back) 공정이 포함되는데, 이 텅스텐 에치백 공정에서 저장전극 콘택플러그의 폴리실리콘이 함께 식각되어 버리는 문제점이 있었다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 상기한 바와 같은 종래의 문제점을 해결하기 위한 것으로, 비트라인 스페이서를 산화막으로 형성함으로써 기생 캐패시턴스를 감소시키고, 저장전극 콘택이 라인 타입이므로 패터닝 마진을 확보할 수 있으며, 저장전극 콘택플러그를 농도가 다른 폴리실리콘으로 형성함으로써 누설전류를 감소시키는 반도체 소자 및 그 형성방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0006] 상기 목적을 달성하기 위해, 본 발명에 따르는 반도체 소자는 소자분리막으로 정의되는 활성영역을 포함하는 반도체 기판, 상기 반도체 기판의 상부에 구비되는 비트라인 홈, 상기 비트라인 홈의 측벽에 구비되는 산화막 및 상기 산화막이 형성된 비트라인 홈에 매립되는 비트라인 도전층을 포함하여, 비트라인 스페이서를 산화막으로 형성함으로써 기생 캐패시턴스를 감소시키는 것을 특징으로 한다.

[0007] 나아가 상기 비트라인 홈에 인접하여 구비되며, 반도체 기판과 연결되는 저장전극 콘택홀 및 상기 저장전극 콘택홀에 매립되어 구비되는 저장전극 콘택플러그를 더 포함하는 것이 바람직하다.

[0008] 또한 상기 저장전극 콘택플러그는, 상기 저장전극 콘택홀의 하부에 구비되는 저농도 콘택플러그 및 상기 저장전극 콘택홀에서 상기 저농도 콘택플러그의 상부에 구비되는 고농도 콘택플러그를 포함하여, GIDL과 같은 누설전류를 감소시키는 것을 특징으로 한다.

- [0009] 그리고 상기 산화막은 상기 저장전극 콘택플러그의 측벽에 구비되며, 상기 저농도 콘택플러그에 형성되는 상기 산화막의 두께보다, 상기 고농도 콘택플러그에 형성되는 상기 산화막의 두께가 더 두껍게 구성되어, 비트라인 도전층의 에치백 공정에서 폴리실리콘 층의 식각되는 것을 방지하는 것이 바람직하다.
- [0010] 아울러 상기 저장전극 콘택홀은 비트라인과 교차하는 라인 타입으로 구성되어, 패터닝 마진을 확보할 수 있는 것을 특징으로 한다.
- [0011] 나아가 상기 반도체 기판 상부에 구비되고 상기 비트라인 홀의 하부에 구비되며, 폴리실리콘을 포함하는 랜딩 플러그를 더 포함하는 것이 바람직하다.
- [0012] 또한 상기 비트라인 홀 내에서 상기 비트라인 도전층의 상부에 구비되는 비트라인 하드마스크를 더 포함하여, 비트라인 도전층을 절연시키고 보호하는 것을 특징으로 한다.
- [0013] 그리고 상기 비트라인 도전층은, 상기 비트라인 홀의 표면에 형성되는 배리어 메탈층 및 상기 배리어 메탈층이 형성된 상기 비트라인 홀에 매립되어 구비되는 도전층을 포함하는 것이 바람직하다.
- [0014] 아울러 상기 반도체 기판의 활성영역 및 소자분리막에 소정 깊이 매립되어 형성되는 매립형 게이트를 더 포함하여, 비트라인의 기생 캐패시턴스를 감소시키는 것을 특징으로 한다.
- [0015] 한편, 본 발명에 따르는 반도체 소자의 형성방법은, 반도체 기판에 활성영역을 정의하는 소자분리막을 형성하는 단계, 상기 반도체 기판의 상부에 비트라인 홀을 형성하는 단계, 상기 비트라인 홀의 측벽에 산화막을 형성하는 단계 및 상기 산화막이 형성된 비트라인 홀에 비트라인 도전층을 매립하여 형성하는 단계를 포함하여, 비트라인 스페이서를 산화막으로 형성함으로써 기생 캐패시턴스를 감소시키는 것을 특징으로 한다.
- [0016] 이 때 상기 비트라인 홀의 측벽에 산화막을 형성하는 단계는, 건식 산화(Dry Oxidation) 공정 또는 라디칼 산화 공정을 포함하는 것이 바람직하다.
- [0017] 나아가 상기 비트라인 홀의 측벽에 산화막을 형성하는 단계 이후, 상기 비트라인 홀에 에치백을 수행하여, 상기 비트라인 홀 바닥의 산화막을 제거하여, 비트라인 홀 하부의 랜딩 플러그를 노출시키는 것을 특징으로 한다.
- [0018] 그리고 상기 비트라인 홀을 형성하는 단계 전, 상기 반도체 기판의 상부에 저장전극 콘택플러그를 형성하는 단계를 더 포함하는 것이 바람직하다.
- [0019] 또한 상기 비트라인 홀을 형성하는 단계는, 상기 저장전극 콘택플러그를 분리시킴으로써, 패터닝 마진을 향상시키는 것을 특징으로 한다.
- [0020] 아울러 상기 저장전극 콘택플러그를 형성하는 단계는, 상기 반도체 기판을 노출시키는 저장전극 콘택홀을 형성하는 단계, 상기 저장전극 콘택홀에 폴리실리콘을 매립하는 단계, 상기 폴리실리콘에 저농도 이온주입 공정을 수행하여 하부에 저농도 폴리실리콘층을 형성하는 단계 및 상기 폴리실리콘에 고농도 이온주입 공정을 수행하여 상부에 고농도 폴리실리콘층을 형성하는 단계를 포함하여, GIDL과 같은 누설전류를 감소시키는 것을 특징으로 한다.
- [0021] 나아가 상기 저장전극 콘택플러그를 형성하는 단계는, 상기 반도체 기판을 노출시키는 저장전극 콘택홀을 형성하는 단계, 상기 저장전극 콘택홀 하부에 폴리실리콘을 매립하는 단계, 상기 폴리실리콘에 저농도 이온주입 공정을 수행하여 저농도 폴리실리콘층을 형성하는 단계, 상기 저농도 폴리실리콘층 상부에 폴리실리콘을 매립하는 단계 및 상기 폴리실리콘에 고농도 이온주입 공정을 수행하여 상기 저농도 폴리실리콘층의 상부에 고농도 폴리실리콘층을 형성하는 단계를 포함할 수 있다.
- [0022] 그리고 상기 비트라인 홀의 측벽에 산화막을 형성하는 단계는, 상기 저장전극 콘택플러그 측벽을 산화시키는 단계를 포함하며, 상기 저농도 폴리실리콘층의 산화막보다, 상기 고농도 폴리실리콘층의 산화막을 더 두껍게 형성하여, 비트라인 도전층의 에치백 공정시 폴리실리콘 층을 보호하는 것이 바람직하다.
- [0023] 또한 상기 저장전극 콘택홀을 형성하는 단계는, 상기 저장전극 콘택홀을 비트라인과 교차하는 라인 타입으로 형성하여, 패터닝 마진을 확보하는 것을 특징으로 한다.
- [0024] 아울러 상기 비트라인 도전층을 형성하는 단계 이후, 상기 비트라인 홀에서 상기 비트라인 도전층의 상부에 비트라인 하드마스크를 형성하여, 상기 비트라인 도전층을 보호하는 것이 바람직하다.
- [0025] 나아가 상기 비트라인 도전층을 형성하는 단계는, 상기 비트라인 홀의 표면에 배리어 메탈층을 형성하는 단계 및 상기 배리어 메탈층이 형성된 상기 비트라인 홀에 도전층을 매립하는 단계를 포함하는 것을 특징으로 한다.

- [0026] 그리고 상기 비트라인 홀을 형성하는 단계 전, 상기 셀 영역의 반도체 기판에 매립형 게이트를 형성하는 단계를 더 포함하여, 비트라인의 기생 캐패시턴스를 감소시키는 것이 바람직하다.
- [0027] 한편, 본 발명에 따르는 반도체 소자의 다른 실시예는, 반도체 기판에 형성되고 소자분리막에 의해 서로 절연되는 제 1 및 제 2 활성영역, 상기 제 1 활성영역에 형성되고, 상기 제 1 활성영역의 접합영역에 전기적으로 연결되는 저장전극 콘택플러그, 상기 제 2 활성영역에 형성되고, 상기 제 2 활성영역의 접합영역에 전기적으로 연결되는 비트라인 콘택플러그 및 상기 저장전극 콘택플러그 및 상기 비트라인 콘택플러그의 측벽에 형성되어, 상기 저장전극 콘택플러그를 상기 비트라인 콘택플러그로부터 절연시키며, 산화막을 포함하는 스페이서를 포함하는 것을 특징으로 한다.
- [0028] 나아가 상기 스페이서는 산화막을 포함하고 질화막은 포함하지 않는 것이 바람직하고, 상기 스페이서는 상기 반도체 기판보다 얇은 두께를 가지는 것을 특징으로 한다. 또한 상기 저장전극 콘택플러그는 소자분리막 상부에 연장되는 것이 바람직하다.
- [0029] 그리고 본 발명에 따르는 반도체 소자의 형성방법의 다른 실시예는, 반도체 기판에 소자분리막에 의하여 서로 절연되는 제 1 활성영역 및 제 2 활성영역을 형성하는 단계, 상기 제 1 및 제 2 활성영역에 각각, 소자분리막에 의하여 서로 절연되는 제 1 및 제 2 접합영역을 형성하는 단계, 상기 제 1 및 제 2 활성영역 그리고 상기 소자분리막 상부에 절연막을 형성하는 단계, 상기 절연막을 식각하여, 상기 제 1 및 제 2 접합영역과 상기 소자분리막을 노출시키는 연속적인 라인 패턴의 제 1 트렌치를 형성하는 단계, 상기 제 1 트렌치를 매립하는 도전층을 형성하는 단계, 상기 도전층을 식각하여 상기 제 2 접합영역을 노출시키는 제 2 트렌치를 형성하면서, 연속적인 라인 패턴의 제 1 도전층을 분리된 섬 타입이며 상기 제 1 접합영역에 전기적으로 연결되는 저장전극 콘택플러그로 형성하는 단계, 상기 제 2 트렌치의 측벽에 스페이서를 형성하는 단계 및 상기 제 2 트렌치를 매립하는 비트라인 콘택플러그를 형성하여, 상기 스페이서가 상기 비트라인 콘택플러그와 상기 저장전극 콘택플러그를 분리시키도록 하는 단계를 포함하는 것을 특징으로 한다.
- [0030] 나아가 상기 스페이서는 산화막을 포함하고 질화막은 포함하지 않는 것이 바람직하다.

발명의 효과

- [0031] 본 발명의 반도체 소자 및 그 형성방법은 비트라인 스페이서를 산화막으로 형성함으로써 기생 캐패시턴스를 감소시키고, 저장전극 콘택이 라인 타입이므로 패터닝 마진을 확보할 수 있으며, 저장전극 콘택플러그를 농도가 다른 폴리실리콘으로 형성함으로써 누설전류를 감소시키는 효과를 제공한다.

도면의 간단한 설명

- [0032] 도 1은 본 발명에 따르는 반도체 소자의 평면도; 그리고,
 도 2 내지 도 9는 본 발명에 따르는 반도체 소자의 형성방법을 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0033] 이하 첨부된 도면을 참조하여 본 발명에 따른 반도체 소자 및 그 형성방법의 일 실시예에 대해 상세히 설명하기로 한다.
- [0034] 도 1은 본 발명에 따르는 반도체 소자의 평면도이다. 도 1을 참조하면, 반도체 기판(10)에는 활성영역(12)과 이를 정의하는 소자분리막(14)이 구비된다. 그리고 하나의 활성영역(12)에는 두 개의 게이트(40)가 교차하도록 게이트(40)가 가로 방향으로 형성되고, 하나의 활성영역(12)에 하나의 비트라인(30)이 교차하도록 비트라인(30)이 세로 방향으로 형성된다. 또한 게이트(40)와 평행한 방향을 따라, 인접한 게이트(40) 사이의 공간에 라인 타입 저장전극 콘택(20)이 구비된다.
- [0035] 여기서 게이트(40)는 반도체 기판(10)의 하부에 매립된 매립형 게이트(buried gate)인 것이 바람직하다. 그리고 비트라인(30)은 다마신 공정에 의해 형성되며, 이 다마신 공정에서 저장전극 콘택(20)들이 서로 분리되는 것이 바람직하다.
- [0036] 도 2 내지 도 9는 본 발명에 따르는 반도체 소자의 형성방법을 도시한 단면도로서, 도 2 내지 도 9의 (a)는 도 1의 A-A' 선을 따른 단면도이며 (b)는 도 1의 B-B' 선을 따른 단면도이다. 이하에서는 이들 도면을 참조하여 본 발명에 따르는 반도체 소자의 형성방법을 설명한다.

- [0037] 도 2를 참조하면, 반도체 기판(10)에 활성영역(12)을 정의하는 소자분리막(14)을 형성한다. 이 공정은 반도체 기판(10)에 트렌치를 형성한 뒤 이 트렌치를 산화막과 같은 절연막으로 매립하여 소자분리막(14)을 형성하는 STI(Shallow Trench Isolation) 공정을 이용하는 것이 바람직하다. 이 때 소자분리막(14)은 산화막을 포함하는 것이 바람직하고, 기판(10)과 소자분리막(14) 사이 경계면에도 산화막이나 질화막을 포함하는 라이너 막(18; liner layer)을 추가적으로 형성할 수 있다.
- [0038] 그리고 반도체 기판(10)에 매립형 게이트(40)를 형성한다. 이 공정은, 먼저 반도체 기판(10)의 활성영역(12) 및 소자분리막(14)에 리세스 영역을 정의하는 하드마스크(미도시)를 형성한 후 이 하드마스크로 활성영역(12) 및 소자분리막(14)을 식각하여 소정 깊이의 리세스(42)를 형성한다. 그리고 이 리세스(42)의 하부에 게이트 전극(44) 물질을 매립하고, 그 상부에는 캐핑막(46; capping layer)을 매립하여 게이트 전극(44)을 절연시킨다. 이 때 게이트 전극(44)은 텅스텐(W), 티타늄(Ti), 티타늄 질화막(TiN)과 같은 금속이나 폴리실리콘을 포함할 수 있고, 캐핑막(46)은 질화막이나 산화막(Oxide)을 포함하는 것이 바람직하다. 이와 같이 매립형 게이트를 형성할 경우 비트라인 게이트 사이에 발생하는 기생 캐패시턴스를 효과적으로 감소시킬 수 있다.
- [0039] 이어서 하드마스크(미도시)를 제거한 후 하드마스크가 제거된 공간에 랜딩 플러그(16; Landing plug)를 형성하며, 랜딩 플러그(16)는 폴리실리콘(polysilicon)과 같은 도전 물질을 포함할 수 있다. 이와 같이 매립형 게이트(40) 및 랜딩 플러그(16)가 형성된 반도체 기판(10)의 상부에 층간절연막(22; InterLayer Dielectric)을 형성하며, 이 층간절연막(22)은 산화막을 포함하는 것이 바람직하다.
- [0040] 도 3의 (a)에 도시된 바와 같이 층간절연막(22)을 식각하여 랜딩 플러그(16)의 상부를 노출시키는 저장전극 콘택홀(24; Storage Node contact hole)을 형성한다. 이 저장전극 콘택홀(24)은 도 3의 (b)에 도시된 바와 같이 게이트(40) 방향으로 연장된 라인 타입으로 형성되며, 이는 도 1에 더 명확하게 도시되어 있다. 이 결과 종래의 홀 타입 저장전극 콘택홀에 비하여 오버레이 마진이 향상되고, 하부 랜딩플러그(16)와 콘택이 발생하지 않는 문제도 발생하지 않게 된다.
- [0041] 도 4에 도시된 바와 같이 저장전극 콘택홀(24)을 매립하는 저장전극 콘택플러그(26; Storage Node contact plug)를 형성한다. 저장전극 콘택플러그(26)는 폴리실리콘을 포함하며, 균일한 물질의 폴리실리콘으로 형성될 수도 있다. 그러나 도 4와 같이 저장전극 콘택홀(24)의 하부에 형성된 저농도 폴리실리콘(26b)과, 저장전극 콘택홀(24)의 상부에 형성된 고농도 폴리실리콘(26a)을 포함하는 것이 바람직하다. 이 때 고농도 혹은 저농도의 농도란 이온이 주입된 농도를 지칭한다.
- [0042] 이 때 농도가 다른 폴리실리콘(26a, 26b)을 형성하는 방법은 두 가지 방법이 있다. (i) 먼저 저장전극 콘택홀(24)에 폴리실리콘층을 매립한 후 저농도 이온주입 공정을 수행하여 폴리실리콘 전체를 저농도 폴리실리콘층으로 형성한 뒤, 고농도 이온주입 공정을 수행하여 저농도 폴리실리콘층의 상부를 고농도 폴리실리콘층으로 형성하는 방법이 있다. 그리고 (ii) 저장전극 콘택홀(24)의 하부에만 폴리실리콘층을 매립한 후 저농도 이온주입을 하여 저농도 폴리실리콘층(26b)을 먼저 형성하고, 그 상부에 폴리실리콘층을 매립한 후 고농도 이온주입을 하여 콘택홀(24) 상부에 고농도 폴리실리콘층(26a)을 형성하는 방법이 있다.
- [0043] 이와 같이 저장전극 콘택플러그(26)를 농도가 다른 폴리실리콘으로 형성할 경우, 접합영역(Junction region)과 인접한 저장전극 콘택플러그(26)의 하부(저농도 폴리실리콘층)의 이온 농도가 낮기 때문에, GIDL(Gate Induced Drain Leakage)과 같은 누설전류가 감소되는 효과를 얻을 수 있다. 또한 후술할 바와 같이 비트라인 홀에 대한 산화 공정시 산화막 두께를 다르게 형성할 수 있어서 비트라인 도전층 에치백 공정시 저장전극 콘택플러그(26)를 보호하는 효과를 제공할 수 있다.
- [0044] 도 5를 참조하면, 저장전극 콘택플러그(26) 및 층간절연막(22)의 상부에 질화막과 같은 재질의 식각 마스크 패턴(39)을 형성하고, 이를 마스크로 저장전극 콘택플러그(26) 및 층간절연막(22)을 식각하여 비트라인 홀(32; bitline hole)을 형성한다. 도 5의 (b)에 도시된 바와 같이 비트라인 홀(32)은 랜딩플러그(16) 또는 소자분리막(14)을 노출시키도록 형성된다. 이 비트라인 홀(32)은 비트라인을 다마신 공정으로 형성하기 위한 것이며, 동시에 라인 타입으로 형성된 저장전극 콘택플러그(26)를 분리하여 한 활성영역(12)에 두 개의 저장전극 콘택플러그(26)가 형성되도록 하기 위한 구성이다(도 1 참조).
- [0045] 한편 도 5의 (b)에서 랜딩플러그(16)를 노출시키는 비트라인 홀(32)을 형성하는 식각공정에서, 폴리실리콘 재질인 저장전극 콘택플러그(26)가 충분히 식각되지 않고 랜딩 플러그(16) 상부에 잔류할 수 있다. 이 경우 비트라인 홀(32) 주위에 대한 산화(Oxidation) 공정을 실시하면 잔류한 폴리실리콘이 SiO₂로 산화되면서 잔류한 폴리실리콘을 제거하고, 저장전극 콘택플러그(26)는 모두 서로 분리될 수 있게 된다.

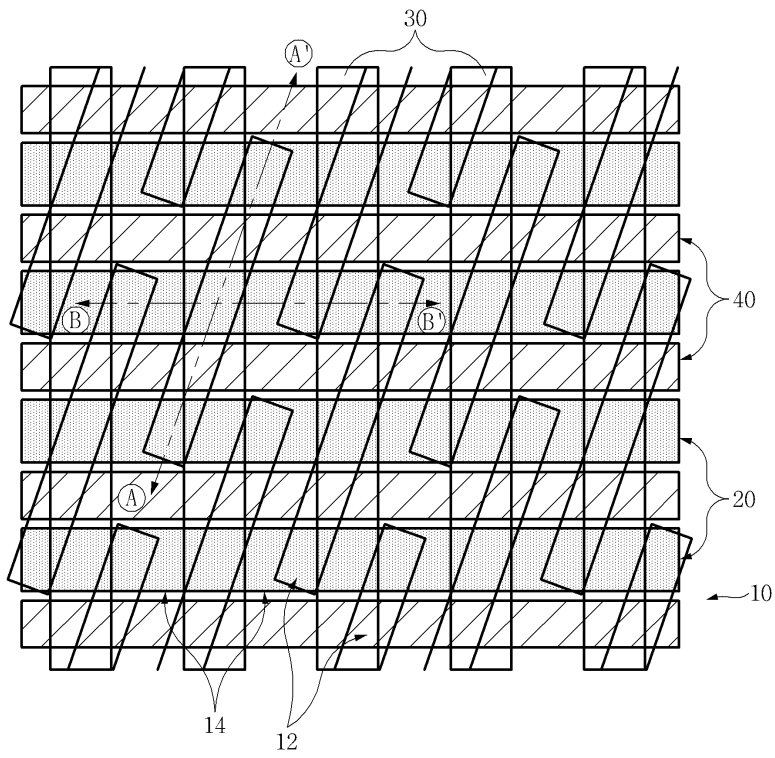
- [0046] 도 6에 도시된 바와 같이, 비트라인 홀(32)에 대한 산화(Oxidation) 공정을 실시한다. 이 산화 공정은 건식산화(dry oxidation) 또는 라디칼 산화(radical oxidation) 공정을 포함할 수 있으며, 건식산화 공정을 수행할 경우 도 6의 (b)에 도시된 바와 같이 상하부에서 두께가 다른 산화막(34)을 형성할 수 있다. 이는 이온 농도가 높은 폴리실리콘(26a)에서 산화가 더 용이하게 진행되기 때문이며, 도 6의 (b)에 도시된 바와 같이 고농도 폴리실리콘(26a) 측면에 더 두꺼운 산화막(34)이 형성된다.
- [0047] 이 산화 공정에 의해 형성된 산화막(34)은 비트라인(30; 도 9 참조)과 저장전극 콘택플러그(26)를 서로 절연시키는 역할, 인접한 두 저장전극 콘택플러그(26)를 서로 절연시키는 역할, 저장전극 콘택플러그(26)와 랜딩플러그(16)를 절연시키는 역할을 할 수 있다. 그리고 종래 비트라인 측면에 스페이서로 형성되던 질화막과 같이 비트라인의 측면을 보호하는 역할도 할 수 있으며, 이 스페이서로서의 산화막(34)은 질화막에 비하여 막질이 좋기 때문에 비트라인의 기생 캐패시턴스를 감소시키는 효과를 제공한다.
- [0048] 도 7을 참조하면, 비트라인을 형성하기에 앞서 비트라인 홀(32) 하부의 산화막(34)을 에치백(etch back) 공정으로 제거하여, 랜딩 플러그(16)를 노출시킨다.
- [0049] 도 8에 도시된 바와 같이, 비트라인 홀(32) 내부에 배리어 메탈층(36; barrier metal layer)과 비트라인 도전층(37)을 형성한다. 배리어 메탈층(36)은 티타늄(Ti)과 티타늄 질화막(TiN)이 적층된 구조를 포함하고, 비트라인 도전층(37)은 텅스텐(W)을 포함하는 것이 바람직하다. 이 비트라인 도전층(37)을 형성하는 공정에서, 비트라인 도전층(37)이 비트라인 홀(32)을 다 채우도록 증착한 후 에치백 공정으로 제거하여 비트라인 홀(32)의 하부에만 비트라인 도전층(37)이 남도록 한다. 이 때 산화막(34)이 두껍게 형성된 고농도 폴리실리콘층(26a)이 상부에 존재하기 때문에, 비트라인 도전층(37)의 상부를 제거하는 에치백 공정에서 저장전극 콘택플러그(26)가 함께 식각되지 않는다. 즉 산화막(34)이 저장전극 콘택플러그(26) 측면을 보호하는 역할을 하게 된다.
- [0050] 도 9를 참조하면, 비트라인 홀(32)에서 비트라인 도전층(37)의 상부에 비트라인 하드마스크(38)를 형성하여 비트라인 도전층(37)의 상부를 보호하며, 이 비트라인 하드마스크(38)는 질화막을 포함하는 것이 바람직하다. 이러한 방법에 의해 제조된 본 발명에 따르는 반도체 소자는, 비트라인 홀(32)의 측벽에 산화막(34)이 스페이서와 같이 형성된 구조가 된다.
- [0051] 이후, 도시되지 않았으나, 비트라인(30)에 의해 분리된 저장전극 콘택플러그(26) 상부에 캐패시터를 형성하고, 금속배선도 형성함으로써 반도체 소자를 형성한다.
- [0052] 이와 같은 방법으로 형성된 본 발명의 반도체 소자는 비트라인 스페이서를 산화막으로 형성함으로써 기생 캐패시턴스를 감소시키고, 저장전극 콘택이 라인 타입이므로 패터닝 마진을 확보할 수 있으며, 저장전극 콘택플러그를 농도가 다른 폴리실리콘으로 형성함으로써 누설전류를 감소시키는 효과를 제공할 수 있다.
- [0053] 본 발명은 기재된 실시예에 한정하는 것이 아니고, 본 발명의 사상 및 범위를 벗어나지 않는 한 다양하게 수정 및 변형을 할 수 있음은 당업자에게 자명하다고 할 수 있는 바, 그러한 변형예 또는 수정예들은 본 발명의 특허 청구범위에 속하는 것이다.

부호의 설명

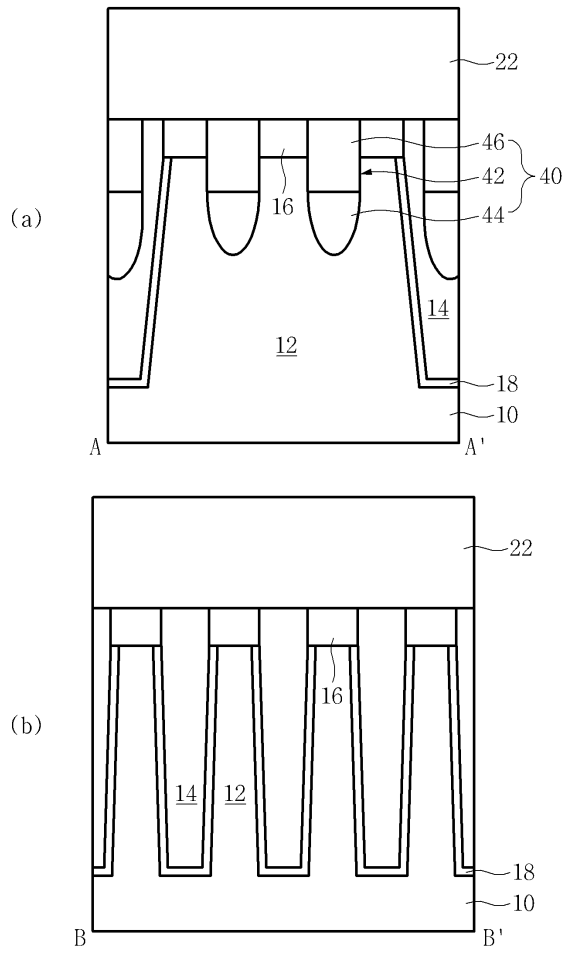
- [0054] 10 : 기판 12 : 활성영역
- 14 : 소자분리막 16 : 랜딩 플러그
- 18 : 라이너 막 20 : 저장전극 콘택
- 22 : 층간절연막 24 : 저장전극 콘택홀
- 26 : 저장전극 콘택플러그 30 : 비트라인
- 32 : 비트라인 홀 34 : 산화막
- 26 : 배리어 메탈 37 : 비트라인 도전층
- 38 : 하드마스크 39 : 식각마스크
- 40 : 매립형 게이트 42 : 리세스
- 44 : 게이트 전극 46 : 캐핑막

도면

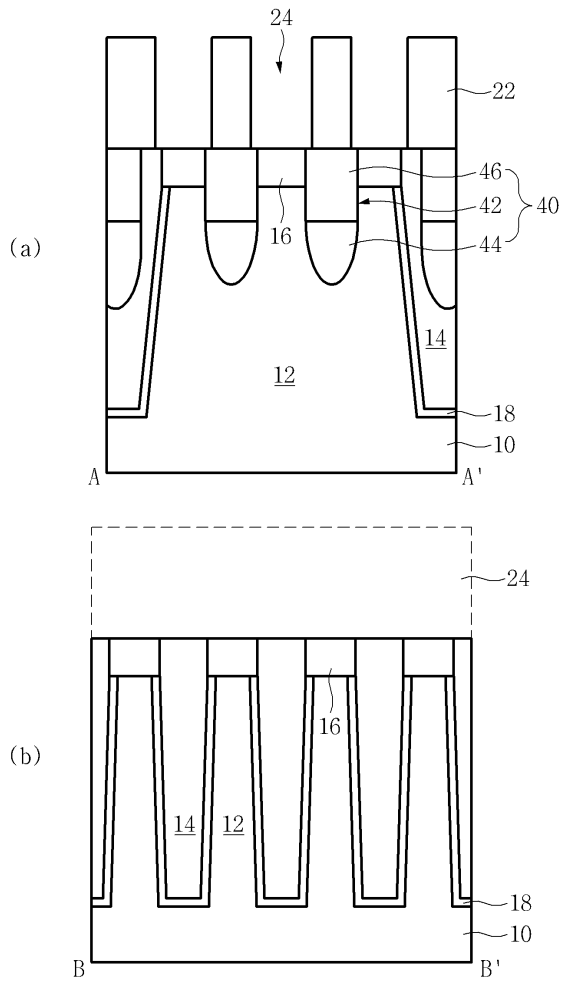
도면1



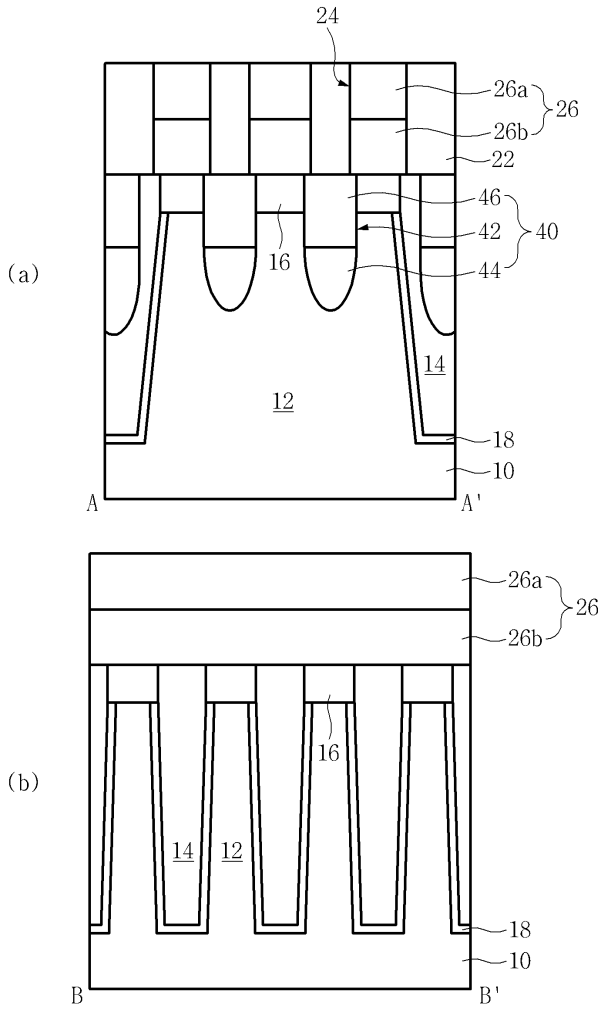
도면2



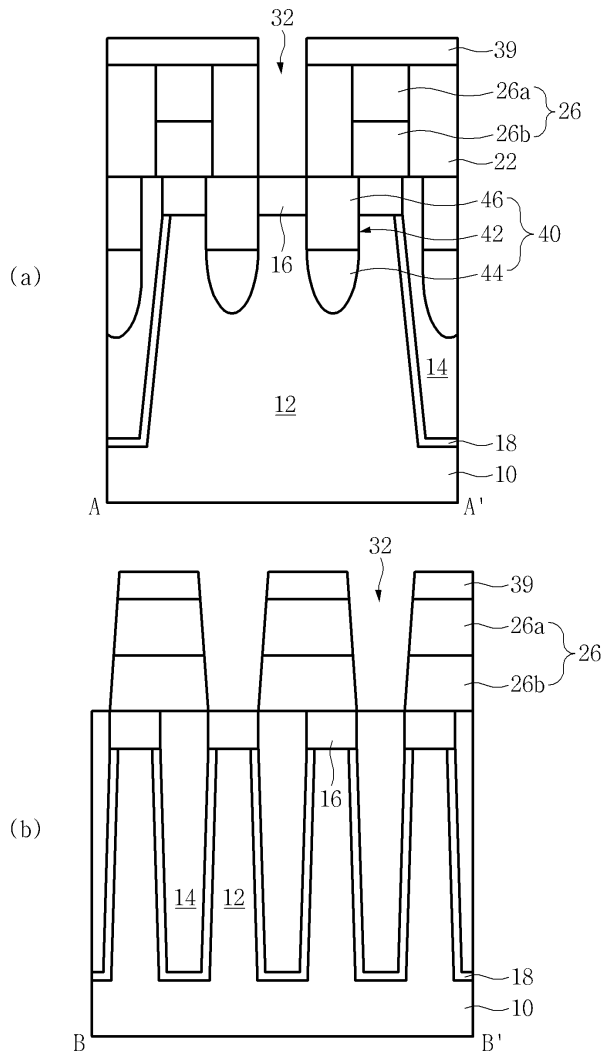
도면3



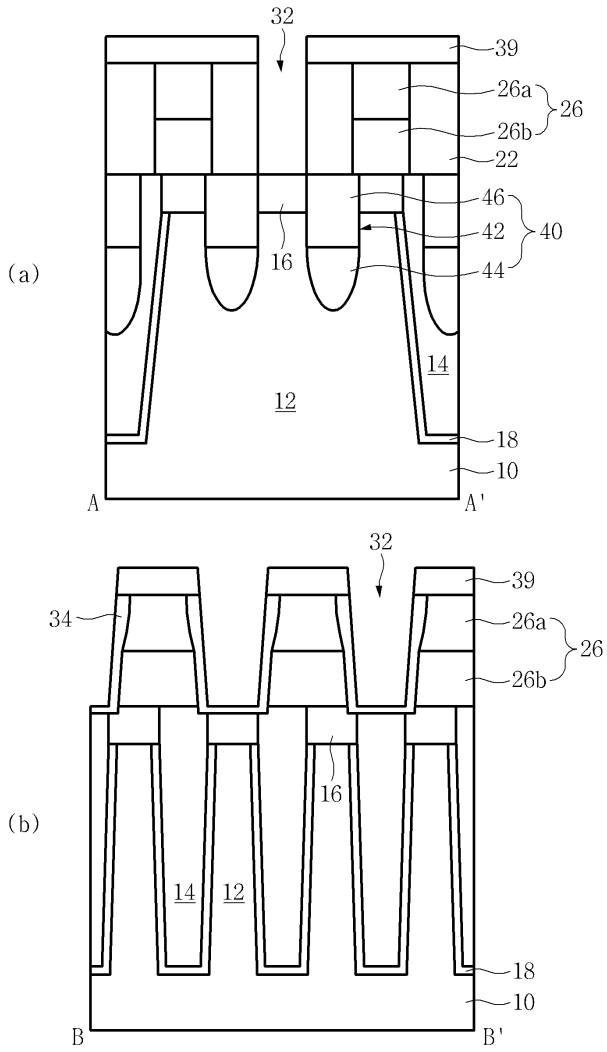
도면4



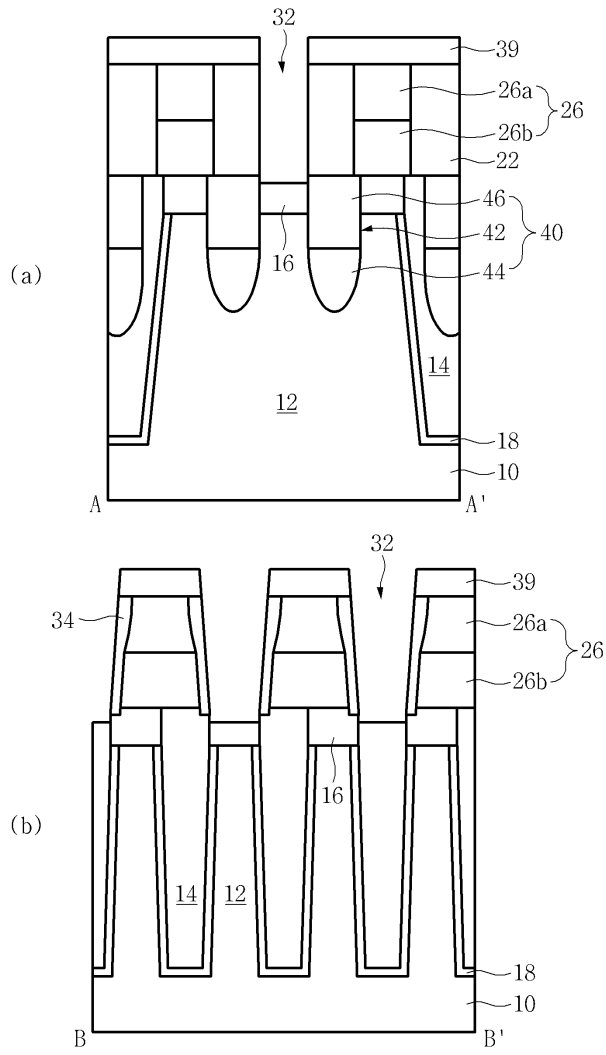
도면5



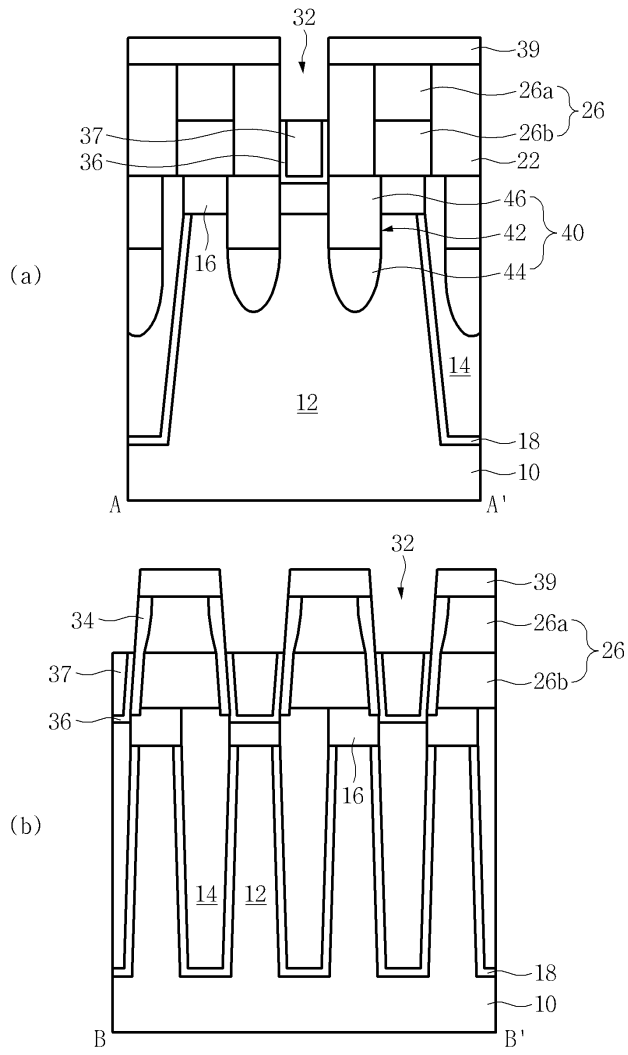
도면6



도면7



도면8



도면9

