



(12) 发明专利

(10) 授权公告号 CN 111584486 B

(45) 授权公告日 2022. 07. 08

(21) 申请号 202010429360.9

(22) 申请日 2020.05.21

(65) 同一申请的已公布的文献号
申请公布号 CN 111584486 A

(43) 申请公布日 2020.08.25

(73) 专利权人 中国科学院微电子研究所
地址 100029 北京市朝阳区北土城西路3号

(72) 发明人 朱慧珑 艾学正 张永奎

(74) 专利代理机构 中科专利商标代理有限责任
公司 11021
专利代理师 倪斌

(56) 对比文件

- CN 111106165 A, 2020.05.05
- CN 111180443 A, 2020.05.19
- CN 111106165 A, 2020.05.05
- US 9735146 B2, 2017.08.15
- US 2019198669 A1, 2019.06.27
- JP 2001160594 A, 2001.06.12
- CN 111106111 A, 2020.05.05
- CN 111063728 A, 2020.04.24

审查员 周忠堂

(51) Int. Cl.

H01L 27/092 (2006.01)

H01L 21/8238 (2006.01)

H01L 29/06 (2006.01)

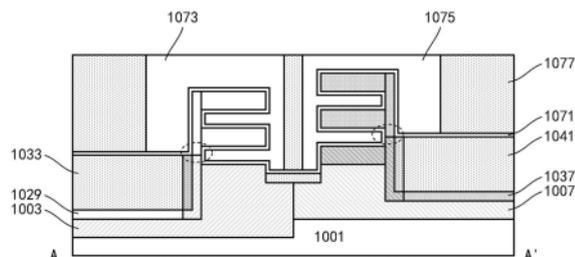
权利要求书3页 说明书13页 附图14页

(54) 发明名称

具有交错结构的半导体装置及其制造方法及电子设备

(57) 摘要

公开了一种具有交错结构的半导体装置及其制造方法以及包括这种半导体装置的电子设备。根据实施例，半导体装置包括衬底上的第一器件和第二器件。第一器件和第二器件各自均包括梳齿形结构。梳齿形结构包括沿相对于衬底的竖直方向延伸的第一部分以及从第一部分沿相对于衬底的横向方向延伸且与衬底间隔开的一个或多个第二部分。第一器件的第二部分在竖直方向上的高度相对于第二器件的第二部分在竖直方向上的高度是交错的。第一器件的梳齿形结构与第二器件的梳齿形结构包括彼此不同的材料。



1. 一种半导体装置,包括衬底上的第一器件和第二器件,所述第一器件和所述第二器件各自均包括梳齿形结构,所述梳齿形结构包括:

沿相对于所述衬底的竖直方向延伸的第一部分;以及

从所述第一部分沿相对于所述衬底的横向方向延伸且与所述衬底间隔的一个或多个第二部分,

其中,所述第一器件的所述第二部分在竖直方向上的高度相对于所述第二器件的所述第二部分在竖直方向上的高度是交错的,

其中,所述第一器件的所述梳齿形结构与所述第二器件的所述梳齿形结构包括彼此不同的材料。

2. 根据权利要求1所述的半导体装置,其中,所述第一器件的所述梳齿形结构的材料包括硅或III-V族半导体,所述第二器件的所述梳齿形结构的材料包括锗硅或锗。

3. 根据权利要求1或2所述的半导体装置,其中,所述第一器件的第二部分在横向方向上延伸的表面与所述第二器件的第二部分的处于相同高度的相应表面实质上共面。

4. 根据权利要求1或2所述的半导体装置,其中,所述第二器件的第二部分在横向方向上延伸的表面与所述第一器件的第二部分的处于相同高度的相应表面实质上共面。

5. 根据权利要求1所述的半导体装置,其中,所述第一器件的所述第二部分的数目与所述第二器件的所述第二部分的数目相同。

6. 根据权利要求1所述的半导体装置,其中,所述第一部分形成为鳍的形式,所述第二部分形成为纳米片的形式。

7. 根据权利要求1所述的半导体装置,其中,所述梳齿形结构包括单晶半导体材料。

8. 根据权利要求1所述的半导体装置,其中,所述第一器件的所述第二部分与所述第二器件的所述第二部分彼此相向或相反延伸。

9. 根据权利要求1或2所述的半导体装置,其中,所述第一器件的相邻第二部分之间的间隔与所述第二器件中的相应第二部分的厚度实质上相同。

10. 根据权利要求1或2所述的半导体装置,其中,所述第二器件的相邻第二部分之间的间隔与所述第一器件中的相应第二部分的厚度实质上相同。

11. 根据权利要求1所述的半导体装置,其中,

所述第一器件的最接近所述衬底的第二部分与所述衬底的表面之间具有第一间隔,

在所述第二器件的最接近所述衬底的第二部分与所述衬底的表面之间,厚度实质上等于所述第一间隔的半导体层设于所述衬底的表面上,其中,所述半导体层包括与所述第二器件的所述第二部分实质上相同的材料。

12. 根据权利要求1所述的半导体装置,其中,所述第一器件和所述第二器件各自还包括:

在第一方向上设于所述梳齿形结构的两侧且与所述梳齿形结构相接的源/漏部;以及

在与所述第一方向相交的第二方向上与所述梳齿形结构相交的栅堆叠。

13. 根据权利要求12所述的半导体装置,还包括:

在栅堆叠的侧壁上形成的侧墙,其中,所述侧墙在各第二部分之上的部分与在该第二部分之下的部分的内侧壁在竖直方向上实质上对准。

14. 根据权利要求12所述的半导体装置,其中,所述第一器件和所述第二器件各自的所

述第一部分延伸为连接至衬底。

15. 根据权利要求14所述的半导体装置,还包括:分别设于所述第一器件和所述第二器件各自的所述第一部分靠近所述衬底的部分中的穿通阻止部以及所述衬底中与所述穿通阻止部相接的掺杂区。

16. 根据权利要求15所述的半导体装置,还包括:

围绕所述穿通阻止部和所述掺杂区的隔离层,所述栅堆叠形成于所述隔离层上。

17. 根据权利要求1所述的半导体装置,其中,所述第一器件和所述第二器件是不同导电类型的器件。

18. 根据权利要求17所述的半导体装置,其中,所述半导体装置为互补金属氧化物半导体CMOS配置。

19. 一种制造半导体装置的方法,包括:

在衬底上设置至少一个第一有源层和至少一个第二有源层的交替叠层;

在所述叠层中形成沿第一方向延伸的第一沟槽,所述第一有源层的侧壁在所述第一沟槽中露出;

在所述第一沟槽的侧壁上形成与所述第一有源层的露出的侧壁相接的第三有源层;

在所述叠层中形成在与所述第一方向相交的第二方向上与所述第一沟槽间隔开、且沿所述第一方向延伸的第二沟槽,所述第二有源层的侧壁在所述第二沟槽中露出;

在所述第二沟槽的侧壁上形成与所述第二有源层的露出的侧壁相接的第四有源层;

在所述叠层中在所述第一沟槽与所述第二沟槽之间形成沿所述第一方向延伸的第三沟槽,从而所述叠层分为所述第一沟槽与所述第三沟槽之间的第一子叠层以及所述第二沟槽与所述第三沟槽之间的第二子叠层;

经由所述第三沟槽,通过选择性刻蚀,从所述第一子叠层中去除所述第二有源层,从而所述第一有源层和所述第三有源层构成第一梳齿形结构;以及

经由所述第三沟槽,通过选择性刻蚀,从所述第二子叠层中去除所述第一有源层,从而所述第二有源层和所述第四有源层构成第二梳齿形结构。

20. 根据权利要求19所述的方法,其中,

如果所述叠层的最上层是第二有源层,则在形成所述第一沟槽之前,该方法还包括对所述最上层的第二有源层进行局部选择性刻蚀,使得在所述第一沟槽与所述第三沟槽之间的区域中所述最上层的第二有源层被去除,而在所述第二沟槽与所述第三沟槽之间的区域中所述最上层的第二有源层被保留。

21. 根据权利要求19所述的方法,其中,

所述第一沟槽进入衬底中,从而还在所述衬底在所述第一沟槽中露出的表面上形成所述第三有源层;

所述第二沟槽进入衬底中,从而还在所述衬底在所述第二沟槽中露出的表面上形成所述第四有源层。

22. 根据权利要求21所述的方法,还包括:

在所述第一沟槽、所述第二沟槽和所述第三沟槽的底部分别形成第一隔离层、第二隔离层和第三隔离层;

在所述第一隔离层、所述第二隔离层和所述第三隔离层上形成沿所述第二方向延伸并

分别与所述第一梳齿形结构和所述第二梳齿形结构相交的条形牺牲栅；

以所述牺牲栅为掩模，选择性刻蚀所述第一梳齿形结构和所述第二梳齿形结构；

在被刻蚀后的所述第一梳齿形结构和所述第二梳齿形结构在所述第一方向上的相对两侧，形成用以形成源/漏部的半导体层；以及

将所述牺牲栅替换为栅堆叠。

23. 根据权利要求22所述的方法，其中，

在形成所述第一隔离层之前，该方法还包括：经由所述第一沟槽在所述第三有源层上形成第一掺杂剂源层，

在形成所述第一隔离层之后，该方法还包括：以所述第一隔离层为掩模，选择性刻蚀所述第一掺杂剂源层，

在形成所述第二隔离层之前，该方法还包括：经由所述第二沟槽在所述第四有源层上形成第二掺杂剂源层，

在形成所述第二隔离层之后，该方法还包括：以所述第二隔离层为掩模，选择性刻蚀所述第二掺杂剂源层，以及

该方法还包括：将所述第一掺杂剂源层和所述第二掺杂剂源层中的掺杂剂分别驱入所述第三有源层和所述第四有源层中，以形成穿通阻止部。

24. 根据权利要求23所述的方法，还包括：

在衬底中所述第一沟槽与所述第三沟槽之间形成第一阱区，以及

在衬底中所述第二沟槽与所述第三沟槽之间形成第一阱区。

25. 根据权利要求19所述的方法，其中，

从所述第一子叠层中去除所述第二有源层时，该方法还包括经由所述第三沟槽形成保护层覆盖所述第二子叠层中的第二有源层，以及

从所述第二子叠层中去除所述第一有源层，该方法还包括经由所述第三沟槽形成保护层覆盖所述第一子叠层中的第一有源层。

26. 根据权利要求19所述的方法，其中，所述第一有源层和所述第二有源层均通过外延生长来设置。

27. 一种电子设备，包括如权利要求1至18中任一项所述的半导体装置。

28. 根据权利要求27所述的电子设备，其中，所述电子设备包括智能电话、计算机、平板电脑、人工智能设备、可穿戴设备或移动电源。

具有交错结构的半导体装置及其制造方法及电子设备

技术领域

[0001] 本公开涉及半导体领域,更具体地,涉及具有交错结构的半导体装置及其制造方法以及包括这种半导体装置的电子设备。

背景技术

[0002] 提出了各种不同的结构来应对半导体器件进一步小型化的挑战,例如鳍式场效应晶体管(FinFET)以及多桥沟道场效应晶体管(MBCFET)。对于FinFET,随着其进一步缩小,鳍片的高度可以越来越高,以便在节省面积的同时获得足够的驱动电流和减小阈值电压波动。但是,如果鳍片高度过大,则会带来很多问题,例如鳍片坍塌、间隙填充、刻蚀形貌控制等。对于MBCFET,出于栅金属填充的目的,其中包括的纳米片之间的间隔不能继续缩小,且自加热问题变得严重。另外,与FinFET不同,由纳米片之间的间隔所占据的MBCFET的高度并不能用来增强器件性能,例如不能用于增加驱动电流。

发明内容

[0003] 有鉴于此,本公开的目的至少部分地在于提供一种具有交错结构的半导体装置及其制造方法以及包括这种半导体装置的电子设备,以便在给定器件所占的单位面积时能够改善器件制造工艺和获得更好的性能,例如更稳定的力学结构和优化的电学性能。

[0004] 根据本公开的一个方面,提供了一种半导体装置,包括衬底上的第一器件和第二器件。第一器件和第二器件各自均包括梳齿形结构。梳齿形结构包括沿相对于衬底的竖直方向延伸的第一部分以及从第一部分沿相对于衬底的横向方向延伸且与衬底间隔开的一个或多个第二部分。第一器件的第二部分在竖直方向上的高度相对于第二器件的第二部分在竖直方向上的高度是交错的。第一器件的梳齿形结构与第二器件的梳齿形结构包括彼此不同的材料。

[0005] 根据本公开的另一方面,提供了一种制造半导体装置的方法,包括:在衬底上设置至少一个第一有源层和至少一个第二有源层的交替叠层;在所述叠层中形成沿第一方向延伸的第一沟槽,第一有源层的侧壁在第一沟槽中露出;在第一沟槽的侧壁上形成与第一有源层的露出的侧壁相接的第三有源层;在所述叠层中形成在与第一方向相交的第二方向上与第一沟槽间隔开、且沿第一方向延伸的第二沟槽,第二有源层的侧壁在第二沟槽中露出;在第二沟槽的侧壁上形成与第二有源层的露出的侧壁相接的第四有源层;在所述叠层中在第一沟槽与第二沟槽之间形成沿第一方向延伸的第三沟槽,从而所述叠层分为第一沟槽与第三沟槽之间的第一子叠层以及第二沟槽与第三沟槽之间的第二子叠层;经由第三沟槽,通过选择性刻蚀,从第一子叠层中去除第二有源层,从而第一有源层和第三有源层构成第一梳齿形结构;以及经由第三沟槽,通过选择性刻蚀,从第二子叠层中去除第一有源层,从而第二有源层和第四有源层构成第二梳齿形结构。

[0006] 根据本公开的另一方面,提供了一种电子设备,包括上述半导体装置。

[0007] 根据本公开的实施例,半导体器件可以包括梳齿形结构。这种梳齿形结构可以用

作沟道部。梳齿形结构的第一部分可以类似于鳍式场效应晶体管 (FinFET) 中的鳍片,而梳齿形结构的第二部分可以类似于纳米片场效应晶体管 (FET) 或多桥沟道场效应晶体管 (MBCFET) 中的纳米片。根据本公开实施例的半导体器件可以具有FinET以及纳米片FET或MBCFET两者的优点。在该半导体器件中可以由梳齿形结构的第一部分和第二部分同时来提供电流驱动能力,因此可以改进器件性能,并可以节省面积。而且,由于第一部分和第二部分的相互耦接,在制造阶段机械稳定性较好,例如好于常规MBCFET。

[0008] 另外,衬底上的半导体器件对可以呈互补关系。包括这种半导体器件对的半导体装置可以称作互补梳齿纳米片场效应晶体管 (complementary Comb Nano-Sheet Field Effect Transistor, cCNSFET)。

附图说明

[0009] 通过以下参照附图对本公开实施例的描述,本公开的上述以及其他目的、特征和优点将更为清楚,在附图中:

[0010] 图1至24示出了根据本公开实施例的制造半导体装置的流程中部分阶段的示意图,

[0011] 其中,图1至17、18 (a)、22 (a)、23和24是沿AA'线的截面图,图18 (b)、19、20 (a)、21、22 (b) 是沿BB'线的截面图,图18 (c)、20 (b) 是俯视图,在图18 (c) 中示出了AA'线和BB'线的位置。

[0012] 贯穿附图,相同或相似的附图标记表示相同或相似的部件。

具体实施方式

[0013] 以下,将参照附图来描述本公开的实施例。但是应该理解,这些描述只是示例性的,而并非要限制本公开的范围。此外,在以下说明中,省略了对公知结构和技术的描述,以避免不必要地混淆本公开的概念。

[0014] 在附图中示出了根据本公开实施例的各种结构示意图。这些图并非是按比例绘制的,其中为了清楚表达的目的,放大了某些细节,并且可能省略了某些细节。图中所示出的各种区域、层的形状以及它们之间的相对大小、位置关系仅是示例性的,实际中可能由于制造公差或技术限制而有所偏差,并且本领域技术人员根据实际所需可以另外设计具有不同形状、大小、相对位置的区域/层。

[0015] 在本公开的上下文中,当将一层/元件称作位于另一层/元件“上”时,该层/元件可以直接位于该另一层/元件上,或者它们之间可以存在居中层/元件。另外,如果在一种朝向中一层/元件位于另一层/元件“上”,那么当调转朝向时,该层/元件可以位于该另一层/元件“下”。

[0016] 根据本公开的实施例,提出了一种具有梳齿形结构的半导体器件。例如,梳齿形结构可以包括沿相对于衬底的竖直方向(例如,大致垂直于衬底表面的方向)延伸的第一部分以及从第一部分沿相对于衬底的横向方向(例如,大致平行于衬底表面的方向)延伸的第二部分。第二部分可以与衬底间隔开。可以存在一个或多个这样的第二部分,在多个第二部分的情况下个第二部分之间在竖直方向上间隔开。(各)第二部分可以从第一部分向着第一部分(同)一侧延伸。于是,第一部分和第二部分可以总体上呈梳齿形。梳齿形结构的第一部

分可以类似于鳍式场效应晶体管 (FinFET) 中的鳍片, 而第二部分可以类似于纳米片场效应晶体管 (FET) 或多桥沟道场效应晶体管 (MBCFET) 中的纳米片。

[0017] 在此, 所谓“横向延伸”, 并不一定意味着完全平行于衬底表面延伸, 而是可以偏离一定的角度。同样, 所谓“竖直延伸”, 并不一定意味着完全垂直于衬底表面延伸, 而是可以偏离一定角度。这种偏离例如由于制造公差、工艺限制等导致。

[0018] 这种梳齿形结构可以用作半导体器件的沟道部。因此, 根据本公开实施例的半导体器件可以具有FinET以及纳米片FET或MBCFET两者的优点。在该半导体器件中可以由沟道部的第一部分和第二部分同时来提供电流驱动能力, 因此可以改进器件性能, 并可以节省面积。而且, 由于第一部分和第二部分的相互耦接, 在制造阶段机械稳定性较好, 例如好于常规MBCFET。

[0019] 该半导体器件还可以包括设于沟道部在第一方向上的相对两侧的源/漏部, 源/漏部与沟道部相接从而构成该半导体器件的有源区。源/漏部可以包括与沟道部相同的材料, 也可以包括不同的材料从而例如向沟道部施加应力以增强器件性能。源/漏部可以从下方的衬底和/或沟道部的侧壁生长来形成。源/漏部的顶面可以高出沟道部的顶面。

[0020] 梳齿形结构的第一部分和/或第二部分可以包括单晶半导体材料, 以改善器件性能。例如, 梳齿形结构的第一部分和/或第二部分可以通过外延生长形成, 因此它们的厚度可以得到更好的控制。当然, 源/漏部也可以包括单晶半导体材料。分别生长的至少一些半导体层之间可以存在晶体界面。例如, 在梳齿形结构的第一部分与源/漏部分之间、在梳齿形结构的第二部分与源/漏部之间、以及在梳齿形结构的第一部分与第二部分之间的至少之一处, 可能存在可观察到的晶体界面。

[0021] 该半导体器件还可以包括与沟道部相交的栅堆叠。栅堆叠可以沿与第一方向相交 (例如垂直) 的第二方向延伸, 从沟道部的一侧跨过沟道部而延伸到另一侧。栅堆叠可以围绕沟道部。

[0022] 栅堆叠在第一方向上的相对两侧的侧壁上可以形成有侧墙。栅堆叠可以通过侧墙与源/漏部相隔。侧墙面向各源/漏部的外侧壁在竖直方向上可以实质上共面, 并可以与梳齿形结构的侧壁实质上共面。侧墙面向栅堆叠的内侧壁在竖直方向上可以实质上共面, 从而栅堆叠可以具有实质上均匀的栅长。侧墙可以具有实质上均匀的厚度。

[0023] 梳齿形结构的第一部分可以延伸至与衬底相连接, 以抑制自加热。为抑制泄漏, 可以在第一部分中用作沟道部的部分之下的部分, 形成穿通阻止部 (PTS)。

[0024] 根据本公开的实施例, 上述半导体器件可以成对设置。一对相邻的半导体器件它们各自的梳齿形结构的第二部分可以彼此相向或相反延伸。如下所述, 相邻半导体器件各自的梳齿形结构的第二部分可以分别通过彼此交替叠置的有源层来获得, 因此相对于彼此在竖直方向上是交错设置的。例如, 第一器件的第二部分可以对准于第二器件的第二部分之间的间隔, 第二器件的第二部分可以对准于第一器件的第二部分之间的间隔。对于这两个器件, 它们各自的梳齿形结构可以采用不同的半导体材料来形成, 在这两个器件具有不同导电类型时特别有利, 因为可以针对不同导电类型的器件来分别优化器件性能。于是, 本发明的构思特别适用于互补金属氧化物半导体 (CMOS) 技术, 且因此根据本公开的半导体器件可以称作互补梳齿纳米片场效应晶体管 (cCNSFET)。

[0025] 这种半导体器件例如可以如下制造。

[0026] 可以在衬底上设置至少一个第一有源层和至少一个第二有源层的交替叠层。第一有源层可以用来限定第一器件的梳齿形结构的第二部分(即,纳米片),第二有源层可以用来限定第二器件的梳齿形结构的第二部分(即,纳米片)。对于第一器件而言,叠层中的第二有源层可以限定其纳米片之间的间隔(且因此可以被视为“牺牲层”);对于第二器件而言,叠层中的第一有源层可以限定其纳米片之间的间隔(且因此可以被视为“牺牲层”)。与常规技术中有源层与牺牲层在各器件区域之间一致不同,根据本公开的实施例,有源层与牺牲成在不同器件区域之间可以反转,并因此可以实现交错结构。

[0027] 另外,为了在最下方的有源层(例如,第一有源层)与衬底之间形成间隔,还可以在衬底上设置占位层,上述叠层可以形成在该占位层上。这些层可以通过外延生长来形成。

[0028] 可以在所述堆叠中形成沿第一方向延伸的第一沟槽,第一有源层(以及第二有源层)的侧壁在第一沟槽中露出。在第一沟槽的侧壁上可以形成与第一有源层的露出的侧壁相接的第三有源层。于是,横向延伸的第一有源层与竖直延伸的第三有源层一起构成第一梳齿形结构。第一沟槽可以进入衬底中,从而形成的第三有源层可以连接到衬底,类似于FinFET中与衬底连接的鳍片。类似地,可以在所述堆叠中形成在与第一方向相交(例如,垂直)的第二方向上第一沟槽间隔开且沿第一方向延伸的第二沟槽,第二有源层(以及第一有源层)的侧壁在第二沟槽中露出。在第二沟槽的侧壁上可以形成与第二有源层的露出的侧壁相接的第四有源层。于是,横向延伸的第二有源层与竖直延伸的第四有源层一起构成第二梳齿形结构。同样,第二沟槽可以进入衬底中,从而形成的第四有源层可以连接到衬底,类似于FinFET中与衬底连接的鳍片。如上所述,由于通过不同的有源层形成,第一梳齿形结构与第二梳齿形结构在竖直方向上是彼此交错的。

[0029] 当前,第一梳齿形结构与第二梳齿形结构彼此连接,且各自的纳米片之间填充了牺牲层。可以在第一沟槽与第二沟槽之间形成第三沟槽,以将第一梳齿形结构与第二梳齿形结构彼此分离。第三沟槽也可以沿第一方向延伸,从而在第一梳齿形结构和第二梳齿形结构各自的纳米片可以具有在第二方向上实质上一致的宽度。可以经由第三沟槽,分别从第一梳齿形结构中去除作为牺牲层的第二有源层以及从第二梳齿形结构中去除作为牺牲层的第一有源层,从而释放第一梳齿形结构和第二梳齿形结构各自的纳米片之间的间隔。

[0030] 可以分别以得到的第一梳齿形结构和第二梳齿形结构为基础继续完成半导体器件的制造。

[0031] 考虑随后形成的栅堆叠与衬底之间的电隔离,可以在衬底上形成隔离层。例如,可以经在第一沟槽、第二沟槽和第三沟槽各自的底部形成隔离层。可以根据不同器件区域中梳齿形结构的位置调整相应器件区域中隔离层顶面的位置。

[0032] 可以在隔离层上形成牺牲栅,并将其构图为沿第二方向延伸从而与梳齿形结构相交的条形。可以形成在第一方向上间隔开的多个条形牺牲栅,各条形牺牲栅与之下的梳齿形结构可以分别形成不同的半导体器件。可以牺牲栅为掩模对梳齿形结构进行构图,使其留于牺牲栅下方从而用作沟道部。在衬底上梳齿形结构在第一方向上的相对两侧,可以通过例如外延生长来形成与梳齿形结构相接的源/漏部。可以通过替代栅工艺,将牺牲栅替换为真正的栅堆叠。

[0033] 本公开可以各种形式呈现,以下将描述其中一些示例。在以下的描述中,涉及各种材料的选择。材料的选择除了考虑其功能(例如,半导体材料用于形成有源区,电介质材料

用于形成电隔离)之外,还考虑刻蚀选择性。在以下的描述中,可能指出了所需的刻蚀选择性,也可能并未指出。本领域技术人员应当清楚,当以下提及对某一材料层进行刻蚀时,如果没有提到其他层也被刻蚀或者图中并未示出其他层也被刻蚀,那么这种刻蚀可以是选择性的,且该材料层相对于暴露于相同刻蚀配方中的其他层可以具备刻蚀选择性。

[0034] 图1至24示出了根据本公开实施例的制造半导体装置的流程中部分阶段的示意图。

[0035] 如图1所示,提供衬底1001。该衬底1001可以是各种形式的衬底,包括但不限于体半导体材料衬底如体Si衬底或Ge衬底、绝缘体上半导体(SOI)衬底、化合物半导体衬底如SiGe衬底或III-V族半导体衬底等。在以下的描述中,为方便说明,以体Si衬底为例进行描述。

[0036] 在衬底1001中,可以形成阱区。如果要形成p型器件,则阱区可以是n型阱;如果要形成n型器件,则阱区可以是p型阱。在本示例中,以形成n型器件和p型器件两者为例进行描述,例如,分别在图中衬底的左侧区域上形成n型器件(因此,图中的左侧区域可以称作“第一器件区域”或“n型器件区域”)而在衬底的右侧区域上形成p型器件(因此,图中的右侧区域可以称作“第二器件区域”或“p型器件区域”),因此需要形成两种导电类型的阱,例如,分别在第一器件区域中形成p型阱而在第二器件区域中形成n型阱。另外,考虑到器件(例如,p型器件)隔离的要求,其中一个阱(例如,n型阱)可以延伸到之后在衬底上形成的占位层(例如,随后描述的占位层1005)中,因此该阱可以在形成该占位层之后再形成。于是,在此可以先在衬底的左侧区域中形成例如p型的阱1003。

[0037] 在衬底1001上,可以通过例如外延生长,形成占位层1005。占位层1005可以限定随后将要形成的例如用作(n型)器件沟道部的纳米片与衬底之间的间隔,厚度为例如约3nm-15nm。在衬底1001上形成占位层1005之后,如上所述可以在衬底1001和第一有源层1005的右侧区域中形成例如n型的阱1007。

[0038] 阱1003、1007例如可以通过向衬底1001(以及占位层1005)中注入相应导电类型的掺杂剂(p型掺杂剂如B或BF₂,或n型掺杂剂如As或P)且随后进行热退火来形成。阱中的掺杂浓度可以为约1E16-1E19cm⁻³。为形成本示例中的局域化阱,在注入掺杂剂时可以利用例如光刻胶等遮蔽不需要注入的区域。本领域存在多种方式来设置这种阱区,在此不再赘述。

[0039] 在该示例中,阱1003的底部高于阱1007的底部。这是由于例如它们是以大致相同的注入能量但从不同高度的表面进行注入(阱1003从衬底1001的表面注入,而阱1007从占位层1005的表面注入)而形成的。但是,本公开不限于此。取决于注入能量,阱1003和阱1007各自底部的高度可以大致相同,或者阱1007的底部甚至深于阱1003的底部。

[0040] 在该示例中,同时形成p型器件和n型器件,且p型器件和n型器件彼此邻接(随后可以形成互补金属氧化物半导体(CMOS)配置),因此形成了邻接的n型阱和p型阱。但是,本公开不限于此。例如,可以形成单一导电类型的器件,或者不同导电类型的器件可以并不彼此邻接,而是分别形成在分离的区域中。

[0041] 在占位层1005上,可以通过例如外延生长,形成第一有源层1009、1013和第二有源层1011、1015的交替叠层。这些有源层随后可以形成例如用作器件沟道部的纳米片,厚度为例如约3nm-15nm。在生长这些有源层时,可以进行原位掺杂,以调节器件阈值。该交替叠层中第一有源层和第二有源层的数目可以根据器件设计而改变,例如可以更多或更少。另外,

该叠层中第一有源层的数目和第二有源层的数目不必相同,而是可以不同。

[0042] 衬底1001以及之上形成的上述各层中相邻的层相对于彼此可以具有刻蚀选择性。例如,占位层1005以及第二有源层1011、1015可以包括SiGe (例如,Ge原子百分比为约15%-70%),第一有源层1009、1013可以包括Si。为便于后继处理,占位层1005以及第二有源层1011、1015可以具有相同或相似的刻蚀选择性,例如具有相同或相似的Ge原子百分比,以便能够通过相同的刻蚀配方来刻蚀。衬底1001上通过外延生长形成的各层可以是单晶半导体材料。

[0043] 在该示例中,第一有源层1009、1013包括Si,随后可以用作n型器件的沟道部,第二有源层1011、1015包括SiGe,随后可以用作p型器件的沟道部。但是,本公开不限于此。例如,第一有源层1009、1013可以包括III-V族化合物半导体材料,随后可以用作n型器件的沟道部;第二有源层1011、1015可以包括Ge,随后可以用作p型器件的沟道部。这种情况下,衬底1001可以是Ge衬底,因为有利于生长高质量或低缺陷的Ge/III-V族多层半导体结构。

[0044] 如图2所示,在上述叠层上,可以通过例如淀积,形成硬掩模层1019。例如,硬掩模层1019可以包括氮化物(例如,氮化硅),厚度为约20nm-100nm。在淀积氮化物的硬掩模层1019之前,还可以通过例如淀积,形成一薄的例如氧化物(例如,氧化硅)或其他材料的刻蚀停止层1017。

[0045] 在本示例中,对于左侧的器件(例如,n型器件),第一有源层1009、1013(在该示例中,Si)随后将形成例如用作沟道部的纳米片;而对于右侧的器件(例如,p型器件),第二有源层1011、1015(在该示例中,SiGe,这有利于空穴的迁移率)随后将形成例如用作沟道部的纳米片。在第一器件区域中,为避免随后形成的鳍片(参见图6中的1029,特别是其竖直延伸部分)延伸超出最上方的纳米片而在最终形成的梳齿形结构中具有尖端(这在结构上是不稳定的,而且还会导致第一器件区域和第二器件区域中的梳齿形结构不对称),可以去除最上方的第一有源层1013之上的其他半导体层(如果有的话,在该示例中,为第二有源层1015),因为随后鳍片的生长也会发生在这些半导体层上,从而导致得到的鳍片超出最上方的第一有源层1013。在第二器件区域中,由于随后将形成纳米片的第二有源层1015当前已经是最上方的半导体层,故而不需要这种处理。当然,根据叠层中第一有源层和第二有源层的不同堆叠配置,这种处理可以发生在第二器件区域而不是发生在第一器件区域中(例如,在叠层中的最上层是第一有源层时)。

[0046] 为此,可以形成遮蔽层例如光刻胶1021,以遮蔽第二器件区域,并露出第一器件区域。然后,如图3所示,可以光刻胶1021作为刻蚀掩模,依次对硬掩模层1019、刻蚀停止层1017和第二有源层1015进行选择性刻蚀如反应离子刻蚀(RIE),RIE可以停止于第一有源层1013。于是,在第一器件区域中,第一有源层1013成为最上方的半导体层。之后,可以去除光刻胶1021。

[0047] 由于上述处理,硬掩模层当前在第一器件区域中缺损。为便于以下构图,如图4所示,可以在第一器件区域中形成硬掩模层1025(例如,氮化物)。类似地,在形成硬掩模层1025之前,可以形成刻蚀停止层1023(例如,氧化物)。关于刻蚀停止层1023和硬掩模层1025,可以参见以上结合图2的说明,在此不再赘述。另外,可以进行平坦化处理例如化学机械抛光,使得硬掩模层1019、1025的顶面实质上平坦。

[0048] 如上所述,在该示例中,针对不同类型的器件使用不同的有源材料,以便优化器件

性能。因此,在该示例中,针对不同类型的器件,可以分别形成将它们各自的纳米片相连接(从而形成梳齿形结构)的鳍片。也即,形成鳍片的处理可以针对不同类型的器件分别进行。

[0049] 例如,可以先针对第一器件区域进行形成鳍片的处理。如图4所示,可以形成遮蔽层如光刻胶1027,以遮蔽第二器件区域,并遮蔽第一器件区域中随后将形成纳米片的区域,而露出第一器件区域中用来形成鳍片的区域。然后,如图5所示,可以光刻胶1027为刻蚀掩模,对下方的各层依次进行选择性刻蚀如RIE,从而形成沟槽T1。沟槽T1可以沿第一方向(例如,图中垂直于纸面的方向)延伸。在此,考虑到例如散热性能等,沟槽T1可以进入衬底1001特别是其中的阱1003中,从而随后形成的鳍片可以与衬底1001相连接。形成沟槽T1的RIE可以沿竖直方向进行,从而沟槽T1可以具有竖直的侧壁,且第一有源层1009、1013的侧壁在沟槽T1中露出。之后,可以去除光刻胶1027。

[0050] 在沟槽T1的竖直侧壁上,可以形成鳍片。例如,如图6所示,可以通过例如选择性外延生长,在沟槽T1中露出的半导体层表面上形成第三有源层1029。由于选择性外延生长,第三有源层1029可以形成在所述叠层的竖直侧壁以及衬底1001的表面上。第三有源层1029的竖直部分随后可以形成用作器件沟道部的鳍片,厚度为例如约3nm-15nm。与常规FinFET中鳍片的厚度通常由刻蚀工艺决定不同,根据本公开实施例的第三有源层1029(即,鳍片)的厚度可以通过外延生长工艺决定,因此可以更好地控制鳍片的厚度。在该示例中,第三有源层1029与第一有源层1009、1013随后将一起形成沟道部,因此可以包括与第一有源层1009、1013相同的材料如Si,并且它们的厚度可以实质上相同。但是本公开不限于此。

[0051] 如上所述,由于在第一器件区域中去除了最上方的第二有源层1015,第三有源层1029的顶面可以与最上方的第一有源层1013的顶面实质上齐平,而不会超出最上方的第一有源层1013的顶面从而形成尖端。当然,在某些实施例中也可能形成这样的尖端,而不影响下述制造工艺的进行。

[0052] 另外,为抑制漏电流,可以在第三有源层1029(的竖直部分)的下部(即,第三有源层1029中用作沟道的部分之下的部分)中形成穿通阻止部(PTS)(参见图16中示出的1053)。

[0053] PTS可以通过对第三有源层1029的下部进行与器件的导电类型相反的导电类型的掺杂来实现。这种掺杂例如可以通过固相掺杂来实现。例如,如图6所示,可以通过例如侧墙(spacer)形成工艺,形成第一掺杂剂源层1031。例如,第一掺杂剂源层1031可以是包含浓度为约0.1%-5%的p型掺杂剂如硼(B)的氧化物层,厚度为约1nm-3nm。侧墙形成工艺可以包括大致共形淀积侧墙材料层,对淀积的侧墙材料层进行各向异性刻蚀如沿竖直方向的RIE。根据另一实施例,还可以在侧墙形式的第一掺杂剂源层1031外侧形成侧墙形式的扩散阻挡层如氮化物。

[0054] 之后,可以通过电介质材料如氧化物的填充物1033,填充沟槽T1,以避免在对第二器件区域进行处理时影响到沟槽T1中露出的各层。

[0055] 可以类似地对第二器件区域进行形成鳍片的处理。

[0056] 例如,如图7所示,可以形成遮蔽层如光刻胶1035,以遮蔽第一器件区域,并遮蔽第二器件区域中随后将形成纳米片的区域,而露出第二器件区域中用来形成鳍片的区域。可以光刻胶1035为刻蚀掩模,对下方的各层依次进行选择性刻蚀如RIE,从而形成沟槽T2。沟槽T2也可以沿第一方向(例如,图中垂直于纸面的方向)延伸。同样,沟槽T2可以进入衬底1001特别是其中的阱1007中。沟槽T2可以具有竖直的侧壁,且第二有源层1011、1015的侧壁

在沟槽T2中露出。之后,可以去除光刻胶1035。

[0057] 在沟槽T2的竖直侧壁上,可以形成鳍片。例如,如图8所示,可以通过例如选择性外延生长,在沟槽T2中露出的半导体层表面上形成第四有源层1037。第四有源层1037的竖直部分随后可以形成用作器件沟道部的鳍片,厚度为例如约3nm-15nm。如上所述,根据本公开实施例的第四有源层1037(即,鳍片)的厚度可以通过外延生长工艺决定,因此可以更好地控制鳍片的厚度。同样,在该示例中,第四有源层1037与第二有源层1011、1015随后将一起形成沟道部,因此可以包括与第二有源层1011、1015相同的材料如SiGe(Ge原子百分比相同或相似),并且它们的厚度可以实质上相同。但是本公开不限于此。

[0058] 在第二器件区域中,第二有源层1015是最上方的半导体层,因此第四有源层1037的顶面可以与最上方的第二有源层1015的顶面实质上齐平,而不会超出最上方的第二有源层1015的顶面从而形成尖端。

[0059] 同样地,为抑制漏电流,可以在第四有源层1037(的竖直部分)的下部(即,第四有源层1037中用作沟道的部分之下的部分)中形成PTS(参见图16中示出的1055)。为此,可以通过侧墙形成工艺,形成第二掺杂剂源层1039。例如,第二掺杂剂源层1039可以是包含浓度为约0.1%-5%的n型掺杂剂如砷(As)或磷(P)的氧化物层,厚度为约1nm-3nm。类似地,还可以在侧墙形式的第二掺杂剂源层1039外侧形成侧墙形式的扩散阻挡层如氮化物。

[0060] 之后,可以在沟槽T2中形成填充物1041,以避免在后继处理时影响到沟槽T2中露出的各层。填充物1041可以与填充物1033在随后被相同的刻蚀配方刻蚀(例如,用以形成隔离层),例如包括相同的材料如氧化物。

[0061] 如图8所示,当前在第一器件区域中,第一有源层1009、1013与第三有源层1029已经形成了梳齿形结构;且在第二器件区域中,第二有源层1011、1015与第四有源层1037已经形成了梳齿形结构。这两个梳齿形结构当前彼此连接。可以在这两个区域之间实现这两个梳齿形结构之间的分离。

[0062] 例如,如图9所示,可以形成遮蔽层如光刻胶1043,以分别遮蔽第一器件区域和第二器件区域,而露出它们之间的区域。可以光刻胶1043为刻蚀掩模,对下方的各层依次进行选择刻蚀如RIE,从而形成沟槽T3。沟槽T3也可以沿第一方向延伸,从而在沟槽T1与沟槽T3之间限定宽度实质上一致的纳米片,且在沟槽T2与沟槽T3之间限定宽度实质上一致的纳米片。在此,形成沟槽T3的刻蚀可以停止于占位层1005。通过沟槽T3,实现了两个器件之间的分离。此外,沟槽T3还形成了用于去除梳齿形结构中梳齿之间的材料层(例如,第一器件区域中的第二有源层,第一器件区域中的第一有源层)的加工通道。之后,可以去除光刻胶1043。

[0063] 由于两个器件区域中材料层之间的互补关系(在第一器件区域中,第一有源层用作沟道部,而第二有源层用来限定第一有源层之间的间隔并需要去除;在第二器件区域中,第二有源层用作沟道部,而第一有源层用来限定第二有源层之间的间隔并需要去除),可以对两个器件区域分别进行这种去除处理,并在对其中一个器件进行去除处理时,需要通过保护层来遮蔽或保护另一器件区域中的相关层。

[0064] 例如,如图10所示,可以通过例如侧墙形成工艺,在沟槽T3的侧壁上形成保护层1043,例如厚度为约1nm-5nm的SiC膜。之后,如图11所示,可以结合光刻,去除第二器件区域中的保护层1043。于是,保护层1043留于第一器件区域中,并覆盖第一有源层1009、1013的

侧壁。在第二器件区域中,第一有源层1009、1013的侧壁可以通过沟槽T3露出。可以相对于第二有源层1011、1015(以及占位层1005),通过选择性刻蚀例如利用TMAH溶液的湿法刻蚀,将第一有源层1009、1013从第二器件区域中去除。

[0065] 如图11所示,当前在第二器件区域中,第二有源层1011、1015(纳米片)与第四有源层1037(特别是其竖直部分,即,鳍片)构成了梳齿形结构。通过调节沟槽T3与沟槽T2之间的间隔,可以调节纳米片的宽度,并因此可以调节最终形成的器件的电流驱动能力。根据实施例,可以通过选择性刻蚀,使第二有源层1011、1015与第四有源层1037减薄,以改进器件性能例如抑制短沟道效应。为更好地控制刻蚀量,可以采用原子层刻蚀(ALE)。

[0066] 可以在第二器件区域中由于第一有源层1009、1013的去除而形成的空隙中形成填充物(参见图12),以在后继处理中为第二有源层1011、1015供结构支撑。填充可以通过淀积然后回蚀来实现。在回蚀过程中,可以去除保护层1043。在此,填充物和保护层1043可以通过相同的刻蚀配方来刻蚀,例如包括相同的材料如SiC。

[0067] 在此,占位层1005的存在可以保护衬底1001(在该示例中,与第一有源层1009、1013同为Si)免受影响。这也是在该示例中先在第二器件区域中进行去除处理的原因。但是,本公开不限于此,特别是在第一有源层1009、1013相对于衬底具有刻蚀选择性的情况下。

[0068] 之后,可以类似地对第一器件区域进行去除处理。

[0069] 在此,考虑到在第一器件区域中可以去除占位层1005(以便在最下方的第一有源层1009之下留出空间,从而随后可以形成围绕第一有源层1009的栅堆叠),可以将沟槽T3加深以露出占位层1005的侧壁从而可以更好地将之去除。具体地,在存在硬掩模1019、1025的情况下,可以通过选择性刻蚀如RIE,加深沟槽T3。加深沟槽T3的RIE可以停止于衬底1001或者可以进入衬底1001特别是其中的阱1003、1007中。然后,如以上结合图10和11所述,可以类似地在第二器件区域中沟槽T3的侧壁上形成保护层例如SiC,该保护层与之前填充在第二有源层1011、1015之间的间隙中的填充物一起被示出为1045,如图12所示。之后,可以相对于第一有源层1009、1013(以及衬底1001),通过选择性刻蚀,将第二有源层1011以及占位层1005从第一器件区域中去除。

[0070] 如图12所示,当前在第一器件区域中,第一有源层1009、1013(纳米片)与第三有源层1029(特别是其竖直延伸部分,即,鳍片)构成了梳齿形结构。通过调节沟槽T3与沟槽T1之间的间隔,可以调节纳米片的宽度,并因此可以调节最终形成的器件的电流驱动能力。类似地,可以通过选择性刻蚀如ALE,使第一有源层1009、1013与第三有源层1029减薄,以改进器件性能例如抑制短沟道效应。

[0071] 如上所述,由于两个器件区域中的材料层互为互补关系,因此第一器件区域中梳齿形结构的梳齿部分可以对准于第二器件区域中梳齿形结构的梳齿部分之间的间隔,反之亦然。

[0072] 如图13所示,可以在第一器件区域中由于第二有源层1011以及占位层1005的去除而形成的空隙中形成填充物1047,以在后继处理中为第一有源层1009、1013提供结构支撑。在此,为便于后继替代栅工艺的进行,填充物1047可以与第二器件区域中的填充物(在图12中标示为1045)能够通过相同的刻蚀配方来去除,例如包括相同的材料如SiC。填充可以通过淀积然后回蚀来实现。在回蚀过程中,如图12所示形成在沟槽T3侧壁上的保护层可以被

去除。

[0073] 另外,可以在沟槽T3中形成填充物1049。填充物1049可以与之前的填充物1033、1041在随后被相同的刻蚀配方刻蚀(例如,用以形成隔离层),例如包括相同的材料如氧化物。在形成填充物1049时可以进行平坦化处理如CMP(CMP可以停止于硬掩模层1019、1025),从而填充物1033、1041、1049可以具有实质上平坦的顶面。

[0074] 如图14所示,可以通过对填充物1033、1041、1049进行回蚀如RIE,来形成隔离层。由于如上所述填充物1033、1041、1049可以具有实质上平坦的顶面,它们在回蚀后的顶面也可以实质上平坦。在该示例中,由于两个器件各自的有源层在高度上有差异,因此它们周围的隔离层可以具有不同的顶面高度。在此,作为第二器件区域中最下方纳米片的第二有源层1011高于作为第一器件区域中最下方纳米片的第一有源层1009,于是第二器件区域中隔离层的顶面可以高于第一器件区域中隔离层的顶面,因此在此先限定第二器件区域中隔离层的顶面(因为从上往下刻蚀)。例如,回蚀后隔离层的顶面可以低于第二有源层1011的底面,但高于占位层1005的顶面,也即,在第一有源层1009的顶面与底面之间。这主要是为了考虑随后通过隔离层(更具体地,填充物1041)限定的PTS(参见图16中示出的1055)及随后在隔离层上形成的栅堆叠的位置。如果隔离层(更具体地,填充物1041)的顶面高于第二有源层1011的底面,则所形成的PTS(参见图16中示出的1055)的顶面可以高出第二有源层1011的底面。如果隔离层(更具体地,填充物1041)的顶面低于占位层1005的顶面,则对于第四有源层1055中低于占位层1005顶面的部分而言,仅能够在左侧(图中右侧)形成栅堆叠(在图中左侧由于占位层1005的存在无法形成栅堆叠)。这些对于器件性能而言都是不利的。

[0075] 另外,第一掺杂剂源层1031和第二掺杂剂源层1039(在此,与隔离层均为氧化物)也可以被回蚀,从而它们的顶面与隔离层的顶面基本上齐平。

[0076] 如上所述,在第一器件区域中隔离层的顶面可以相对较低。例如,如图15所示,可以通过遮蔽层如光刻胶1051,遮蔽填充物1041,并进一步回蚀填充物1033、1049。于是,在第一器件区域(以及两个器件区域之间的区域)中隔离层的顶面降低,并且基于上述同样的理由,可以低于第一器件区域中最下方的第一有源层1011的底面且高于衬底1001的顶面,也即,在占位层1005的顶面与底面之间。同样地,第一器件区域中第一掺杂剂源层1031也可以被回蚀,从而其顶面与第一器件区域中隔离层的顶面基本上齐平。之后,可以去除光刻胶1051。

[0077] 在第一器件区域和第二器件区域中限定了隔离层之后,可以形成PTS。如图16所示,可以通过例如退火处理,将掺杂剂源层1031、1039中的掺杂剂驱入第三有源层1029、第四有源层1037中,并在第三有源层1029、第四有源层1037中分别形成PTS 1053、1055。由于上述处理,掺杂剂源层1031、1039的顶面与隔离层的顶面基本齐平,从而形成的PTS 1053、1055的顶面可以在隔离层的顶面附近,或者由于例如向上的扩散而略微超出隔离层的顶面。第三有源层1029、第四有源层1037中位于隔离层顶面上方特别是位于PTS 1053、1055的顶面上方的部分可以用作沟道部。

[0078] 根据其他实施例,可以不使用固相掺杂技术,即不需要形成掺杂剂源层1031、1039(它们当前的位置将被隔离层占据)。可以向着隔离层进行离子注入,注入到隔离层中的离子可以被散射进入第三有源层1029、第四有源层1037中与隔离层邻接的部分中。对于第一

器件区域和第二器件区域,可以分别进行这种离子注入。之后,可以通过退火激活注入的掺杂剂。

[0079] 接下来,可以进行替代栅工艺。

[0080] 为方便替代栅工艺的进行,如图17所示,可以通过遮蔽层如光刻胶1057,遮蔽第一器件区域和第二器件区域中的隔离层(更具体地,填充物1033、1041),并露出这两个器件区域之间的隔离层(更具体地,填充物1049)。可以对露出的隔离层进行回蚀如RIE,以充分露出当前填充在各有源层之间的填充物1045、1047。例如,回蚀后隔离层的顶面可以在最下方的填充物1047的底面(即,占位层1005的底面)下方。之后,可以去除光刻胶1057。

[0081] 在隔离层上,可以形成牺牲栅。在形成牺牲栅之前,可以通过选择性刻蚀如RIE,去除梳齿形结构顶面上的刻蚀停止层1017和硬掩模层1019,从而随后形成的牺牲栅可以围绕梳齿形结构。之后,可以在隔离层上通过淀积,形成牺牲栅。例如,可以通过选择性刻蚀将填充物1045、1047去除,并形成围绕梳齿形结构的牺牲栅。为简化工艺,如图18(a)、18(b)和18(c)所示,可以在隔离层上淀积与填充物1045、1047相同或相似的材料(随后可以通过相同的刻蚀配方来刻蚀,以便替换为栅堆叠),并与填充物1045、1047一起构成牺牲栅(一体示出为1059)。

[0082] 可以将牺牲栅1059构图为沿与第一方向相交(例如,垂直)的第二方向(例如,图18(c)的俯视图中纸面内的水平方向)延伸的条形。例如,在牺牲栅1059上,可以形成光刻胶1061,并将其构图为沿第二方向延伸的条形。可以光刻胶1061作为刻蚀掩模,通过选择性刻蚀如RIE依次对牺牲栅1059、各有源层进行刻蚀。刻蚀可以停止于隔离层。于是,牺牲栅1059可以被构图为沿第二方向延伸的条状。之后,可以去除光刻胶1061。

[0083] 可以在牺牲栅1059的侧壁上形成栅侧墙。例如,如图19所示,可以通过选择性刻蚀,使牺牲栅1059(相对于梳齿形结构)在第一方向上凹入一定深度,例如凹入约2nm-7nm。为了控制凹入深度,可以采用ALE。在如此形成的凹入内,可以填充电介质材料,以形成栅侧墙1063。这种填充例如可以通过淀积约3nm-10nm厚的氮化物,然后对淀积的氮化物进行RIE(直至暴露梳齿形结构的侧壁)来形成。

[0084] 根据这种工艺,栅侧墙1063可以自对准地形成在牺牲栅1059的侧壁上,而不会形成在梳齿形结构的侧壁上。栅侧墙1063可以具有实质上均匀的厚度,该厚度例如取决于上述凹入的深度。另外,栅侧墙1063的外侧壁与第一、第二有源层的外侧壁可以基本上竖直对准,栅侧墙1063的内侧壁可以在竖直方向上基本对准(通过在形成凹入时控制各处的刻蚀深度基本相同来实现)。

[0085] 之后,可以在牺牲栅1059两侧形成与梳齿形结构的侧壁相接的源/漏部。

[0086] 如图20(a)和20(b)所示,可以通过例如选择性外延生长,分别在第一器件区域和第二器件区域中形成第一源/漏部1065和第二源/漏部1067。第一源/漏部1065和第二源/漏部1067可以分别从暴露的梳齿形结构的侧壁生长。生长的第一源/漏部1065和第二源/漏部1067分别与梳齿形结构的侧壁相接。第一源/漏部1065和第二源/漏部1067在生长时可以被原位掺杂为与所要形成的器件相应的导电类型,例如,第一源/漏部1065可以被掺杂为n型,第二源/漏部1067可以被掺杂为p型,掺杂浓度可以为约 $1E19-1E21\text{cm}^{-3}$ 。

[0087] 生长的第一源/漏部1065和第二源/漏部1067可以具有分别与相应的梳齿形结构不同的材料(例如,具有不同的晶格常数),以便向梳齿形结构施加应力。例如,第一源/漏部

1065可以包括Si:C(C原子百分比例如为约0.05%-2%),第二源/漏部1067可以包括SiGe(Ge原子百分比例如为约20%-70%)。在该示例中,在衬底上同时形成n型器件和p型器件,可以针对n型器件和p型器件分别生长源/漏部。在生长一种类型器件的源/漏部时,可以通过遮蔽层例如光刻胶等来遮蔽另一种类型的器件区域。当然,第一源/漏部1065和第二源/漏部1067也可以包括相同的材料如Si。

[0088] 根据本公开的其他实施例,在生长源/漏部之前,可以对梳齿形结构进行一定程度(例如,约2nm-5nm)的回蚀。这样,生长的(掺杂)半导体层可以进入由于梳齿形结构的回蚀而导致的空间(与牺牲栅且因此与随后替代牺牲栅的栅堆叠相交迭)中,有助于改善器件性能。

[0089] 在条形的牺牲栅之间,除了生长的源/漏部之外,还存在着间隙,在这些间隙中可以填充电介质材料以形成层间电介质层。例如,如图21所示,可以通过例如淀积然后平坦化(可以停止于栅侧墙1063),来形成层间电介质层1069。例如,层间电介质层1069可以包括氧化物。

[0090] 接下来,可以将牺牲栅1059替换为栅堆叠,以完成器件制造。

[0091] 例如,如图22(a)和22(b)所示,可以通过选择性刻蚀,去除牺牲栅1059,从而在栅侧墙1063内侧形成栅槽,可以在栅槽中形成栅堆叠。例如,可以在栅槽中依次淀积栅介质层1071和栅导体层1073。栅介质层1071可以大致共形的方式形成,厚度例如为约2nm-5nm,且可以包括高k栅介质如 HfO_2 。在形成高k栅介质之前,还可以形成界面层,例如通过氧化工艺或淀积如原子层淀积(ALD)形成的氧化物,厚度为约0.2-2nm。栅导体层1073可以包括功函数调节金属如TiN、TaN等和栅导电金属如W等。可以对淀积的栅介质层1071和栅导体层1073进行平坦化处理如CMP,使其留于栅槽之内。

[0092] 在该示例中在衬底上同时形成p型器件和n型器件,它们各自的栅堆叠可以分别形成,例如它们各自具有不同的功函数。例如,以上形成的栅导体层1073具有适于n型器件的有效功函数。可以通过遮蔽层如光刻胶遮蔽第一器件区域,去除第二器件区域中的栅导体层1073(也可以去除栅介质层1071)。然后,如图23所示,在第二器件区域中形成针对p型器件的栅导体层1075(在去除栅介质层1071的情况下,还另外形成栅介质层)。

[0093] 如图23所示,当前p型器件和n型器件各自的栅导体层彼此连接,从而它们可以构成CMOS配置。另外,可以根据布局设计,对栅导体层进行调整。

[0094] 例如,如图24所示,可以利用光刻胶,将n型器件的栅导体层1073与p型器件的栅导体层1075彼此分离,以实现它们之间的电隔离。在由于栅导体层的调整而导致的空隙中,可以填充电介质材料1077如氧化物,以实现电隔离。

[0095] 如图中的虚线圈所示,鳍片靠近PTS的部分在两侧均有栅堆叠,从而这一部分可以被栅堆叠从两侧控制,并因此能够获得更好的导通和关断电流控制。这也是进行上述隔离层顶面高度调整的一个原因所在。

[0096] 根据本公开实施例的半导体装置可以应用于各种电子设备。例如,可以基于这样的半导体装置形成集成电路(IC),并由此构建电子设备。因此,本公开还提供了一种包括上述半导体装置的电子设备。电子设备还可以包括与集成电路配合的显示屏幕以及与集成电路配合的无线收发器等部件。这种电子设备例如智能电话、计算机、平板电脑(PC)、可穿戴智能设备、移动电源等。

[0097] 根据本公开的实施例,还提供了一种芯片系统(SoC)的制造方法。该方法可以包括上述方法。具体地,可以在芯片上集成多种器件,其中至少一些是根据本公开的方法制造的。

[0098] 在以上的描述中,对于各层的构图、刻蚀等技术细节并没有做出详细的说明。但是本领域技术人员应当理解,可以通过各种技术手段,来形成所需形状的层、区域等。另外,为了形成同一结构,本领域技术人员还可以设计出与以上描述的方法并不完全相同的方法。另外,尽管在以上分别描述了各实施例,但是这并不意味着各个实施例中的措施不能有利地结合使用。

[0099] 以上对本公开的实施例进行了描述。但是,这些实施例仅仅是为了说明的目的,而并非为了限制本公开的范围。本公开的范围由所附权利要求及其等价物限定。不脱离本公开的范围,本领域技术人员可以做出多种替代和修改,这些替代和修改都应落在本公开的范围之内。

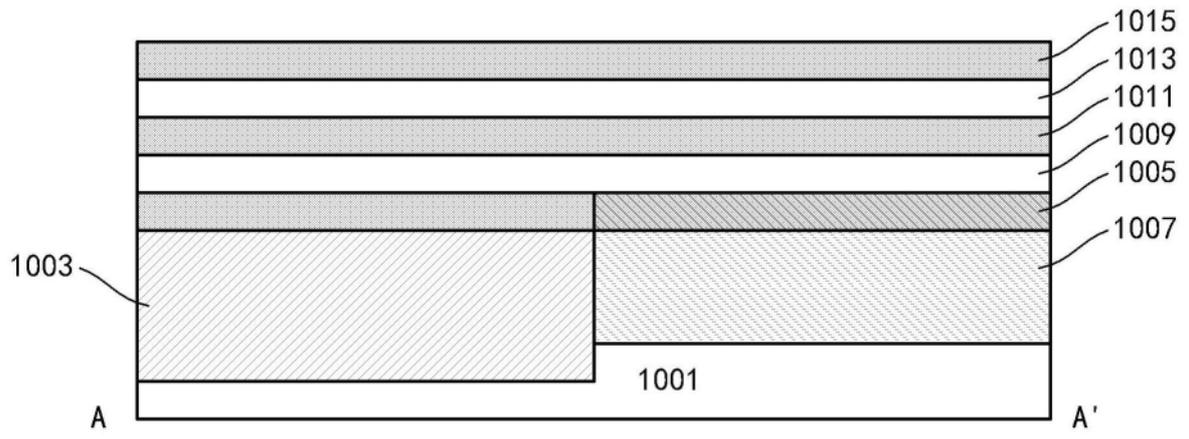


图1

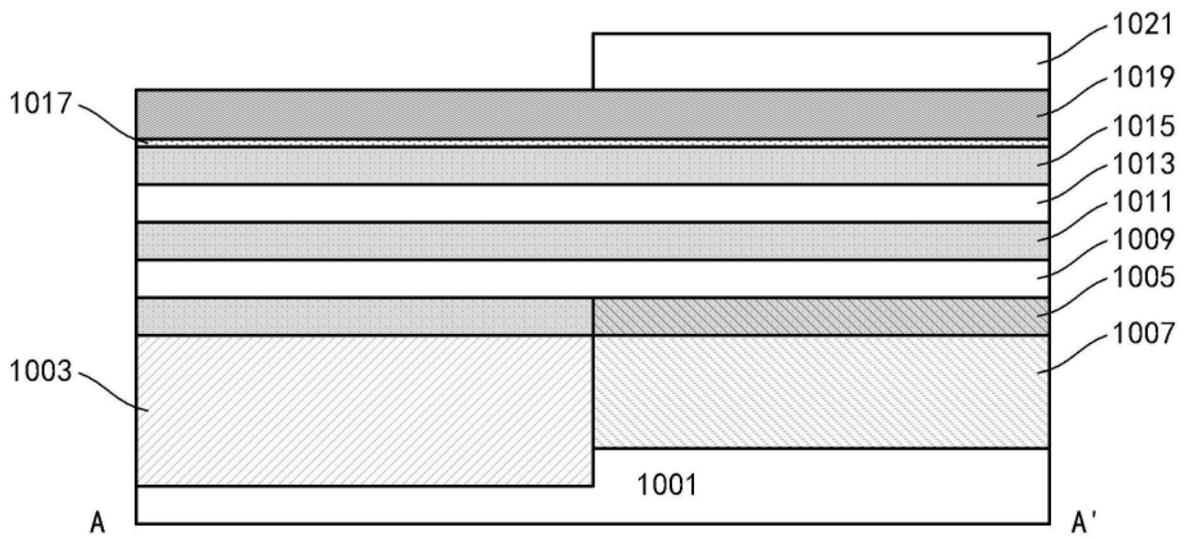


图2

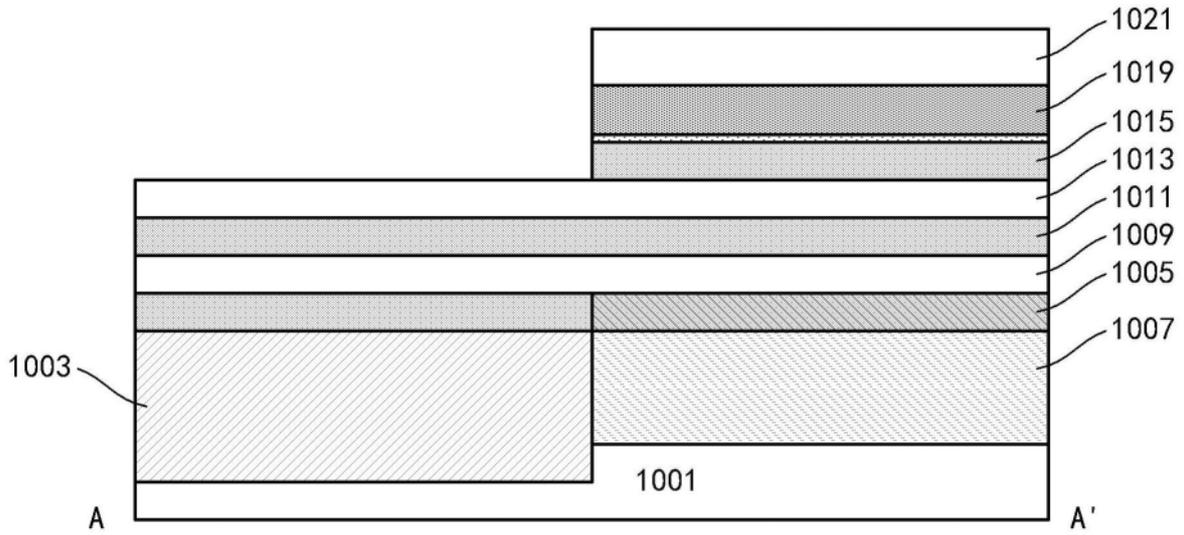


图3

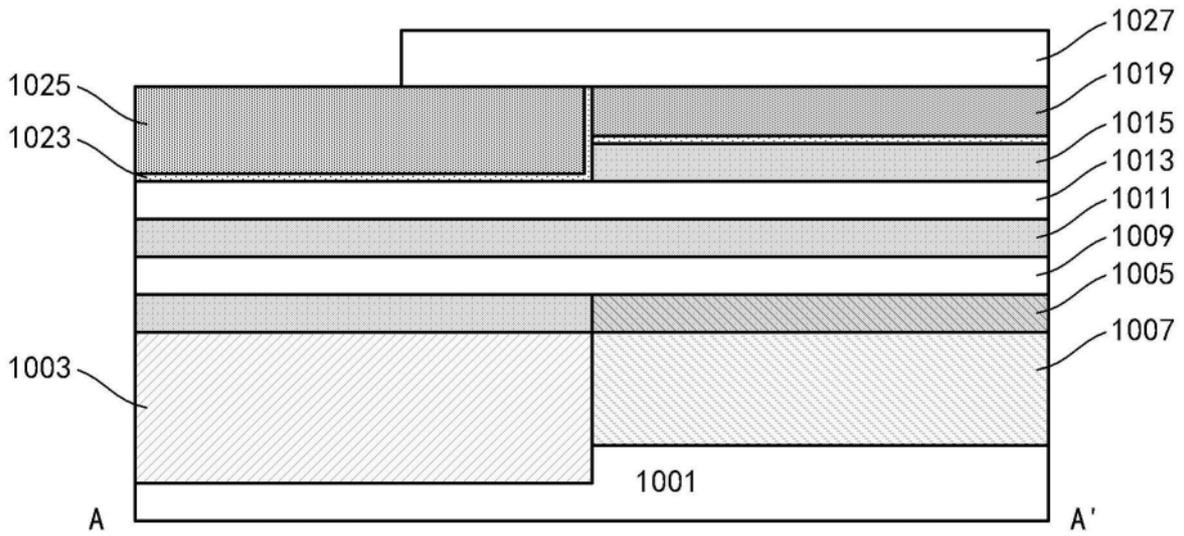


图4

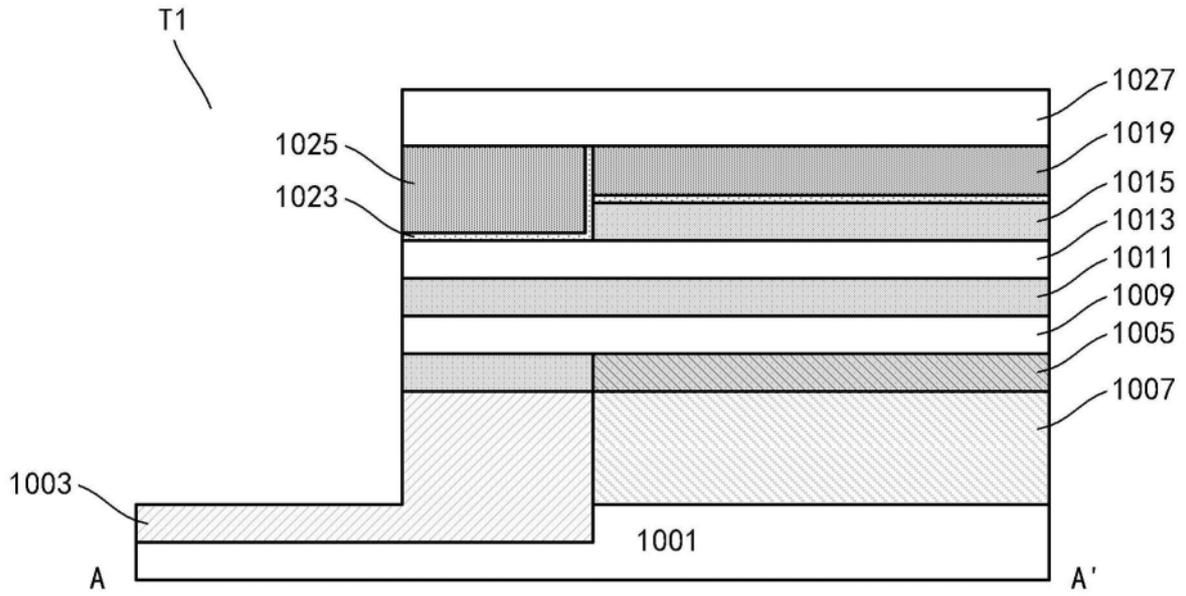


图5

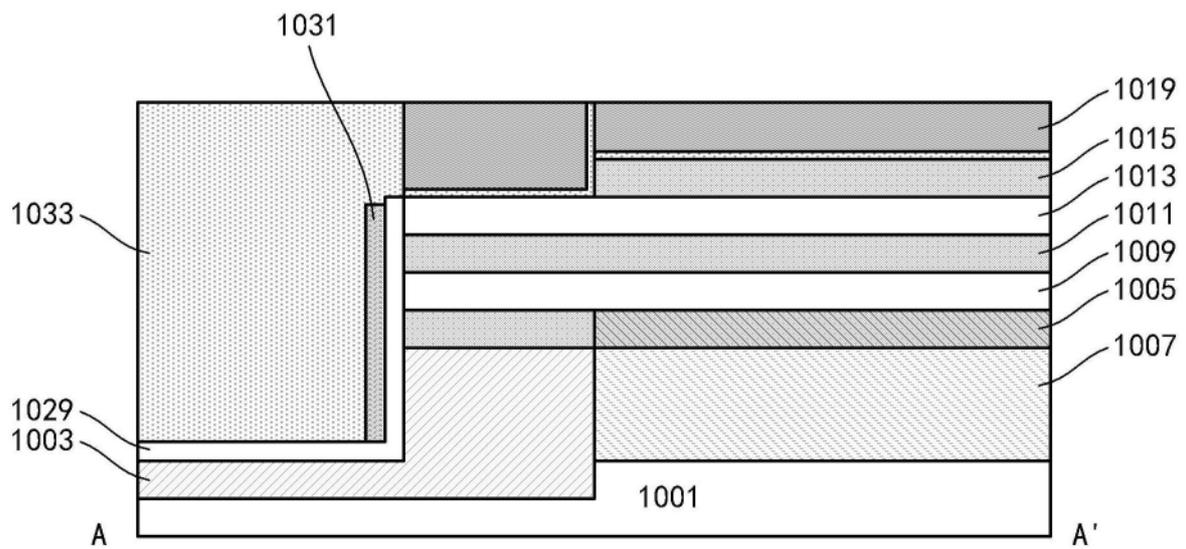


图6

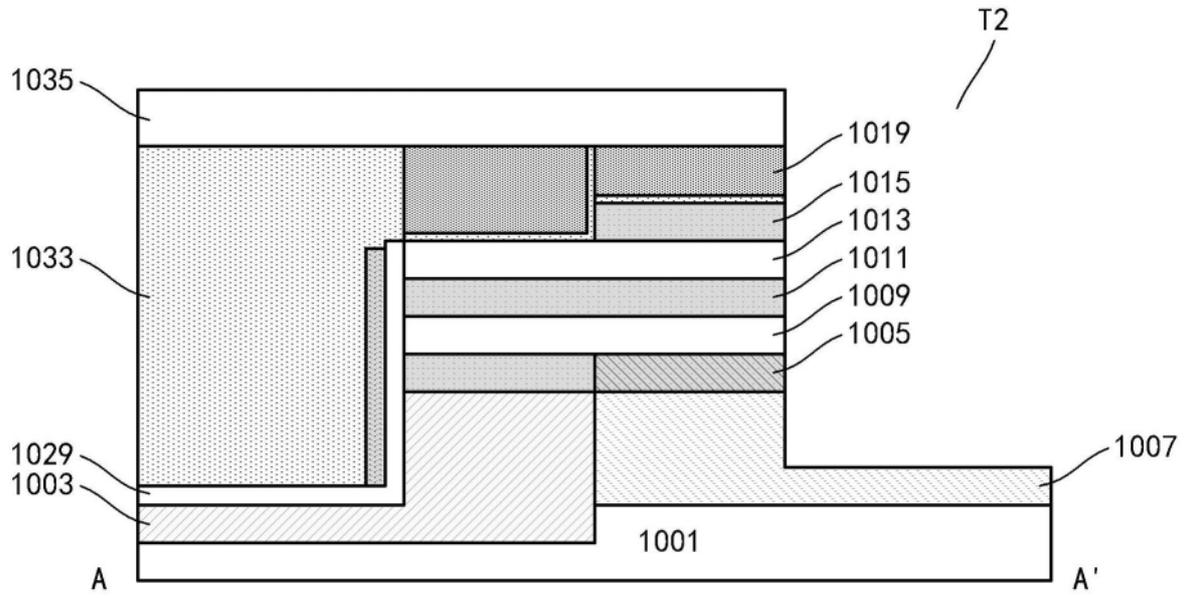


图7

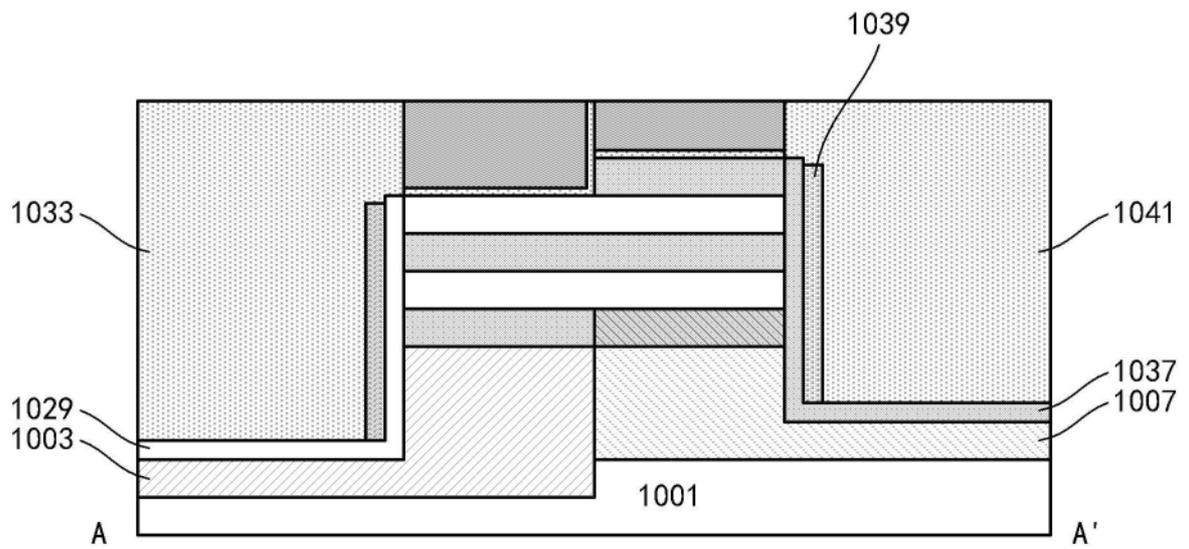


图8

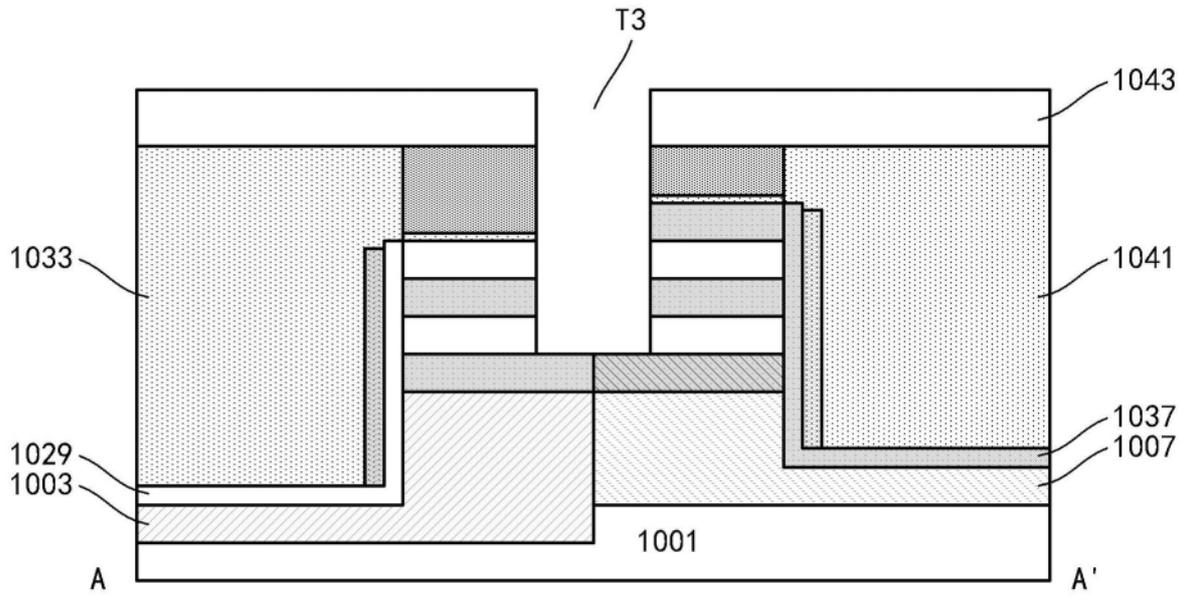


图9

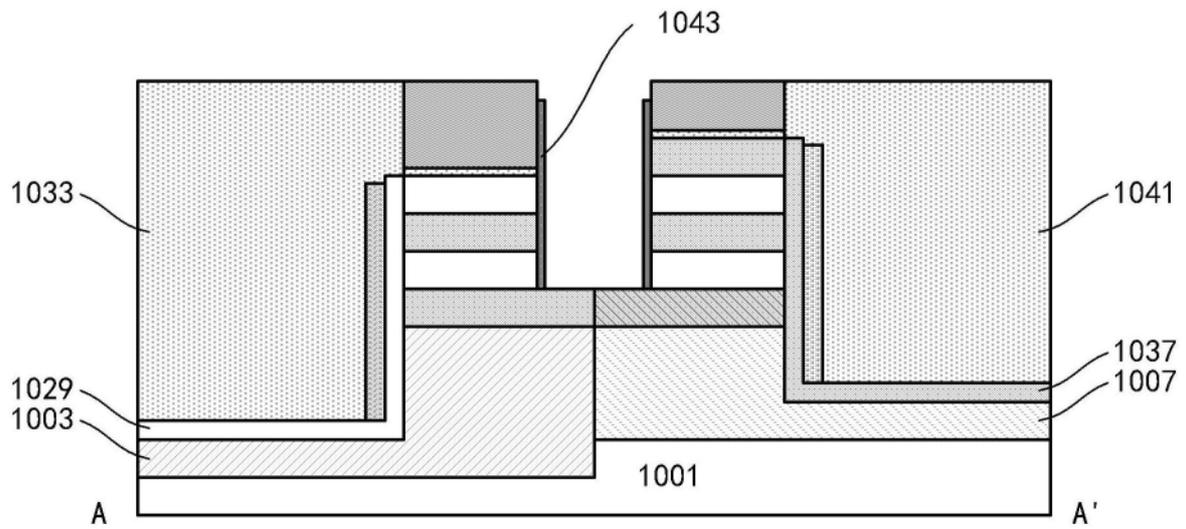


图10

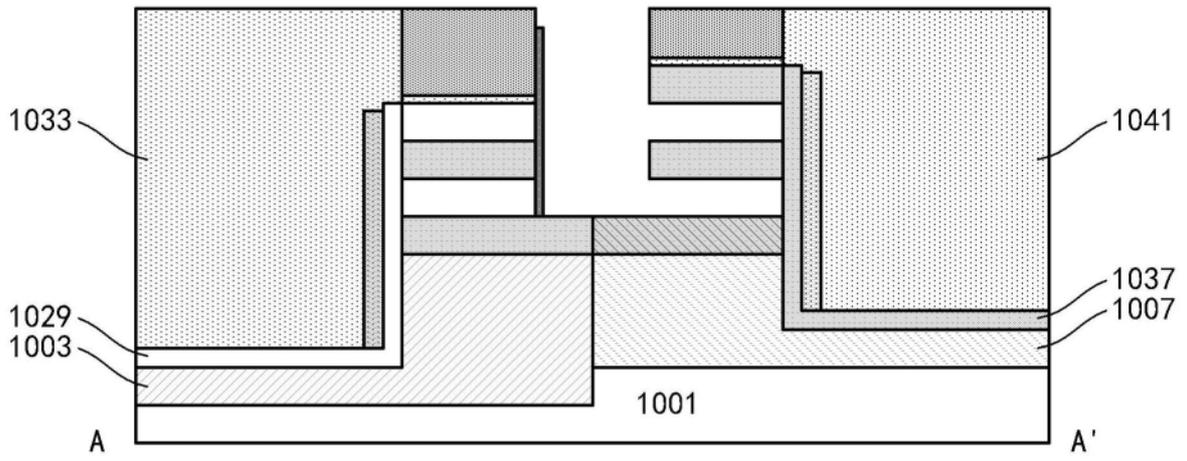


图11

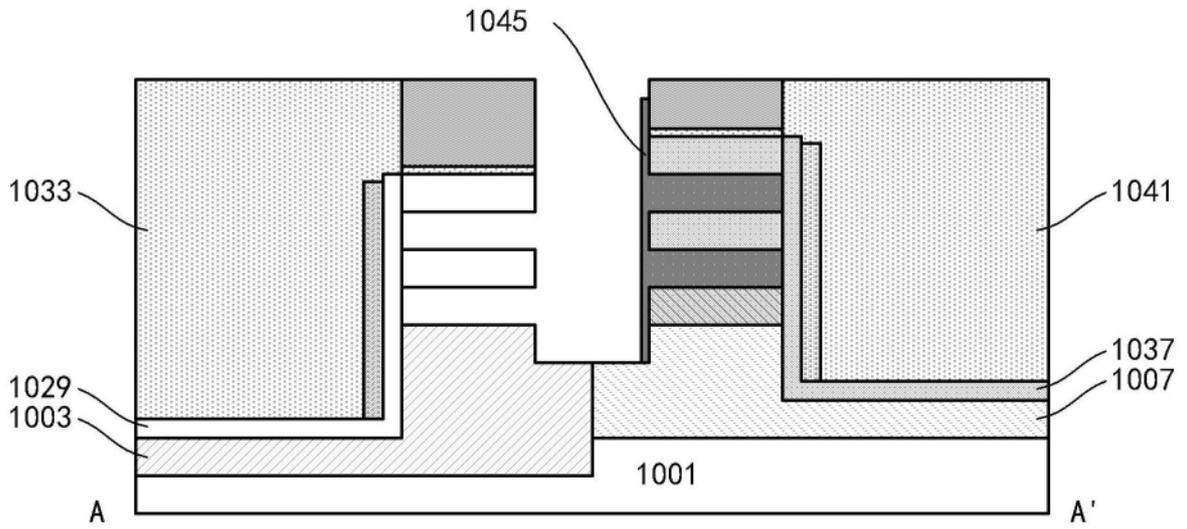


图12

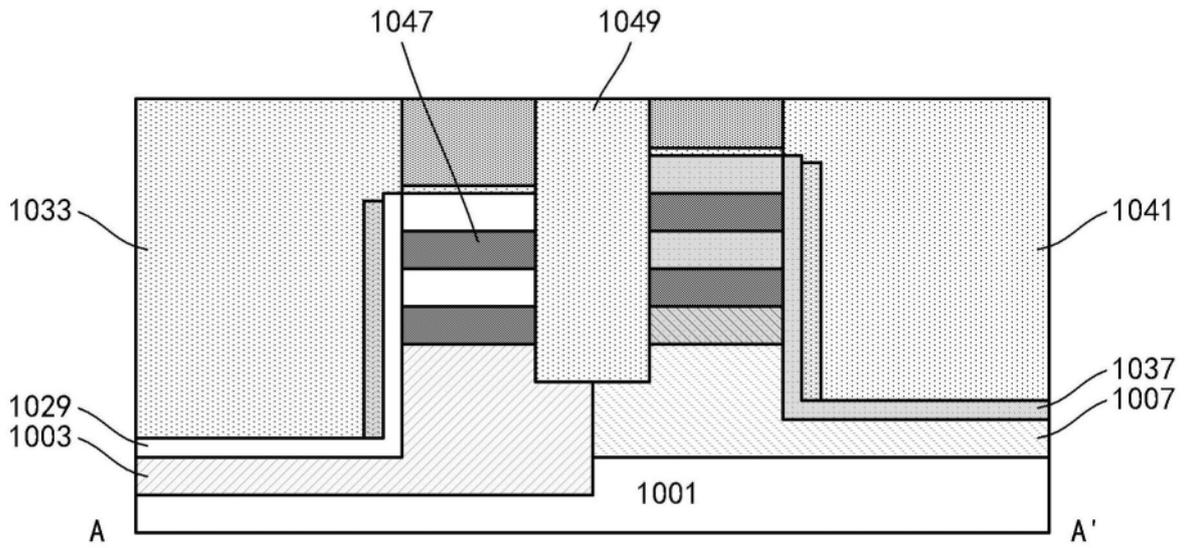


图13

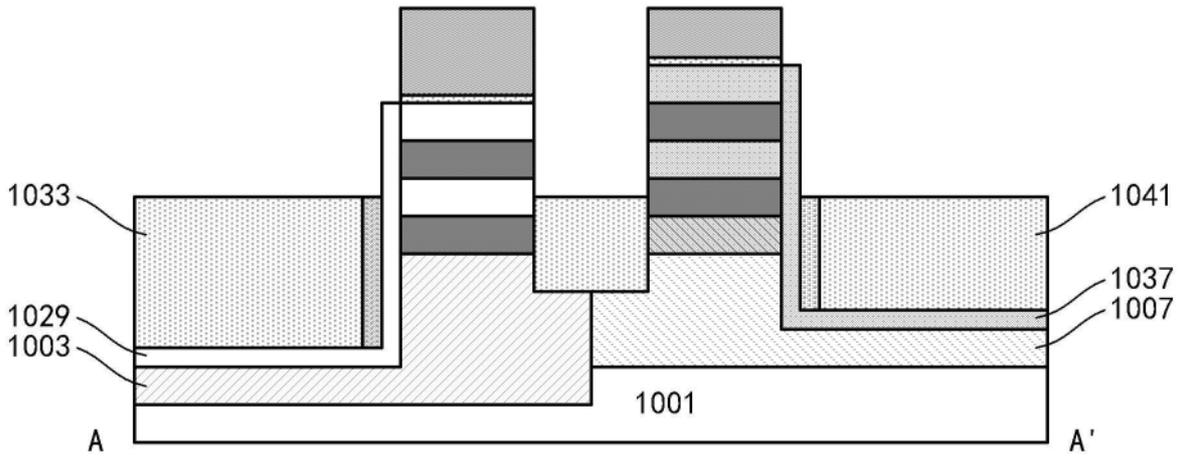


图14

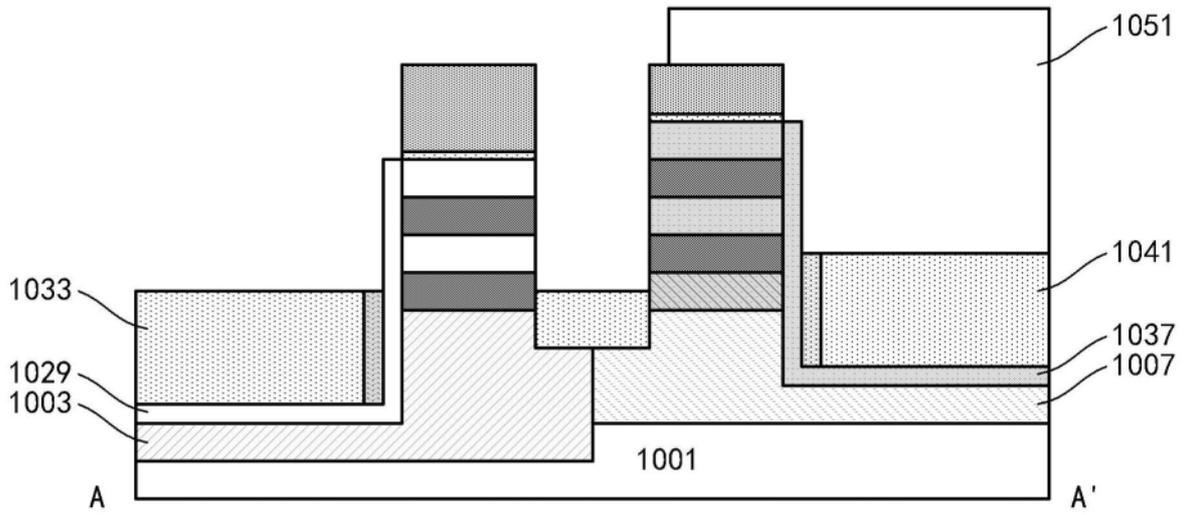


图15

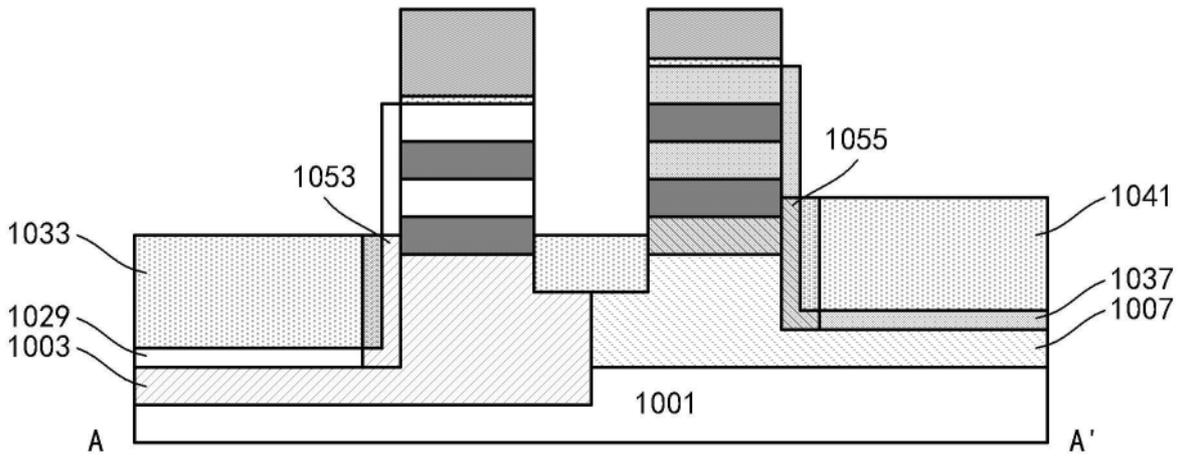


图16

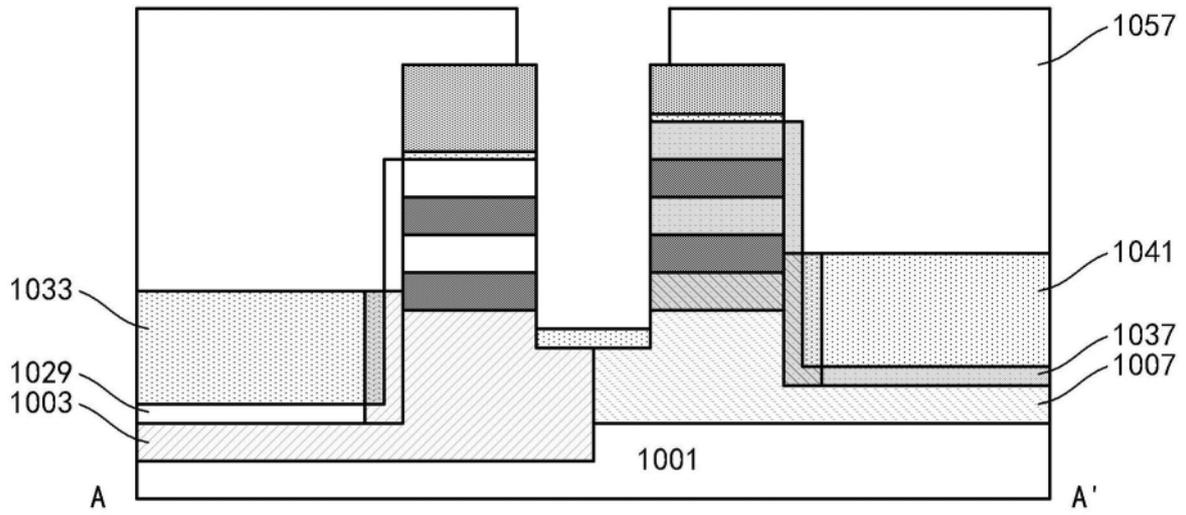


图17

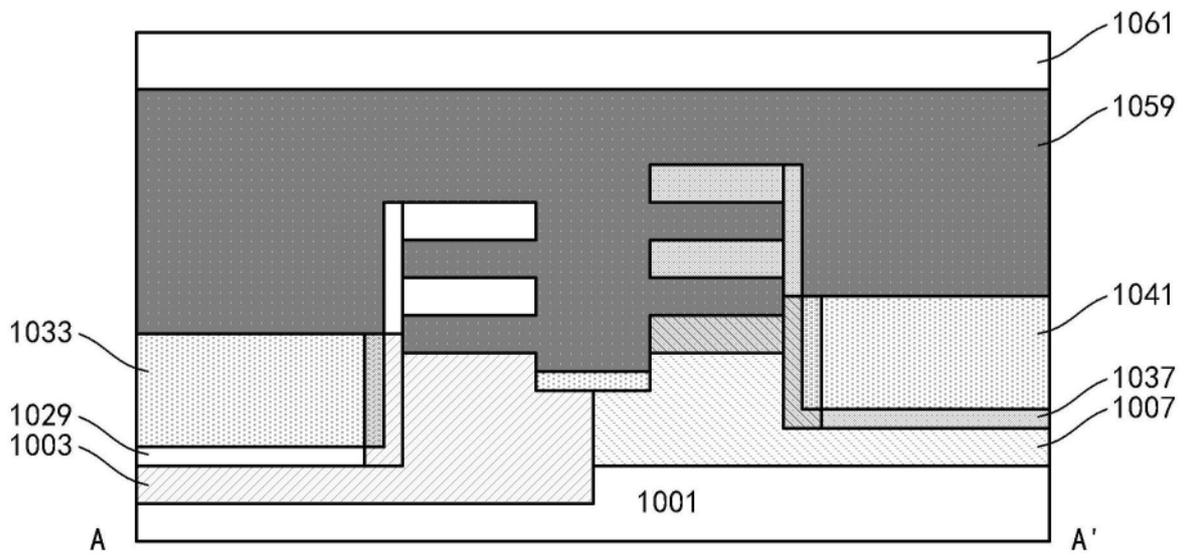


图18(a)

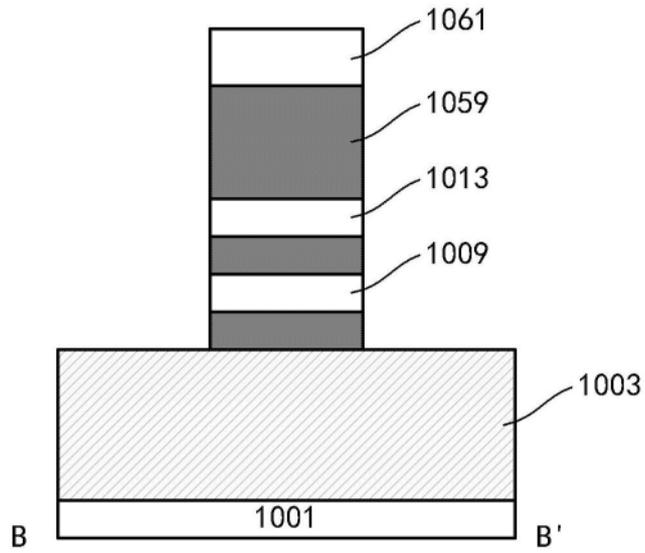


图18 (b)

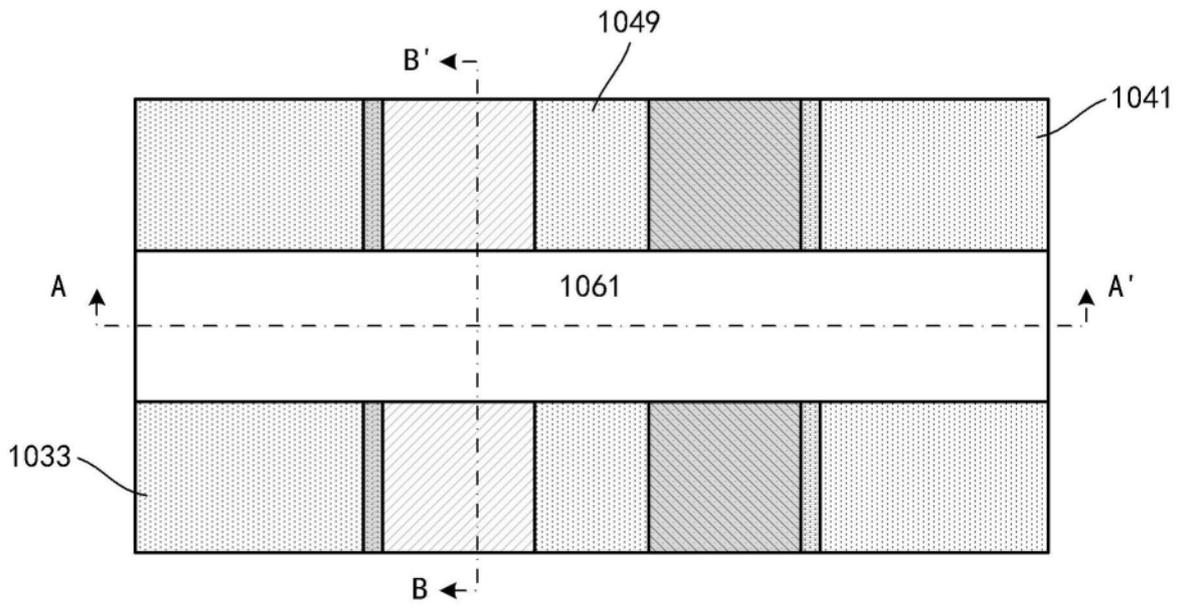


图18 (c)

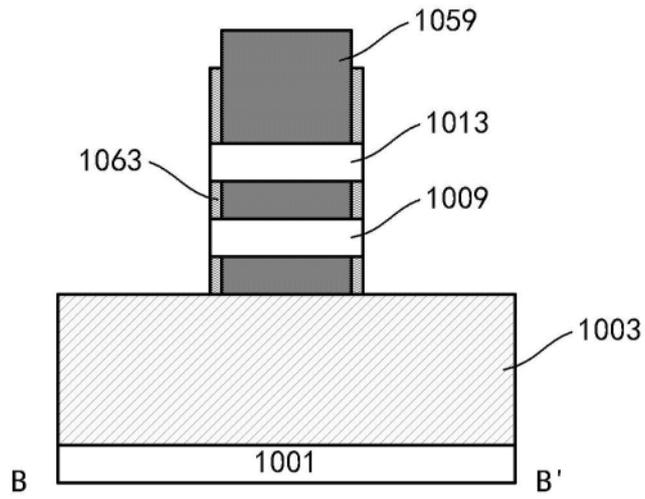


图19

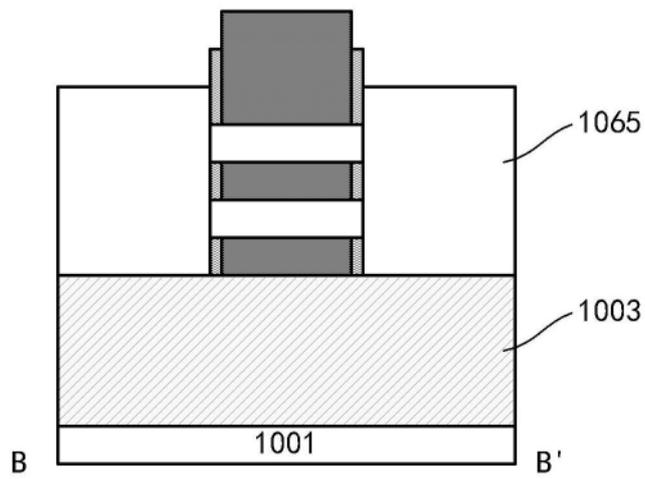


图20(a)

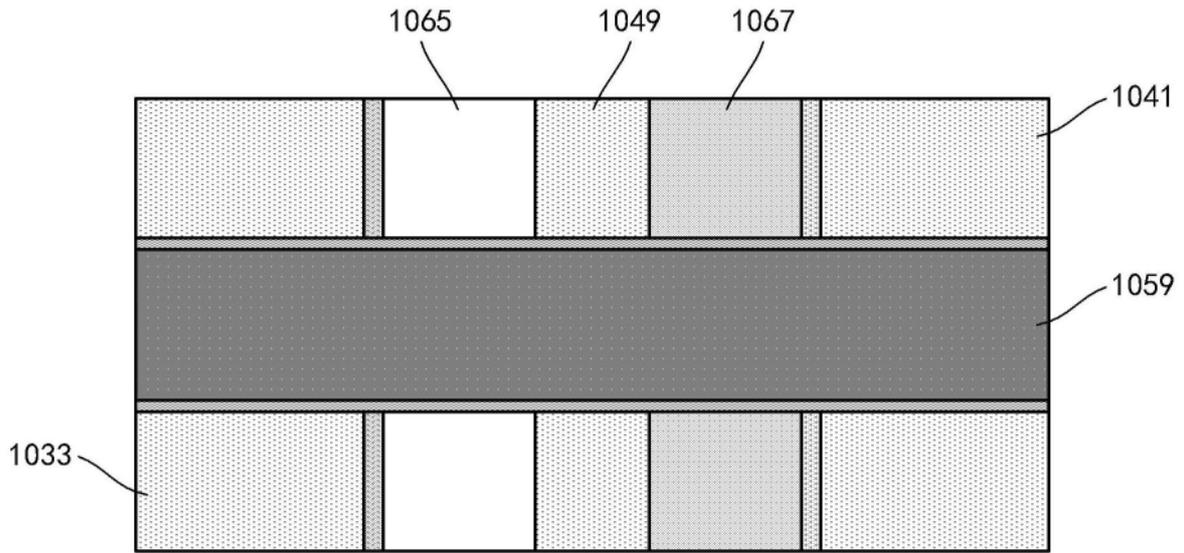


图20 (b)

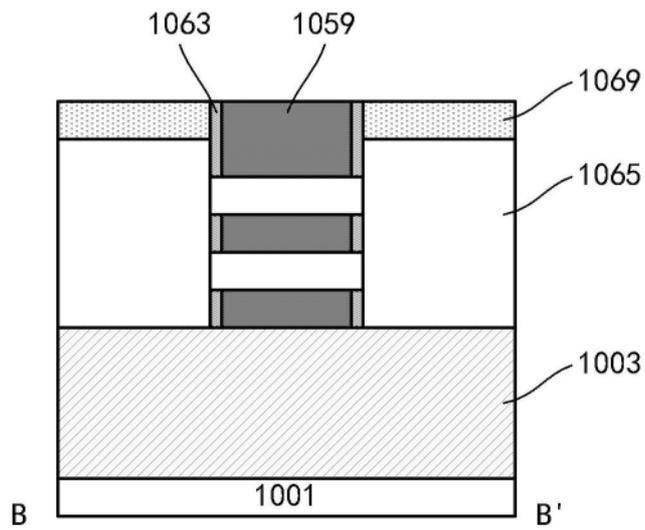


图21

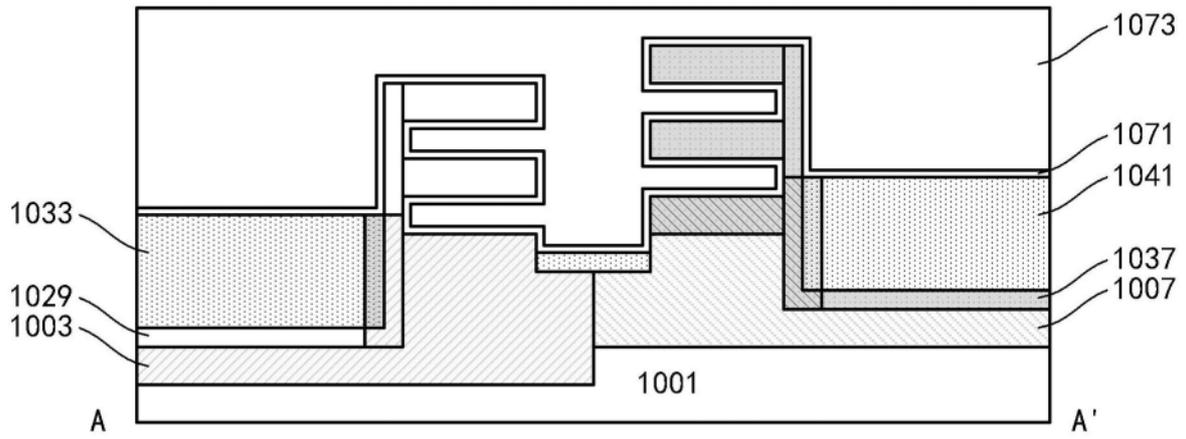


图22(a)

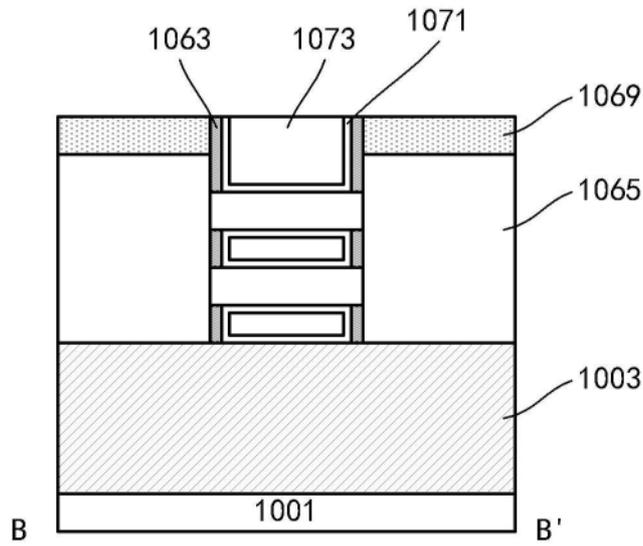


图22(b)

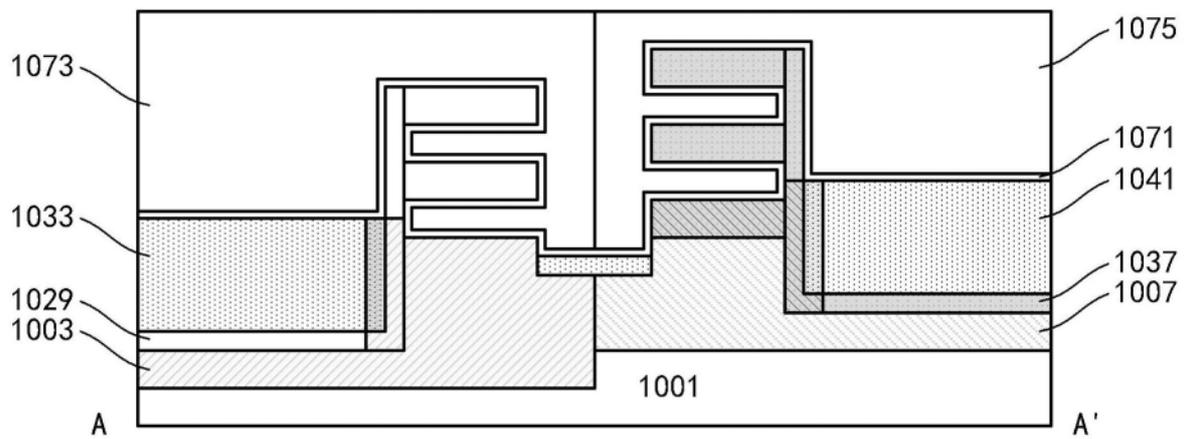


图23

