

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5316902号  
(P5316902)

(45) 発行日 平成25年10月16日(2013.10.16)

(24) 登録日 平成25年7月19日(2013.7.19)

(51) Int.Cl. F I  
**HO2M 3/28 (2006.01)** HO2M 3/28 B  
 HO2M 3/28 H

請求項の数 12 (全 28 頁)

<p>(21) 出願番号 特願2010-249081 (P2010-249081)                  (22) 出願日 平成22年11月5日(2010.11.5)                  (65) 公開番号 特開2012-105378 (P2012-105378A)                  (43) 公開日 平成24年5月31日(2012.5.31)                  審査請求日 平成24年9月4日(2012.9.4)</p>	<p>(73) 特許権者 000005267                  ブラザー工業株式会社                  愛知県名古屋市瑞穂区苗代町15番1号                  (74) 代理人 110001036                  特許業務法人暁合同特許事務所                  (72) 発明者 犬飼 勝己                  名古屋市瑞穂区苗代町15番1号 ブラザー工業株式会社内                  審査官 武市 匡紘</p>
---	--

最終頁に続く

(54) 【発明の名称】 電源システム及び画像形成装置

(57) 【特許請求の範囲】

【請求項1】

主電源側から印加される入力電圧を電圧変換して出力するスイッチング電源と、前記スイッチング電源から電力供給される制御装置と、を備えた電源システムであって、

前記スイッチング電源は、

トランスと、

前記トランスの一次コイルに接続された半導体スイッチング素子と、

前記半導体スイッチング素子をスイッチング制御するスイッチ制御部と、

前記トランスの二次側に設けられる整流平滑回路と、を備え、

前記スイッチ制御部は、

前記主電源側から電力供給されることにより起動して、前記半導体スイッチング素子のスイッチング制御を開始することにより、前記トランスの一次側を発振させて前記トランスの二次側に電圧を誘起させ、

前記制御装置は、前記スイッチング電源が前記トランスの二次側に誘起された電圧を平滑化して出力する出力モード中に、前記スイッチ制御部に制御パルス信号を出力して前記トランスの発振を停止させることにより、前記スイッチング電源を出力停止モードに移行させ、

前記出力停止モード中に、前記スイッチ制御部に制御パルス信号を出力して前記トランスの発振を再開させることにより、前記スイッチング電源を、前記出力停止モードから前記出力モードに移行させる電源システム。

## 【請求項 2】

前記制御装置は、前記スイッチング電源の出力により充電され、前記出力停止モード時に前記制御装置の電源となる第一蓄電部を有する請求項 1 に記載の電源システム。

## 【請求項 3】

前記制御装置は、光エネルギーを電力に変換し、前記出力停止モード時に前記制御装置の電源となる光電池を有する請求項 1 に記載の電源システム。

## 【請求項 4】

前記スイッチ制御部は、  
前記半導体スイッチング素子にオンオフ信号を出力することにより前記トランスを発振させるドライバ回路と、

主電源から電力を供給されて起動する起動回路と、

前記起動回路の起動により立ち上がって、前記出力モード中、前記ドライバ回路に電力を供給する第一電源回路と、

前記出力モード時に制御パルス信号の入力がある場合に、前記第一電源回路を遮断して前記トランスの発振を停止させる発振停止回路と、

前記出力停止モード時に制御パルス信号の入力がある場合に、前記起動回路を再起動させる再起動回路と、

前記出力停止モード中、前記再起動回路に電力を供給する第二電源回路と、を備える請求項 2 又は請求項 3 に記載の電源システム。

## 【請求項 5】

前記スイッチ制御部には、前記制御装置から出力される制御パルス信号を受信する入力ポートが設けられ、

前記発振停止回路と前記再起動回路は、前記入力ポートに共通接続されている請求項 4 に記載の電源システム。

## 【請求項 6】

前記スイッチ制御部は、前記発振停止回路が前記トランスの発振を停止させる時に、前記再起動回路が前記起動回路を再起動させることを禁止する禁止回路を備える請求項 5 に記載の電源システム。

## 【請求項 7】

前記制御装置は、出力停止モードへの移行用と、出力モードへの移行用で、パルス幅が異なる制御パルス信号を出力する請求項 5 に記載の電源システム。

## 【請求項 8】

前記再起動回路の入力段に、出力停止モード移行用の制御パルス信号を除去するフィルタ回路が設けられている請求項 7 に記載の電源システム。

## 【請求項 9】

前記制御装置は、

前記スイッチング電源のモード設定が出力モード、出力停止モードのいずれのモードであるかを記憶する記憶部と、

前記スイッチング電源の状態が出力モードか、出力停止モードかを検出する検出部と、

前記記憶部に記憶されたモード設定の内容と、前記検出部の検出結果を照合する照合部と、を備え、

前記モード設定の内容と前記検出結果が不一致である場合に、前記スイッチング電源が設定されたモードに移行するように、前記スイッチング電源に対して制御パルス信号を再出力する請求項 5 ないし請求項 8 に記載の電源システム。

## 【請求項 10】

前記検出部は、前記スイッチング電源の出力電圧を検出する請求項 9 に記載の電源システム。

## 【請求項 11】

前記スイッチ制御部は、前記トランスの一次側に設けられた補助コイルに誘起される電圧又は前記第一電源回路のいずれかを電源として前記出力モード中に充電され、前記第二

10

20

30

40

50

電源回路の電圧源として機能する又は前記第二電源回路として機能する第二蓄電部を備える請求項4ないし請求項10のいずれか一項に記載の電源システム。

【請求項12】

印刷処理を実行する印刷部と、

請求項1ないし請求項11のいずれか一項に記載の電源システムと、を備える画像形成装置であって、

前記出力モードでは、前記電源システムの前記スイッチング電源から前記印刷部に対して電力が供給され、

前記出力停止モードでは、前記電源システムの前記スイッチング電源から前記印刷部に対する電力の供給が停止する画像形成装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電源システム及び電源システムを備えた画像形成装置に関する。

【背景技術】

【0002】

下記特許文献1のスイッチング電源装置は、ICが入力ポートINのレベルを検出して、トランスの一次コイルに接続されたFETをスイッチング制御する構成になっている。具体的には、入力ポートINがHighレベルのとき、ICはFETのスイッチング制御を停止する。一方、入力ポートINがLowレベルのとき、ICはFETのスイッチング制御を開始してトランスを発振させる構成となっている。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開平7-87734号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献1のスイッチング電源装置は、ICの入力ポートINを一对の抵抗の間接続点に接続していることから、電源投入時、ICの入力ポートINはHighレベルになる。一方、起動時にスイッチング制御を開始（トランスを発振を開始）するには、入力ポートINのレベルをLowレベルにする必要がある。そのため、電源投入時、入力ポートINをLowレベルにする回路（遅延回路）が必要となる。また、特許文献1では、スタンバイ時に、トランスを発振を停止させることで、電力消費を抑える構成となっている。しかし、トランスを制御するICには、スタンバイ中も内部回路の全体に電力が供給されており、電力を無駄に消費していた。

30

【0005】

本発明は上記のような事情に基づいて完成されたものであって、スイッチング電源の電力消費を抑え、かつ起動に必要な遅延回路を廃止することを目的とする。

【課題を解決するための手段】

40

【0006】

第一の発明は、主電源側から印加される入力電圧を電圧変換して出力するスイッチング電源と、前記スイッチング電源から電力供給される制御装置と、を備えた電源システムであって、前記スイッチング電源は、トランスと、前記トランスの一次コイルに接続された半導体スイッチング素子と、前記半導体スイッチング素子をスイッチング制御（オンオフ制御）するスイッチ制御部と、前記トランスの二次側に設けられる整流平滑回路とを備え、前記スイッチ制御部は、前記主電源側から電力供給されることにより起動して前記半導体スイッチング素子のスイッチング制御を開始することにより、前記トランスの一次側を発振させ、前記トランスの二次側に電圧を誘起させ、前記制御装置は、前記スイッチング電源が前記トランスの二次側に誘起された電圧を平滑化して出力する出力モード中に、前

50

記スイッチ制御部に制御パルス信号を出力して前記トランスの発振を停止させることにより、前記スイッチング電源を出力停止モードに移行させる。

【0007】

この電源システムでは、出力停止モード中、トランスの発振を停止させるので、電力消費を抑えることが可能である。また、スイッチ制御部は、主電源側から電力が供給されると起動して、半導体スイッチング素子のスイッチング制御（オンオフ制御）を開始するので、スイッチ制御部の起動に伴ってトランスは発振開始する。別の言い方をすれば、スイッチ制御部は、入力ポートのレベルをLowレベルやHighレベルなど決められたレベルにすることを、スイッチング制御の開始条件にしていない。そのため、電源投入時、入力ポートを決められたレベルにする回路（遅延回路）を設ける必要がなく、回路を簡素化

10

【0008】

第二の発明は、第一の発明に記載の電源システムであって、前記制御装置は、前記スイッチング電源の出力により充電され、前記出力停止モード時に前記制御装置の電源となる第一蓄電部を有し、前記制御装置は、前記出力停止モード中に、前記スイッチ制御部に制御パルス信号を出力して前記トランスの発振を再開させることにより、前記スイッチング電源を、前記出力停止モードから前記出力モードに移行させる。

【0009】

この電源システムでは、出力停止モードから出力モードへの移行操作を、制御装置側で実行できる。また、スイッチング電源のモードは制御パルス信号の入力の有無によって制御される。制御パルス信号は、HighレベルやLレベルのレベル信号に比べて信号出力のために消費する電力が少ない。そのため、出力停止モード中、二次側の電力消費が少なく、充電状態を長時間維持できる。

20

【0010】

第三の発明は、第一の発明に記載の電源システムであって、前記制御装置は、光エネルギーを電力に変換し、前記出力停止モード時に前記制御装置の電源となる光電池を有し、前記制御装置は、前記出力停止モード中に、前記スイッチ制御部に制御パルス信号を出力して前記トランスの発振を再開させることにより、前記スイッチング電源を、前記出力停止モードから前記出力モードに移行させる。

【0011】

この電源システムでは、光電池を電源にしているので、発電した電気を消費し切ったとしても、光が当たれば再び発電して、制御装置に対する電力供給を再開する。そのため、制御装置が完全に停止することがない。

30

【0012】

第四の発明は、第二又は第三に記載の電源システムであって、前記スイッチ制御部は、前記半導体スイッチング素子にオンオフ信号を出力することにより前記トランスを発振させるドライバ回路と、主電源から電力を供給されて起動する起動回路と、前記起動回路の起動により立ち上がって、前記出力モード中、前記ドライバ回路に電力を供給する第一電源回路と、前記出力モード時に制御パルス信号の入力がある場合に、前記第一電源回路を遮断して前記トランスの発振を停止させる発振停止回路と、前記出力停止モード時に制御パルス信号の入力がある場合に、前記起動回路を再起動させる再起動回路と、前記出力停止モード中、前記再起動回路に電力を供給する第二電源回路とを備える。

40

【0013】

この電源システムでは、出力停止モード中、スイッチ制御部の第一電源回路は停止した状態となる。そのため、出力停止モード中、第一電源回路やドライバ回路は電力を消費しない。よって、スイッチ制御部における電力消費を抑えることができる。

【0014】

第五の発明は、第四に記載の電源システムであって、前記スイッチ制御部には、前記制御装置から出力される制御パルス信号を受信する入力ポートが設けられ、前記発振停止回路と前記再起動回路は、前記入力ポートに共通接続されている。

50

## 【 0 0 1 5 】

この電源システムでは、発振停止回路と再起動回路で、入力ポートを共通化している。そのため、入力ポートを別々にする場合に比べて、スイッチ制御部のポート数を削減出来る。

## 【 0 0 1 6 】

第六の発明は、第五に記載の電源システムであって、前記スイッチ制御部は、前記発振停止回路が前記トランスの発振を停止させる時に、前記再起動回路が前記起動回路を再起動させることを禁止する禁止回路を備える。

## 【 0 0 1 7 】

発振停止回路と再起動回路で入力ポートを共通化すると、制御パルス信号が両回路に同時に入力される。そのため、出力モードから出力停止モードへの移行（すなわち、発振停止）を目的として出力された制御パルス信号を、再起動回路が再起動用であると誤認識して、出力停止モードへの移行時に、再起動回路が起動回路を再起動させる誤作動を起こす恐れがある。この点、この電源システムでは、禁止回路の働きにより、発振停止回路がトランスの発振を停止させる時（出力停止モードへの移行時）に、起動回路を再起動させない。よって、上記誤動作を回避することが可能となる。

10

## 【 0 0 1 8 】

第七の発明は、第五に記載の電源システムであって、前記制御装置は、出力停止モードへの移行用と、出力モードへの移行用で、パルス幅が異なる制御パルス信号を出力する。この電源システムでは、パルス幅によって、制御パルス信号が、出力停止モードへの移行用の信号か、出力モードへの移行用の信号か、判別出来る。よって、第六の発明と同様に、入力ポートを共通化して発振停止回路と再起動回路に制御パルス信号を同時入力させても、出力停止モードへの移行時に、再起動回路が起動回路を再起動させるといった誤動作を回避することが可能となる。

20

## 【 0 0 1 9 】

第八の発明は、第七に記載の電源システムであって、前記再起動回路の入力段に、出力停止モード移行用の制御パルス信号を除去するフィルタ回路が設けられている。この電源システムでは、出力停止モード移行用の制御パルス信号はフィルタ回路により除去され、再起動回路に入力されない。よって、入力ポートの共通化による上記誤動作を回避できる。加えて言えば、誤作動の原因となる信号を除去するので、パルス幅を検出して信号の出力意図を判別するものに比べて、誤動作をより確実に防止できるというメリットがある。

30

## 【 0 0 2 0 】

第九の発明は、第五ないし第八のいずれかに記載の電源システムであって、前記制御装置は、前記スイッチング電源のモード設定が出力モード、出力停止モードのいずれのモードであるかを記憶する記憶部と、前記スイッチング電源の状態が出力モードか、出力停止モードかを検出する検出部と、前記記憶部に記憶されたモード設定の内容と、前記検出部の検出結果を照合する照合部と、を備え、前記モード設定の内容と前記検出結果が不一致である場合に、前記スイッチング電源が設定されたモードに移行するように、前記スイッチング電源に対して制御パルス信号を再出力する。

## 【 0 0 2 1 】

この電源システムでは、ノイズの影響によりスイッチ制御部が誤動作して、スイッチング電源のモードを切り換えたとしても、すぐに復旧できる。

40

## 【 0 0 2 2 】

第十の発明は、第九に記載の電源システムであって、前記検出部は、前記スイッチング電源の出力電圧を検出する。この電源システムでは、スイッチング電源の状態を確実に検出できる。

## 【 0 0 2 3 】

第十一の発明は、第四ないし第十のいずれかに記載の電源システムであって、前記スイッチ制御部は、前記トランスの一次側に設けられた補助コイルに誘起される電圧又は前記第一電源回路のいずれかを電源として前記出力モード中に充電され、前記第二電源回路の

50

電圧源として機能する又は前記第二電源回路として機能する第二蓄電部を備える。この電源システムでは、出力停止モード中、主電源を供給元とした電力消費がない。よって、電源システムを一層省電力化出来る。

【0024】

第十二の発明は、印刷処理を実行する印刷部と、第一ないし第十一のいずれか一項に記載の電源システムと、を備える画像形成装置であって、前記出力モードでは、前記電源システムの前記スイッチング電源から前記印刷部に対して電力が供給され、前記出力停止モードでは、前記電源システムの前記スイッチング電源から前記印刷部に対する電力の供給が停止する。この発明では、画像形成装置を省電力化することが可能である。

【発明の効果】

10

【0025】

本発明によれば、スイッチング電源の電力消費を抑え、かつ起動に必要な遅延回路を廃止することが可能となる。

【図面の簡単な説明】

【0026】

【図1】本発明の実施形態1におけるプリンタの電気的構成を示すブロック図

【図2】電源システムにおける電源装置の回路図

【図3】制御ICのブロック図

【図4】禁止回路の回路図

【図5】電源システムにおける制御装置側の回路図

20

【図6】スイッチング電源の出力波形を示す図

【図7】本発明の実施形態2における制御装置側の回路図

【図8】モード復旧処理の手順を示すフローチャート図

【図9】スイッチング電源の出力波形を示す図

【図10】本発明の実施形態4における制御パルス信号の波形図

【図11】制御ICのブロック図

【図12】本発明の実施形態5における制御ICのブロック図

【図13】本発明の実施形態6における電源システムの制御装置側の回路図

【図14】本発明の実施形態7における制御ICのブロック図

【図15】本発明の実施形態8における電源システムの電源装置の回路図

30

【図16】制御ICのブロック図

【図17】本発明の実施形態9における禁止回路の回路図

【図18】その真理表を示す図

【図19】変形例を示す図（制御ICのブロック図）

【図20】変形例を示す図（電源システムにおける電源装置の回路図）

【図21】変形例を示す図（電源システムにおける制御装置側の回路図）

【図22】変形例を示す図（制御ICのブロック図）

【発明を実施するための形態】

【0027】

<実施形態1>

40

本発明の実施形態1を図1ないし図5によって説明する。

1. プリンタの説明

図1はプリンタ（本発明の「画像形成装置」の一例）1の電気的構成を示すブロック図である。プリンタ1は、印刷部2と、通信部3aと、画像メモリ3bと、電源システムSとを備えている。電源システムSは、電源装置10と制御装置80とから構成されている。電源装置10はプリンタ1の電源となるものであり、印刷部2、通信部3a、画像メモリ3b及び制御装置80に対して電力を供給する。

【0028】

印刷部2は、感光ドラム2a、感光ドラム2aの表面を帯電させる帯電プロセスを実行する帯電器2b、感光ドラム2aの表面に静電潜像を形成する露光プロセスを実行する露

50

光装置 2 c、感光ドラム 2 a の表面に形成された静電潜像に現像剤を付着させて現像剤像を形成する現像プロセスを実行する現像器 2 d、記録媒体に現像剤像を転写する転写プロセスを実行する転写器 2 e、記録媒体上に転写された現像剤像を定着させる定着プロセスを実行する定着器 2 f 等から構成されている。

【 0 0 2 9 】

印刷部 2 は帯電プロセス、露光プロセス、現像プロセス、転写プロセス、定着プロセスを実行して、記録媒体上に印刷データを印刷する印刷処理を実行するものである。通信部 3 a は P C 等の情報端末装置との間で通信を行うものであり、情報端末装置から印刷指示や印刷データを受信する機能を担う。画像メモリ 3 b は、情報端末装置から受信した印刷データを一時記憶するものである。

10

【 0 0 3 0 】

上記プリンタ 1 は、通信部 3 a が情報端末装置から印刷指示を受けて印刷データを受信すると、制御装置 8 0 が、印刷部 2 に帯電プロセス、露光プロセス、現像プロセス、転写プロセス、定着プロセスからなる印刷処理を実行させることで、記録媒体に印刷データを印刷させる。尚、印刷部 2 の動作電圧は 2 4 V であるのに対して、通信部 3 a、画像メモリ 3 b 及び制御装置 8 0 の動作電圧は 3 . 3 V である。

【 0 0 3 1 】

## 2 . 電源システムの回路説明

まず、図 2 を参照して電源システム S における電源装置 1 0 の構成について説明する。電源装置 1 0 は、スイッチング電源 2 0 と、D C - D C コンバータ 3 5 と、D C - D C コンバータ 4 5 と、を備える。スイッチング電源 2 0 は、整流平滑回路 2 1 と、トランス 2 3 と、F E T (電界効果トランジスタ) 2 5 と、整流平滑回路 2 7 と、電圧検出回路 2 9 と、F E T 2 5 をスイッチング制御する制御 I C 5 0 と、を備える。尚、F E T が本発明の「半導体スイッチング素子」の一例であり、制御 I C が、本発明の「スイッチ制御部」の一例である。

20

【 0 0 3 2 】

整流平滑回路 2 1 は、いわゆるコンデンサインプット型であり、A C 電源 1 5 (本発明の「主電源」に相当)の交流電圧(2 2 0 V)を整流するブリッジダイオード D 1 と、整流後の電圧を平滑化するコンデンサ C 1 とから構成されている。そして、整流平滑回路 2 1 の出力側には、トランス 2 3 が設けられていて、交流電圧を整流平滑化した入力電圧  $V_{in}$  (約 D C 3 2 2 V) が、入力ライン  $L_{in}$  を通じてトランス 2 3 の一次コイル N 1 に印加される構成となっている。

30

【 0 0 3 3 】

F E T 2 5 は N チャンネルの M O S F E T であり、ドレイン D を一次コイル N 1 に接続すると共に、ソース S を接地している。そして、F E T 2 5 は、制御 I C 5 0 からゲート G にオンオフ信号(P W M 信号)が与えられることにより、オンオフ動作する。これにより、トランス 2 3 の一次側が発振して、トランス 2 3 の二次コイル N 2 に電圧を誘起させる構成となっている。

【 0 0 3 4 】

また、トランス 2 3 の一次側には電圧発生回路 3 1 が設けられている。電圧発生回路 3 1 は、トランス 2 3 の一次側に設けられた補助コイル N 3 に誘起される電圧を、ダイオード D 2 とコンデンサ C 2 により整流平滑化するものである。この電圧発生回路 3 1 は制御 I C 5 0 の電源(概ね 2 0 V)となる。

40

【 0 0 3 5 】

整流平滑回路 2 7 はトランス 2 3 の二次側に設けられていて、ダイオード D 3 とコンデンサ C 3 とからなる。整流平滑回路 2 7 はトランス 2 3 の二次コイル N 2 に誘起された電圧を整流平滑化する。これにより、スイッチング電源 2 0 は、出力ライン  $L_{o1}$  を通じて D C 2 4 V の電圧を出力する。

【 0 0 3 6 】

そして、出力ライン  $L_{o1}$  は、図 2 に示すように分岐点 J にて 3 分岐して、分岐し

50

た各ラインにはそれぞれDC - DCコンバータ35、45が設けられている。DC - DCコンバータ35は、スイッチング電源20の出力電圧V<sub>o1</sub>を5Vに降圧して出力ラインL<sub>o2</sub>より出力する。また、DC - DCコンバータ45は、スイッチング電源20の出力電圧V<sub>o1</sub>を3.3Vに降圧して出力ラインL<sub>o3</sub>より出力する。このように、本電源装置10は、24V / 5V / 3.3Vの3出力となっている。

**【0037】**

また、整流平滑回路27と出力ラインの分岐点Jの間には、電圧検出回路29が設けられている。電圧検出回路29は、スイッチング電源20の出力電圧V<sub>o1</sub>(DC24V)のレベルを検出するものであり、一对の検出抵抗R<sub>1</sub>、R<sub>2</sub>と、シャントレギュレータR<sub>e</sub>と、シャントレギュレータR<sub>e</sub>と直列接続された発光ダイオードLED1と、から構成されている。

10

**【0038】**

検出抵抗R<sub>1</sub>、R<sub>2</sub>は、出力ラインL<sub>o1</sub>とグラウンドラインL<sub>g</sub>間に設けられていて、出力電圧V<sub>o1</sub>を抵抗比により分圧した分圧電圧V<sub>g</sub>を検出するものである。シャントレギュレータR<sub>e</sub>は、シャントレギュレータR<sub>e</sub>内の基準電圧と分圧電圧V<sub>g</sub>とのレベル差に応じた電流を流す。これにより、発光ダイオードLED1に電流が流れ、発光ダイオードLED1は基準電圧と分圧電圧V<sub>g</sub>とのレベル差に応じた光量の光信号を出力する。

**【0039】**

そして、発光ダイオードLED1は、制御IC50のフィードバックポートFBに接続されたフォトランジスタPT1と共に、フォトカップラを構成している。そのため、発光ダイオードLED1の光信号はフォトランジスタPT1にて電気信号に戻される。これにて、シャントレギュレータR<sub>e</sub>の基準電圧に対する分圧電圧V<sub>g</sub>のレベル差を示す信号(以下、フィードバック信号)が、制御IC50のフィードバックポートFBに入力(フィードバック)される構成となっている。

20

**【0040】**

図2にて示すように、制御IC50は、電圧発生回路31に接続される電源ポートVCCと、ツェナーダイオードD4を介して入力ラインLinに接続される高電圧入力ポートVHと、フィードバック信号(出力電圧の検出信号)が入力されるフィードバックポートFBと、オンオフ信号(PWM信号)を出力する出力ポートOUTと、制御装置80から出力される制御パルス信号Srが入力される制御入力ポート(本発明の「入力ポート」の一例)ENの5つのポートを備えている。

30

**【0041】**

図3を参照して、制御IC50の回路ブロックを説明する。制御IC50は、高電圧入力ポートVHに接続された起動回路51と、第一電源回路53と、ソフトスタート回路55と、VCC検出回路56と、出力ポートOUTに接続されたドライバ回路57と、一定周波数の三角波を発振する発振回路59と、フィードバックポートFBに接続された比較演算回路63と、再起動回路65と、発振停止回路67と、第二電源回路69と、禁止回路75と、を備える。尚、再起動回路65と発振停止回路67は制御入力ポートENに共通接続(両回路65、67とも入力ラインを制御入力ポートENに接続している)されていて、制御入力ポートENに入力される信号(具体的には、後述する制御パルス信号Sr)を両回路65、67が受信できる構成となっている。

40

**【0042】**

起動回路51は、高電圧入力ポートVHに印加される入力電圧を降圧して第一電源回路53に与えるものである。また、第一電源回路53は、再起動回路65と第二電源回路69を除くそれ以外の回路55、56、57、59、63、67に電力を供給するものである。この第一電源回路53は起動直後、電源ポートVCCの電圧が所定のレベルまで上昇するまでは起動回路51から電力供給されて電源電圧5Vを生成して各回路に電力を供給する一方、電源ポートVCCが所定のレベルに達した以降は、電圧発生回路31から電力供給されて電源電圧5Vを生成して各回路55、56、57、59、63、67に電力を供給する。

50

## 【 0 0 4 3 】

ソフトスタート回路 5 5 は、ドライバ回路 5 7 を通じて F E T 2 5 のゲート G に印加するオンオフ信号 ( P W M 信号 ) のデューティ比を段階的に高くすることにより、起動時において、スイッチング電源 2 0 の出力をゆっくり上昇させる機能を果たすものである。

## 【 0 0 4 4 】

比較演算回路 6 3 は、フィードバック信号の信号レベルと基準電圧のレベルを比較する演算を行い、演算結果に応じて、フィードバック信号をドライバ回路 5 7 へ出力するものである。

## 【 0 0 4 5 】

ドライバ回路 5 7 は、 F E T 2 5 のゲート G に対してオンオフ信号 ( P W M 信号 ) を出力することにより、 F E T 2 5 をスイッチング制御するものである。尚、 P W M 信号の P W M 値は、フィードバックポート F B に入力されたフィードバック信号に基づいて決定された P W M 値である。

10

## 【 0 0 4 6 】

発振停止回路 6 7 は、トランス 2 3 の発振中 ( 後述する出力モード中 ) に、制御入力ポート E N に対して制御パルス信号 S r が入力されることを条件として、第一電源回路 5 3 を遮断するものである。尚、遮断とは、電圧発生回路 3 1 から第一電源回路 5 3 への電力供給を断って第一電源回路 5 3 を停止させることを意味している。そして、この第一電源回路 5 3 の遮断により、各回路 5 6 、 5 7 、 5 9 、 6 3 、 6 7 に対する電力供給が断たれて、ドライバ回路 5 7 が出力を停止する ( 出力ポート O U T がハイインピーダンスになる ) ことから、トランス 2 3 の発振が停止する。

20

## 【 0 0 4 7 】

また、再起動回路 6 5 は、第一電源回路 5 3 が遮断されている時 ( 後述する出力停止モード中 ) に、制御入力ポート E N に制御パルス信号 S r が入力されることを条件として、起動回路 5 1 に再起動信号を出力して起動回路 5 1 を再起動させるものである。第二電源回路 6 9 は、再起動回路 6 5 の電源となるものである。この第二電源回路 6 9 は、起動回路 5 1 と共に高電圧入力ポート V H に接続されている。そして、高電圧入力ポート V H から入力される電圧を降圧して電源電圧 5 V を生成し、電源ライン L 2 を通じて再起動回路 6 5 に電力供給する。

## 【 0 0 4 8 】

禁止回路 7 5 は、第一電源回路 5 3 が H i g h レベルの動作信号 S p を出力する間、再起動回路 6 5 が起動回路 5 1 を再起動させることを禁止するものであり、図 4 に示すように、3つのトランジスタ 7 6 、 7 7 、 7 8 を備えている。トランジスタ 7 6 は P N P トランジスタである。トランジスタ 7 6 は、電源ライン L 2 上にあつて、エミッタ E を第二電源回路 6 9 に接続する一方、コレクタ C を再起動回路 6 5 に接続している。トランジスタ 7 7 は N P N トランジスタであり、コレクタ C をトランジスタ 7 6 のベースに接続し、エミッタ E をグランドに接続している。また、トランジスタ 7 7 のベース B は、バイアス抵抗 R 8 を介して電源ライン L 2 に接続されている。

30

## 【 0 0 4 9 】

トランジスタ 7 8 は N P N トランジスタであり、コレクタ C をトランジスタ 7 7 のベースに接続し、エミッタ E をグランドに接続している。そして、トランジスタ 7 8 のベース B には、第一電源回路 5 3 の出力する H i g h レベルの動作信号 S p が入力される構成となっている。

40

## 【 0 0 5 0 】

トランジスタ 7 8 のベース B に H i g h レベルの動作信号 S p が入力されると、トランジスタ 7 8 がオン、トランジスタ 7 7 がオフ、トランジスタ 7 6 がオフするので、電源ライン L 2 は開路する。一方、動作信号 S p の入力がない場合には、各トランジスタのオンオフが反転して、トランジスタ 7 6 がオンすることから電源ライン L 2 は閉路する。

## 【 0 0 5 1 】

そして、第一電源回路 5 3 は、トランス 2 3 の発振中 ( 後述する出力モード中 ) 、動作

50

信号 S p を禁止回路 7 5 へ出力する。そのため、トランス 2 3 の発振中、電源ライン L 2 は非通電状態となることから、再起動回路 6 5 は電力が供給されず、停止状態となる。そのため、トランス 2 3 の発振中、再起動回路 6 5 が起動回路 5 1 を再起動させることを禁止できる。

【 0 0 5 2 】

一方、トランス 2 3 の発振停止中（後述する出力停止モード中）は、動作信号 S p の出力がなく、電源ライン L 2 は通電状態となる。そのため、再起動回路 6 5 による起動回路 5 1 の再起動が実施可能となる。

【 0 0 5 3 】

次に、図 5 を参照して制御装置 8 0 について説明する。制御装置 8 0 は、プリンタ 1 の印刷部 2 を制御するメインブロック B 1 と、モード制御ブロック B 2 とから構成されている。

10

【 0 0 5 4 】

メインブロック B 1 の電源ポート P 1 は、DC - DC コンバータ 4 5 の出力ライン L o 3 に接続されており、DC - DC コンバータ 4 5 を介してスイッチング電源 2 0 から電力供給される。尚、メインブロック B 1 は後述する出力モード中に限り電力が供給されて動作状態となり、スイッチング電源 2 0 が後述する出力停止モードに移行すると、電力の供給が断たれて停止状態になる。

【 0 0 5 5 】

一方、モード制御ブロック B 2 の電源ポート P 2 は、DC - DC コンバータ 3 5 側に接続されており、DC - DC コンバータ 3 5、8 3 を介してスイッチング電源 2 0 から電力供給される。具体的に説明すると、DC - DC コンバータ 3 5 の出力ライン L o 2 には、ダイオード D 4 を介してコンデンサ（蓄電用の電気二重層キャパシタ）C 4 が接続されている。ダイオード D 4 はコンデンサ C 4 から DC - DC コンバータ 3 5 側への逆流を防止するものである。尚、コンデンサ C 4 が、本発明の「第一蓄電部」の一例である。

20

【 0 0 5 6 】

そして、コンデンサ C 4 とダイオード D 4 の接続点から中継ライン L 1 が引き出されている。中継ライン L 1 上には DC - DC コンバータ 8 3 が設けられていて、DC - DC コンバータ 3 5 の出力電圧を 3 . 3 V に降圧して、モード制御ブロック B 2 の電源ポート P 2 に印加させる構成となっている。よって、モード制御ブロック B 2 は、出力モード中、DC - DC コンバータ 3 5、8 3 を介してスイッチング電源 2 0 から電力供給される。

30

【 0 0 5 7 】

また、コンデンサ C 4 は、出力停止モード中、モード制御ブロック B 2 の電源となるものであり、出力ライン L o 2 を通じて DC - DC コンバータ 3 5 から充電電流が供給される構成となっている。

【 0 0 5 8 】

次に、モード制御ブロック B 2 には、制御ポート P 3 が設けられていて、トランジスタ 8 5 のベース B に接続されている。トランジスタ 8 5 は、エミッタ E をグランドに接続すると共に、コレクタ C を発光ダイオード L E D 2 のカソードに接続している。

【 0 0 5 9 】

40

発光ダイオード L E D 2 は、中継ライン L 1 にアノードを接続している。そして、この発光ダイオード L E D 2 は、制御 I C 5 0 の制御入力ポート E N に接続されたフォトトランジスタ P T 2 と共に、フォトカブラを構成している。そのため、モード制御ブロック B 2 の制御ポート P 3 からトランジスタ 8 5 のベースに制御パルス信号 S r を出力すると、制御パルス信号 S r は、フォトカブラを介して光伝送され、制御 I C 5 0 の制御入力ポート E N に入力される。

【 0 0 6 0 】

モード制御ブロック B 2 は、制御 I C 5 0 に対して制御パルス信号 S r を出力することにより、スイッチング電源 2 0 を出力モードと出力停止モードとに切り換える機能を果たすものである。出力モードとは、トランス 2 3 の一次側を発振させて、スイッチング電源

50

20を出力状態にするモードである。また、出力停止モードは、トランス23の発振を停止させてスイッチング電源20の出力を停止させるモードである。また、制御パルス信号Srは、出力モードへの移行用と出力停止モードへの移行用で信号波形に区別が無く、出力モードへの移行時と出力停止モードへの移行時で、同じパルス幅の制御パルス信号Srが出力されるように設定されている。

#### 【0061】

また、モード制御ブロックB2にはタイマ90が内蔵されている。タイマ90は、モード切替時からの経過時間を計時するものである。このように経過時間を計時する理由は、出力停止モード中、モード制御ブロックB2は、コンデンサC4から電力を供給されて動作するので、出力停止モードが長時間続くと、コンデンサC4の充電電圧が低下して、DC-DCコンバータ83の出力電圧が3.3Vを維持できなくなってしまう。そのため、タイマ90で時間を計時して、DC-DCコンバータ83の出力電圧が3.3Vを維持できなくなる前にスイッチング電源20を出力モードに移行させて、コンデンサC4を再充電させる必要があるからである。

10

#### 【0062】

また、図5に示す検出回路87は、コンデンサC4の充電電圧Vch1を検出する検出回路である。検出回路87はコンデンサC4の充電電圧Vch1を検出する検出抵抗R3、R4と、検出抵抗R3、R4により検出された電圧値を基準値と比較して出力するコンパレータCPと、基準電圧用の分圧抵抗R5、R6とから構成されている。

20

#### 【0063】

コンパレータCPは、充電電圧Vch1が基準電圧を上回っている場合には、Highレベルの検出信号をモード制御ブロックB2のポートP5に出力し、充電電圧Vch1が基準電圧を下回っている場合には、Lowレベルの検出信号をポートP5に出力する。

#### 【0064】

そして、モード制御ブロックB2は、コンパレータCPからLowレベルの検出信号が出力された場合にも、スイッチング電源20を出力モードに移行させることにより、コンデンサC4を再充電させる構成となっている。

#### 【0065】

また、図5に示すスイッチS2は、モード制御ブロックB2にモードの切り換えをユーザが指示するためのモード切替スイッチである。

30

#### 【0066】

### 3. 電源システムSの動作説明

#### 3-1. AC電源投入時の動作

電源スイッチS1が投入されると、スイッチング電源20の入力ラインLinに対して、AC電源15の交流電圧を整流平滑化した入力電圧Vinが印加される。これにより、AC電源15側から高電圧入力ポートVHを通じて電力供給されるので、制御IC50の起動回路51と第二電源回路69が起動する。尚、上記により、本発明の「前記スイッチ制御部(制御IC50)は、前記主電源(AC電源15)側から電力供給されることにより起動」が実現されている。

#### 【0067】

40

起動回路51は起動後、入力電圧Vinを降圧して第一電源回路53に出力する。第一電源回路53は、起動回路51から与えられる電圧から電源電圧5Vを生成して、再起動回路65を除くそれ以外の回路55、56、57、59、63、67に電力を供給する。

#### 【0068】

第一電源回路53から各回路55、56、57、59、63、67に電力が供給され始めると、まず、ソフトスタート回路55が作動する。ソフトスタート回路55は、ドライバ回路57を通じてFET25のゲートGにオンオフ信号(PWM信号)を与える。これにより、FET25がオン、オフを繰り返す状態になるので、スイッチング電源20のトランス23の一次側が発振を開始し、トランス23の二次側に電圧が誘起される(発振開始)。

50

## 【 0 0 6 9 】

そして、ソフトスタート回路 5 5 は、P W M 値を段階的に高くする結果、F E T 2 5 のオン時間が段階的に長くなり、スイッチング電源 2 0 の出力はゆっくりと上昇してゆく。また、スイッチング電源 2 0 の出力上昇に伴い、電圧発生回路 3 1 の出力電圧 V c c も上昇してゆく。

## 【 0 0 7 0 】

V C C 検出回路 5 6 は電圧発生回路 3 1 の出力電圧 V c c をモニタしており、出力電圧 V c c が基準値を超えると、第一電源回路 5 3 に指令を与えて、電力の供給元を起動回路 5 1 側から電圧発生回路 3 1 側に切り換える。これにより、電圧発生回路 3 1 の出力電圧 V c c が基準レベルを超えた以降、第一電源回路 5 3 は電圧発生回路 3 1 側から電力が供給され、起動回路 5 1 は停止する。

10

## 【 0 0 7 1 】

また、V C C 検出回路 5 6 は、電圧発生回路 3 1 の出力電圧 V c c が基準レベルを超えると、ソフトスタート回路 5 5 を停止させる。そして、ソフトスタート回路 5 5 が停止した以降、フィードバック制御に切り換わり、ドライバ回路 5 7 は、フィードバックポート F B に入力されるフィードバック信号に基づいた P W M 出力を行う。これにより、電圧検出回路 2 9 の検出する出力電圧 V o 1 が目標電圧である 2 4 V になるように、スイッチング電源 2 0 は出力調整される（出力モード）。

## 【 0 0 7 2 】

そして、この出力モードでは、電源装置 1 0 によってプリンタ 1 の各部品に電力供給される。すなわち、印刷部 2 には、出力ライン L o 1 を通じて、スイッチング電源 2 0 から電力が供給される（電源電圧 2 4 V）。また、通信部 3 a、画像メモリ 3 b 及び制御装置 8 0 のメインブロック B 1 には、D C - D C コンバータ 3 5、4 5 を介して、スイッチング電源 2 0 から電力が供給される（電源電圧 3 . 3 V）。また、制御装置 8 0 のモード制御ブロック B 2 には、D C - D C コンバータ 3 5、8 3 を介してスイッチング電源 2 0 から電力が供給される（電源電圧 3 . 3 V）。従って、プリンタ 1 は印刷可能な状態、すなわち、P C 等の情報端末装置から印刷指示を受信し、印刷指示に応じた印刷処理を実行できる状態となる。

20

## 【 0 0 7 3 】

また、出力モード中、コンデンサ C 4 にはスイッチング電源 2 0 の出力ライン L o 1、ダイオード D 4 を通じて充電電流が供給されるので、コンデンサ C 4 は充電される。

30

## 【 0 0 7 4 】

## 3 - 2 . 出力モードから出力停止モードへの移行

さて、次の ( a ) の場合と ( b ) の場合には、出力停止モードへ移行するため、制御装置 8 0 のモード制御ブロック B 2 は、トランジスタ 8 5 に制御パルス信号 S r を出力する。

## 【 0 0 7 5 】

( a ) 出力モード中にモード切換スイッチ S 2 が操作された場合

( b ) プリンタ 1 の待機状態が所定時間続いた場合

## 【 0 0 7 6 】

出力された制御パルス信号 S r は、フォトカブラを介して光伝送され、制御 I C 5 0 の制御入力ポート E N に入力される。

40

## 【 0 0 7 7 】

ここで、出力モード中、電源ライン L 2 は非通電（開路）状態であり、再起動回路 6 5 は停止している。そのため、制御入力ポート E N に入力された制御パルス信号 S r は、再起動回路 6 5 は受信できず、発振停止回路 6 7 だけが受信できる。そして、発振停止回路 6 7 は制御パルス信号 S r を受信すると、第一電源回路 5 3 を遮断する。これにより、第一電源回路 5 3 を電力供給元とする各回路 5 6、5 7、5 9、6 3、6 7 に対する電力の供給がストップする。

## 【 0 0 7 8 】

50

これにより、ドライバ回路 57 が停止して出力ポート O U T がハイインピーダンスになる結果、トランス 23 の一次側の発振が停止する。そのため、スイッチング電源 20 は出力を停止する出力停止モードに移行する（図 6 参照）。

【 0 0 7 9 】

そして、出力停止モード中、スイッチング電源 20 は出力停止状態になるから、印刷部 2、通信部 3 a、画像メモリ 3 b 及び制御装置 80 のメインブロック B 1 に対する電力供給は全てストップする。一方、制御装置 80 のモード制御ブロック B 2 は、コンデンサ C 4 から電力供給されるため動作状態となる。

【 0 0 8 0 】

そして、モード制御ブロック B 2 内に設けられたタイマ 90 によりモード切替時点からの経過時間が計時される。また、出力停止モード中は、第一電源回路 53 から動作信号 S p が出力されないため、電源ライン L 2 は通電（閉路）状態になるため、再起動回路 65 は第二電源回路 69 から電力が供給され動作状態となる。

【 0 0 8 1 】

3 - 3 . 出力停止モードから出力モードへの移行  
さて、( c ) ~ ( e ) の場合には、制御装置 80 のモード制御ブロック B 2 は、出力モードへ移行するため、再び、トランジスタ 85 に制御パルス信号 S r を出力する。

【 0 0 8 2 】

( c ) タイマ 90 により計時される経過時間が設定時間になった場合、  
( d ) コンパレータ C P から L o w レベルの検出信号がポート P 5 に出力された場合、  
( e ) 出力停止モード中に切り換えスイッチ S W 2 が操作された場合

【 0 0 8 3 】

すると、制御パルス信号 S r は、フォトカプラを介して光伝送され、制御 I C 50 の制御入力ポート E N に入力される。

【 0 0 8 4 】

ここで、出力停止モード中、発振停止回路 67 は電力供給が断たれた状態にあるのに対して、再起動回路 65 は第二電源回路 69 より電力の供給を受けて動作状態にある。そのため、再起動回路 65 だけが、制御入力ポート E N に入力された制御パルス信号 S r を受信できる。そして、再起動回路 65 は制御パルス信号 S r を受信すると、起動回路 51 を再起動させる。

【 0 0 8 5 】

これにより、A C 電源投入時と同様に、第一電源回路 53 が、起動回路 51 から与えられる電圧から電源電圧 5 V を生成して、第一電源回路 53 を電力供給元とする各回路 55、56、57、59、63、67 に電力を供給する。すると、ソフトスタート回路 55 が作動して、スイッチング電源 20 の出力をゆっくりと上昇させてゆき、スイッチング電源 20 は出力モードに再び移行する（図 6 参照）。

【 0 0 8 6 】

4 . 効果説明  
以上説明したように、本電源システム S では、出力停止モード中、トランス 23 の一次側の発振を停止させるようにしたので、電力消費を抑えることが可能である。また、従前の回路では必須であった遅延回路を廃止できるので、装置を簡素化できる。尚、遅延回路が廃止出来る理由は、制御 I C 50 は、制御入力ポート E N のレベルを L o w レベルや H i g h レベルなど決められたレベルにすることを、スイッチング制御の開始条件にしているからである。

【 0 0 8 7 】

また、スイッチング電源 20 のモード制御は、制御パルス信号 S r で行われる。制御パルス信号 S r は、レベル信号に比べて信号出力のために消費する電力が少ない。以上のことから、出力停止モード中、モード制御ブロック B 2 側で消費される電力が少なく、コンデンサ C 4 の充電状態を長時間維持できる。

【 0 0 8 8 】

10

20

30

40

50

また、制御 IC 50 は、出力停止モード中、第一電源回路 53 を遮断しており、第一電源回路 53 を電力供給元とする各回路 55、56、57、59、63、67 に対する電力の供給がストップする。そのため、制御 IC 50 自体もほとんど電力を消費しないので、一層省電力化できる。

【0089】

発振停止回路 67 と再起動回路 65 で制御入力ポート EN を共通化すると、制御パルス信号 Sr が両回路 67、65 に同時に入力される。そのため、出力モードから出力停止モードへの移行（すなわち、発振停止）を目的として出力された制御パルス信号 Sr を、再起動回路 65 が再起動用であると誤認識して、出力停止モードへの移行時に、再起動回路 65 が起動回路を再起動させる誤作動を起こす恐れがある。

10

【0090】

この点、この実施形態では、禁止回路 75 の働きにより、発振停止回路 67 がトランス 23 の発振を停止させる時（出力停止モードへの移行時）に、再起動回路 65 が起動回路 51 を再起動させることを禁止する。そのため、上記誤動作を回避することが可能となる。

【0091】

<実施形態 2>

次に、本発明の実施形態 2 を図 7 ないし図 9 によって説明する。

実施形態 2 の電源システム S は、実施形態 1 に対して、モード復旧機能を追加したものである。モード復旧機能とは、例えば制御入力ポート EN に入ったサージを制御パルス信号 Sr の入力と誤認識して、制御 IC 50 がモードを移行させてしまった場合に、設定されている本来のモードに復旧させる機能のことを言う。

20

【0092】

そして、実施形態 2 では、このモード復旧機能を付加するために、制御装置 80 のモード制御ブロック B2 内に、モード設定の内容を記憶するメモリ（本発明の「記憶部」の一例）100 を設けると共に、モード制御ブロック B2 にチェックポート P6 を設けている（図 7）。尚、チェックポート P6 は、抵抗 R7 を介して、3.3V 出力の出力ライン L03 に接続されていて、出力ライン L03 に電圧が印加されているか、検出できる構成になっている。尚、チェックポート P6 と抵抗 R7 は、本発明の「検出部」に対応する。

【0093】

次に、図 8 を参照して、制御装置 80 のモード制御ブロック B2 にて実行されるモード復旧処理の流れを説明する。電源スイッチ S1 の投入によりモード復旧処理は開始され、まず S10 にて、モード設定の内容をメモリ 100 に書き込む処理がモード制御ブロック B2 により行われる。ここでは、モード設定の内容として「出力モード」が書き込まれる。これは、電源投入時、スイッチング電源 20 は出力モードに必ず移行するからである。

30

【0094】

メモリ 100 にモード設定の内容が書き込まれると、次に S20 に移行し、タイマ 90 がリセットされる。これにて、タイマ 90 による時間計測が開始される。

【0095】

次に、S30 では、出力停止モードへ移行の指示があるか判定される。出力停止モードへの移行は、例えば、出力モード中にモード切換スイッチ S2 が操作された場合又はプリンタ 1 の待機状態が所定時間続いた場合に行われる。そのため、スイッチ S2 の操作がなく、また待機状態が所定時間以内であれば、NO 判定され、処理は S40 へ移行する。

40

【0096】

次に、S40 では、第一所定時間 t1 を経過したか、どうか判定される。具体的には、タイマ 90 による計測時間が第一所定時間 t1 を越えれば、YES 判定され、計測時間が第一所定時間未満であれば、NO 判定される。このように第一所定時間 t1 の経過を判定する理由は、図 9 に示すように、スイッチング電源 20 の出力が一定レベル Va まで立ち上がるには、第一所定時間 t1 が必要になるからである。

【0097】

50

そして、タイマ90の計測時間が第一所定時間t1を経過すると、S40でYES判定され、処理はS50に移行する。S50では、メモリ100に記憶されたモード設定の内容と、スイッチング電源20の状態が一致しているかどうかを判定する処理が、モード制御ブロックB2にて行われる。具体的には、モード制御ブロックB2は、まず、スイッチング電源20の状態を検出するため、チェックポートP6にアクセスして、ポートP6の電圧レベルを読み取る処理を行う。

【0098】

このとき、チェックポートP6のポートレベルが「3.3V(Highレベル)」であれば、スイッチング電源20は「出力モード」である。従って、モード制御ブロックB2は、チェックポートP6のポートレベルが「3.3V(High)」であることをもって、モード設定の内容と、スイッチング電源20の状態が一致していると、判定する(判定YES)。

10

【0099】

S50でYES判定された場合、処理はS20に戻るので、先に説明したS20~S40の処理を繰り返す状態となり、タイマ90の計測時間が第一所定時間t1を経過すると、再び、S50に移行して、メモリ100に記憶されたモード設定の内容と、スイッチング電源20の状態が一致しているかどうかを判定する処理が行われる。

【0100】

一方、S50の判定処理を行ったときに、チェックポートP6のポートレベルが「0V(Lowレベル)」であれば、スイッチング電源20は「出力停止モード」である。従って、この場合、モード制御ブロックB2は、モード設定の内容とスイッチング電源20の状態は不一致であると判定する(判定NO)。

20

【0101】

S50でNO判定された場合にはS60に移行し、制御パルス信号Srを出力(本発明の「再出力」に対応)する処理が、モード制御ブロックB2にて実行される。そして、制御パルス信号Srが出力されると、制御IC50がスイッチング電源20のモードを移行させる。これにより、スイッチング電源20は「出力停止モード」から「出力モード」にモード移行されることになる。これにより、スイッチング電源20は、メモリに書き込まれたモード設定に復旧される。その後、処理はS20に戻るので、先に説明したS20~S40の処理を繰り返す状態となる。

30

【0102】

次に、S30でYES判定(モード切換スイッチS2が操作)された場合について説明する。S30でYES判定されると、処理はS70に移行する。

【0103】

S70では、モード設定の内容をメモリ100に書き込む処理がモード制御ブロックB2により行われる。ここでは、モード設定の内容として「出力停止モード」が書き込まれる。

【0104】

メモリ100に対してモード設定が書き込まれると、次にS80に移行し、モード制御ブロックB2は、制御パルス信号Srを出力する。これにより、制御IC50にて、スイッチング電源20を「出力モード」から「出力停止モード」へモード移行させる処理が行われることになる。

40

【0105】

続く、S90ではタイマ90がリセットされ、タイマ90による時間計測が開始される。その後、処理はS100に移行する。そして、S100では、出力モードへ移行の指示があるか、モード制御ブロックB2により判定される。出力モードへの移行は、タイマ90により計時される経過時間が設定時間になった場合、コンパレータCPからLowレベルの検出信号が出力場合、モード切換スイッチS2が操作された場合に行われる。従って、これらの条件が成立していなければ、NO判定され、処理はS110へ移行する。

【0106】

50

次に、S 1 2 0では、第二所定時間 t 2 を経過したか、どうか判定される。具体的には、タイマ 9 0 による計測時間が第二所定時間 t 2 を越えれば、Y E S 判定され、計測時間が第二所定時間未満であれば、N O 判定される。このように第二所定時間 t 2 を経過したか判定するのは、例えば、図 9 に示すように、スイッチング電源 2 0 の出力が、一定レベル V b まで立ち下がるには、第二所定時間 t 2 が必要になるからである。

【 0 1 0 7 】

そして、タイマ 9 0 の計測時間が第二所定時間 t 2 を経過すると、S 1 1 0 で Y E S 判定され、処理は S 1 2 0 に移行する。S 1 2 0 では、メモリ 1 0 0 に記憶されたモード設定の内容と、スイッチング電源 2 0 の状態が一致しているかどうかを判定する処理が、モード制御ブロック B 2 にて行われる。具体的には、モード制御ブロック B 2 は、まず、スイッチング電源 2 0 の状態を検出するため、チェックポート P 6 にアクセスして、ポート P 6 の電圧レベルを読み取る処理を行う。

10

【 0 1 0 8 】

このとき、チェックポート P 6 のポートレベルが「0 V ( L o w レベル) 」であれば、スイッチング電源 2 0 は「出力停止モード」である。従って、モード制御ブロック B 2 は、チェックポート P 6 のポートレベルが「0 V ( L o w レベル) 」であることをもって、モード設定の内容と、スイッチング電源 2 0 の状態が一致していると、判定する ( 判定 Y E S ) 。

【 0 1 0 9 】

S 1 2 0 で Y E S 判定された場合、処理は S 9 0 に戻るので、先に説明した S 9 0 ~ S 1 1 0 の処理を繰り返す状態となり、タイマ 9 0 の計測時間が第二所定時間 t 2 を経過すると、再び、S 1 2 0 に移行して、メモリ 1 0 0 に記憶されたモード設定の内容と、スイッチング電源 2 0 の状態が一致しているかどうかを判定する処理が行われる。

20

【 0 1 1 0 】

一方、S 1 2 0 の判定処理を行ったときに、チェックポート P 6 のポートレベルが「3 . 3 V ( H i g h ) 」であれば、スイッチング電源 2 0 は「出力モード」である。従って、この場合、モード制御ブロック B 2 は、モード設定の内容とスイッチング電源 2 0 の状態は不一致であると判定する ( 判定 N O ) 。

【 0 1 1 1 】

S 1 2 0 で N O 判定された場合には S 1 3 0 に移行し、制御パルス信号 S r を出力する処理が、モード制御ブロック B 2 にて実行される。そして、制御パルス信号 S r が出力 ( 本発明の「再出力」に対応) されると、制御 I C 5 0 がスイッチング電源 2 0 のモードを移行させる。これにより、スイッチング電源 2 0 は「出力モード」から「出力停止モード」にモード移行されることになる。これにより、スイッチング電源 2 0 は、メモリ 1 0 0 に書き込まれたモード設定に復旧される。

30

【 0 1 1 2 】

以上説明したように、実施形態 2 の電源システム S は、モード復旧機能を持つので、例えば制御入力ポート E N に入ったサージを制御パルス信号 S r の入力と誤認識して、制御 I C 5 0 がモードを移行させてしまった場合に、本来のモードに復旧させることが可能である。

40

【 0 1 1 3 】

尚、制御装置 8 0 のモード制御ブロック B 2 が実行する S 5 0、S 1 2 0 の判定処理により、本発明の「照合部」の処理機能が実現されている。また、モード制御ブロック B 2 が実行する S 6 0、S 1 3 0 の処理により、「前記モード設定の内容と前記検出結果が不一致である場合に、前記スイッチング電源が設定されたモードに移行するように、前記スイッチング電源に対して制御パルス信号を再出力する」が実現されている。

【 0 1 1 4 】

< 実施形態 3 >

次に、本発明の実施形態 3 を、図 5 を参照して説明する。実施形態 2 では、スイッチング電源 2 0 の状態 ( 出力モードか、出力停止モードか) を検出するのに、出力ライン L o

50

3の電圧を検出した。具体的には出力ラインL<sub>o</sub>3の電圧を抵抗R<sub>7</sub>を用いて検出した。

【0115】

実施形態3は、スイッチング電源20の状態(出力モードか、出力停止モードか)を、メインブロックB1との通信により検出する。すなわち、スイッチング電源20が出力モードであれば、メインブロックB1は、DC-DCコンバータ45から電力供給されて動作状態になるので、モード制御ブロックB2との間でバスラインを通じて、通信可能となる。

【0116】

一方、スイッチング電源20が出力停止モードであれば、メインブロックB1は電力の供給を断たれ、停止状態になるので、通信不能となる。従って、モード制御ブロックB2は、メインブロックB1との通信状態を検出することで、スイッチング電源20の状態(出力モードか、出力停止モードか)を検出できる。そして、この場合には、出力ラインL<sub>o</sub>3の電圧を検出する抵抗R<sub>7</sub>やチェックポートP<sub>6</sub>を廃止できる。

【0117】

<実施形態4>

次に、本発明の実施形態4を図10、図11によって説明する。実施形態1では、スイッチング電源20を出力モードから出力停止モードに移行させる場合と、出力停止モードから出力モードに移行させる場合で、モード制御ブロックB2から制御IC50に対して、パルス幅が同一の制御パルス信号S<sub>r</sub>を送った。

【0118】

実施形態4では、スイッチング電源20を出力モードから出力停止モードに移行させる場合と、出力停止モードから出力モードに移行させる場合で、制御パルス信号S<sub>r</sub>のパルス幅を変えるようにした(図10参照)。

【0119】

また、再起動回路65と発振停止回路67に対してパルス幅を検出するパルス幅検出部65A、67Aを設けると共に、パルス幅の長短によって発振停止用の信号か、再起動用の信号かを識別するようにした。例えば、図10のように、パルス幅の短い制御パルス信号S<sub>r1</sub>を発振停止用の信号と認識し、パルス幅の長い制御パルス信号S<sub>r2</sub>を再起動用の信号と認識するようにした。

【0120】

以上のことから、各回路65、67が入力される制御パルス信号S<sub>r</sub>が発振停止用として出力された信号か、再起動用として出力された信号かを識別できるので、制御入力ポートENの共通化による回路の誤動作を防止できる。具体的には、出力モードから出力停止モードへの移行時に、発振停止用として出力された制御パルス信号S<sub>r1</sub>を、再起動回路65が再起動用であると誤認識して、スイッチング電源20を再起動させてしまう誤動作を未然に回避できる。

【0121】

また、実施形態4では、発振停止用の信号か、再起動用の信号かを、制御パルス信号S<sub>r</sub>のパルス幅の大小によって識別する事から、実施形態1で設けた禁止回路75を廃止しており、再起動回路65は第二電源回路69から常時電力供給される構成となっている(図11参照)。尚、常時とは、出力モード、出力停止モードの双方という意味である。

【0122】

<実施形態5>

次に、本発明の実施形態5を図10、図12によって説明する。

実施形態1では、スイッチング電源20を出力モードから出力停止モードに移行させる場合と、出力停止モードから出力モードに移行させる場合で、モード制御ブロックB2から制御IC50に対して、パルス幅が同一の制御パルス信号S<sub>r</sub>を送った。

【0123】

実施形態5では、スイッチング電源20を出力モードから出力停止モードに移行させる場合と、出力停止モードから出力モードに移行させる場合で、制御パルス信号S<sub>r</sub>のパル

10

20

30

40

50

ス幅を変えるようにした。具体的には、図 10 に示すように、発振停止用はパルス幅の短い信号  $S r 1$  とし、再起動用はパルス幅の長い信号  $S r 2$  とした。

【 0 1 2 4 】

そして、図 12 に示すように、再起動回路 65 の入力段にフィルタ回路 68 を設けた。フィルタ回路 68 は、例えば抵抗とコンデンサによる積分回路であり、パルス幅の長い制御パルス信号だけを、再起動回路 65 へ入力させ、パルス幅の短いパルス制御信号は除去（フィルタリング）する。

【 0 1 2 5 】

このような構成にしておけば、再起動回路 65 には、再起動用として出力された制御パルス信号  $S r 2$  しか入力されない。そのため、制御入力ポート  $E N$  の共通化による回路の誤動作を防止できる。具体的には、出力モードから出力停止モードへの移行時に、発振停止用として出力された制御パルス信号  $S r 1$  を、再起動回路 65 が再起動用であると誤認識して、スイッチング電源 20 を再起動させてしまう誤動作を未然に回避できる。また、この構成では、実施形態 4 の場合と同様に、禁止回路 75 を廃止できる。加えて、例えば、実施形態 5 では、誤作動の原因となる信号を除去するので、パルス幅を検出して信号の適否を判別するものに比べて、誤動作をより確実に防止できるというメリットがある。

【 0 1 2 6 】

< 実施形態 6 >

次に、本発明の実施形態 6 を、図 13 によって説明する。

実施形態 1 では、モード制御ブロック B2 の出力停止モード時の電源として、コンデンサ（電気二重層キャパシタ）C4 を設けた例を示した。コンデンサ C4 を電源とする場合には、放電しきると、電源スイッチ S1 を再投入しない限り、制御装置 80 のモード制御ブロック B2 は完全にダウン（停止）する。

【 0 1 2 7 】

実施形態 6 は、モード制御ブロック B2 の出力停止モード時の電源として、太陽電池（本発明の「光電池」に相当）120 を使用する構成とした。太陽電池 120 を電源としておけば、発電した電気を消費し切ったとしても、光が当たれば再び発電して、モード制御ブロック B2 に電力を供給する。そのため、制御装置 80 のモード制御ブロック B2 が完全にダウンすることがない。

【 0 1 2 8 】

< 実施形態 7 >

次に、本発明の実施形態 7 を図 14 によって説明する。

実施形態 1 では、再起動回路 65 の電源用として第二電源回路 69 を設けた。実施形態 7 は、再起動回路 65 の電源用として、コンデンサ（電気二重層キャパシタ）C5 を設けた。具体的には、コンデンサ C5 は、制御 IC50 に対して外付けされており、順方向ダイオード D5 を介して第一電源回路 53 から充電電流の供給を受けて、出力モード中に充電される構成となっている。尚、コンデンサ C5 が本発明の「第二蓄電部」の一例である。

【 0 1 2 9 】

そして、再起動回路 65 は、出力モード中、第一電源回路 53 から電力供給されると共に、出力モードから出力停止モードに切り換わって、第一電源回路 53 が遮断されると、図 14 に示すようにコンデンサ C5 より電力供給される。この構成では、出力停止モード中、制御 IC50 は、コンデンサ C5 を電源として再起動回路 65 とコンデンサ電圧検出回路 71 だけが動いており、入力ライン  $L i n$  を通じた電力消費（AC 電源の電力消費）がない。そのため、一層省電力にできる。

【 0 1 3 0 】

また、実施形態 7 の制御 IC50 は、コンデンサ電圧検出回路 71 を備える。コンデンサ電圧検出回路 71 は、コンデンサ C5 の充電電圧  $V c h 2$  を検出して、充電電圧  $V c h 2$  が低下した（閾値を下回る）場合に、再起動回路 65 に指令を与えて、起動回路 51 を再起動させるものである。これにより、スイッチング電源 20 が出力停止モードから出力

10

20

30

40

50

モードに移行する結果、電圧の低下したコンデンサC5を再充電できる。尚、このものでは、コンデンサC5の設置に伴い、第二電源回路69を廃止している。

【0131】

<実施形態8>

次に、本発明の実施形態8を、図15、図16によって説明する。実施形態1では、再起動回路65の電源用として第二電源回路69を設けた。第二電源回路69は、高電圧入力ポートVHに接続されていて、入力ラインLin側から電源をとっていた。

【0132】

実施形態8は、再起動回路65の電源を電源ポートVCC、すなわち電圧発生回路32から得る構成にしている。具体的に説明すると、再起動回路65の電源となる第二電源回路73は、電力供給ラインL3を通じて、電源ポートVCCに連なっている。そして、電圧発生回路32から電圧を得て、再起動回路65に対して5Vの電源電圧にて電力を供給する構成となっている。尚、電圧発生回路32は、出力モード中にコンデンサC2、C6が充電されるので、出力停止モード中であっても、電力供給が可能である。すなわち、第二電源回路73は、出力停止モード中、コンデンサC2、C6の電圧を5Vに降圧して、再起動回路65へ出力する。

10

【0133】

この構成では、出力停止モード中、制御IC50は、第二電源回路73から電力の供給を受けて、再起動回路65とVCC検出回路56だけが動いており、入力ラインLinを通じた電力消費(AC電源の電力消費)がない。そのため、一層省電力にできる。

20

【0134】

そして、VCC検出回路56は、電源ポートVCCの電圧(コンデンサC2、C6の電圧)を検出して、電圧が低下(閾値を下回る)と、起動回路51を再起動させる。これにより、スイッチング電源20が出力停止モードから出力モードに移行する結果、コンデンサC2、C6は再充電される。

【0135】

また、実施形態1の電圧発生回路31は、コンデンサとダイオードからなる平滑回路がC2とD2の1段構成であったのに対して、実施形態8の電圧発生回路32は、C2とD2及び、C6とD6の2段構成となっている。このような構成にしているのは、制御IC50側の起動を早める(制御IC50側から電圧発生回路32のコンデンサに流す充電電流を少なくする)ためであり、コンデンサC6の静電容量をコンデンサC2の静電容量に対して小さな値に設定してある。尚、電圧発生回路32のコンデンサC2とコンデンサC6が、本発明の「第二蓄電部」の一例であり、コンデンサC2、C6は第二電圧回路73の電圧源(電力供給源)となっている。

30

【0136】

<実施形態9>

次に、本発明の実施形態9を図17、図18を参照して説明する。実施形態1では、禁止回路75の一例として、出力モード中、電源ラインL2を開路して再起動回路65を停止させることで、再起動回路65から起動回路51への出力を禁止したものを例示した。実施形態9は、禁止回路150を、論理回路により構成している点が、実施形態1と相違している。

40

【0137】

具体的に説明すると、禁止回路150は、図17に示すようにAND回路151から構成されている。AND回路151は2入力1出力となっており、A側の入力端子には第一電源回路53の出力電圧が入力され、B側の入力端子には再起動回路65の出力が入力される構成となっている。また、AND回路151の出力端子Cは起動回路51に接続されていて、AND回路151の出力が起動回路51へ入力される構成となっている。そして、AND回路151のA側の入力は負論理になっていて、抵抗R10によってグランドに接続されている。

【0138】

50

上記のようにAND回路151のA側の入力を負論理であることから、第一電源回路53の出力電圧がHighレベルの場合(別の言い方をすれば、第一電源回路53が5Vの電圧を発生させる出力モードの場合)、再起動回路65の出力に関係なく、AND回路151の出力はLowレベルになる。そのため、出力モード中、再起動回路65から起動回路51への再起動信号の出力は禁止される。

【0139】

一方、第一電源回路53の出力電圧がLowレベルの場合(別の言い方をすれば、第一電源回路53が5Vの電圧を発生させない出力停止モードの場合)、AND回路151の出力は、再起動回路65の出力に対応した出力となる。すなわち、再起動回路65の出力がHighレベルであれば、AND回路151の出力はHighレベル、再起動回路65の出力がLowレベルであれば、AND回路151の出力はLowレベルになる。よって、出力モード中は、再起動回路65の出力、すなわち再起動信号を起動回路51に送ることが可能である。

10

【0140】

尚、上記では、第一電源回路53の出力と再起動回路65の出力の論理を取るようにしたが、第一電源回路53の出力と再起動回路65の入力の論理をとっても、図17に示した禁止回路150と同じ回路動作を実行できる。すなわち出力モード中、再起動回路65から起動回路51への信号の出力を禁止し、出力停止モード中は再起動回路65から起動回路51への信号の入力を許可する動作を行うことが可能である。

【0141】

<他の実施形態>

本発明は上記記述及び図面によって説明した実施形態に限定されるものではなく、例えば次のような実施形態も本発明の技術的範囲に含まれる。

20

【0142】

(1)実施形態1~実施形態9では、電源システムSを、プリンタに使用する例を挙げたが、電気機器であれば、適用可能であり、電源システムSの用途はプリンタに限定されない。例えば、テレビやビデオなどの家電製品に広く使用できる。また、実施形態1~実施形態8では、電子写真式のプリンタを例示したが、インクジェット式のプリンタへの適用も可能である。

【0143】

(2)実施形態1~実施形態9では、半導体スイッチング素子としてFET(電界効果トランジスタ)を例示したが、バイポーラトランジスタを使用してもよい。

30

【0144】

(3)実施形態1~実施形態9では、再起動回路65と発振停止回路67で、制御入力ポートENを共通使用するものを例示した。これら両回路に対する信号の入力ポートは、図19に示すように別々、すなわち再起動回路65に対応して制御入力ポートENを設け、発振停止回路67に対して制御入力ポートDISEを設けるようにしてもよい。

【0145】

尚、ポートを分ける場合には、図20、図21に示すように、発振停止用と再起動用で、フォトカプラとドライブ用のトランジスタを別々に設ける必要がある。簡単に説明すると、制御IC50の制御入力ポートENに接続されたフォトリジスタPT2と発光ダイオードLED2が組になってフォトカプラを構成しており、制御IC50のDISEポートに接続されたフォトリジスタPT3と発光ダイオードLED3が組になってフォトカプラを構成している。そして、発光ダイオードLED2のドライブ用としてトランジスタ85を設ける一方、発光ダイオードLED3のドライブ用としてトランジスタ86を設けようとしておけばよい。このようにしておけば、ポートP3から出力した制御パルス信号は、制御IC50の制御入力ポートENに入力されることになり、ポートP7から出力した制御パルス信号は、制御IC50のDISEポートに入力されることになる。

40

【0146】

(4)実施形態1~実施形態9では、制御装置80の構成例としてメインブロックB1

50

と、モード制御ブロック B 2 の 2 つの機能ブロックを備えたものを例示した。制御装置 80 は、少なくともモード制御ブロック B 2 を備えていればよく、例えば、メインブロック B 1 を制御装置 80 とは別構成としてよい。

【 0 1 4 7 】

( 5 ) 実施形態 1 では、禁止回路 7 5 を電源ライン L 2 上に設けた例を示した。禁止回路 7 5 は、出力モード中、再起動回路 6 5 から起動回路 5 1 への信号の出力を禁止するものであればよく、例えば、図 2 2 に示すように、再起動回路 6 5 の出力側に禁止回路 7 5 を設けて、出力モード中は再起動回路 6 5 の出力ライン L 4 を開路するようにしてもよい。また、再起動回路 6 5 の入力側に禁止回路 7 5 を設けて、出力モード中は再起動回路 6 5 の入力ライン L 5 を開路するようにしてもよい。

10

【 0 1 4 8 】

( 6 ) 実施形態 1 の禁止回路 7 5 と、実施形態 9 の禁止回路 1 5 0 は、いずれも、出力モード中、再起動回路 6 5 から起動回路 5 1 への信号の出力を禁止するものであった。これら禁止回路 7 5 、 1 5 0 は、再起動回路 6 5 による再起動と発振停止回路 6 7 による発振停止の競合を避けることが出来ればよく、少なくとも、発振停止回路 6 7 がトランス 2 3 の発振を停止させる時に、再起動回路 6 5 が起動回路 5 1 を再起動させることを禁止出来ればよい。

【 0 1 4 9 】

尚、そのような回路動作を実現するには、発振停止回路 6 7 の出力を第一電源回路 5 3 に加えて、禁止回路 7 5 のトランジスタ 7 8 のベース B に入力させる構成として、発振停止回路 6 7 の出力中は、電源ライン L 2 を開路して再起動回路 6 5 を停止させればよい。これにて、発振停止回路 6 7 の出力中、再起動回路 6 5 から起動回路 5 1 への信号の出力は禁止される。

20

【 0 1 5 0 】

また、発振停止回路 6 7 の出力を第一電源回路 5 3 に加えて、AND 回路 1 5 1 の A 側の入力端子に入力させればよく、これにより、発振停止回路 6 7 の出力中は、再起動回路 6 5 の出力に関係なく、AND 回路 1 5 1 の出力が Low レベルになる。従って、発振停止回路 6 7 の出力中、再起動回路 6 5 から起動回路 5 1 への信号の出力は禁止される。

【 0 1 5 1 】

( 7 ) 実施形態 4 、 5 では、制御パルス信号 S r のパルス幅を次のように定めた。出力モードから出力停止モードへの移行用のパルス幅を狭くし、出力停止モードから出力モードへの移行用のパルス幅を広くした。パルス幅は、出力モード停止用への移行用と、出力モードへの移行用で異なっていればよく、実施形態 4 、 5 とは逆に、出力停止モードへの移行用のパルス幅を広くし、愁るカモードへの移行用のパルス幅を狭くしてもよい。尚、このような設定とした場合には、フィルタ回路 6 8 にてパルス幅の広い制御パルス信号を除去する必要がある。

30

【 符号の説明 】

【 0 1 5 2 】

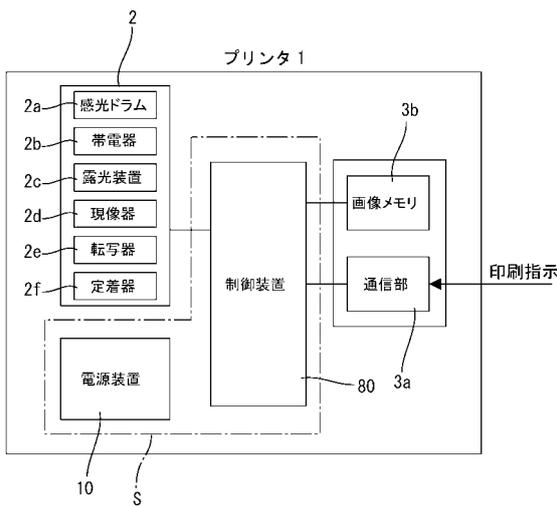
- 1 ... プリンタ ( 本発明の「画像形成装置」の一例 )
- 1 0 ... 電源装置
- 2 0 ... スイッチング電源
- 2 1 ... 整流平滑回路
- 2 3 ... トランス
- 2 5 ... F E T ( 本発明の「半導体スイッチング素子」の一例 )
- 2 7 ... 整流平滑回路
- 2 9 ... 電圧検出回路
- 5 0 ... 制御 I C ( 本発明の「スイッチ制御部」の一例 )
- 5 1 ... 起動回路
- 5 3 ... 第一電源回路
- 5 7 ... ドライバ回路

40

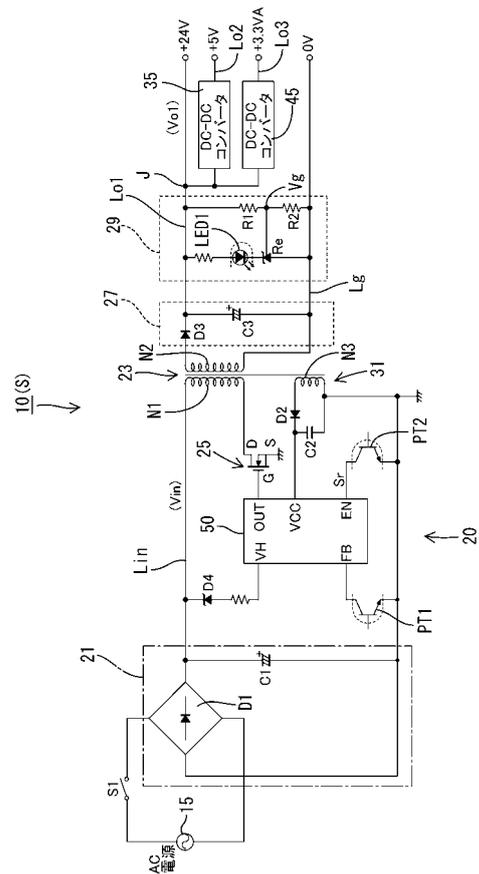
50

- 6 5 ...再起動回路
- 6 7 ...発振停止回路
- 6 8 ...フィルタ回路
- 6 9、7 3 ...第二電源回路
- 8 0 ...制御装置
- 1 0 0 ...メモリ (本発明の「記憶部」の一例)
- 1 2 0 ...太陽電池 (本発明の「光電池」の一例)
- B 1 ...メインブロック
- B 2 ...モード制御ブロック
- C 4 ...コンデンサ (本発明の「第一蓄電部」の一例)
- S ...電源システム
- S r ...制御パルス信号
- R 7 ...抵抗 (本発明の「検出部」の一例)
- P 6 ...チェックポート (本発明の「検出部」の一例)

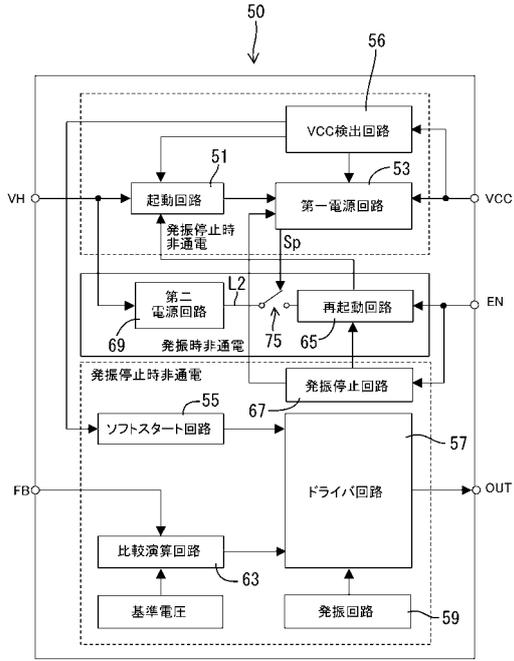
【図 1】



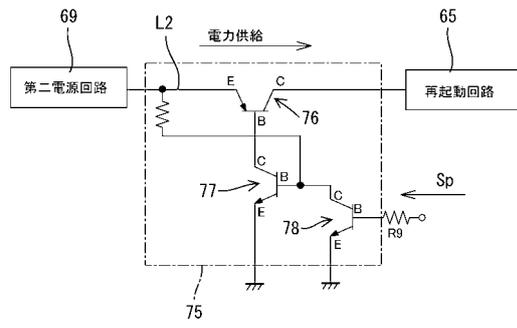
【図 2】



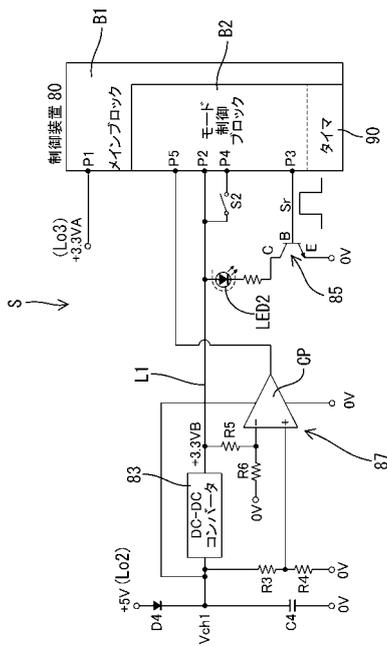
【図3】



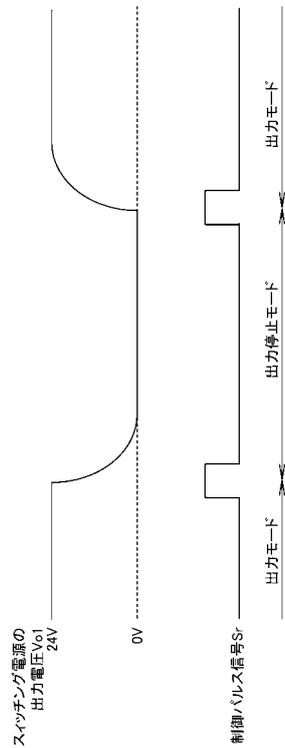
【図4】



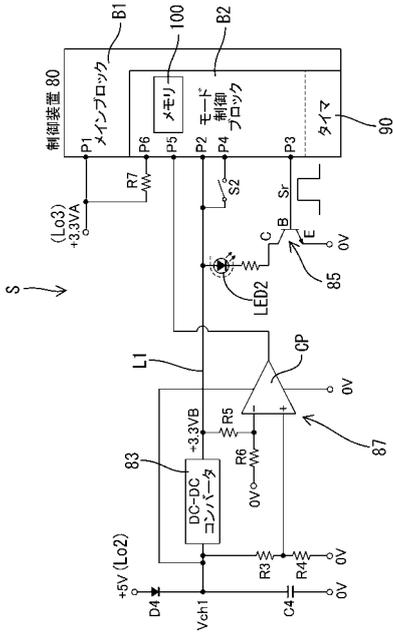
【図5】



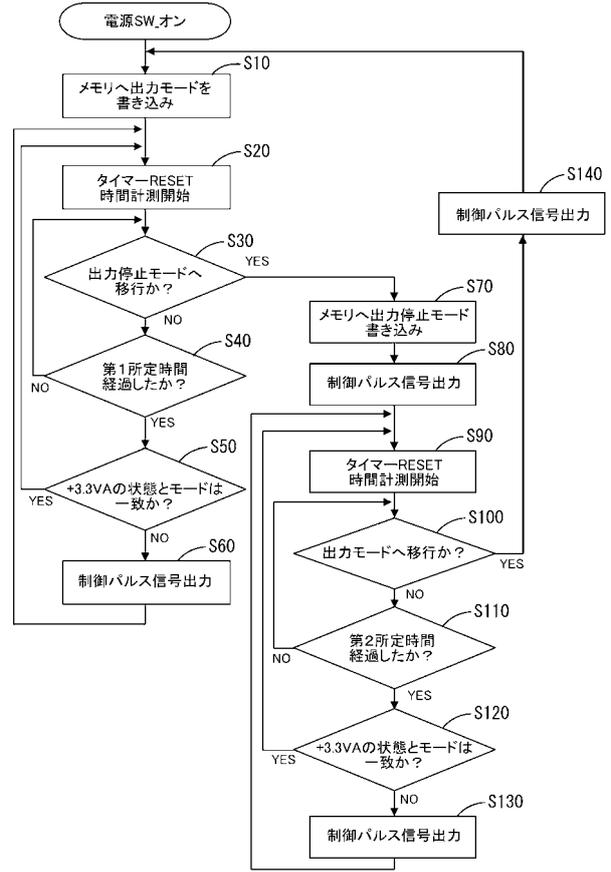
【図6】



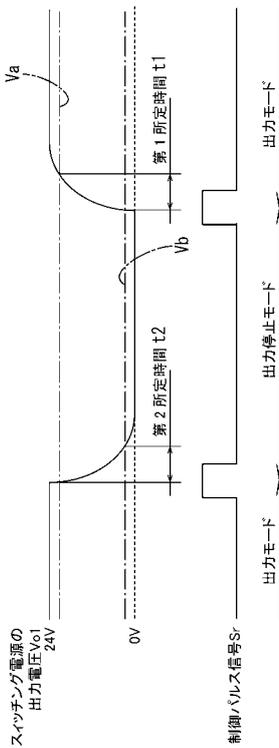
【図7】



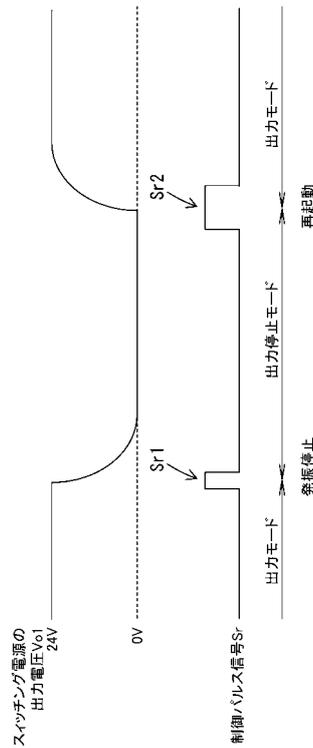
【図8】



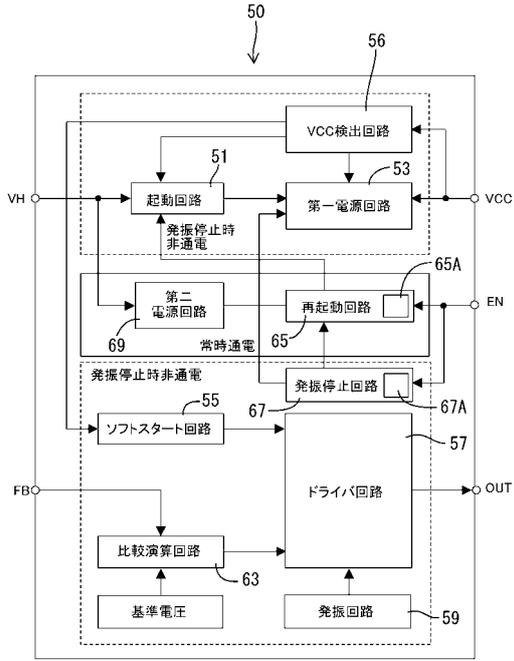
【図9】



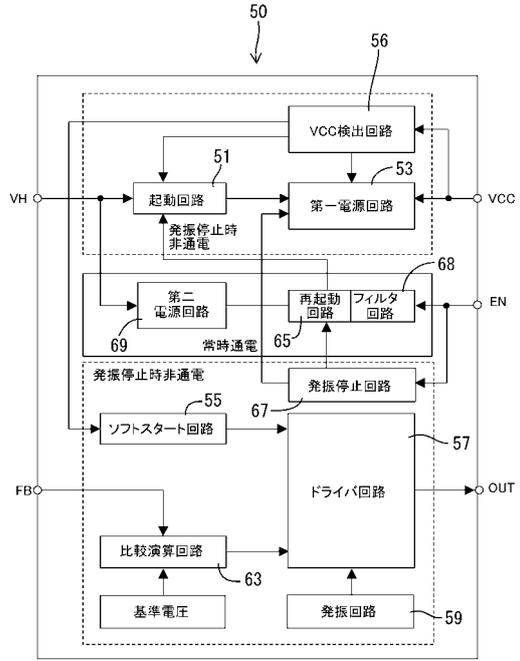
【図10】



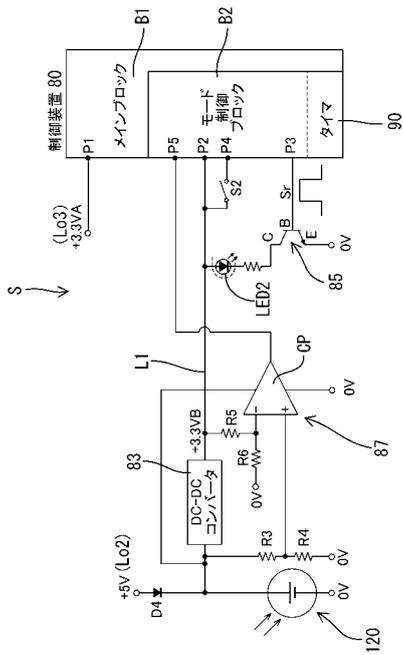
【図11】



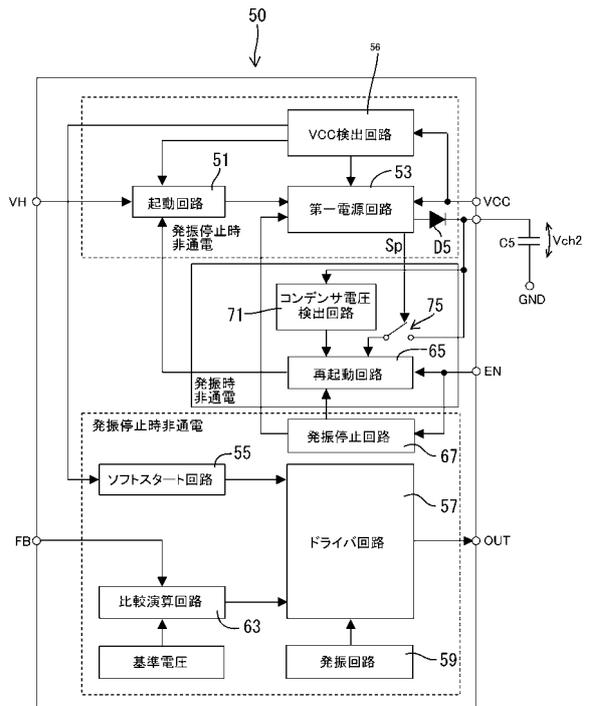
【図12】



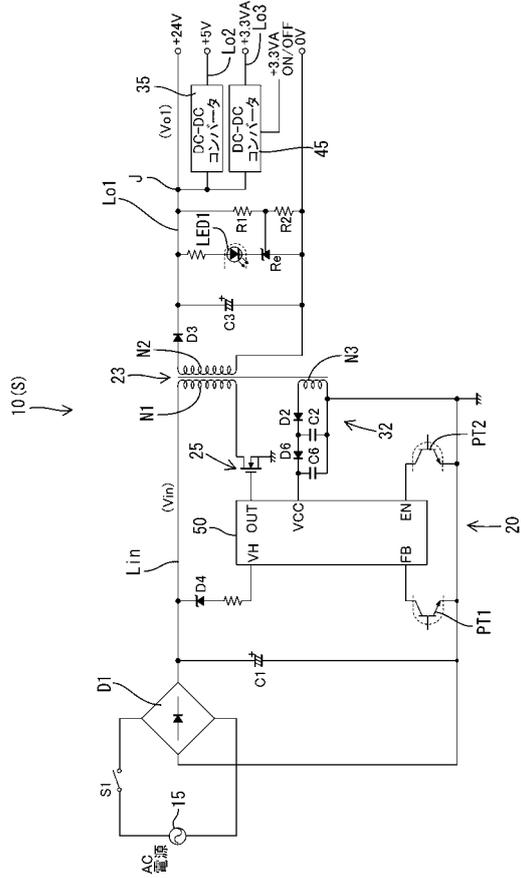
【図13】



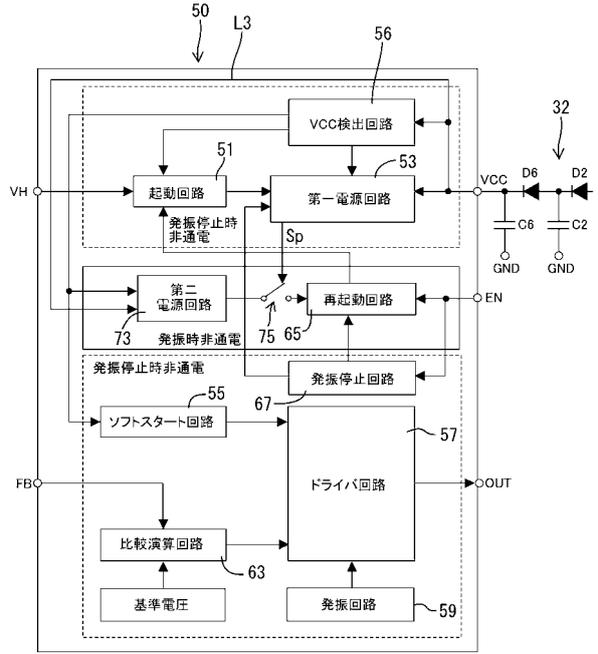
【図14】



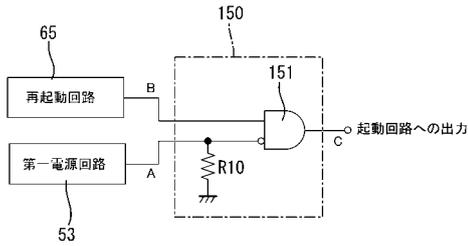
【図15】



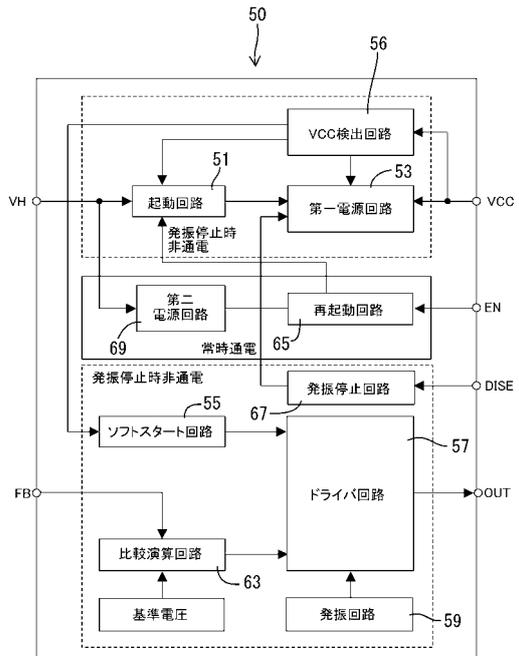
【図16】



【図17】



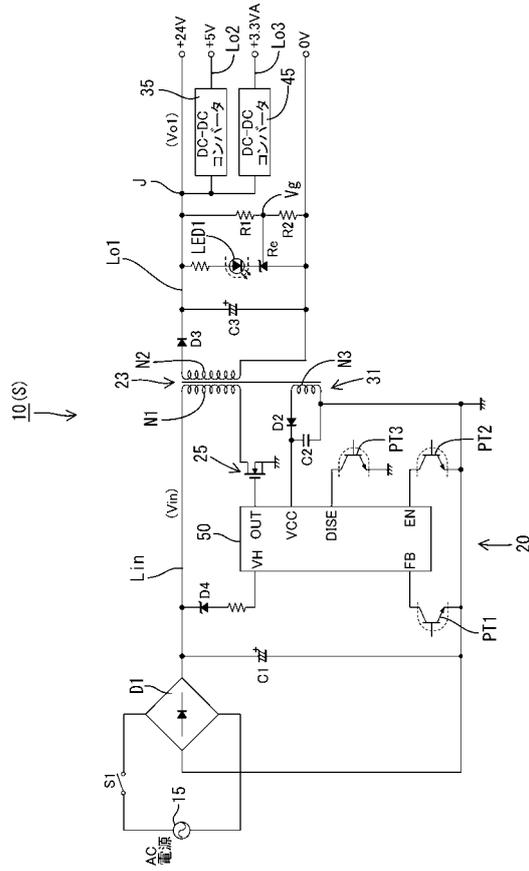
【図19】



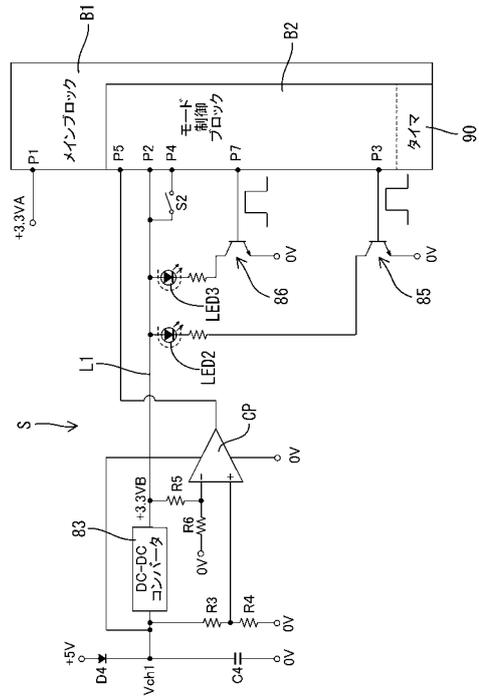
【図18】

	A	B	C
出力モード	H	H	L
	H	L	L
出力停止モード	L	H	H
	L	L	L

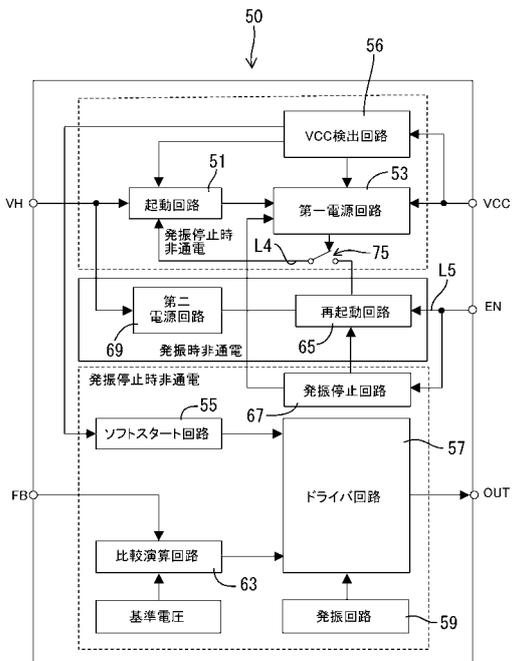
【図20】



【図21】



【図22】



---

フロントページの続き

(56)参考文献 特開平06-351238(JP,A)  
特開2009-278822(JP,A)  
特開平07-087734(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H02M 3/00-3/44