



(12)发明专利

(10)授权公告号 CN 107678333 B

(45)授权公告日 2020.03.31

(21)申请号 201710874969.5

(22)申请日 2017.09.25

(65)同一申请的已公布的文献号
申请公布号 CN 107678333 A

(43)申请公布日 2018.02.09

(73)专利权人 西南科技大学
地址 621000 四川省绵阳市涪城区青龙大道中段59号

(72)发明人 蔡波 朱王玉

(74)专利代理机构 北京青松知识产权代理事务所(特殊普通合伙) 11384

代理人 郑青松

(51) Int. Cl.
G05B 19/042(2006.01)

(56)对比文件

- CN 105491615 A, 2016.04.13,
- CN 103684456 A, 2014.03.26,
- CN 104391464 A, 2015.03.04,
- CN 107135129 A, 2017.09.05,
- CN 105487457 A, 2016.04.13,
- CN 106443630 A, 2017.02.22,
- CN 103731136 A, 2014.04.16,
- CN 105933005 A, 2016.09.07,
- ES 2221557 A1, 2004.12.16,

审查员 刘亦非

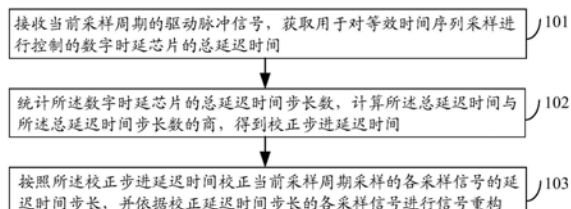
权利要求书2页 说明书8页 附图1页

(54)发明名称

一种基于等效时间序列采样的步长时间校正方法及装置

(57)摘要

本发明的实施例公开一种基于等效时间序列采样的步长时间校正方法及装置,所述基于等效时间序列采样的步长时间校正方法包括:接收当前采样周期的驱动脉冲信号,获取用于对等效时间序列采样进行控制的数字时延芯片的总延迟时间;统计所述数字时延芯片的总延迟时间步长数,计算所述总延迟时间与所述总延迟时间步长数的商,得到校正步进延迟时间;按照所述校正步进延迟时间校正当前采样周期采样的各采样信号的延迟时间步长,并依据校正延迟时间步长的各采样信号进行信号重构。应用本发明,可以提升等效时间序列采样精度、提高信号重构质量。



1. 一种基于等效时间序列采样的步长时间校正方法,其特征在于,包括:

接收当前采样周期的驱动脉冲信号,获取用于对等效时间序列采样进行控制的数字时延芯片的总延迟时间;

统计所述数字时延芯片的总延迟时间步长数,计算所述总延迟时间与所述总延迟时间步长数的商,得到校正步进延迟时间;

按照所述校正步进延迟时间校正当前采样周期采样的各采样信号的延迟时间步长,并依据校正延迟时间步长的各采样信号进行信号重构;

所述获取用于对等效时间序列采样进行控制的数字时延芯片的总延迟时间包括:

利用时间测量芯片,分别对数字时延芯片的起始延迟时间步长和终止延迟时间步长进行测量;

计算测量得到的终止延迟时间步长与起始延迟时间步长的差,得到总延迟时间;或者,

所述获取用于对等效时间序列采样进行控制的数字时延芯片的总延迟时间包括:

解析当前采样周期的驱动脉冲信号,获取包含的延迟步数;

如果获取的延迟步数等于预先设置的最大延迟步数阈值,在所述驱动脉冲信号触发时,利用所述时间测量芯片对数字时延芯片的延迟时间步长进行测量,得到总延迟时间;或者,

所述获取用于对等效时间序列采样进行控制的数字时延芯片的总延迟时间包括:

解析驱动脉冲信号,获取包含的延迟步数;

判断获取的延迟步数是否等于预先设置的最小延迟步数阈值,如果是,在所述驱动脉冲信号触发时,利用所述时间测量芯片对数字时延芯片进行时间测量;

如果获取的延迟步数大于预先设置的最小延迟步数阈值而小于最大延迟步数阈值,在上次利用时间测量芯片测量得到的累计时间的基础上,再进行时间测量;

如果获取的延迟步数等于最大延迟步数阈值,在上次利用时间测量芯片测量得到的累计时间的基础上,再进行时间测量,得到总累计延迟时间;

计算总累计延迟时间与总累计延迟时间步长数的商,乘以总延迟时间步长数,得到总延迟时间。

2. 根据权利要求1所述的基于等效时间序列采样的步长时间校正方法,其特征在于,所述方法还可以包括:

调整所述数字时延芯片的参数,使得所述数字时延芯片控制的下一采样周期的步进延迟时间为所述校正步进延迟时间。

3. 一种基于等效时间序列采样的步长时间校正装置,其特征在于,包括:总延迟时间计算模块、校正步进延迟时间计算模块以及信号重构模块,其中,

总延迟时间计算模块,用于接收当前采样周期的驱动脉冲信号,获取用于对等效时间序列采样进行控制的数字时延芯片的总延迟时间;

校正步进延迟时间计算模块,用于统计所述数字时延芯片的总延迟时间步长数,计算所述总延迟时间与所述总延迟时间步长数的商,得到校正步进延迟时间;

信号重构模块,用于按照所述校正步进延迟时间校正当前采样周期采样的各采样信号的延迟时间步长,并依据校正延迟时间步长的各采样信号进行信号重构;

所述总延迟时间计算模块包括:时间测量单元以及总延迟时间计算单元,其中,

时间测量单元,用于利用时间测量芯片,分别对数字时延芯片的起始延迟时间步长和终止延迟时间步长进行测量;

总延迟时间计算单元,用于计算测量得到的终止延迟时间步长与起始延迟时间步长的差,得到总延迟时间;或者,

所述总延迟时间计算模块包括:解析单元以及总延迟时间获取单元,其中,解析单元,用于解析当前采样周期的驱动脉冲信号,获取包含的延迟步数;

总延迟时间获取单元,如果获取的延迟步数等于预先设置的最大延迟步数阈值,在所述驱动脉冲信号触发时,利用所述时间测量芯片对数字时延芯片的延迟时间步长进行测量,得到总延迟时间;或者,

所述总延迟时间计算模块包括:解析单元、判断单元以及总延迟时间确定单元,其中,解析单元,用于解析驱动脉冲信号,获取包含的延迟步数;

判断单元,用于判断获取的延迟步数是否等于预先设置的最小延迟步数阈值,如果是,在所述驱动脉冲信号触发时,利用所述时间测量芯片对数字时延芯片进行时间测量;

如果获取的延迟步数大于预先设置的最小延迟步数阈值而小于最大延迟步数阈值,在上次利用时间测量芯片测量得到的累计时间的基础上,再进行时间测量;

如果获取的延迟步数等于最大延迟步数阈值,在上次利用时间测量芯片测量得到的累计时间的基础上,再进行时间测量,得到总累计延迟时间;

总延迟时间确定单元,用于计算总累计延迟时间与总累计延迟时间步长数的商,乘以总延迟时间步长数,得到总延迟时间。

4. 根据权利要求3所述的基于等效时间序列采样的步长时间校正装置,其特征在于,所述装置还包括:

参数校正模块,用于调整所述数字时延芯片的参数,使得所述数字时延芯片控制的下一采样周期的步进延迟时间为所述校正步进延迟时间。

一种基于等效时间序列采样的步长时间校正方法及装置

技术领域

[0001] 本发明涉及时间步长校正技术,尤其涉及一种基于等效时间序列采样的步长时间校正方法及装置。

背景技术

[0002] 等效时间序列采样,是指对于周期性信号或可重现信号,在信号的每一个周期上或者每隔整数周期上取出一个采样点,由取出的采样点按照一定的规律重构组成一个复现信号,新组成的复现信号的形状与原来信号的形状相似,并在时间刻度上比原信号增长了若干倍,从而实现利用较低的实时采样速率获取较高等效采样速率,将高频、快速的重复信号转换为低频、慢速的信号。

[0003] 等效时间序列采样也称为变换采样,包括序列变换采样和随机变换采样,在采样中,通常采用步进采样的方法,即在时间序列采样中,相邻两个采样点沿着时间轴的正方向移动,当前采样触发点的时间距离上一次采样触发点的时间有一个步进延迟时间,每次采样延续的时间为延迟时间步长,即当前的延迟时间步长相对于上一次的延迟时间步长,长一步进延迟时间,其中,步进延迟时间一般由数字时延芯片来实现时间序列延迟控制。

[0004] 目前的时间序列延迟控制技术主要包括:基于时钟的计数技术、直接频率合成(DDFS)技术、电路延时单元、延迟线技术以及斜波发生器技术等,并利用全数字延时锁相环PLL进行锁相环控制,从而实现时间序列延迟控制。但现有基于时间序列延迟控制的等效时间序列采样,由于不同的时间序列延迟控制元器件,其外接电阻、电容等组成的延迟电路在外部环境温度及器件参数变化时,其用于控制前后采集的步进延迟时间会产生一定的差异,从而导致等效时间序列采样得到的采样信号点之间的步进延迟时间发生变化,使得实际延迟时间步长对应的采样时间点与理论延迟时间步长对应的采样时间点不相一致(发生偏移),最终导致重构的复现信号的形状与原来信号的形状不相似,实现的信号重构质量较低、等效时间序列采样精度不高,而目前还没有提出针对数字时延芯片参数变化导致延迟步长变化而影响信号重构精度的技术方案。

发明内容

[0005] 有鉴于此,本发明实施例提供一种基于等效时间序列采样的步长时间校正方法及装置,能够提升等效时间序列采样精度、提高信号重构质量。

[0006] 第一方面,本发明实施例提供一种基于等效时间序列采样的步长时间校正方法,包括:

[0007] 接收当前采样周期的驱动脉冲信号,获取用于对等效时间序列采样进行控制的数字时延芯片的总延迟时间;

[0008] 统计所述数字时延芯片的总延迟时间步长数,计算所述总延迟时间与所述总延迟时间步长数的商,得到校正步进延迟时间;

[0009] 按照所述校正步进延迟时间校正当前采样周期采样的各采样信号的延迟时间步

长,并依据校正延迟时间步长的各采样信号进行信号重构。

[0010] 较佳地,所述方法还可以包括:

[0011] 调整所述数字时延芯片的参数,使得所述数字时延芯片控制的下一采样周期的步进延迟时间为所述校正步进延迟时间。

[0012] 较佳地,所述获取用于对等效时间序列采样进行控制的数字时延芯片的总延迟时间包括:

[0013] 利用所述时间测量芯片,分别对数字时延芯片的起始延迟时间步长和终止延迟时间步长进行测量;

[0014] 计算测量得到的终止延迟时间步长与起始延迟时间步长的差,得到总延迟时间。

[0015] 较佳地,所述获取用于对等效时间序列采样进行控制的数字时延芯片的总延迟时间包括:

[0016] 解析当前采样周期的驱动脉冲信号,获取包含的延迟步数;

[0017] 如果获取的延迟步数等于预先设置的最大延迟步数阈值,在所述驱动脉冲信号触发时,利用所述时间测量芯片对数字时延芯片的延迟时间步长进行测量,得到总延迟时间。

[0018] 较佳地,所述获取用于对等效时间序列采样进行控制的数字时延芯片的总延迟时间包括:

[0019] 解析驱动脉冲信号,获取包含的延迟步数;

[0020] 判断获取的延迟步数是否等于预设的最小延迟步数阈值,如果是,在所述驱动脉冲信号触发时,利用所述时间测量芯片对数字时延芯片进行时间测量;

[0021] 如果获取的延迟步数大于预先设置的最小延迟步数阈值而小于最大延迟步数阈值,在上次利用时间测量芯片测量得到的累计时间的基础上,再进行时间测量;

[0022] 如果获取的延迟步数等于最大延迟步数阈值,在上次利用时间测量芯片测量得到的累计时间的基础上,再进行时间测量,得到总累计延迟时间;

[0023] 计算总累计延迟时间与总累计延迟时间步长数的商,乘以总延迟时间步长数,得到总延迟时间。

[0024] 第二方面,本发明实施例提供一种基于等效时间序列采样的步长时间校正装置,包括:总延迟时间计算模块、校正步进延迟时间计算模块以及信号重构模块,其中,

[0025] 总延迟时间计算模块,用于接收当前采样周期的驱动脉冲信号,获取用于对等效时间序列采样进行控制的数字时延芯片的总延迟时间;

[0026] 校正步进延迟时间计算模块,用于统计所述数字时延芯片的总延迟时间步长数,计算所述总延迟时间与所述总延迟时间步长数的商,得到校正步进延迟时间;

[0027] 信号重构模块,用于按照所述校正步进延迟时间校正当前采样周期采样的各采样信号的延迟时间步长,并依据校正延迟时间步长的各采样信号进行信号重构。

[0028] 较佳地,所述装置还可以包括:

[0029] 参数校正模块,用于调整所述数字时延芯片的参数,使得所述数字时延芯片控制的下一采样周期的步进延迟时间为所述校正步进延迟时间。

[0030] 较佳地,所述总延迟时间计算模块包括:时间测量单元以及总延迟时间计算单元,其中,

[0031] 时间测量单元,用于利用所述时间测量芯片,分别对数字时延芯片的起始延迟时

间步长和终止延迟时间步长进行测量；

[0032] 总延迟时间计算单元,用于计算测量得到的终止延迟时间步长与起始延迟时间步长的差,得到总延迟时间。

[0033] 本发明实施例提供一种基于等效时间序列采样的步长时间校正方法及装置,通过接收当前采样周期的驱动脉冲信号,获取用于对等效时间序列采样进行控制的数字时延芯片的总延迟时间;统计所述数字时延芯片的总延迟时间步长数,计算所述总延迟时间与所述总延迟时间步长数的商,得到校正步进延迟时间;按照所述校正步进延迟时间校正当前采样周期采样的各采样信号的延迟时间步长,并依据校正延迟时间步长的各采样信号进行信号重构,这样,在当前采样周期内依据相应延迟时间步长对信号分别进行采样的同时,通过统计实际的总延迟时间以及总延迟时间步长数得到校正步进延迟时间,从而依据校正步进延迟时间对相应延迟时间步长进行重新计算,作为对应采样信号的延迟时间步长,能够提升等效时间序列采样精度、提高信号重构质量。

附图说明

[0034] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其它的附图。

[0035] 图1为本发明的实施例一基于等效时间序列采样的步长时间校正方法流程示意图;

[0036] 图2为本发明的实施例二基于等效时间序列采样的步长时间校正方法具体流程示意图;

[0037] 图3为本发明的实施例三基于等效时间序列采样的步长时间校正装置结构示意图。

具体实施方式

[0038] 下面结合附图对本发明实施例进行详细描述。

[0039] 应当明确,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其它实施例,都属于本发明保护的范围。

[0040] 本实施例中,在对宽带信号进行等效时间序列采样的过程中,采样器相当于一定时开关,它每隔预定的采样周期 T 闭合一次,每次闭合时间为 τ 秒,从而得到采样信号。因而,采样器的输入为模拟信号 $x(t)$,输出为理想的脉冲序列 $y(t)$,每一脉冲的强度等于对应时刻的模拟信号幅值。

[0041] 将在 $t=kT$ 位置的采样信号进行离散化,可得:

$$[0042] \quad y(t) = y(kT) = x(t) \times \sum_{k=-\infty}^{\infty} \delta(t - kT)$$

[0043] 不同于实时采样,等效时间序列采样是在每一采样周期 T 内,只采集一个或多个采集点信息,然后通过调整不同的采样时间点(不同的延迟时间步长),来完成对整个信号的多点采样,最后将这些采集到的信息组合在一起从而恢复被采信号的全部信息。其中,对于

超宽带等雷达回波信号,系统时延要求达到十几到几十个皮秒(ps),延迟电路上的各种参数变化对延迟时间步长会产生影响,使得延迟电路中依据电路参数计算的延迟时间步长同实际延迟时间步长会存在一定的差异性,特别是在较大延迟时间条件下,会出现步长时间的累加。因而,时延(步进延迟时间或延迟时间步长)的准确性决定了重构信号的真实性和精度,在等效时间序列采样等对延迟时间步长精度要求较高的条件下,被采样信号要得到准确重构,步进延迟时间精度必须保持较高的精度。

[0044] 由于在等效时间序列采样的重构过程中,各采样点之间的时延(步进延迟时间或延迟时间步长)的准确性决定了重构信号的准确性。本发明实施例在等效时间序列采样原理的基础上,重点从步进延迟时间的稳定性进行改进和处理,对延迟时间步长进行测量得到实际的步进延迟时间,从而以测量得到的步进延迟时间对各信号的延迟时间步长进行修正。

[0045] 图1为本发明的实施例一基于等效时间序列采样的步长时间校正方法流程图,如图1所示,本实施例的方法可以包括:

[0046] 步骤101,接收当前采样周期的驱动脉冲信号,获取用于对等效时间序列采样进行控制的数字时延芯片的总延迟时间;

[0047] 步骤102,统计所述数字时延芯片的总延迟时间步长数,计算所述总延迟时间与所述总延迟时间步长数的商,得到校正步进延迟时间;

[0048] 步骤103,按照所述校正步进延迟时间校正当前采样周期采样的各采样信号的延迟时间步长,并依据校正延迟时间步长的各采样信号进行信号重构。

[0049] 本发明实施例中,通过在当前采样周期内,获取用于对等效时间序列采样进行控制的数字时延芯片的总延迟时间,依据数字时延芯片的总延迟时间步长数,计算总延迟时间与总延迟时间步长数的商,得到校正步进延迟时间,然后,按照校正步进延迟时间校正当前采样周期采样的各采样信号的延迟时间步长,并依据校正延迟时间步长的各采样信号进行信号重构。这样,在当前采样周期内依据相应延迟时间步长对信号分别进行采样的同时,通过统计实际的总延迟时间以及总延迟时间步长数得到校正步进延迟时间,从而依据校正步进延迟时间对相应延迟时间步长进行重新计算,作为对应采样信号的延迟时间步长,从而能够使得数字时延芯片的外接电阻、电容等组成的延迟电路受外部环境温度的累积变化影响降至最小,有效降低了各采样周期内的实际步进延迟时间与理论步进延迟时间的误差,使得各延迟时间步长分别对应的采样时间点与理论延迟时间步长对应的采样时间点趋近于相一致,能够使重构的复现信号的形状与原来信号的形状相似,从而提升了信号重构质量以及等效时间序列采样精度。

[0050] 本发明实施例中,作为一可选实施例,还可以依据校正步进延迟时间对数字时延芯片的参数进行调整,以消除当前累积的外部环境的影响,使得数字时延芯片控制的下一采样周期的步进延迟时间为校正步进延迟时间,并作为下一采样周期各采样点及延迟时间步长的依据,因而,该方法还可以包括:

[0051] 调整所述数字时延芯片的参数,使得所述数字时延芯片控制的下一采样周期的步进延迟时间为所述校正步进延迟时间。

[0052] 本发明实施例中,通过对下一采样周期的步进延迟时间依据最近的采样周期进行动态校正,能够使得外部环境对数字时延芯片的影响降至最小,从而降低器件参数变化的

幅度,有效降低下一采样周期内的实际步进延迟时间(依据该下一采样周期计算得到的校正步进延迟时间)与理论步进延迟时间(依据上一采样周期计算得到的校正步进延迟时间)的误差,使得各延迟时间步长分别对应的采样时间点与理论延迟时间步长对应的采样时间点趋近于相一致。

[0053] 本发明实施例中,作为一可选实施例,获取用于对等效时间序列采样进行控制的数字时延芯片的总延迟时间包括:

[0054] 利用时间测量芯片,分别对数字时延芯片的起始延迟时间步长和终止延迟时间步长进行测量;

[0055] 计算测量得到的终止延迟时间步长与起始延迟时间步长的差,得到总延迟时间。

[0056] 本发明实施例中,信号采样点的延迟时间步长一般为十几或几十ps左右,因而,单一延迟时间步长的时间测量很难实现更高精度的时间校正。考虑到数字延迟芯片(如8位或10位)的总延迟时间步长数通常在0-255步或更大,因而,可以采用高精度时间测量芯片,直接测量最小延迟时间步长和最大延迟时间步长之间的时间差方式来校正步进延迟时间。

[0057] 数字延时芯片的主要功能是实现延时步长的数字调节,当输入控制数字为0x00时,表示对输入脉冲无延迟输出,或步进延迟时间为0;当输入控制数字为0xff时,表示对输入脉冲延迟255个步进延迟时间后输出。

[0058] 本发明实施例中,采样器依据延迟时间步长,依次采集波形中不同时刻($t_0, t_1, t_2, \dots, t_n$)的波形值,相邻时刻之差为延迟时间步长,然后按照延迟时间步长重构被采集信号。

[0059] 本发明实施例中,由于延迟时间步长通常容易受电路参数及环境影响,为了提高延迟时间步长精度,采样具有较高精度的时间测量芯片如GP22(均方误差约50ps)来测量数字时延芯片的最小延迟时间步长与最大延迟时间步长之间的时间差($t_n - t_0$),即总延迟时间,该时间差是所有延迟时间步长的一个累积延迟时间,用该时间差除以延迟时间步数N(总延迟时间步长数),便可得到该等效时间序列采样的步进延迟时间。

[0060] 本发明实施例中,利用下式计算校正步进延迟时间:

$$[0061] \quad \zeta = \frac{t_n - t_0}{N}$$

[0062] 式中,

[0063] ζ 为校正步进延迟时间;

[0064] t_n 为当前采样周期内的终止延迟时间步长;

[0065] t_0 为当前采样周期内的起始延迟时间步长;

[0066] N为总延迟时间步长数。

[0067] 本发明实施例中, $(t_1 - t_0)$ 、 $(t_2 - t_1)$ 、 \dots 、 $(t_n - t_{n-1})$ 均为步进延迟时间。

[0068] 本发明实施例中,作为另一可选实施例,获取用于对等效时间序列采样进行控制的数字时延芯片的总延迟时间包括:

[0069] 解析当前采样周期的驱动脉冲信号,获取包含的延迟步数;

[0070] 如果获取的延迟步数等于预先设置的最大延迟步数阈值,在所述驱动脉冲信号触发时,利用时间测量芯片对数字时延芯片的延迟时间步长进行测量,得到总延迟时间。

[0071] 本发明实施例中,作为再一可选实施例,获取用于对等效时间序列采样进行控制

的数字时延芯片的总延迟时间包括：

[0072] 解析驱动脉冲信号，获取包含的延迟步数；

[0073] 判断获取的延迟步数是否等于预先设置的最小延迟步数阈值，如果是，在所述驱动脉冲信号触发时，利用所述时间测量芯片对数字时延芯片进行时间测量；

[0074] 如果获取的延迟步数大于预先设置的最小延迟步数阈值而小于最大延迟步数阈值，在上次利用时间测量芯片测量得到的累计时间的基础上，再进行时间测量；

[0075] 如果获取的延迟步数等于最大延迟步数阈值，在上次利用时间测量芯片测量得到的累计时间的基础上，再进行时间测量，得到总累计延迟时间；

[0076] 计算总累计延迟时间与总累计延迟时间步长数的商，乘以总延迟时间步长数，得到总延迟时间。

[0077] 本发明实施例中，通过数字时延芯片产生采样脉冲来实现信号的等效采样，对于数字时延芯片的起始延迟时间步长和终止延迟时间步长，利用采样时间测量芯片进行高精度测量，得到总累计延迟时间，将总累计延迟时间除以所有延迟时间步长数，得到校正步进延迟时间，利用校正步进延迟时间修正数字时延芯片的延迟时间步长，将修正的延迟时间步长作为当前等效采样周期的各采样点及时间步长，具有在不同采样周期内适应电路参数等变化而引起的延迟时间步长变化，从而修正等效时间序列采样中延迟时间步长的功能。

[0078] 图2为本发明的实施例二基于等效时间序列采样的步长时间校正方法具体流程示意图。参见图2，该流程包括：

[0079] 步骤21，数字时延芯片接收驱动脉冲信号，进行延迟处理；

[0080] 步骤22，输出延迟的步进脉冲信号；

[0081] 步骤23，采样器的采样门接收步进脉冲信号；

[0082] 步骤24，依据步进脉冲信号进行采样，得到取样信号；

[0083] 步骤25，利用时间测量芯片对数字时延芯片的最小延迟以及最大延迟进行测量；

[0084] 本步骤可以在步骤22之前执行。

[0085] 步骤26，依据最小延迟以及最大延迟进行步进延迟时间计算，并依据计算的步进延迟时间得到各延迟时间步长；

[0086] 步骤27，依据延迟时间步长对取样信号进行重构。

[0087] 本发明实施例中，将计算得到的第一延迟时间步长作为第一个取样信号的取样时刻，将计算得到的第二延迟时间步长作为第二个取样信号的取样时刻，如此类推，直至将计算得到的最后一个延迟时间步长作为最后一个取样信号的取样时刻，并由此进行信号重构，其中，第一延迟时间步长至最后一个延迟时间步长依次递增。

[0088] 本发明实施例中，步骤22至步骤24为信号采样(取样)过程，步骤25至步骤26为步进延迟时间校正过程，通过采用具有较高精度时间测量芯片，对延迟芯片输出的最小、最大延迟时间进行测量，并计算两不同延迟输出的时间差异，然后通过计算得到单步延迟时间的测量值(步进延迟时间)，并以此步进延迟时间来校正数字时延芯片的各延迟时间步长，从而提高信号重构精度。

[0089] 图3为本发明的实施例三基于等效时间序列采样的步长时间校正装置结构示意图。参见图3，该装置包括：总延迟时间计算模块301、校正步进延迟时间计算模块302以及信号重构模块303，其中，

[0090] 总延迟时间计算模块301,用于接收当前采样周期的驱动脉冲信号,获取用于对等效时间序列采样进行控制的数字时延芯片的总延迟时间;

[0091] 校正步进延迟时间计算模块302,用于统计所述数字时延芯片的总延迟时间步长数,计算所述总延迟时间与所述总延迟时间步长数的商,得到校正步进延迟时间;

[0092] 信号重构模块303,用于按照所述校正步进延迟时间校正当前采样周期采样的各采样信号的延迟时间步长,并依据校正延迟时间步长的各采样信号进行信号重构。

[0093] 本发明实施例中,作为一可选实施例,该装置还可以包括:

[0094] 参数校正模块(图中未示出),用于调整所述数字时延芯片的参数,使得所述数字时延芯片控制的下一采样周期的步进延迟时间为所述校正步进延迟时间。

[0095] 本发明实施例中,作为一可选实施例,总延迟时间计算模块301包括:时间测量单元以及总延迟时间计算单元(图中未示出),其中,

[0096] 时间测量单元,用于利用所述时间测量芯片,分别对数字时延芯片的起始延迟时间步长和终止延迟时间步长进行测量;

[0097] 总延迟时间计算单元,用于计算测量得到的终止延迟时间步长与起始延迟时间步长的差,得到总延迟时间。

[0098] 本发明实施例中,作为另一可选实施例,总延迟时间计算模块301可以包括:解析单元以及总延迟时间获取单元,其中,

[0099] 解析单元,用于解析当前采样周期的驱动脉冲信号,获取包含的延迟步数;

[0100] 总延迟时间获取单元,如果获取的延迟步数等于预先设置的最大延迟步数阈值,在所述驱动脉冲信号触发时,利用所述时间测量芯片对数字时延芯片的延迟时间步长进行测量,得到总延迟时间。

[0101] 本发明实施例中,作为再一可选实施例,总延迟时间计算模块301可以包括:解析单元、判断单元以及总延迟时间确定单元,其中,

[0102] 解析单元,用于解析驱动脉冲信号,获取包含的延迟步数;

[0103] 判断单元,用于判断获取的延迟步数是否等于预先设置的最小延迟步数阈值,如果是,在所述驱动脉冲信号触发时,利用所述时间测量芯片对数字时延芯片进行时间测量;

[0104] 如果获取的延迟步数大于预先设置的最小延迟步数阈值而小于最大延迟步数阈值,在上次利用时间测量芯片测量得到的累计时间的基础上,再进行时间测量;

[0105] 如果获取的延迟步数等于最大延迟步数阈值,在上次利用时间测量芯片测量得到的累计时间的基础上,再进行时间测量,得到总累计延迟时间;

[0106] 总延迟时间确定单元,用于计算总累计延迟时间与总累计延迟时间步长数的商,乘以总延迟时间步长数,得到总延迟时间。

[0107] 需要说明的是,在本文中,诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来,而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且,术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含,从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素,而且还包括没有明确列出的其他要素,或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下,由语句“包括一个……”限定的要素,并不排除在包括所述要素的过程、方法、物品或者设备中还存在另外的相同要素。

[0108] 本说明书中的各个实施例均采用相关的方式描述,各个实施例之间相同相似的部分互相参见即可,每个实施例重点说明的都是与其他实施例的不同之处。

[0109] 尤其,对于装置实施例而言,由于其基本相似于方法实施例,所以描述的比较简单,相关之处参见方法实施例的部分说明即可。

[0110] 在流程图中表示或在此以其他方式描述的逻辑和/或步骤,例如,可以被认为是用于实现逻辑功能的可执行指令的定序列列表,可以具体实现在任何计算机可读介质中,以供指令执行系统、装置或设备(如基于计算机的系统、包括处理器的系统或其他可以从指令执行系统、装置或设备取指令并执行指令的系统)使用,或结合这些指令执行系统、装置或设备而使用。就本说明书而言,“计算机可读介质”可以是任何可以包含、存储、通信、传播或传输程序以供指令执行系统、装置或设备或结合这些指令执行系统、装置或设备而使用的装置。计算机可读介质的更具体的示例(非穷尽性列表)包括以下:具有一个或多个布线的电连接部(电子装置),便携式计算机盘盒(磁装置),随机存取存储器(RAM),只读存储器(ROM),可擦除可编程只读存储器(EPROM或闪速存储器),光纤装置,以及便携式光盘只读存储器(CDROM)。另外,计算机可读介质甚至可以是可在其上打印所述程序的纸或其他合适的介质,因为可以例如通过对纸或其他介质进行光学扫描,接着进行编辑、解译或必要时以其他合适方式进行处理来以电子方式获得所述程序,然后将其存储在计算机存储器中。

[0111] 应当理解,本发明的各部分可以用硬件、软件、固件或它们的组合来实现。

[0112] 在上述实施方式中,多个步骤或方法可以用存储在存储器中且由合适的指令执行系统执行的软件或固件来实现。例如,如果用硬件来实现,和在另一实施方式中一样,可用本领域公知的下列技术中的任一项或他们的组合来实现:具有用于对数据信号实现逻辑功能的逻辑门电路的离散逻辑电路,具有合适的组合逻辑门电路的专用集成电路,可编程门阵列(PGA),现场可编程门阵列(FPGA)等。

[0113] 本技术领域的普通技术人员可以理解实现上述实施例方法携带的全部或部分步骤是可以通过程序来指令相关的硬件完成,所述的程序可以存储于一种计算机可读存储介质中,该程序在执行时,包括方法实施例的步骤之一或其组合。

[0114] 为了描述的方便,描述以上装置是以功能分为各种单元/模块分别描述。当然,在实施本发明时可以把各单元/模块的功能在同一个或多个软件和/或硬件中实现。

[0115] 通过以上的实施方式的描述可知,本领域的技术人员可以清楚地了解到本发明可借助软件加必需的通用硬件平台的方式来实现。基于这样的理解,本发明的技术方案本质上或者说对现有技术做出贡献的部分可以以软件产品的形式体现出来,该计算机软件产品可以存储在存储介质中,如ROM/RAM、磁碟、光盘等,包括若干指令用以使得一台计算机设备(可以是个人计算机,服务器,或者网络设备等)执行本发明各个实施例或者实施例的某些部分所述的方法。

[0116] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到的变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以权利要求的保护范围为准。

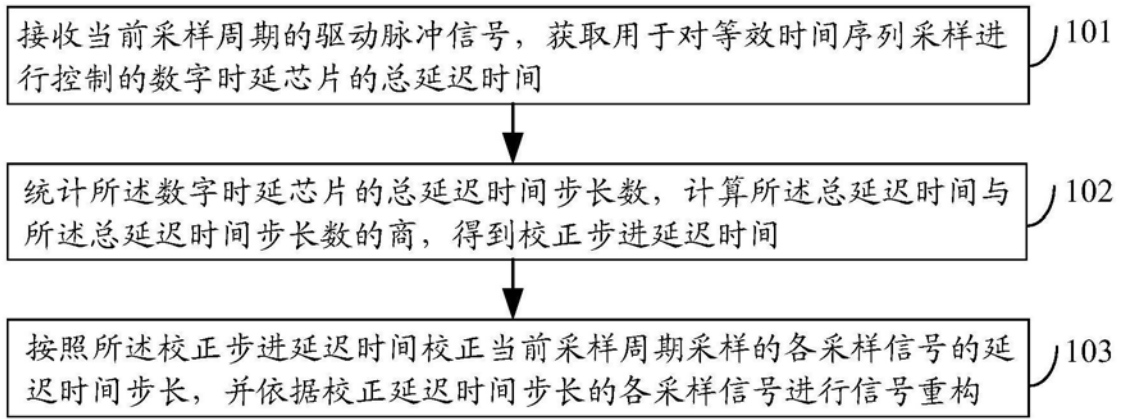


图1

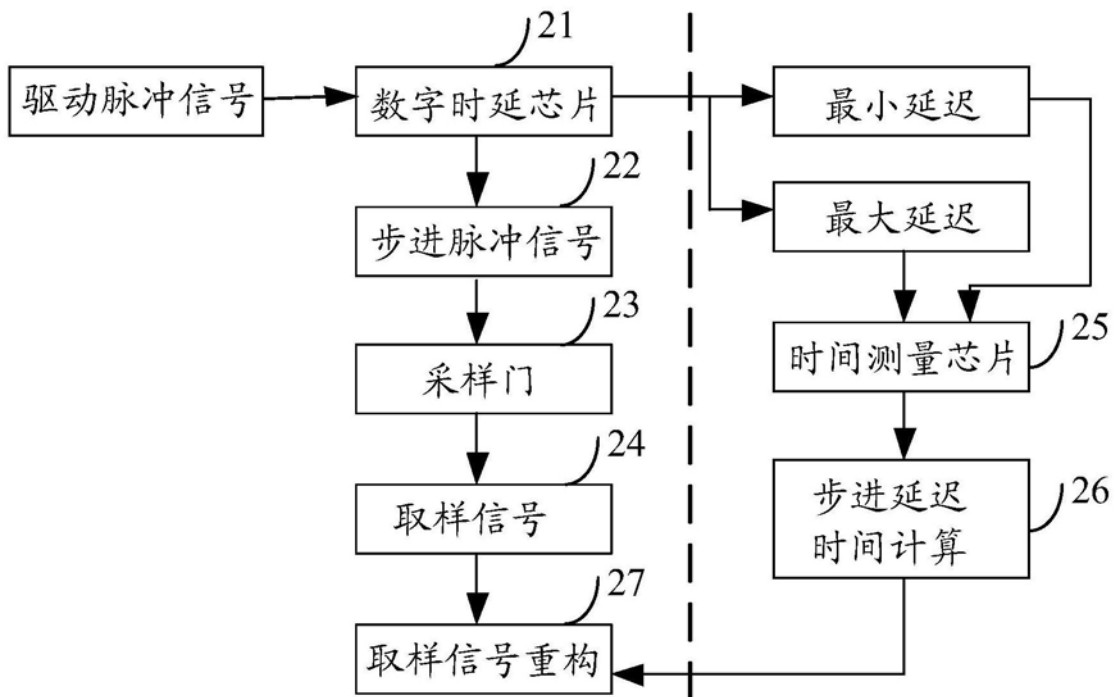


图2

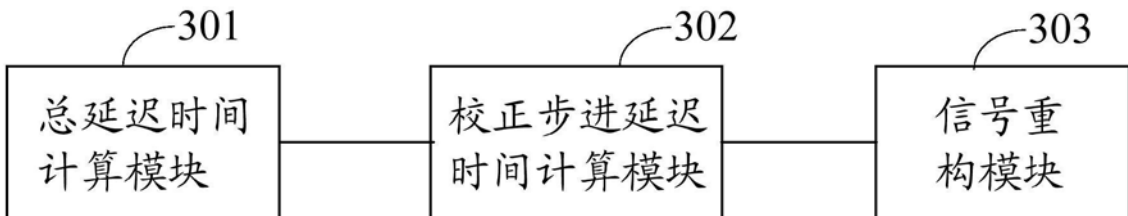


图3