(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
G11C 16/00 (2006.01)

(45) 공고일자 2007년05월30일
(11) 등록번호 10-0723777
(24) 등록일자 2007년05월23일

(21) 출원번호 10-2005-0030063
(22) 출원일자 2005년04월11일
심사청구일자 2006년02월06일

(65) 공개번호 10-2006-0107708
(43) 공개일자 2006년10월16일

(73) 특허권자 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 김의석
경기도 용인시 기흥읍 상갈리 461 금화마을 대우현대@112-1202

(74) 대리인 신영무

(56) 선행기술조사문헌
US07096137, US07061825, US07031217

심사관 : 조명관

전체 청구항 수 : 총 5 항

(54) 오토리드 회로

(57) 요약

본 발명은 오토리드(autoread) 회로에 관한 것으로, 외부 전원 전압의 변화에도 일정한 레벨로 유지되는 내부 전원 전압을 생성하고, 내부 전원 전압에 따라 파워 온 리셋 신호를 생성하고, 파워 온 리셋 신호에 따라 오토리드 신호를 생성함으로써 내부 전원 전압을 이용하는 회로들이 정상적으로 동작할 수 있는 상태에서 오토리드 동작을 수행하도록 하여 셀의 데이터를 정확하게 리드할 수 있어 소자의 신뢰성을 향상시킬 수 있는 오토리드 회로가 제시된다.

대표도

도 3

특허청구의 범위

청구항 1.

외부 전원 전압이 상승함에 따라 상승하는 내부 전원 전압을 생성하고, 상기 내부 전원 전압과 기준 전압을 비교하여 그 결과에 따라 상기 내부 전원 전압이 일정한 레벨을 유지하도록 하기 위한 내부 전원 전압 발생 회로;

상기 내부 전원 전압의 변화를 검출하고, 상기 내부 전원 전압이 소정 레벨 이상 유지할 경우 파워 온 리셋 신호를 발생시키기 위한 파워 온 리셋 회로; 및

상기 파워 온 리셋 신호에 따라 오토리드 신호를 발생시키기 위한 펄스 발생 회로를 포함하되,

상기 내부 전원 전압 발생 회로는 상기 내부 전원 전압에 따른 피드백 전압과 기준 전압을 비교하기 위한 비교기;및

상기 비교기의 출력 신호에 따라 상기 외부 전원 전압을 내부 전원 전압으로 출력하기 위한 내부 전원 전압 조절부를 포함하는 오토리드 회로.

청구항 2.

삭제

청구항 3.

제 1 항에 있어서, 상기 내부 전원 전압 발생 회로는 상기 외부 전원 전압이 인가되기 이전 제어 신호에 따라 상기 비교기의 출력 단자를 접지 전압 레벨로 초기화시키기 위한 초기화 수단을 더 포함하는 오토리드 회로.

청구항 4.

제 1 항에 있어서, 상기 내부 전원 전압 발생 회로는 상기 외부 전원 전압이 인가되는 동시에 제어 신호에 따라 상기 비교기의 출력 단자를 상기 외부 전원 전압 레벨로 상승시키기 위한 제어 수단을 더 포함하는 오토리드 회로.

청구항 5.

제 1 항에 있어서, 상기 펄스 발생 회로는 상기 파워 온 리셋 신호를 지연시키기 위한 지연부; 및

상기 파워 온 리셋 신호와 상기 지연부의 출력 신호를 입력하여 오토리드 신호를 출력하기 위한 논리부를 포함하는 오토리드 회로.

청구항 6.

제 5 항에 있어서, 상기 논리부는 NAND 게이트를 포함하는 오토리드 회로.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 오토리드(autoread) 회로에 관한 것으로, 특히 내부 전원 전압을 이용하는 회로들이 정상적으로 동작할 수 있는 상태에서 오토리드 동작을 수행함으로써 셀의 데이터를 정확하게 리드할 수 있어 소자의 신뢰성을 향상시킬 수 있는 오토리드 회로에 관한 것이다.

NAND형 플래쉬 메모리 소자는 전원 전압이 소정 전압 이상으로 인가되는 순간 로우 레벨의 신호를 출력하는 파워 온 리셋 회로의 출력 신호에 따라 셀의 데이터를 자동적으로 독출하는 오토리드(autoread) 동작을 수행한다.

도 1은 종래의 NAND형 플래쉬 메모리 소자에 적용되는 파워 온 리셋 회로도로서, 외부 전원 전압(EXT_VDD)에 따라 구동된다.

외부 전원 단자(EXT_VDD)와 제 2 노드(Q12) 사이에 접속된 제 1 부하(11) 및/또는 제 2 부하(12)와 제 2 노드(Q12)와 접지 단자(Vss) 사이에 접속된 제 1 및 제 2 저항(R11 및 R12)의 비에 따라 제 2 노드(Q12)의 전위가 결정된다. 여기서, PMOS 트랜지스터(P11)에 의해 제 1 부하(11)와 제 2 부하(12)가 동시에 제 2 노드(Q12)의 전위 결정에 이용되거나 제 2 부하(12)만이 제 2 노드(Q12)의 전위 결정에 이용된다. PMOS 트랜지스터(P11)는 제어 수단(13)의 출력 신호에 따라 구동되는데, 제어 수단(13)은 캐패시터(C11 및 C12)의 충전 용량에 따라 외부 전원 전압(EXT_VDD) 레벨의 신호의 출력 시간을 조절한다.

제 2 노드(Q12)의 전위에 의해 PMOS 트랜지스터(P13)가 턴온되면 제 3 노드(Q13)가 외부 전원 전압(EXT_VDD) 레벨이 되고, 제 3 노드(Q13)의 전위는 인버터(I11 내지 I14)를 통해 외부 전원 전압(EXT_VDD) 레벨의 파워 온 리셋 신호(POR)로서 출력된다. 한편, 제 2 노드(Q12)의 전위에 따라 PMOS 트랜지스터(P14)가 턴온되고, 인버터(I13)의 출력 신호에 따라 PMOS 트랜지스터(P15)가 턴온되어 파워 온 리셋 신호(POR)는 외부 전원 전압(EXT_VDD)의 레벨을 유지하게 된다.

그런데, 외부 전원 전압(EXT_VDD)의 전위가 상승하여 제 2 노드(Q12)의 전위에 의해 NMOS 트랜지스터(N12)가 턴온되면 제 3 노드(Q13)는 로우 레벨의 전위를 유지한다. 로우 레벨을 유지하는 제 3 노드(Q13)의 전위는 인버터(I11 내지 I14)를 통해 로우 레벨의 파워 온 리셋 신호(POR)로서 출력된다. 여기서, 제 2 노드(Q12)의 전위에 따라 PMOS 트랜지스터(P14)가 턴오프되며, 인버터(I13)의 출력 신호에 따라 PMOS 트랜지스터(P15)가 턴오프되고 NMOS 트랜지스터(N14)가 턴온되어 파워 온 리셋 신호(POR)는 로우 레벨을 유지하게 된다.

즉, 상기와 같은 파워 온 리셋 회로는 외부 전원 전압(EXT_VDD)이 소정 전압 이상으로 상승하기 전까지 파워 온 리셋 신호(POR)를 외부 전원 전압(EXT_VDD) 레벨로 출력하고, 외부 전원 전압(EXT_VDD)이 소정 전압 이상으로 상승하면 파워 온 리셋 신호(POR)를 로우 레벨로 출력한다.

도 2는 파워 온 리셋 신호(POR)에 따라 오토리드 신호(AUTOREAD)를 발생시키기 위한 펄스 발생 회로도이다.

파워 온 리셋 신호(POR)가 하이 레벨로 인가되면, 인버터(I21)를 통해 로우 레벨로 반전되고, 로우 레벨의 신호가 NAND 게이트(21)의 한 입력 단자로 입력된다. 그리고, 하이 레벨의 파워 온 리셋 신호(POR)가 인버터(I21 내지 I26)를 통해 지연되어 NAND 게이트(21)의 다른 한 입력 단자로 입력된다. NAND 게이트(21)는 하이 레벨의 신호를 출력하고, 이 신호가 인버터(I27)를 통해 반전되어 로우 레벨의 오토리드 신호(AUTOREAD)가 출력된다.

한편, 파워 온 리셋 신호(POR)가 로우 레벨로 인가되면, 인버터(I21)를 통해 하이 레벨로 반전되고, 하이 레벨의 신호가 NAND 게이트(21)의 한 입력 단자로 입력된다. 따라서, 인버터(I21 내지 I26)를 통해 지연되어 입력되는 하이 레벨의 신호와 논리 조합되어 로우 레벨의 신호를 출력하고, 이 신호가 인버터(I27)를 통해 하이 레벨의 오토리드 신호(AUTOREAD)가 출력된다. 그런데, 로우 레벨의 파워 온 리셋 신호(POR)가 인버터(I21 내지 I26)를 통해 지연되어 로우 레벨로 NAND 게이트(21)에 입력되면 NAND 게이트(21)는 하이 레벨의 신호를 출력하고, 이 신호가 인버터(I27)를 통해 반전되어 로우 레벨의 오토리드 신호(AUTOREAD)로서 출력된다.

즉, 상기와 같은 오토리드 신호(AUTOREAD)를 발생시키기 위한 펄스 발생 회로는 파워 온 리셋 신호(POR)가 로우 레벨에서 하이 레벨로 천이된 후 인버터(I21 내지 I26)를 통한 지연 시간동안 하이 레벨의 오토리드 신호(AUTOREAD)를 출력한다.

상기와 같이 종래의 NAND형 플래쉬 메모리 소자에 적용되는 오토리드 회로는 외부 전원 전압(EXT_VDD)를 검출하여 발생되는 파워 온 리셋 신호(POR)에 따라 오토리드 신호(AUTOREAD)를 출력한다. 그런데, 파워 온 리셋 회로가 외부 전원 전압(EXT_VDD)을 검출하기 때문에 내부 전원 전압을 이용하여 동작하는 회로가 원하는 내부 전원 전압으로 상승하지 못한 상태에서 오토리드 동작을 하게 되어 셀의 데이터를 제대로 리드할 수 없는 문제점이 발생되어 소자의 신뢰성을 저하시킬 수 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 외부 전원 전압의 변화에 의해서도 일정한 레벨로 유지되는 내부 전원 전압을 생성하고, 내부 전원 전압에 따라 파워 온 리셋 신호 및 오토리드 신호를 생성함으로써 내부 전원 전압을 이용하는 회로들이 정상적으로 동작할 수 있는 상태에서 오토리드 동작을 수행하도록 하여 셀의 데이터를 정확하게 리드할 수 있는 오토리드(autoread) 회로를 제공하는데 있다.

발명의 구성

본 발명의 일 실시 예에 따른 오토리드 회로는 외부 전원 전압이 상승함에 따라 상승하는 내부 전원 전압을 생성하고, 상기 내부 전원 전압과 기준 전압을 비교하여 그 결과에 따라 상기 내부 전원 전압이 일정한 레벨을 유지하도록 하기 위한 내부 전원 전압 발생 회로; 상기 내부 전원 전압의 변화를 검출하고, 상기 내부 전원 전압이 소정 레벨 이상 유지할 경우 파워 온 리셋 신호를 발생시키기 위한 파워 온 리셋 회로; 및 상기 파워 온 리셋 신호에 따라 오토리드 신호를 발생시키기 위한 펄스 발생 회로를 포함한다.

상기 내부 전원 전압 발생 회로는 상기 내부 전원 전압에 따른 피드백 전압과 기준 전압을 비교하기 위한 비교기; 및 상기 비교기의 출력 신호에 따라 상기 외부 전원 전압을 내부 전원 전압으로 출력하기 위한 내부 전원 전압 조절부를 포함한다.

상기 내부 전원 전압 발생 회로는 상기 외부 전원 전압이 인가되기 이전 제어 신호에 따라 상기 비교기의 출력 단자를 접지 전압 레벨로 초기화시키기 위한 초기화 수단을 더 포함한다.

상기 내부 전원 전압 발생 회로는 상기 외부 전원 전압이 인가되는 동시에 제어 신호에 따라 상기 비교기의 출력 단자를 상기 외부 전원 전압 레벨로 상승시키기 위한 제어 수단을 더 포함한다.

상기 펄스 발생 회로는 상기 파워 온 리셋 신호를 지연시키기 위한 지연부; 및 상기 파워 온 리셋 신호와 상기 지연부의 출력 신호를 입력하여 오토리드 신호를 출력하기 위한 논리부를 포함한다.

상기 논리부는 NAND 게이트를 포함한다.

이하, 첨부된 도면을 참조하여 본 발명의 실시 예를 상세히 설명하기로 한다.

도 3은 본 발명의 일 실시 예에 따른 NAND형 플래쉬 메모리 소자에 적용되는 오토리드 회로의 구성도로서, 외부 전원 전압(EXT_VDD)이 상승함에 따라 상승되는 내부 전원 전압(INT_VDD)을 생성하고, 내부 전원 전압(INT_VDD)을 기준 전압(VREF)과 비교하여 그 결과에 따라 내부 전원 전압(INT_VDD)을 일정하게 유지시키기 위한 내부 전압 발생 회로(100), 내부 전압 발생 회로(100)로부터 발생된 내부 전원 전압(INT_VDD)의 변화에 따라 파워 온 리셋 신호(POR)를 발생시키기 위한 파워 온 리셋 회로(200) 및 파워 온 리셋 신호(POR)에 따라 오토리드 신호(AUTOREAD)를 발생시키기 위한 펄스 발생 회로(300)를 포함하여 구성된다.

도 4는 본 발명의 일 실시 예에 따른 NAND형 플래쉬 메모리 소자에 적용되는 오토리드 회로를 구성하는 내부 전압 발생 회로도로서, 그 구동 방법을 설명하면 다음과 같다.

외부 전원 전압(VDD_EXT)이 인가되면 제 1 제어 신호(VBIAS)는 하이 레벨로 인가되고, 제 2 제어 신호(TNOVDCr)는 로우 레벨로 인가된다. 제 1 제어 신호(VBIAS)에 의해 NMOS 트랜지스터(N43 및 N44)가 턴온되어 비교기(41)가 인에이블된다. 또한, 제 2 제어 신호(TNOVDCr)에 의해 제 1 노드(Q41)와 접지 단자(Vss) 사이에 접속된 NMOS 트랜지스터(N41)는 턴오프되고, 외부 전원 단자(EXT_VDD)와 제 1 노드(Q41) 사이에 접속된 PMOS 트랜지스터(P43)는 턴온된다. 턴온된 PMOS 트랜지스터(P43)를 통해 외부 전원 전압(EXT_VDD)이 제 1 노드(Q41)로 공급되어 제 1 노드(Q41)의 전위는 외부 전원 전압(EXT_VDD)에 따라 상승하게 된다. 제 1 노드(Q41)의 전위가 소정 전위 이상으로 상승하면 외부 전원 전압(EXT_VDD)을 내부 전원 전압(INT_VDD)으로 출력하는 내부 전원 전압 조절부(42), 즉 PMOS 트랜지스터(P44 및 P45)를 턴오프시켜 내부 전원 전압(INT_VDD)의 전위가 상승되지 않도록 한다. 이에 따라 내부 전원 전압(INT_VDD)을 직렬 연결된 PMOS 트랜지스터(P46 및 P47)를 통해 공급받는 피드백 전압(VFB)도 상승하지 못하게 된다. 비교기(41)는 기준 전압(VREF)과 피드백 전압(VFB)을 비교하여 피드백 전압(VFB)이 기준 전압(VREF)보다 낮으면 제 1 노드(Q41)의 전위를 접지 전압(Vss)로 강하시키고, 이에 따라 내부 전원 전압 조절부(42)의 PMOS 트랜지스터(P44 및 P45)가 턴온되어 외부 전원 전압(EXT_VDD)이 내부 전원 전압(INT_VDD)으로 출력되도록 한다. 한편, 비교기(41)는 기준 전압(VREF)이 피드백 전압(VFB)보다 낮으면 PMOS 트랜지스터(P41 및 P42)를 턴온시켜 제 1 노드(Q41)의 전위를 상승시키고, 이에 따라 내부 전원 전압 조절부(42)의 PMOS 트랜지스터(P44 및 P45)를 턴오프시켜 외부 전원 전압(EXT_VDD)이 내부 전원

전압(INT_VDD)으로 출력되지 못하게 한다. 즉, 기준 전압(VREF)과 내부 전원 전압(INT_VDD)에 따른 피드백 전압(VFB)를 비교하는 비교기(41)의 비교 결과에 따라 제 1 노드(Q41)의 전위를 조절함으로써 내부 전원 전압 조절부(42)의 구동을 제어하여 내부 전원 전압(INT_VDD)이 일정한 전위를 유지하도록 한다.

도 5는 본 발명의 일 실시 예에 따른 NAND형 플래쉬 메모리 소자에 적용되는 오토리드 회로를 구성하는 파워 온 리셋 회로도로서, 내부 전원 전압(INT_VDD)에 따라 구동된다.

내부 전원 단자(INT_VDD)와 제 2 노드(Q52) 사이에 접속된 제 1 부하(51) 및/또는 제 2 부하(52)와 제 2 노드(Q52)와 접지 단자(Vss) 사이에 접속된 제 1 및 제 2 저항(R51 및 R52)의 비에 따라 제 2 노드(Q52)의 전위가 결정된다. 여기서, PMOS 트랜지스터(P51)에 의해 제 1 부하(51)와 제 2 부하(52)가 동시에 제 2 노드(Q52)의 전위 결정에 이용되거나 제 2 부하(52)만이 제 2 노드(Q52)의 전위 결정에 이용된다. PMOS 트랜지스터(P51)는 제어 수단(53)의 출력 신호에 따라 구동되는데, 제어 수단(53)은 캐패시터(C51 및 C52)의 충전 용량에 따라 내부 전원 전압(INT_VDD) 레벨의 신호의 출력 시간을 조절한다.

제 2 노드(Q22)의 전위에 의해 PMOS 트랜지스터(P23)가 턴온되면 제 3 노드(Q23)가 내부 전원 전압(INT_VDD) 레벨이 되고, 제 3 노드(Q53)의 전위는 인버터(I51 내지 I54)를 통해 외부 전원 전압(INT_VDD) 레벨의 파워 온 리셋 신호(POR)로서 출력된다. 한편, 제 2 노드(Q52)의 전위에 따라 PMOS 트랜지스터(P54)가 턴온되고, 인버터(I53)의 출력 신호에 따라 PMOS 트랜지스터(P55)가 턴온되어 파워 온 리셋 신호(POR)는 내부 전원 전압(INT_VDD)의 레벨을 유지하게 된다.

그런데, 내부 전원 전압(INT_VDD)의 전위가 상승하여 제 2 노드(Q52)의 전위에 의해 NMOS 트랜지스터(N52)가 턴온되면 제 3 노드(Q53)는 로우 레벨의 전위를 유지한다. 로우 레벨을 유지하는 제 3 노드(Q53)의 전위는 인버터(I51 내지 I54)를 통해 로우 레벨의 파워 온 리셋 신호(POR)로서 출력된다. 여기서, 제 2 노드(Q52)의 전위에 따라 PMOS 트랜지스터(P54)가 턴오프되며, 인버터(I53)의 출력 신호에 따라 PMOS 트랜지스터(P55)가 턴오프되고 NMOS 트랜지스터(N54)가 턴온되어 파워 온 리셋 신호(POR)는 로우 레벨을 유지하게 된다.

즉, 상기와 같은 파워 온 리셋 회로는 내부 전원 전압(INT_VDD)이 소정 전압 이상으로 상승하기 전까지 파워 온 리셋 신호(POR)를 내부 전원 전압(INT_VDD) 레벨로 출력하고, 내부 전원 전압(INT_VDD)이 소정 전압 이상으로 상승하면 파워 온 리셋 신호(POR)를 로우 레벨로 출력한다.

도 6은 본 발명의 일 실시 예에 따른 NAND형 플래쉬 메모리 소자에 적용되는 오토리드 회로를 구성하는 펄스 발생 회로도이다.

파워 온 리셋 신호(POR)가 하이 레벨로 인가되면, 인버터(I61)를 통해 로우 레벨로 반전되고, 로우 레벨의 신호가 NAND 게이트(61)의 한 입력 단자로 입력된다. 그리고, 하이 레벨의 파워 온 리셋 신호(POR)가 인버터(I61 내지 I66)를 통해 지연되어 NAND 게이트(61)의 다른 한 입력 단자로 입력된다. NAND 게이트(61)는 하이 레벨의 신호를 출력하고, 이 신호가 인버터(I67)를 통해 반전되어 로우 레벨의 오토리드 신호(AUTOREAD)가 출력된다.

한편, 파워 온 리셋 신호(POR)가 로우 레벨로 인가되면, 인버터(I61)를 통해 하이 레벨로 반전되고, 하이 레벨의 신호가 NAND 게이트(61)의 한 입력 단자로 입력된다. 따라서, 인버터(I61 내지 I66)를 통해 지연되어 입력되는 하이 레벨의 신호와 논리 조합되어 로우 레벨의 신호를 출력하고, 이 신호가 인버터(I67)를 통해 하이 레벨의 오토리드 신호(AUTOREAD)가 출력된다. 그런데, 로우 레벨의 파워 온 리셋 신호(POR)가 인버터(I61 내지 I66)를 통해 지연되어 로우 레벨로 NAND 게이트(61)에 입력되면 NAND 게이트(61)는 하이 레벨의 신호를 출력하고, 이 신호가 인버터(I67)를 통해 반전되어 로우 레벨의 오토리드 신호(AUTOREAD)로서 출력된다.

즉, 상기와 같은 오토리드 신호(AUTOREAD)를 발생시키기 위한 펄스 발생 회로는 파워 온 리셋 신호(POR)가 로우 레벨에서 하이 레벨로 천이된 후 인버터(I61 내지 I66)를 통한 지연 시간동안 하이 레벨의 오토리드 신호(AUTOREAD)를 출력한다.

발명의 효과

상술한 바와 같이 본 발명에 의하면 외부 전원 전압의 변화에 의해서도 일정한 레벨로 유지되는 내부 전원 전압을 생성하고, 내부 전원 전압에 따라 파워 온 리셋 신호(POR)를 생성하고, 파워 온 리셋 신호(POR)에 따라 오토리드 신호(AUTOREAD)를 생성함으로써 내부 전원 전압을 이용하는 회로들이 정상적으로 동작할 수 있는 상태에서 오토리드 동작을 수행하여 셀의 데이터를 정확하게 리드할 수 있어 소자의 신뢰성을 향상시킬 수 있다.

도면의 간단한 설명

도 1은 종래의 NAND형 플래쉬 메모리 소자에 적용되는 파워 온 리셋 회로도.

도 2는 종래의 NAND형 플래쉬 메모리 소자에 적용되는 오토리드 신호를 발생시키기 위한 펄스 발생 회로도.

도 3은 본 발명의 일 실시 예에 따른 오토리드 회로의 구성도.

도 4는 본 발명의 일 실시 예에 따른 오토리드 회로를 구성하는 내부 전압 발생 회로도.

도 5는 본 발명의 일 실시 예에 따른 오토리드 회로를 구성하는 파워 온 리셋 회로도.

도 6은 본 발명의 일 실시 예에 따른 오토리드 회로를 구성하는 펄스 발생 회로도.

<도면의 주요 부분에 대한 부호의 설명>

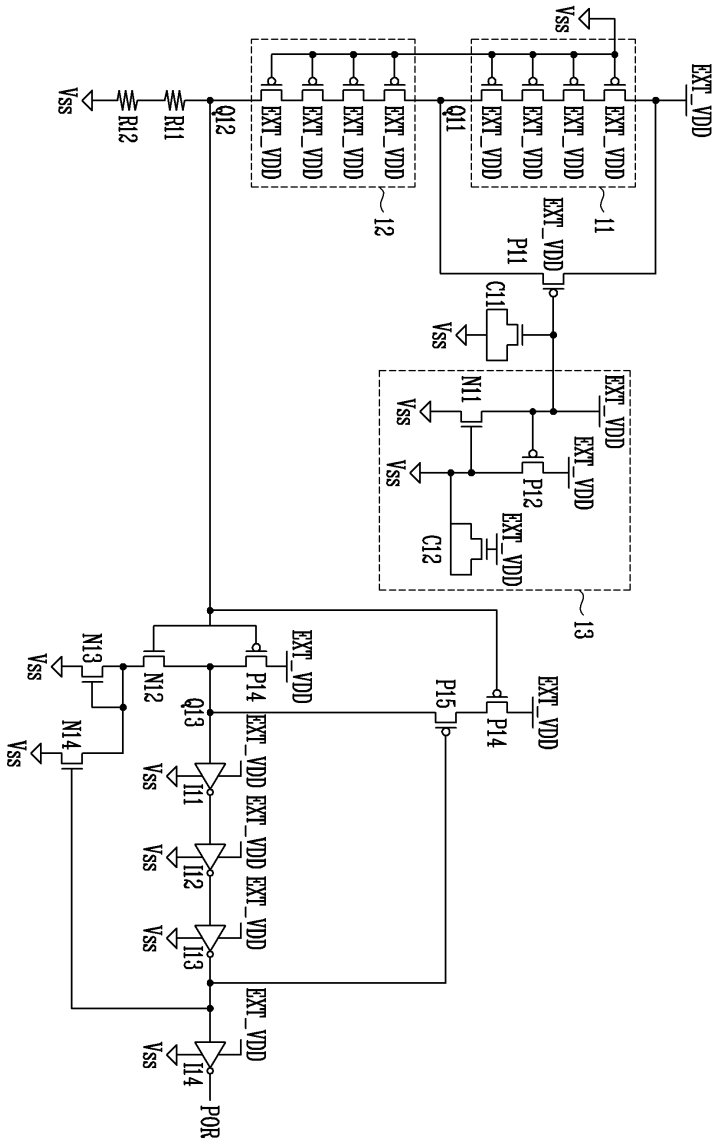
100 : 내부 전원 전압 발생 회로

200 : 파워 온 리셋 회로

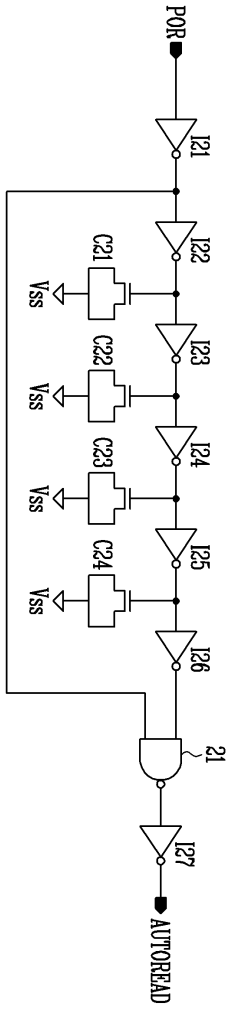
300 : 펄스 발생 회로

도면

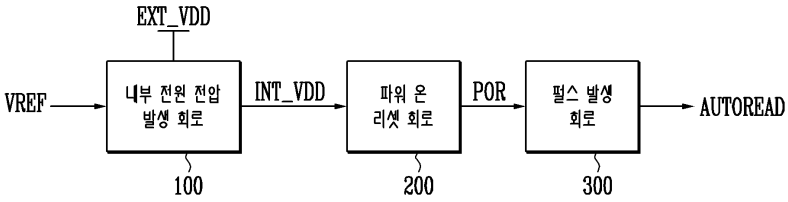
도면1


Vss
EXT_VDD
R12
R11
Q12
Q11
12
11
P11
C11
N11
P12
C12
13
N13
N12
P14
P15
Q13
N14
I11
I12
I13
I14
POR

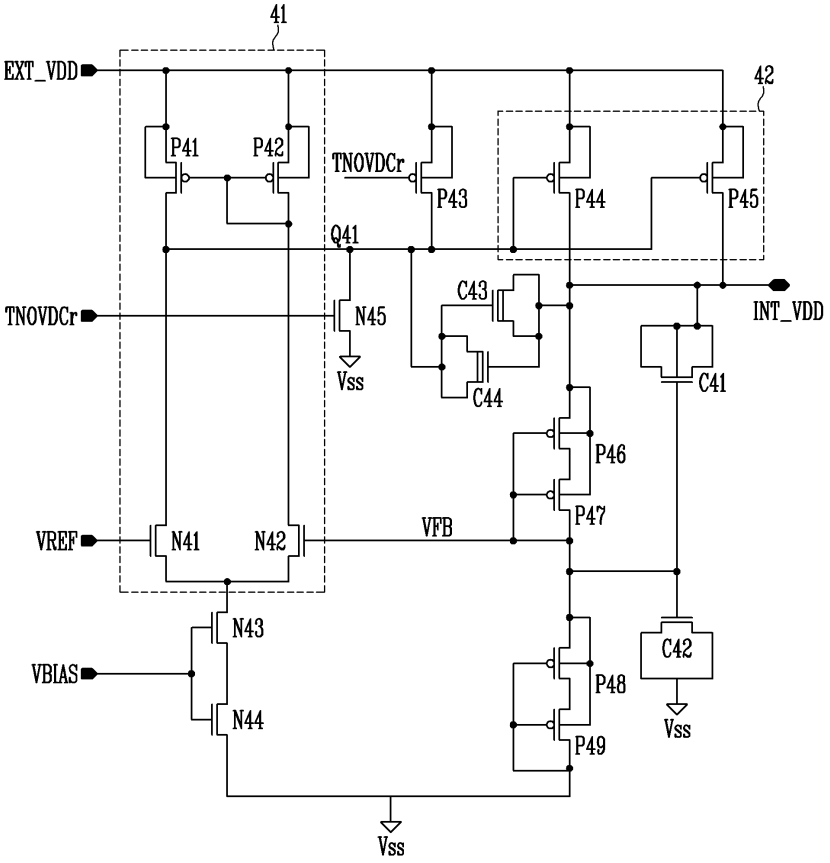
도면2


POR
I21
I22
C21
Vss
I23
C22
Vss
I24
C23
Vss
I25
C24
Vss
I26
21
I27
AUTOREAD

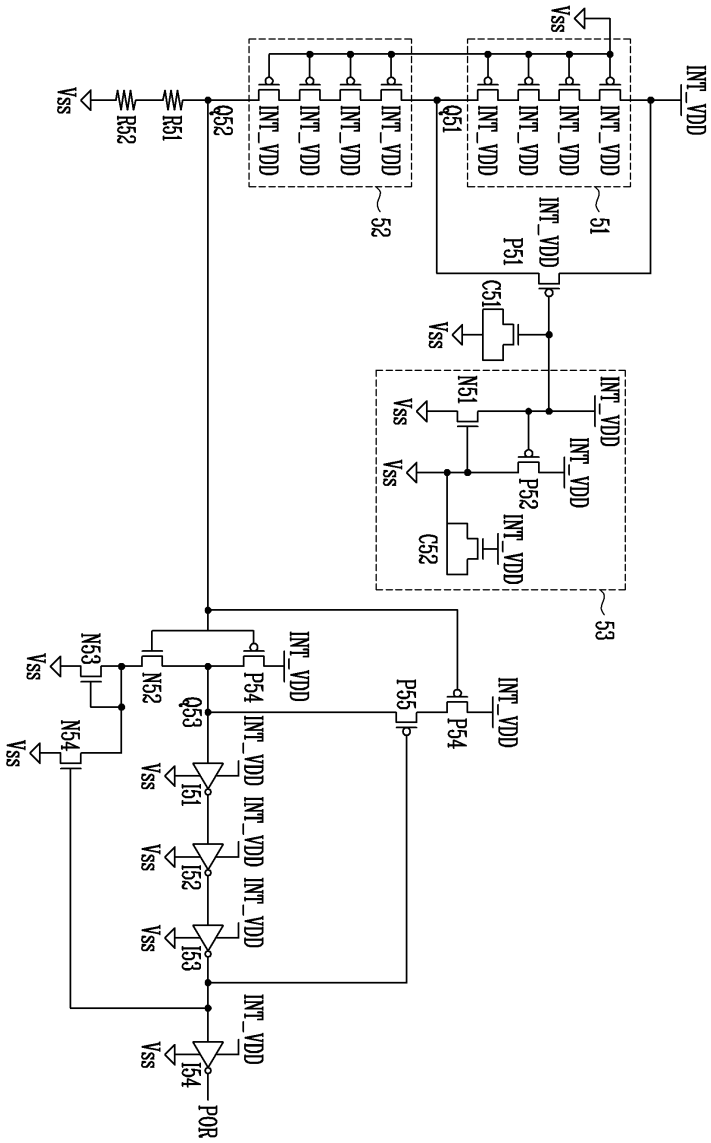
도면3


EXT_VDD
VREF
내부 전원 전압 발생 회로
INT_VDD
파워 온 리셋 회로
POR
펄스 발생 회로
AUTOREAD
100
200
300

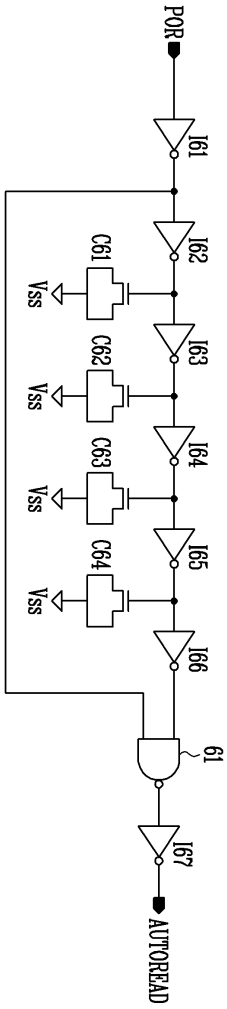
도면4


41
42
EXT_VDD
P41
P42
TNOVDCr
P43
P44
P45
Q41
TNOVDCr
N45
Vss
C43
C44
C41
INT_VDD
P46
P47
VREF
N41
N42
VFB
N43
VBIAS
N44
P48
P49
C42
Vss
Vss

도면5


Vss
INT_VDD
R52
R51
Q52
Q51
52
51
P51
C51
53
N51
P52
C52
N53
N52
P54
P55
Q53
N54
I51
I52
I53
I54
POR

도면6


POR
I61
I62
C61
Vss
I63
C62
Vss
I64
C63
Vss
I65
C64
Vss
I66
61
I67
AUTOREAD