

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5619963号
(P5619963)

(45) 発行日 平成26年11月5日(2014.11.5)

(24) 登録日 平成26年9月26日(2014.9.26)

(51) Int.Cl. F I
G 1 1 C 11/15 (2006.01) G 1 1 C 11/15 1 5 0
G 1 1 C 7/06 (2006.01) G 1 1 C 7/06

請求項の数 43 外国語出願 (全 25 頁)

(21) 出願番号	特願2013-132479 (P2013-132479)	(73) 特許権者	595020643 クアアルコム・インコーポレイテッド QUALCOMM INCORPORATED アメリカ合衆国、カリフォルニア州 92121-1714、サン・ディエゴ、モアハウス・ドライブ 5775
(22) 出願日	平成25年6月25日(2013.6.25)		
(62) 分割の表示	特願2011-516534 (P2011-516534)の分割		
原出願日	平成21年6月23日(2009.6.23)		
(65) 公開番号	特開2013-239229 (P2013-239229A)	(74) 代理人	100108855 弁理士 蔵田 昌俊
(43) 公開日	平成25年11月28日(2013.11.28)	(74) 代理人	100109830 弁理士 福原 淑弘
審査請求日	平成25年7月25日(2013.7.25)	(74) 代理人	100088683 弁理士 中村 誠
(31) 優先権主張番号	12/164,436	(74) 代理人	100103034 弁理士 野河 信久
(32) 優先日	平成20年6月30日(2008.6.30)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 抵抗ベースメモリ回路の制御値基準信号

(57) 【特許請求の範囲】

【請求項1】

第1の制御値基準電圧を生成するように構成された第1の基準セルと、
 第2の制御値基準電圧を生成するように構成された第2の基準セルと、
 前記第1および第2の制御値基準電圧を受け取るように構成されたプログラマブル選択回路と

を備え、前記プログラマブル選択回路は、

基準制御信号を受け取るように構成された第1の入力と、

抵抗ベースメモリセルに結合されたセンス増幅器に前記第1または第2の制御値基準電圧を選択的に提供するための、前記第1の入力に応答した出力と、

を備え、

前記第1および第2の基準セルは、相対的に異なる基準方式に基づいて前記第1および第2の制御値基準電圧を生成するように適合され、

前記基準制御信号はセンスマージン感度情報に基づき、前記センスマージン感度情報は、複数の抵抗ベースメモリセルの抵抗値の分布に基づいているセンス増幅器。

【請求項2】

前記第1の基準セルは、電流平均基準方式にしたがって前記第1の制御値基準電圧を生成する、請求項1に記載のセンス増幅器。

【請求項3】

前記第2の基準セルは、抵抗平均基準方式にしたがって前記第2の制御値基準電圧を生

成する、請求項 2 に記載のセンス増幅器。

【請求項 4】

前記抵抗ベースメモリセルは、磁気トンネル接合 (M J T) デバイスを含む、請求項 1 乃至 3 のうちのいずれか 1 つに記載のセンス増幅器。

【請求項 5】

前記第 1 の基準セルは、ビット 1 状態にある第 2 の基準抵抗ベースメモリ要素に並列に結合されたビット 0 状態にある第 1 の基準抵抗ベースメモリ要素を含む、請求項 1 に記載のセンス増幅器。

【請求項 6】

前記第 2 の基準セルは、第 1 の抵抗経路と、前記第 1 の抵抗経路と並列した第 2 の抵抗経路とを含み、前記第 2 の制御値基準電圧は、前記並列した第 1 および第 2 の抵抗経路を通る基準電流に基づいて生成される、請求項 5 に記載のセンス増幅器。

10

【請求項 7】

前記分布特性は、少なくとも部分的に、セルごとの情報に基づいて決定される、請求項 1 乃至 6 のうちのいずれか 1 つに記載のセンス増幅器。

【請求項 8】

前記分布は、少なくとも部分的に、チップごとの情報に基づいて決定される、請求項 1 乃至 7 のうちのいずれか 1 つに記載のセンス増幅器。

【請求項 9】

前記分布特性は、少なくとも部分的に、マルチチップ情報に基づいて決定される、請求項 1 乃至 8 のうちのいずれか 1 つに記載のセンス増幅器。

20

【請求項 10】

前記分布特性は、少なくとも部分的に、プロセスベースの情報に基づいて決定される、請求項 1、または、7 乃至 9 のうちのいずれか 1 つに記載のセンス増幅器。

【請求項 11】

第 1 の制御値基準電圧を生成するように構成された第 1 の基準セルと、
第 2 の制御値基準電圧を生成するように構成された第 2 の基準セルと、
前記第 1 および第 2 の制御値基準電圧を受信するように構成されたプログラマブル選択回路と

を備え、前記プログラマブル選択回路は、

30

基準制御信号を受け取るように構成された第 1 の入力と、
抵抗ベースメモリセルに結合されたセンス増幅器に前記第 1 または第 2 の制御値基準電圧を選択的に提供するための、前記第 1 の入力に応答した出力と、
を備え、

前記第 1 および第 2 の基準セルは、相対的に異なる基準方式に基づいて前記第 1 および第 2 の制御値基準電圧を生成するように適合され、

前記基準制御信号はセンスマージン感度情報に基づき、前記センスマージン感度情報は、複数の抵抗ベースメモリセルの抵抗値の分布に基づいている磁気抵抗ランダムアクセスメモリ (M R A M) デバイス。

【請求項 12】

40

前記第 1 の基準セルは、電流平均基準方式にしたがって前記第 1 の制御値基準電圧を生成する、請求項 11 に記載の M R A M。

【請求項 13】

前記第 2 の基準セルは、抵抗平均基準方式にしたがって前記第 2 の制御値基準電圧を生成する、請求項 12 に記載の M R A M。

【請求項 14】

前記抵抗ベースメモリセルは、磁気トンネル接合 (M J T) デバイスを含む、請求項 1 乃至 13 のうちのいずれか 1 つに記載の M R A M。

【請求項 15】

前記第 1 の基準セルは、ビット 1 状態にある第 2 の基準抵抗ベースメモリ要素に並列に

50

結合されたビット 0 状態にある第 1 の基準抵抗ベースメモリ要素を含む、請求項 1 1 に記載の M R A M。

【請求項 1 6】

前記第 2 の基準セルは、第 1 の抵抗経路と、前記第 1 の抵抗経路と並列した第 2 の抵抗経路とを含み、前記第 2 の制御値基準電圧は、前記並列した第 1 および第 2 の抵抗経路を通る基準電流に基づいて生成される、請求項 1 5 に記載の M R A M。

【請求項 1 7】

前記分布特性は、少なくとも部分的に、セルごとの情報に基づいて決定される、請求項 1 1 乃至 1 6 のうちのいずれか 1 つに記載の M R A M。

【請求項 1 8】

前記分布は、少なくとも部分的に、チップごとの情報に基づいて決定される、請求項 1 1 乃至 1 7 のうちのいずれか 1 つに記載の M R A M。

【請求項 1 9】

前記分布特性は、少なくとも部分的に、マルチチップ情報に基づいて決定される、請求項 1 1 乃至 1 8 のうちのいずれか 1 つに記載の M R A M。

【請求項 2 0】

前記分布特性は、少なくとも部分的に、プロセスベースの情報に基づいて決定される、請求項 1 1 または 1 7 乃至 1 9 のうちのいずれか 1 つに記載の M R A M。

【請求項 2 1】

第 1 の制御値基準電圧を生成するように構成された第 1 の基準セルと、
第 2 の制御値基準電圧を生成するように構成された第 2 の基準セルと、
前記第 1 および第 2 の制御値基準電圧を受信するように構成されたプログラマブル選択回路と

を備え、前記プログラマブル選択回路は、

基準制御信号を受け取るように構成された第 1 の入力と、

抵抗ベースメモリセルに結合されたセンス増幅器に前記第 1 または第 2 の制御値基準電圧を選択的に提供するために、前記第 1 の入力に応答した出力と、

を備え、

前記第 1 および第 2 の基準セルは、相対的に異なる基準方式に基づいて前記第 1 および第 2 の制御値基準電圧を生成するように適合され、

前記基準制御信号はセンスマージン感度情報に基づき、前記センスマージン感度情報は、複数の抵抗ベースメモリセルの抵抗値の分布に基づいている回路デバイス。

【請求項 2 2】

前記第 1 の基準セルは、電流平均基準方式にしたがって前記第 1 の制御値基準電圧を生成する、請求項 2 1 に記載の回路デバイス。

【請求項 2 3】

前記第 2 の基準セルは、抵抗平均基準方式にしたがって前記第 2 の制御値基準電圧を生成する、請求項 2 2 に記載の回路デバイス。

【請求項 2 4】

前記抵抗ベースメモリセルは、磁気トンネル接合 (M J T) デバイスを含む、請求項 2 1 乃至 2 3 のうちのいずれか 1 つに記載の回路デバイス。

【請求項 2 5】

前記第 1 の基準セルは、ビット 1 状態にある第 2 の基準抵抗ベースメモリ要素に並列に結合されたビット 0 状態にある第 1 の基準抵抗ベースメモリ要素を含む、請求項 2 1 に記載の回路デバイス。

【請求項 2 6】

前記第 2 の基準セルは、第 1 の抵抗経路と、前記第 1 の抵抗経路と並列した第 2 の抵抗経路とを含み、前記第 2 の制御値基準電圧は、前記並列した第 1 および第 2 の抵抗経路を通る基準電流に基づいて生成される、請求項 2 5 に記載の回路デバイス。

【請求項 2 7】

10

20

30

40

50

前記分布特性は、少なくとも部分的に、セルごとの情報に基づいて決定される、請求項 2 1 乃至 2 6 のうちのいずれか 1 つに記載の回路デバイス。

【請求項 2 8】

前記分布は、少なくとも部分的に、チップごとの情報に基づいて決定される、請求項 2 1 乃至 2 7 のうちのいずれか 1 つに記載の回路デバイス。

【請求項 2 9】

前記分布特性は、少なくとも部分的に、マルチチップ情報に基づいて決定される、請求項 2 1 乃至 2 8 のうちのいずれか 1 つに記載の回路デバイス。

【請求項 3 0】

前記分布特性は、少なくとも部分的に、プロセスベースの情報に基づいて決定される、請求項 2 1 または 2 7 乃至 2 9 のうちのいずれか 1 つに記載の回路デバイス。

10

【請求項 3 1】

抵抗ベースメモリセルのデータ値の感知を可能にするためにセンス増幅器に基準電圧を提供する方法であって、

第 1 の基準セルを使用して、第 1 の制御値基準電圧を生成することと、

第 2 の基準セルを使用して、第 2 の制御値基準電圧を生成することと、

プログラマブル選択回路で、

前記第 1 および第 2 の制御値基準電圧と、

基準制御信号と

を受信することと、

20

前記基準制御信号に 응답して、前記プログラマブル選択回路から、前記第 1 または第 2 の制御値基準電圧を前記センス増幅器に提供することと

を備え、

前記第 1 および第 2 の制御値基準電圧は、相対的に異なる基準方式に基づいて生成され

、前記基準制御信号はセンスマージン感度情報に基づき、前記センスマージン感度情報は、複数の抵抗ベースメモリセルの抵抗値の分布に基づいている方法。

【請求項 3 2】

電流平均基準方式にしたがって前記第 1 の制御値基準電圧を生成することを備える、請求項 3 1 に記載の方法。

30

【請求項 3 3】

抵抗平均基準方式にしたがって前記第 2 の制御値基準電圧を生成することを備える、請求項 3 2 に記載の方法。

【請求項 3 4】

前記第 1 の基準セルは、ビット 1 状態にある第 2 の基準抵抗ベースメモリ要素に並列に結合されたビット 0 状態にある第 1 の基準抵抗ベースメモリ要素を含み、前記方法は、前記第 1 および第 2 の抵抗ベースメモリ要素を通して電流を印加することによって、前記第 1 の制御値基準電圧を生成することを備える、請求項 3 2 に記載の方法。

【請求項 3 5】

コンピュータによって実行可能な命令を格納したコンピュータ読取可能な記憶媒体であって、前記命令は、抵抗ベースメモリセルのデータ値の感知を可能にするために、基準電圧をセンス増幅器に提供し、前記命令は、

40

前記コンピュータに対して、第 1 の基準セルを使用して、第 1 の制御値基準電圧を生成させるための命令と、

前記コンピュータに対して、第 2 の基準セルを使用して、第 2 の制御値基準電圧を生成させるための命令と、

前記コンピュータに対して、前記第 1 および第 2 の制御値基準電圧および基準制御信号を受信させるための命令と、

前記コンピュータに対して、前記基準制御信号に 응답して、プログラマブル選択回路から、前記第 1 または第 2 の制御値基準電圧を前記センス増幅器に提供させるための命令と

50

を備え、

前記第 1 および第 2 の制御値基準電圧は、相対的に異なる基準方式に基づいて生成され

前記基準制御信号はセンスマージン感度情報に基づき、前記センスマージン感度情報は、複数の抵抗ベースメモリセルの抵抗値の分布に基づいている、コンピュータ読取可能な記憶媒体。

【請求項 36】

前記コンピュータに対して、電流平均基準方式にしたがって前記第 1 の制御値基準電圧を生成させるための命令を備える、請求項 35 に記載のコンピュータ読取可能な記憶媒体

10

【請求項 37】

前記コンピュータに対して、抵抗平均基準方式にしたがって前記第 2 の制御値基準電圧を生成させるための命令を備える、請求項 36 に記載のコンピュータ読取可能な記憶媒体

【請求項 38】

前記第 1 の基準セルは、ビット 1 状態にある第 2 の基準抵抗ベースメモリ要素に結合されたビット 0 状態にある第 1 の基準抵抗ベースメモリ要素を含み、前記媒体は、前記コンピュータに対して、前記第 1 および第 2 の抵抗ベースメモリ要素を通して電流を印加することによって、前記第 1 の制御値基準電圧を生成させるための命令を備える、請求項 36

20

【請求項 39】

抵抗ベースメモリセルのデータ値の感知を可能にするためにセンス増幅器に基準電圧を提供するデバイスであって、

第 1 の基準セルを使用して、第 1 の制御値基準電圧を生成する手段と、

第 2 の基準セルを使用して、第 2 の制御値基準電圧を生成する手段と、

プログラマブル選択回路で、

前記第 1 および第 2 の制御値基準電圧と、

基準制御信号と

を受信する手段と、

前記基準制御信号に応答して、前記プログラマブル選択回路から、前記第 1 または第 2 の制御値基準電圧を前記センス増幅器に提供する手段と

30

を備え、

前記第 1 および第 2 の制御値基準電圧は、相対的に異なる基準方式に基づいて生成され

前記基準制御信号はセンスマージン感度情報に基づき、前記センスマージン感度情報は、複数の抵抗ベースメモリセルの抵抗値の分布に基づいているデバイス。

【請求項 40】

電流平均基準方式にしたがって前記第 1 の制御値基準電圧を生成することを備える、請求項 39 に記載のデバイス。

40

【請求項 41】

抵抗平均基準方式にしたがって前記第 2 の制御値基準電圧を生成することを備える、請求項 40 に記載のデバイス。

【請求項 42】

前記第 1 の基準セルは、ビット 1 状態にある第 2 の基準抵抗ベースメモリ要素に並列に結合されたビット 0 状態にある第 1 の基準抵抗ベースメモリ要素を含み、前記電流平均基準方式は、前記第 1 および第 2 の抵抗ベースメモリ要素を通して電流を印加することによって、前記第 1 の制御値基準電圧を生成することを備える、請求項 40 に記載のデバイス

【請求項 43】

50

請求項 2 1 乃至 3 0 に記載の抵抗ベース回路デバイスを製造する方法であって、
複数の抵抗ベースメモリセルと関連付けられたメモリセル抵抗分布特性に基づいてセン
スマージン感度情報を決定することと、

前記分布特性に基づいて、1 または複数の値を、前記回路デバイスに関連付けられた記
憶デバイスに記憶することと

を備える方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、一般に、抵抗ベースメモリ回路の制御値基準信号に関する。

10

【背景技術】

【0002】

関連技術の説明

技術の進歩により、パーソナルコンピューティングデバイスは、より小型でより強力に
なった。たとえば、現在、小型で軽量な、ユーザが容易に持ち運べるポータブルワイヤ
レス電話、携帯情報端末(PDA)、ページングデバイスなどのワイヤレスコンピューティ
ングデバイスを含む様々なポータブルパーソナルコンピューティングデバイスが存在する
。より具体的には、セルラー電話やインターネットプロトコル(IP)電話などのポータ
ブルワイヤレス電話は、ボイスおよびデータパケットをワイヤレスネットワーク上を伝達
することができる。さらに、多くのそのようなワイヤレス電話は、その中に組み込まれた
他のタイプのデバイスを含む。たとえば、ワイヤレス電話は、デジタルスチルカメラ、デ
ジタルビデオカメラ、デジタルレコーダ、およびオーディオファイルプレーヤをも含むこ
とができる。また、そのようなワイヤレス電話は、ウェブブラウザアプリケーションなど
、インターネットにアクセスするために使用できるソフトウェアアプリケーションを含む
実行可能な命令を処理することができる。しかしながら、そのような携帯デバイスの電力
消費は、バッテリーを急速に消耗させ、ユーザのエクスペリエンス(experience)を低下させ
ることがある。

20

【0003】

電力消費量の低減は、そのような携帯デバイス内での回路フィーチャ(feature)サイズ
のより小型化および動作電圧の低下をもたらした。フィーチャサイズおよび動作電圧の低
減は、電力消費量を低減するが、また製造プロセス間の変動に対する感度を上昇させる。
製造業者または製造プロセスが知られていないかまたは変更される可能性があるセンス(s
ense)増幅器を使用するメモリデバイスを設計するとき、そのような感度の上昇を克服す
ることは困難である。

30

【発明の概要】

【0004】

Yonsei UniversityのSeong-Ook Jung教授、Jisu
Kim氏、およびJee-Hwan Song氏がQualcomm社のSeung
H.Kang氏およびSei Seung Yoon氏とともに行った研究により、抵抗
ベース(resistance based)メモリ回路の制御値基準(controlled value reference)信号の
新規のシステムおよび方法が生じた。

40

【0005】

特定の実施形態では、基準選択信号を受信するように構成された第1の入力を含む回路
デバイスが開示される。回路デバイスはまた、第1の入力にตอบสนองして、抵抗ベースメモリ
セルに結合されたセンス増幅器に制御値基準電圧を選択的に与えるための出力を含む。

【0006】

別の特定の実施形態では、少なくとも1つの磁気抵抗ランダムアクセスメモリ(MRAM)
ビットセルに結合された第1の入力を含むセンス増幅器が開示される。センス増幅器
はまた、制御値基準電圧を備える入力信号を受信するように適合された第2の入力を含む
。

50

【 0 0 0 7 】

別の特定の実施形態では、抵抗ベースメモリデバイスのための可変基準信号発生器が開示される。可変基準信号発生器は、制御信号を受信するための入力と、入力に応答する出力とを含む。可変基準信号発生器はまた、抵抗ベースメモリデバイスのセンス増幅器に関連して使用するための制御値基準信号を出力において与えるための論理を含む。

【 0 0 0 8 】

別の特定の実施形態では、磁気抵抗ランダムアクセスメモリ(MRAM)デバイスが開示される。MRAMデバイスは、第1の負荷要素に結合され、データセルにおいて記憶されるデータ値に応答してデータ信号を発生するためのデータセルを含む。MRAMデバイスはまた、制御値基準信号を発生するための基準セルを含む。MRAMデバイスは、第1の負荷要素に負荷制御信号を与えるために結合された負荷発生器セルを含む。MRAMデバイスは、制御値基準信号およびデータ信号を受信し、データ値を示す出力を発生するために結合されたセンス増幅器をさらに含む。

10

【 0 0 0 9 】

別の特定の実施形態では、磁気ランダムアクセスメモリ(MRAM)デバイスにおいて基準信号の値を調整するために制御信号を与えることを含む方法が開示される。MRAMデバイスのビットセルの値は、データ読取り信号と基準信号との比較に基づいて判断される。

【 0 0 1 0 】

開示する実施形態によって提供される特定の利点は、制御基準信号を使用することによって可変抵抗メモリの動作が改善されることである。本開示の他の態様、利点、および特徴は、図面の簡単な説明、詳細な説明、および特許請求の範囲を含む、本出願全体の検討の後に明らかになる。

20

【 図面の簡単な説明 】

【 0 0 1 1 】

【 図 1 】 プログラマブル基準信号を含む抵抗ベースメモリシステムの特定の例示的な実施形態のブロック図。

【 図 2 】 制御値基準信号を含む抵抗ベースメモリの第1の例示的な実施形態の回路図。

【 図 3 】 制御値基準信号を含む抵抗ベースメモリの第2の例示的な実施形態の回路図。

【 図 4 】 図2の抵抗ベースメモリの回路特性の特定の例示的な実施形態の図。

30

【 図 5 】 第1のメモリセル抵抗分布特性を示すメモリセル抵抗の特定の例示的な実施形態の図。

【 図 6 】 図5の第1のメモリセル抵抗分布特性に基づくメモリセル電流分布の特定の例示的な実施形態の図。

【 図 7 】 図5の第1のメモリセル抵抗分布特性と図6のメモリセル電流分布とを使用した図4の回路特性の特定の例示的な実施形態の図。

【 図 8 】 第2のメモリセル抵抗分布特性を示すメモリセル抵抗の特定の例示的な実施形態の図。

【 図 9 】 図8の第2のメモリセル抵抗分布特性に基づくメモリセル電流分布の特定の例示的な実施形態の図。

40

【 図 1 0 】 図8の第2のメモリセル抵抗分布特性と図9のメモリセル電流分布とを使用した図4の回路特性の特定の例示的な実施形態の図。

【 図 1 1 】 制御値基準信号を有する抵抗ベースメモリ回路を動作させる方法の特定の実施形態のフローチャート。

【 図 1 2 】 プログラマブル基準信号をもつ抵抗ベースメモリ回路を含む電子デバイスの特定の例示的な実施形態のブロック図。

【 発明を実施するための形態 】

【 0 0 1 2 】

図1を参照すると、プログラマブル(programmable)基準信号を含む抵抗ベースメモリシステムの特定の例示的な実施形態が示され、全体的に100と称される。センス増幅器1

50

02は、代表的な抵抗ベースメモリセル110とプログラマブル基準信号回路120とに結合される。基準信号制御論理回路130は、プログラマブル基準信号回路120に基準制御信号132を与えるために結合される。基準制御信号132にตอบสนองしてセンス増幅器102に与えられる基準電圧を制御することによって、セル110などの抵抗ベースメモリセルに影響を及ぼす様々なタイプのプロセス変動に適応するように、抵抗ベースメモリシステム100の全体的なセンスマージンを改善することができる。

【0013】

代表的な抵抗ベースメモリセル110は、抵抗ベースメモリデバイスを使用して論理「1」値または論理「0」値を記憶するように構成される。特定の形態では、抵抗ベースメモリセル110は、論理「0」状態に対応する第1の抵抗(R0)と論理「1」状態に対応する第2の抵抗(R1)とを示す磁気トンネル接合(MTJ)デバイス114を含む。第1の抵抗R0および第2の抵抗R1の値は、たとえばシステム100の製造中のプロセス変動により、システム100の他のメモリセル(図示せず)と比較して変動することがある。

10

【0014】

プログラマブル基準信号回路120は、基準信号制御論理回路130から基準制御信号132を受け取るように構成された入力124を含む。プログラマブル基準信号回路120は、入力124にตอบสนองしてセンス増幅器102に選択的に制御値基準電圧126を与える出力122を有する。たとえば、プログラマブル基準信号回路120は、図2の基準選択信号216に関して論じるように、基準制御信号132にตอบสนองして、複数の基準セルから、センス増幅器102に与える単一の基準セル出力を選択することができる。別の例として、プログラマブル基準信号回路120は、図3の制御入力386に関して論じるように、基準制御信号132にตอบสนองして、単一の基準セルの出力値を調整することができる。

20

【0015】

動作中に、代表的な抵抗ベースメモリセル110において記憶されたデータ値は、出力電圧を表す信号112をセンス増幅器102の比較回路104に与えることによって判断される。比較回路104は信号112を制御値基準電圧126と比較する。センス増幅器106は、代表的な抵抗ベースメモリセル110において記憶されたデータ値を示す出力信号106を与えるために、比較の結果を増幅する。

【0016】

一般に、システム100は、制御値基準電圧126が論理「0」状態での抵抗ベースメモリセル110の読取り電圧と論理「1」状態の読取り電圧との間の中心にあり、したがってセル110のセンスマージンが最大になるときに、ノイズおよび他の環境要因を最も受けにくい。製造プロセス変動のために、読取り電圧はセルごとに変動する。しかしながら、図5~図10に関して論じるように、そのようなプロセス変動は一般にカテゴリー分類でき、基準選択信号132はプロセス変動のカテゴリーに基づいて判断できる。

30

【0017】

したがって、基準制御信号132は、システム100に関連するセンスマージン感度情報に基づいて判断できる。たとえば、センスマージン感度情報は、抵抗ベースメモリセルの抵抗値の分布に基づいて判断することができる。センスマージン感度情報は、セルごとの情報、チップごとの情報、マルチチップ情報、またはプロセスベースの情報を含むことができる。

40

【0018】

基準信号制御論理回路130を、基準制御信号132を介して適切な制御値基準電圧126を判断するように構成することによって、システム100は、センスマージン感度情報に基づいて実質的に統計上最適である全体的なセンスマージンにおいて動作することができる。したがって、システム100を、特定のプロセスを使用して特定の設備において製造し、次いで、特定のプロセスの特徴づけ結果に基づいて適切な制御値基準電圧126を与えるように特徴づけ、プログラムして、システム100の全体的なセンスマージンを改善することができる。

【0019】

50

図2を参照すると、制御値基準信号を含む抵抗ベースメモリの第1の例示的な実施形態の回路図が示され、全体的に200と称される。メモリ200は図1のシステム100に対応することができる。メモリ200は、第1の基準経路240と第2の基準経路250とを有する第1の基準セル282を含む。第2の基準セル284は単一の基準経路230を有する。メモリ200はまた、代表的な状態「0」データセル260と代表的な状態「1」データセル270とを含む。基準経路230、240、および250ならびにデータ経路260および270は、第2のセンス増幅器部分210において比較のための出力信号を発生するために、メモリセル部分214に負荷要素を与えるセンス増幅器部分212を有するものとして全体的に示される。データセル260および270のセンス増幅器部分212は、基準選択信号216にตอบสนองして、第1の基準セル282によって供給される第1の制御値基準電圧(Vout_refc)または第2の基準セル284によって供給される第2の制御値基準電圧(Vout_refr)を選択する。特定の実施形態では、基準選択信号216は、プロセス変動に基づいてセンスマージンを改善するためにVout_refcまたはVout_refrを選択するように構成される。

10

【0020】

第1の基準セル282の第1の基準経路240は、pチャネル金属酸化物半導体(PMOS)電界効果トランジスタ負荷242などの負荷デバイスを含む。PMOS負荷242は、第1の制御値基準電圧Vout_refcを与える基準ノード241に結合される。基準ノード241はまたクランプトランジスタ244に結合される。抵抗ベースメモリ要素の論理「1」状態に対応する抵抗R1_246はクランプトランジスタ244に結合される。特定の実施形態では、抵抗ベースメモリ要素は磁気トンネル接合(MTJ)デバイスである。アクセストランジスタ248は抵抗R1_246に結合される。

20

【0021】

第1の基準セル282の第2の基準経路250は、PMOS負荷252などの負荷デバイスを含む。PMOS負荷252は基準ノード241に結合され、次に基準ノード241はクランプトランジスタ254に結合される。抵抗ベースメモリ要素の論理「0」状態に対応する抵抗R0_256はクランプトランジスタ254に結合される。アクセストランジスタ258は抵抗R0_256に結合される。

【0022】

第2の基準セル284の単一の経路230は、PMOS負荷232などの負荷デバイスを含む。PMOS負荷232は、第2の制御値基準電圧Vout_refrを与える基準ノード231に結合される。基準ノード231はまたクランプトランジスタ233に結合される。抵抗R1_235に直列に結合された抵抗R0_234を含む第1の経路は、抵抗R1_237に直列に結合された抵抗R0_236を含む第2の経路と並列に、クランプトランジスタ233に結合される。抵抗R1_235およびR1_237はアクセストランジスタ238に結合される。抵抗R0_234および236は、「ビット0」または論理「0」状態にある抵抗ベースメモリ要素に対応し、抵抗R1_235および237は、「ビット1」または論理「1」状態にある抵抗ベースメモリ要素に対応する。

30

【0023】

代表的な状態「0」データセル260は、PMOS負荷262などの負荷デバイスを含む。PMOS負荷262は基準ノード261に結合され、次いで基準ノード261はクランプトランジスタ264に結合される。論理「0」状態を有する抵抗ベースメモリ要素は抵抗R0_266として表され、抵抗R0_266はクランプトランジスタ264に結合される。アクセストランジスタ268は抵抗R0_266に結合される。

40

【0024】

代表的な状態「1」データセル270は、PMOS負荷272などの負荷デバイスを含む。PMOS負荷272は基準ノード271に結合され、次いで基準ノード271はクランプトランジスタ274に結合される。論理「1」状態を有する抵抗ベースメモリ要素は抵抗R1_276として表され、抵抗R1_276はクランプトランジスタ274に結合される。アクセストランジスタ278は抵抗R1_276に結合される。

50

【 0 0 2 5 】

一般に、経路 230、240、250、260、および 270 の各々の対応する構成要素は、同様の構成を有し、実質的に同様に動作する。クランプトランジスタ 233、244、254、264、および 274 の各々は、共通ゲート電圧、 V_{clamp} に基づいて、それぞれの経路 230、240、250、260、および 270 を通る電流および電圧を制限するように機能する。アクセストランジスタ 238、248、および 258 の各々は、共通ゲート電圧、 V_{rw1} に基づいて、それぞれの経路 230、240、および 250 を通る電流の流れを選択的に可能にする。アクセストランジスタ 268 および 278 の各々は、別の共通ゲート電圧、 V_{w1} に基づいて、それぞれの経路 260 および 270 を通る電流の流れを選択的に可能にする。

10

【 0 0 2 6 】

第 1 の基準セル 282 の各 PMOS 負荷デバイス 242 および 252 は、基準ノード 241 に結合されるゲート端子を有する。第 2 の基準セル 284 の PMOS 負荷デバイス 232 は、基準ノード 231 に結合されるゲート端子を有する。マルチプレクサ 218 などのプログラブル選択回路は、第 1 の制御値基準電圧 V_{out_refc} を受け取るために基準ノード 241 に結合された第 1 の入力と、第 2 の制御値基準電圧 V_{out_refr} を受け取るために基準ノード 231 に結合された第 2 の入力とを有する。マルチプレクサ 216 は、基準選択信号 216 に応答して、それぞれ、データセル 260 および 270 の PMOS 負荷デバイス 262 および 272 のゲート端子に基準電圧 V_{out_ref} として V_{out_refc} または V_{out_refr} を与える。

20

【 0 0 2 7 】

第 2 のセンス増幅器部分 210 は、代表的な状態「0」データセル 260 のノード 261 における電圧 V_{out_data0} または代表的な状態「1」データセル 270 のノード 271 における電圧 V_{out_data1} など、データ読取り動作のために選択されるデータセルの電圧に対応するデータ信号 V_{out_data} を受け取るために結合されるセンス増幅器デバイス 294 を含む。センス増幅器デバイス 294 はまた、マルチプレクサ 218 によって供給される基準電圧 V_{out_ref} を受け取るために結合される。センス増幅器デバイス 294 は、データ信号 V_{out_data} と基準信号 V_{out_ref} との比較に応答して出力 296 を発生する。

30

【 0 0 2 8 】

動作中に、第 1 の基準セル 282 および第 2 の基準セル 284 の各々は、特定のセル構成に従って、それぞれ別個の基準電圧、 V_{out_refc} および V_{out_refr} を発生する。第 1 の基準セル 282 は、電流平均 (current mean) 基準方式に従って基準電圧を発生するように構成され、電流平均は次式によって与えられる。

【 数 1 】

$$I_{ref} = \frac{I_{ref0} + I_{ref1}}{2} = \frac{V_{BLref}}{2} \cdot \left(\frac{1}{R_0 + R_{ON}} + \frac{1}{R_1 + R_{ON}} \right)$$

40

【 0 0 2 9 】

上式で、 R_{ON} はアクセストランジスタ 248 または 258 の抵抗である。第 2 の基準セル 284 は、抵抗平均基準方式に従って基準電圧を発生するように構成され、抵抗平均は次式によって与えられる。

50

【数 2】

$$R_{ref} = \frac{R_0 + R_1}{2}$$

10

【0030】

その結果、第2の基準セル284を通る電流 I_{ref}' は次式によって与えられる。

【数 3】

$$I_{ref}' = \frac{V_{BLref'}}{(R_1 + R_0)/2 + R_{ON}} = V_{BLref'} \frac{1}{(R_1 + R_0)/2 + R_{ON}}$$

20

【0031】

一般に、次式の場合は、

【数 4】

$$V_{BLref} = V_{BLref'} = V_{BL}$$

30

【0032】

次式のように、 I_{ref} が I_{ref}' よりも大きいことを示すことができる。

【数 5】

$$I_{ref} - I_{ref}' = V_{BL} \left[\frac{(R_{MTJ_0} + R_{MTJ_1})/2 + R_{ON}}{(R_{MTJ_0} + R_{ON})(R_{MTJ_1} + R_{ON})} - \frac{1}{(R_{MTJ_0} + R_{MTJ_1})/2 + R_{ON}} \right] > 0$$

40

【0033】

特定の実施形態では、センス増幅器マージンなどの信号マージン V は、状態「1」データセル270の基準ノード271における電圧 V_{out_data} と基準電圧 (V_{out_refc} または V_{out_refc}) との間の差 (V_1) か、あるいは基準電圧 (V_{out_refc} または V_{out_refr}) と状態「0」データセル260の基準ノード261における電圧 V_{out_data} との間の差 (V_0) のいずれか小さい方に

50

対応する。メモリ200の動作は、基準セル282および284に結合されたデータセルのための全体的なセンスマージンを増加させる基準電圧 V_{out_refc} または V_{out_refr} を選択することによって改善できる。

【0034】

図1に関して論じるように、プロセス変動のために、出力電圧 V_{out_data} はセルごとに変動することがある。しかしながら、図5～図10に関して論じるように、そのようなプロセス変動は一般にカテゴリー分類でき、基準選択信号216はプロセス変動のカテゴリーに基づいて判断できる。たとえば、基準選択信号216は、メモリベースのセルの抵抗値の分布に基づいてメモリ200のレジスタ、ラッチ、または他のデータ記憶デバイスにおいて設定できる。基準選択信号216は、セルごとの情報、チップごとの情報、マルチチップ情報、またはプロセスベースの情報に基づいて設定できる。

10

【0035】

図3を参照すると、制御値基準信号を含む抵抗ベースメモリの第2の例示的な実施形態の回路図が示され、全体的に300と称される。メモリ300は図1のシステム100に対応することができる。メモリ300は、第1の発生器経路320と第2の発生器経路330とを有するゲート電圧発生器380を含む。基準セル382は、第1の基準経路340と第2の基準経路350とを有する。メモリ300はまた、代表的な状態「0」データセル360と代表的な状態「1」データセル370とを含む。発生器経路320および330、基準経路340および350、ならびにデータ経路360および370は、一般に、第2のセンス増幅器部分310において比較のための出力信号を発生するために、メモリセル部分314に負荷要素を与えるセンス増幅器部分312を有するものとして示される。特定の実施形態では、基準セル382は、プロセス変動に基づいてセンスマージンを改善するために、制御入力386に応答して制御値基準電圧(V_{ref})を調整するように構成された磁気抵抗ランダムアクセスメモリ(MRAM)基準セルである。

20

【0036】

基準セル382の第1の基準経路340は、pチャネル金属酸化物半導体(PMOS)電界効果トランジスタ負荷342などの負荷デバイスを含む。PMOS負荷342は、制御値基準電圧 V_{ref} を与える基準ノード341に結合される。基準ノード341はまたクランプトランジスタ344に結合される。抵抗ベースメモリ要素の論理「1」状態に対応する抵抗 R_{1_346} はクランプトランジスタ344に結合される。特定の実施形態では、抵抗ベースメモリ要素は磁気トンネル接合(MTJ)デバイスである。アクセストラ

30

【0037】

基準セル382の第2の基準経路350は、PMOS負荷352などの負荷デバイスを含む。PMOS負荷352は基準ノード341に結合され、次いで基準ノード341はクランプトランジスタ354に結合される。抵抗ベースメモリ要素の論理「0」状態に対応する抵抗 R_{0_356} はクランプトランジスタ354に結合される。アクセストラ

【0038】

ゲート電圧発生器380の第1の経路320は、PMOS負荷322などの負荷デバイスを含む。PMOS負荷322はノード331に結合され、ノード331はまたクランプトランジスタ324に結合される。論理「1」状態を有する抵抗ベースメモリ要素は抵抗 R_{1_326} として表され、抵抗 R_{1_326} はクランプトランジスタ324に結合される。アクセストラ

40

【0039】

ゲート電圧発生器380の第2の経路330は、PMOS負荷332などの負荷デバイスを含む。PMOS負荷332はノード331に結合され、ノード331はまたクランプトランジスタ334に結合される。論理「0」状態を有する抵抗ベースメモリ要素は抵抗 R_{0_336} として表され、抵抗 R_{0_336} はクランプトランジスタ334に結合される。アクセストラ

50

【 0 0 4 0 】

代表的な状態「0」データセル360は、PMOS負荷362などの負荷デバイスを含む。PMOS負荷362は基準ノード361に結合され、次いで基準ノード361はクランプトランジスタ364に結合される。論理「0」状態を有する抵抗ベースメモリ要素は抵抗R0366として表され、抵抗R0366はクランプトランジスタ364に結合される。アクセストランジスタ368は抵抗R0366に結合される。

【 0 0 4 1 】

代表的な状態「1」データセル370は、PMOS負荷372などの負荷デバイスを含む。PMOS負荷372は基準ノード371に結合され、次いで基準ノード371はクランプトランジスタ374に結合される。論理「1」状態を有する抵抗ベースメモリ要素は抵抗R1376として表され、抵抗R1376はクランプトランジスタ374に結合される。アクセストランジスタ378は抵抗R1376に結合される。特定の実施形態では、データセル360および370は、磁気トンネリング接合(MTJ)デバイスを含む回転トルク転送(spin torque transfer)MRAM(STT-MRAM)ビットセルなどのMRAMビットセルである。

10

【 0 0 4 2 】

一般に、経路320、330、340、350、360、および370の各々の対応する構成要素は、同様の構成を有し、実質的に同様に動作する。各PMOS負荷デバイス322、332、342、352、362、および372は、共通負荷制御信号を受け取るために基準ノード331に結合されたゲート端子を有する。データセルのアクセストランジスタ368および379の各々は、第1の共通ゲート電圧Vw1に基づいてそれぞれの経路360および370を通る電流の流れを選択的に可能にする。基準セル382およびゲート電圧発生器380のアクセストランジスタ328、338、348、および358の各々は、第2の共通ゲート電圧Vrw1に基づいてそれぞれの経路320、330、340、および350を通る電流の流れを選択的に可能にする。

20

【 0 0 4 3 】

クランプトランジスタ324、334、344、354、364、および374の各々は、それぞれの経路320、330、340、350、360、および370を通る電流および電圧を制限するように機能する。ゲート電圧発生器380のクランプトランジスタ324および334、ならびにデータセル360および370の各々のクランプトランジスタ364および374は、第1のゲート電圧Vclamp1でバイアスされたノード384に結合されたゲート端子を有する。基準セル382の各クランプトランジスタ344および354は、制御入力386を介して第2のゲート電圧Vclamp2を受け取るために結合されたゲート端子を有する。特定の実施形態では、Vclamp2はVclamp1とは無関係である。

30

【 0 0 4 4 】

第2のセンス増幅器部分310は、状態「0」データセル360のノード361におけるVd0または状態「1」データセル370のノード371におけるVd1など、選択されたデータセルからデータ信号Vdを受け取るために結合された第1の入力390を有するセンス増幅器デバイス394を含む。センス増幅器デバイス394は、基準ノード341から制御値基準電圧Vrefを受け取るために結合された第2の入力392を有する。センス増幅器デバイス394は、データ信号Vdと基準信号Vrefとの比較にตอบสนองして出力396を発生する。

40

【 0 0 4 5 】

制御値基準電圧Vrefは、メモリ300のセンスマージンを向上するようにプログラム可能である。基準セル382は、図2の第1の基準セル282の電流平均基準構成を有するが、クランプトランジスタ344および354におけるゲート電圧Vclamp2を変動することによって、基準セル382を通る電流Irefは、図2の第2の基準セル284の抵抗平均基準方式の電流Iref'と同程度に低く設定できる。PMOS負荷322、332、342、352、362、および372に共通ゲート電圧を与えるために別

50

々のゲート電圧発生器380を使用することによって、それぞれ、データセル360および370を通る電流 I_0 および I_1 を変更せずに、基準セル382を通る電流 I_{ref} を変動させることができる。したがって、ゲート発生器380および基準セル382は、実質的に電流平均基準方式基準値から抵抗平均基準方式基準値にわたる値の連続範囲内で V_{ref} をプログラムすることを可能にする。電流平均基準方式または抵抗平均基準方式に基準信号選択を制限する図2のメモリ200に比較して、メモリ300の連続基準信号選択はより正確なセンスマージン調整を可能にする。

【0046】

V_{clamp2} の値は、論理回路(図示せず)を介して判断されるか、レジスタインターフェースを介して受け取られるか、あるいは、メモリベースセルの抵抗値の分布に基づいてメモリ300のレジスタ、ラッチ、または他のデータ記憶デバイスにおいて設定される。 V_{clamp2} の値は、セルごとの情報、チップごとの情報、マルチチップ情報、またはプロセスベースの情報に基づいて設定できる。

10

【0047】

図2および図3の基準信号およびデータ信号を電圧レベルとして示し、説明したが、他の実施形態では、基準信号およびデータ信号は電圧レベルでなく電流レベルに基づくことができる。さらに、抵抗ベースメモリシステムの例示的、非限定的な例として、図2または図3中に示されるシステムは、磁気抵抗ランダムアクセスメモリ(MRAM)、位相変化ランダムアクセスメモリ(PRAM)、または回転トルク転送MRAM(STT-MRAM)として実装できる。

20

【0048】

図4を参照すると、抵抗ベースメモリの回路特性の特定の例示的な実施形態が示され、全体的に400と称される。第1の動作点402は、図2の状態「0」データセル260中の電流 I_0 および抵抗 $R_{0,266}$ 、または図3の状態「0」データセル360中の電流 I_0 および抵抗 $R_{0,366}$ など、抵抗 $R_{MTJ,0}$ を有する磁気トンネル接合(MTJ)抵抗ベースメモリ要素において記憶された論理「0」値に対応する電流 I_0 を示す。同様に、第2の動作点404は、図2の状態「1」データセル270中の電流 I_1 および抵抗 $R_{1,276}$ 、または図3の状態「1」データセル370中の電流 I_1 および抵抗 $R_{1,376}$ など、抵抗 $R_{MTJ,1}$ を有する磁気トンネル接合(MTJ)抵抗ベースメモリ要素において記憶された論理「1」値に対応する電流 I_1 を示す。

30

【0049】

電流 $I_{ref,410}$ は、図2の第1の基準セル282など、電流平均基準方式を有する基準セルを通る電流に対応する。電流 $I_{ref,412}$ は、図2の第2の基準セル284など、抵抗平均基準方式を有する基準セルを通る電流に対応する。図5~図7および図8~図10に関して説明するように、電流 $I_{ref,410}$ または電流 $I_{ref,412}$ の選択は、動作点402および404の分散または分布に基づくことができる。

【0050】

図5を参照すると、第1のメモリセル抵抗分布特性を示すメモリセル抵抗の特定の例示的な実施形態が示され、全体的に500と称される。図5は、全体的に磁気トンネル接合(MTJ)デバイスの抵抗値のヒストグラムを表し、「0」状態 $R_{MTJ,0}$ に対応する第1の分布502と、「1」状態 $R_{MTJ,1}$ に対応する第2の分布504とを示す。図示のように、第1の分布502と第2の分布504とはほぼ等価である。特に、第1の分布502の標準偏差は、第2の分布504の標準偏差にほぼ等しく、次式によって示される。

40

【数6】

$$\sigma(R_{MTJ0}) \approx \sigma(R_{MTJ1}).$$

50

【 0 0 5 1 】

図 6 を参照すると、図 5 の第 1 のメモリセル抵抗分布特性に基づくメモリセル電流分布の特定の例示的な実施形態が示され、全体的に 6 0 0 と称される。図 6 は、全体的に、図 2 のデータセル 2 6 0 または図 3 のデータセル 3 6 0 を通る状態「 0 」電流 I_0 に対応する第 1 の分布 6 0 2 を有する電流値のヒストグラムを表し、抵抗 R_0 2 6 6 または 3 6 6 は図 5 の第 1 の分布 5 0 2 の抵抗値によって与えられる。第 2 の分布 6 0 4 は、図 2 のデータセル 2 7 0 または図 3 のデータセル 3 7 0 を通る状態「 1 」電流 I_1 に対応し、抵抗 R_1 2 7 6 または 3 7 6 は図 5 の第 2 の分布 5 0 4 の抵抗値によって与えられる。

【 0 0 5 2 】

図 7 を参照すると、図 5 の第 1 のメモリセル抵抗分布特性と図 6 のメモリセル電流分布とを使用した図 4 の回路特性の特定の例示的な実施形態が示され、全体的に 7 0 0 と称される。第 1 の分布 I_0 7 0 2 は、図 5 の状態「 0 」抵抗分布 R_{MTJ0} 5 0 2 および図 6 の電流分布 I_0 6 0 2 の抵抗電流特性を示す。第 1 の分布 I_0 7 0 2 は、抵抗分布 R_{MTJ0} 5 0 2 および電流分布 I_0 6 0 2 の平均に対応する平均値 7 0 4 を有する。第 2 の分布 I_1 7 0 6 は、図 5 の状態「 1 」抵抗分布 R_{MTJ1} 5 0 4 および図 6 の電流分布 I_1 6 0 4 の抵抗電流特性を示す。第 2 の分布 I_1 7 0 6 は、抵抗分布 R_{MTJ1} 5 0 4 および電流分布 I_1 6 0 4 の平均に対応する平均値 7 0 8 を有する。

【 0 0 5 3 】

基準電流 I_{ref} 7 1 0 は、電流平均基準方式を使用する図 2 の第 1 の基準セル 2 8 2 を通る電流 I_{ref} に対応する。第 2 の基準電流 I_{ref} 7 1 2 は、抵抗平均基準方式を使用する図 2 の第 2 の基準セル 2 8 4 を通る電流 I_{ref} ' に対応する。 I_0 分布 7 0 2 は、 I_1 分布 7 0 4 よりも電流値のより大きい範囲にわたって分布し、したがって、第 2 の基準電流 I_{ref} 7 1 2 は、 I_0 平均 7 0 4 よりも I_1 平均 7 0 8 に近接した値を有し、第 1 の基準電流 I_{ref} 7 1 0 よりも大きい全体的なセンスマージンを与える。

【 0 0 5 4 】

図 8 を参照すると、第 2 のメモリセル抵抗分布特性を示すメモリセル抵抗の特定の例示的な実施形態が示され、全体的に 8 0 0 と称される。図 8 は、全体的に磁気トンネル接合 (MTJ) デバイスの抵抗値のヒストグラムを表し、「 0 」状態 R_{MTJ0} に対応する第 1 の分布 8 0 2 と、「 1 」状態 R_{MTJ1} に対応する第 2 の分布 8 0 4 とを示す。図示のように、第 1 の分布 8 0 2 は第 2 の分布 8 0 4 より高く、より狭い。特に、次式のように、第 1 の分布 8 0 2 の標準偏差を第 1 の分布 8 0 2 の平均値で除算した値は、第 2 の分布 8 0 4 の標準偏差を第 2 の分布 8 0 4 の平均値で除算した値にほぼ等しい。

【 数 7 】

$$\sigma/\mu (R_{MTJ0}) \approx \sigma/\mu (R_{MTJ1}).$$

【 0 0 5 5 】

図 9 を参照すると、図 8 の第 2 のメモリセル抵抗分布特性に基づくメモリセル電流分布の特定の例示的な実施形態が示され、全体的に 9 0 0 と称される。図 9 は、全体的に、図 2 のデータセル 2 6 0 または図 3 のデータセル 3 6 0 を通る状態「 0 」電流 I_0 に対応する第 1 の分布 9 0 2 を有する電流値のヒストグラムを表し、抵抗 R_0 2 6 6 または 3 6 6 は図 8 の第 1 の分布 8 0 2 の抵抗値によって与えられる。第 2 の分布 9 0 4 は、図 2 のデータセル 2 7 0 または図 3 のデータセル 3 7 0 を通る状態「 1 」電流 I_1 に対応し、抵抗 R_1 2 7 6 または 3 7 6 は図 8 の第 2 の分布 8 0 4 の抵抗値によって与えられる。

【 0 0 5 6 】

図 10 を参照すると、図 8 の第 2 のメモリセル抵抗分布特性と図 9 のメモリセル電流分布とを使用した図 4 の回路特性の特定の例示的な実施形態が示され、全体的に 1 0 0 0 と

10

20

30

40

50

称される。第1の分布 I_0 1002 は、図8の状態「0」抵抗分布 R_{MTJ0} 802 および図9の電流分布 I_0 902 の抵抗電流特性を示す。第1の分布 I_0 1002 は、抵抗分布 R_{MTJ0} 802 および電流分布 I_0 902 の平均に対応する平均値1004を有する。第2の分布 I_1 1006 は、図8の状態「1」抵抗分布 R_{MTJ1} 804 および図9の電流分布 I_1 904 の抵抗電流特性を示す。第2の分布 I_1 1006 は、抵抗分布 R_{MTJ1} 804 および電流分布 I_1 904 の平均に対応する平均値1008を有する。

【0057】

基準電流 I_{ref} 1010 は、電流平均基準方式を使用する図2の第1の基準セル282を通る電流 I_{ref} に対応する。第2の基準電流 $I_{ref'}$ 1012 は、抵抗平均基準方式を使用する図2の第2の基準セル284を通る電流 $I_{ref'}$ に対応する。図7とは対照的に、 I_1 分布1004は、 I_0 分布1002よりも電流値のより大きいレンジにわたって分布し、したがって、第1の基準電流 I_{ref} 1010 は、 I_1 平均1008よりも I_0 平均1004に近接した値を有し、第2の基準電流 $I_{ref'}$ 1012 よりも大きい全体的なセンスマージンを与える。

【0058】

一般に、図5～図10は、

【数8】

$$\sigma(R_{MTJ0}) \approx \sigma(R_{MTJ1})$$

10

20

【0059】

の場合、プロセス変動を生じる製作プロセスでは、一般に抵抗平均基準方式は電流平均基準方式よりも良好なセンスマージンを与えることができることを示す。

【数9】

$$\sigma/\mu (R_{MTJ0}) \approx \sigma/\mu (R_{MTJ1})$$

30

40

【0060】

の場合に、プロセス変動を生じる製作プロセスでは、一般に電流平均基準方式は抵抗平均基準方式よりも良好なセンスマージンを与えることができる。したがって、プロセス変動が特徴づけられると、図1～図3に示すような制御値基準信号を有するメモリ回路は、センスマージンを増加させることによって、システムパフォーマンスを改善するためにプロセス変動のタイプに適切である1つまたは複数の基準信号を使用するようにプログラムできる。

【0061】

50

図 1 1 を参照すると、制御値基準信号を有する抵抗ベースメモリ回路を動作させる方法の特定の実施形態の流れ図が示され、全体的に 1 1 0 0 と称される。例示的な例として、抵抗ベースメモリ回路は、磁気抵抗ランダムアクセスメモリ (M R A M)、位相変化ランダムアクセスメモリ (P R A M)、回転トルク転送 M R A M (S T T - M R A M)、または他の抵抗ベースメモリデバイスを含むことができる。例示的な実施形態では、方法 1 1 0 0 は図 1 ~ 図 3 のシステムのいずれかにおいて実行できる。

【 0 0 6 2 】

1 1 0 2 において、磁気ランダムアクセスメモリ (M R A M) デバイスにおいて基準信号の値を調整するために制御信号を与え、 M R A M デバイスのビットセルの値は、データ読取り信号と基準信号との比較に基づいて判断される。特定の実施形態では、制御信号は、 M R A M デバイスのプロセス変動を観測し、レジスタインターフェースを介して 1 つまたは複数の値を設定することによって判断される。1 1 0 4 に続き、 M R A M デバイスのビットセルにおいて読取り動作を選択する。1 1 0 6 に進み、センス増幅器の出力を受け取る。出力はビットセルの値を示す。

10

【 0 0 6 3 】

特定の実施形態では、制御信号は、第 1 の基準セルの第 1 の出力または第 2 の基準セルの第 2 の出力をセンス増幅器に与えるために、選択論理に与えられる。たとえば、制御信号は、図 2 の V o u t _ r e f c または V o u t _ r e f r を選択するためにマルチプレクサ 2 1 8 において受け取る基準選択信号 2 1 6 を含むことができる。

【 0 0 6 4 】

別の特定の実施形態では、制御信号は、図 3 の制御入力 3 8 6 における信号 V c l a m p 2 など、基準セルのクランプトランジスタの制御端子に与えられる。p チャネル金属酸化物半導体 (P M O S) 電界効果トランジスタ負荷は、図 3 のゲート電圧発生器 3 8 0 など、制御信号とは無関係である、負荷発生セルの負荷制御出力によって制御できる。

20

【 0 0 6 5 】

制御信号は、 M R A M デバイスのための改善されたセンスマージンを与えるように判断できる。たとえば、プロセス変動が図 5 と同様の抵抗分布特性を示す場合、制御信号は、抵抗平均基準セルの選択に対応するように基準信号を調整することができる。プロセス変動が図 8 と同様の抵抗分布特性を示す場合、制御信号は、電流平均基準セルの選択に対応するように基準信号を調整することができる。

30

【 0 0 6 6 】

図 1 2 を参照すると、プログラマブル基準信号を有する抵抗ベースメモリ回路を含む電子デバイスの特定の例示的な実施形態のブロック図が示され、全体的に 1 2 0 0 と称される。デバイス 1 2 0 0 は、メモリ 1 2 3 2 に結合され、さらにプログラマブル基準信号を有する抵抗ベースメモリ回路 1 2 6 4 にも結合されたデジタル信号プロセッサ (D S P) 1 2 1 0 などのプロセッサを含む。例示的な例では、プログラマブル基準信号を有する抵抗ベースメモリ回路 1 2 6 4 は、図 1 ~ 図 3 のシステムのいずれかを含み、図 1 1 の方法に従って動作することができる。特定の実施形態では、プログラマブル基準信号を有する抵抗ベースメモリ回路 1 2 6 4 は、回転トルク転送磁気抵抗ランダムアクセスメモリ (S T T - M R A M) メモリデバイスを含む。

40

【 0 0 6 7 】

図 1 2 はまた、デジタル信号プロセッサ 1 2 1 0 とディスプレイ 1 2 2 8 とに結合されたディスプレイコントローラ 1 2 2 6 を示す。コーダ / デコーダ (コーデック (C O D E C)) 1 2 3 4 はまたデジタル信号プロセッサ 1 2 1 0 に結合できる。スピーカー 1 2 3 6 およびマイクロフォン 1 2 3 8 はコーデック 1 2 3 4 に結合できる。

【 0 0 6 8 】

図 1 2 はまた、ワイヤレスコントローラ 1 2 4 0 がデジタル信号プロセッサ 1 2 1 0 とワイヤレスアンテナ 1 2 4 2 とに結合できることを示す。特定の実施形態では、 D S P 1 2 1 0、ディスプレイコントローラ 1 2 2 6、メモリ 1 2 3 2、コーデック 1 2 3 4、ワイヤレスコントローラ 1 2 4 0、およびプログラマブル基準信号を有する抵抗ベースメモ

50

リ回路 1 2 6 4 は、システムインパッケージデバイスまたはシステムオンチップデバイス 1 2 2 2 中に含まれる。特定の実施形態では、入力デバイス 1 2 3 0 および電源 1 2 4 4 はシステムオンチップデバイス 1 2 2 2 に結合される。さらに、特定の実施形態では、図 1 2 に示すように、ディスプレイ 1 2 2 8、入力デバイス 1 2 3 0、スピーカー 1 2 3 6、マイクロフォン 1 2 3 8、ワイヤレスアンテナ 1 2 4 2、および電源 1 2 4 4 は、システムオンチップデバイス 1 2 2 2 の外部にある。しかしながら、各々は、インターフェースまたはコントローラなど、システムオンチップデバイス 1 2 2 2 の構成要素に結合できる。

【 0 0 6 9 】

開示するシステムおよび方法とともに、抵抗ベースメモリデバイスの観測されたプロセス変動の特性に基づいてセンスマージンを改善するために、抵抗ベースメモリデバイスのための可変基準信号発生器を提供することができる。可変基準信号発生器は、図 2 の基準選択信号 2 1 6 または図 3 の制御入力 3 8 6 における V_{clamp2} 信号などの制御信号を受け取る入力を持つ。可変基準信号発生器は、入力に応答する出力と、抵抗ベースメモリデバイスのセンス増幅器に関連して使用するための制御値基準信号を出力において与えるための論理とを含む。たとえば、制御値基準信号を与える論理は、図 2 のマルチプレクサ 2 1 8 を含むことができる。

【 0 0 7 0 】

可変基準信号発生器は、データ値を記憶するための第 1 のメモリ手段と、抵抗型負荷を与えるための第 1 の負荷手段と、第 1 の電流を制御するための第 1 のクランプ手段とを含むことができ、第 1 のクランプ手段は制御値基準信号の値を制御するために入力に結合される。たとえば、第 1 のメモリ手段は、図 1 の M T J デバイス 1 1 4 と、図 2 の抵抗 2 6 6 および 2 7 6 と、図 3 の抵抗 3 6 6 および 3 7 6 とを含むことができる。第 1 の負荷手段の例は、図 2 のデータセル 2 6 0 および 2 7 0 のセンス増幅器部分 2 1 2 と、図 3 のデータセル 3 6 0 および 3 7 0 のセンス増幅器部分 3 1 2 とを含む。第 1 のクランプ手段の例は、図 2 のクランプトランジスタ 2 6 4 および 2 7 4、ならびに図 3 のクランプトランジスタ 3 6 4 および 3 7 4 など、クランプデバイスおよび回路を含む。

【 0 0 7 1 】

第 1 の負荷手段は、図 3 のゲート電圧発生器 3 8 0 などの負荷発生器セルから負荷制御信号を受け取るために結合できる。負荷発生器セルは、データ値を記憶するための第 2 のメモリ手段と、抵抗型負荷を与えるための第 2 の負荷手段と、第 2 の電流を制御するための第 2 のクランプ手段とを含むことができる。第 2 のメモリ手段の例は、図 3 の抵抗 3 2 6 および 3 3 6 を含む。第 2 の負荷手段の例は、P M O S 負荷 3 2 2 および 3 3 2 などの負荷デバイスを含む、図 3 のゲート電圧発生器 3 8 0 のセンス増幅器部分 3 1 2 を含む。第 2 のクランプ手段は、図 3 のクランプトランジスタ 3 2 4 および 3 3 4 などのクランプデバイスおよび回路を含むことができる。

【 0 0 7 2 】

さらに、本明細書で開示した実施形態に関して説明した様々な例示的な論理ブロック、構成、モジュール、回路、およびアルゴリズムステップは、電子ハードウェア、コンピュータソフトウェア、または両方の組合せとして実装できることを、当業者は諒解されよう。ハードウェアとソフトウェアのこの互換性を明確に示すために、様々な例示的な構成要素、ブロック、構成、モジュール、回路、およびステップを、上記では概して、それらの機能に関して説明した。そのような機能をハードウェアとして実装するか、ソフトウェアとして実装するかは、特定の適用例および全体的なシステムに課される設計制約に依存する。当業者は、説明した機能を特定の適用例ごとに様々な方法で実装することができるが、そのような実装の決定は、本開示の範囲からの逸脱を生じるものと解釈すべきではない。

【 0 0 7 3 】

本明細書で開示する実施形態に関して説明する方法またはアルゴリズムのステップは、直接ハードウェアで実施するか、プロセッサによって実行されるソフトウェアモジュール

10

20

30

40

50

で実施するか、またはその2つの組合せで実施することができる。ソフトウェアモジュールは、ランダムアクセスメモリ(RAM)、フラッシュメモリ、読取り専用メモリ(ROM)、プログラマブル読取り専用(PROM)、消去可能プログラマブル読取り専用(EPROM)、電氣的消去可能プログラマブル読取り専用(EEPROM)、レジスタ、ハードディスク、リムーバブルディスク、コンパクトディスク読取り専用(CD-ROM)、または当技術分野で知られている他の形態の記憶媒体に常駐する(reside)ことができる。例示的な記憶媒体は、プロセッサが記憶媒体から情報を読み取り、記憶媒体に情報を書き込むことができるように、プロセッサに結合される。代替として、記憶媒体はプロセッサに一体化することができる。プロセッサおよび記憶媒体は特定用途向け集積回路(ASIC)中に常駐することができる。ASICは、コンピューティングデバイスまたはユーザ端末中に常駐することができる。代替として、プロセッサおよび記憶媒体は、コンピューティングデバイスまたはユーザ端末中に個別構成要素として常駐することができる。

10

【0074】

開示した実施形態の上記の説明は、開示した実施形態を当業者が作成または使用できるように行ったものである。これらの実施形態への様々な変更は当業者にはすぐに明らかになり、本明細書で定義された原理は本開示の範囲から逸脱することなく他の実施形態にできる。したがって、本開示は、本明細書に示した実施形態に限定されるものではなく、特許請求の範囲によって定義される原理および新規の特徴と合致することが可能な最も広い範囲が与えられるべきものである。

以下に本願発明の当初の特許請求の範囲に記載された発明を付記する。

20

【C1】

基準制御信号を受け取るように構成された第1の入力と、
前記第1の入力にตอบสนองして、抵抗ベースメモリセルに結合されたセンス増幅器に制御値基準電圧を選択的に与えるための出力と、
を備える回路デバイス。

【C2】

前記抵抗ベースメモリセルが磁気トンネル接合(MTJ)デバイスを含む、C1に記載の回路デバイス。

【C3】

前記基準制御信号がセンスマージン感度情報に基づいて選択される、C1に記載の回路デバイス。

30

【C4】

前記センスマージン感度情報が、セルごとの情報、チップごとの情報、マルチチップ情報、またはプロセススペースの情報を含む、C3に記載の回路デバイス。

【C5】

第1の制御値基準電圧を与える第1の基準電流経路と、
第2の制御値基準電圧を与える第2の基準電流経路と、
をさらに備える、C1に記載の回路デバイス。

【C6】

前記第1の基準電流経路が、ビット1状態にある第2の基準抵抗ベースメモリ要素に直列に結合された、ビット0状態にある第1の基準抵抗ベースメモリ要素を含む、C5に記載の回路デバイス。

40

【C7】

前記第2の基準経路が、前記ビット1状態にある第4の基準抵抗ベースメモリ要素に並列に結合された、前記ビット0状態にある第3の基準抵抗ベースメモリ要素を含む、C6に記載の回路デバイス

【C8】

少なくとも1つの磁気抵抗ランダムアクセスメモリ(MRAM)ビットセルに結合された第1の入力と、
制御値基準電圧を備える入力信号を受け取るように適合された第2の入力と、

50

を備えるセンス増幅器。

[C 9]

前記制御値基準電圧がプログラム可能である、C 8 に記載のセンス増幅器。

[C 1 0]

前記制御値基準電圧が、制御入力にตอบสนองして前記制御値基準電圧を調整するように構成された M R A M 基準セルによって供給される、C 9 に記載のセンス増幅器。

[C 1 1]

前記制御入力前記 M R A M 基準セルの第 1 の電流クランプデバイスの制御端子に結合された、C 1 0 に記載のセンス増幅器。

[C 1 2]

前記 M R A M 基準セルが第 1 の負荷回路を含み、前記 M R A M ビットセルが第 2 の負荷回路を含み、前記第 1 の負荷回路および前記第 2 の負荷回路が M R A M 負荷発生器セルから負荷制御信号を受け取る、C 1 1 に記載のセンス増幅器。

[C 1 3]

前記 M R A M ビットセルが第 2 の電流クランプデバイスを含み、前記 M R A M 負荷発生器セルが第 3 の電流クランプデバイスを含み、前記第 2 の電流クランプデバイスおよび前記第 3 の電流クランプデバイスが、前記第 1 の電流クランプデバイスへの前記制御入力とは無関係であるクランプ制御信号によって制御される、C 1 2 に記載のセンス増幅器。

[C 1 4]

抵抗ベースメモリデバイスのための可変基準信号発生器であって、
制御信号を受け取る入力と、
前記入力にตอบสนองする出力と、
前記抵抗ベースメモリデバイスのセンス増幅器に関連して使用するための制御値基準信号を前記出力において与えるための論理と、
を備える可変基準信号発生器。

[C 1 5]

データ値を記憶するための第 1 のメモリ手段と、
抵抗型負荷を与えるための第 1 の負荷手段と、
第 1 の電流を制御するための第 1 のクランプ手段と、
を含む基準セルをさらに備え、
前記第 1 のクランプ手段が、前記制御値基準信号の値を制御するために前記入力に結合された、
C 1 4 に記載の信号発生器。

[C 1 6]

前記第 1 の負荷手段が、負荷発生器セルから負荷制御信号を受け取るために結合された、C 1 5 に記載の信号発生器。

[C 1 7]

前記負荷発生器セルが、
データ値を記憶するための第 2 のメモリ手段と、
抵抗型負荷を与えるための第 2 の負荷手段と、
第 2 の電流を制御するための第 2 のクランプ手段と、
を含む、C 1 6 に記載の信号発生器。

[C 1 8]

第 1 の負荷要素に結合され、データセルにおいて記憶されたデータ値にตอบสนองしてデータ信号を発生するデータセルと、
制御値基準信号を発生する基準セルと、
前記第 1 の負荷要素に負荷制御信号を与えるために結合された負荷発生器セルと、
前記制御値基準信号および前記データ信号を受信し、前記データ値を示す出力を発生するために結合されたセンス増幅器と、
を備える磁気抵抗ランダムアクセスメモリ (M R A M) デバイス。

10

20

30

40

50

[C 1 9]

前記制御値基準信号が基準電流または基準電圧を含む、C 1 8 に記載の M R A M デバイス。

[C 2 0]

前記制御値基準信号が、前記基準セルにおいて受信される制御入力にตอบสนองする、C 1 8 に記載の M R A M デバイス。

[C 2 1]

前記制御入力が前記基準セルの電流クランプデバイスの制御端子において受信される、C 2 0 に記載の M R A M デバイス。

[C 2 2]

磁気ランダムアクセスメモリ (M R A M) デバイスにおいて基準信号の値を調整するために制御信号を与えることを備える方法であって、前記 M R A M デバイスのビットセルの値がデータ読取り信号と前記基準信号との比較に基づいて判断される方法。

[C 2 3]

前記制御信号が、第 1 の基準セルの第 1 の出力または第 2 の基準セルの第 2 の出力をセンス増幅器に与えるために選択論理に与えられる、C 2 2 に記載の方法。

[C 2 4]

前記制御信号が、基準セルのクランプトランジスタの制御端子に与えられ、pチャネル金属酸化物半導体 (P M O S) 電界効果トランジスタ負荷が、前記制御信号とは無関係である、負荷発生器セルの負荷制御出力によって制御される、C 2 2 に記載の方法。

[C 2 5]

前記 M R A M デバイスの前記ビットセルにおいて読取り動作を選択することと、前記ビットセルの前記値を示す、センス増幅器の出力を受け取ることと、をさらに備える、C 2 2 に記載の方法。

10

20

【 図 1 】

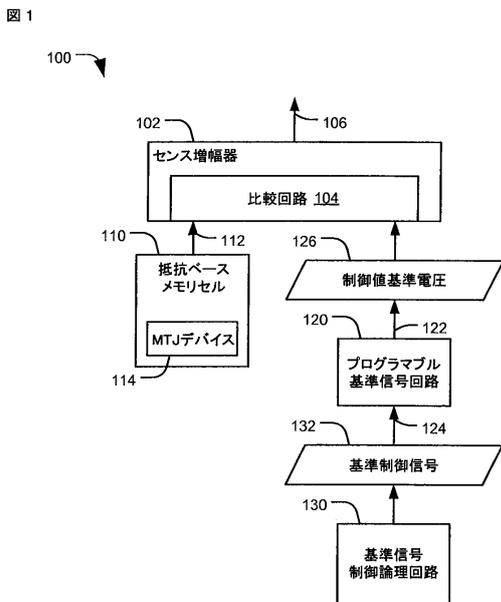


FIG. 1

【 図 2 】

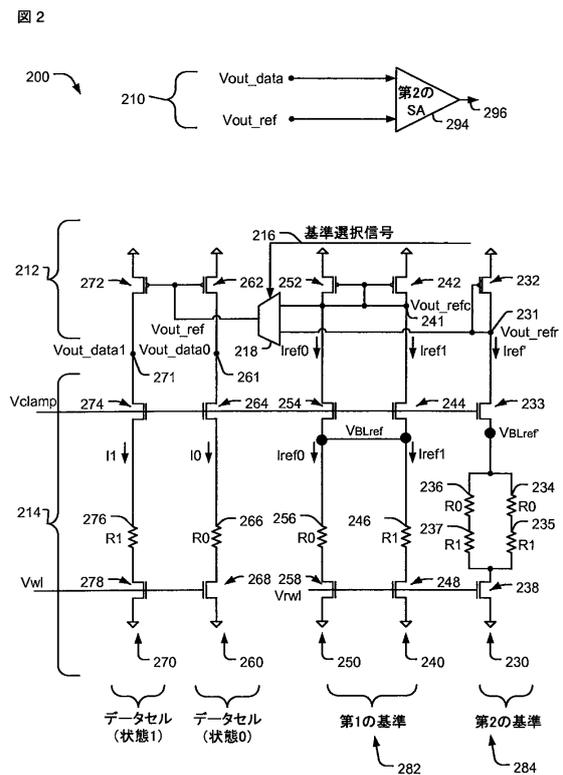


FIG. 2

【 図 8 】

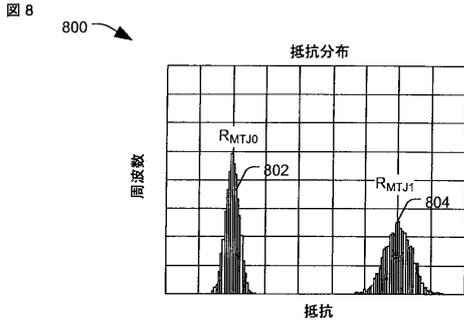


FIG. 8

【 図 9 】

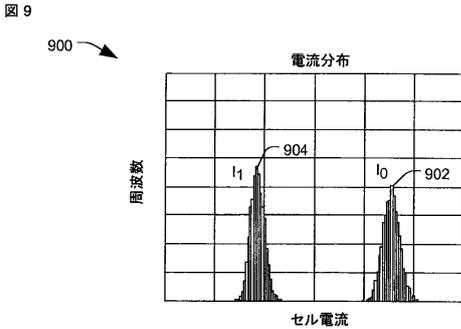


FIG. 9

【 図 1 1 】

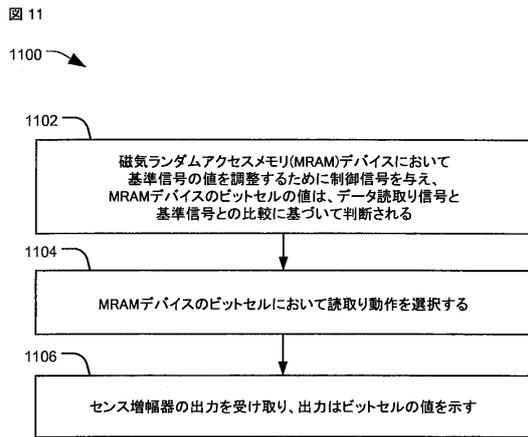


FIG. 11

【 図 1 0 】

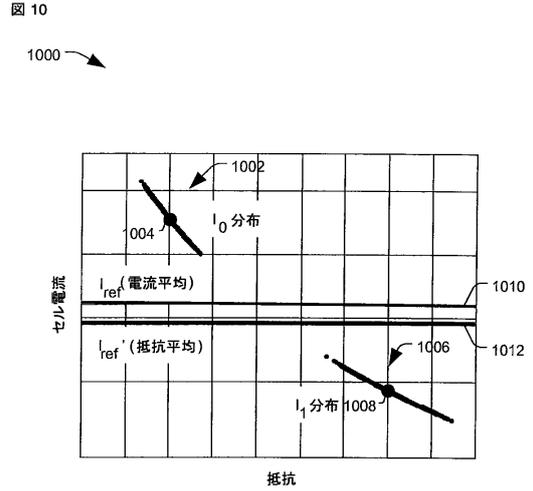


FIG. 10

【 図 1 2 】

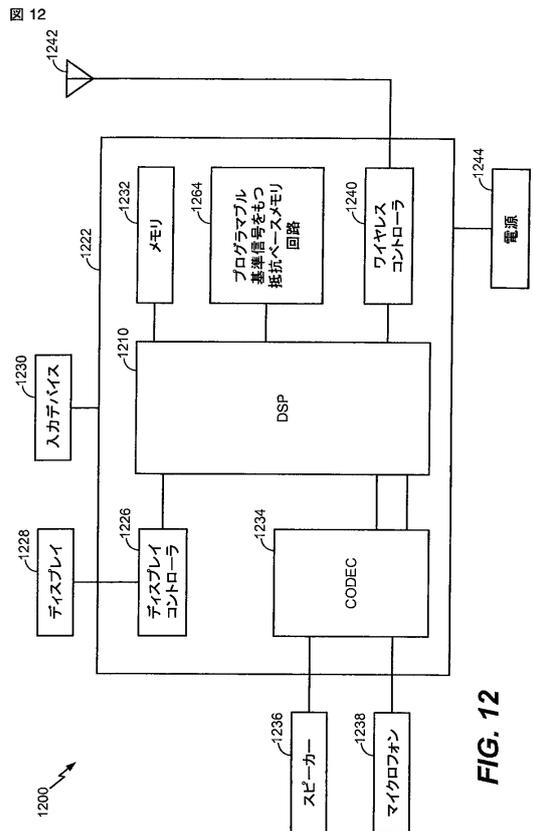


FIG. 12

フロントページの続き

- (74)代理人 100095441
弁理士 白根 俊郎
- (74)代理人 100075672
弁理士 峰 隆司
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100158805
弁理士 井関 守三
- (74)代理人 100172580
弁理士 赤穂 隆雄
- (74)代理人 100179062
弁理士 井上 正
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (72)発明者 ソン - オク・ジュン
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5
- (72)発明者 ジス・キム
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5
- (72)発明者 ジェ - フワン・ソン
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5
- (72)発明者 スン・エイチ . . カン
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5
- (72)発明者 セイ・スン・ヨン
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5

審査官 後藤 彰

- (56)参考文献 特開2009-289352(JP,A)
特開2004-062922(JP,A)
特開2004-005797(JP,A)

(58)調査した分野(Int.Cl., DB名)
G11C 11/15

G 1 1 C 7 / 0 6