

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁸ (45) 공고일자 2006년01월11일
H01L 21/336 (2006.01) (11) 등록번호 10-0541709

(24) 등록일자 2005년12월30일

(21) 출원번호 10-2004-0018478

(65) 공개번호 10-2005-0093216

(22) 출원일자 2004년03월18일

(43) 공개일자 2005년09월23일

(73) 특허권자 매그나칩 반도체 유한회사
충북 청주시 흥덕구 향정동 1

(72) 발명자 김용국
충청북도청주시 흥덕구복대1동현대아파트208동1404호

(74) 대리인 강성배

심사관 : 정희환

(54) 에스오아이 소자 제조방법

요약

본 발명은 단일 에스오아이(SOI : Silicon On Insulator) 기판 상에 로직 및 파워 전계효과트랜지스터(Logic & Power FET)를 구현하기 위한 에스오아이 소자 제조방법을 개시한다. 개시된 본 발명의 에스오아이 소자 제조방법은, 벌크 실리콘층, 에피 실리콘층, 매몰산화막 및 실리콘층의 적층 구조로 이루어지며, 파워 FET 영역 및 로직 소자 영역을 갖는 SOI 기판을 제공하는 단계; 상기 파워 FET 영역의 실리콘층 및 매몰산화막을 제거하는 단계; 상기 파워 FET 영역의 에피 실리콘층 및 로직 소자 영역의 실리콘층 상에 각각 게이트를 형성하는 단계; 상기 파워 FET 영역의 에피 실리콘층에 채널 이온 주입을 수행하는 단계; 상기 파워 FET 영역의 에피 실리콘층 내에 그 아래의 벌크 실리콘층과 접촉되는 제1콘택플러그를 형성하는 단계; 상기 게이트들의 양측벽에 스페이서를 형성하는 단계; 상기 파워 FET 영역 게이트 양측의 에피 실리콘층 표면과 로직 소자 영역 게이트 양측의 실리콘층 표면에 접합영역을 형성하여 각 영역에 파워 FET와 CMOS 로직 소자를 형성하는 단계; 상기 파워 FET 및 CMOS 로직 소자를 덮도록 기판 결과물의 전면 상에 층간절연막을 형성하는 단계; 상기 층간절연막 내에 제1콘택플러그와 접합영역 및 게이트와 각각 접촉되는 제2콘택플러그들을 형성하는 단계; 및 상기 층간절연막 상에 각 제2콘택플러그와 연결되는 금속배선들을 형성하는 단계를 포함한다.

대표도

도 1h

명세서

도면의 간단한 설명

도 1a 내지 도 1h는 본 발명에 따른 에스오아이(SOI: Silicon On Insulator) 소자 제조방법을 설명하기 위한 공정별 단면도.

도 2는 본 발명에 따른 에스오아이 소자 제조방법에서의 파워 FET를 설명하기 위한 도면.

도 3은 본 발명에 따른 에스오아이 소자 제조방법에서의 CMOS 로직 소자를 설명하기 위한 도면.

* 도면의 주요 부분에 대한 부호의 설명 *

1 : 실리콘 기판 1a : 벌크 실리콘층

1b : 에피 실리콘층 2 : 매몰산화막

3 : 실리콘층 10 : SOI 기판

11 : 제1산화막 12 : 제2산화막

13 : 게이트도전막 14A, 14B : 게이트

15 : 채널 이온주입 영역 16 : 제1콘택플러그

17 : 스페이서 18 : 접합영역

20A : 파워 FET 20B : CMOS 로직 소자

21 : 층간절연막 22 : 제1콘택플러그

23 : 금속배선 30 : 바디 콘택

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조방법에 관한 것으로, 보다 상세하게는, 단일 에스오아이(SOI: Silicon On Insulator) 기판 상에 로직 및 파워 전계효과트랜지스터(Logic & Power FET)를 구현하기 위한 반도체 소자의 제조방법에 관한 것이다.

반도체 소자의 고집적화, 고속화 및 저전력화가 진행됨에 따라, 벌크 실리콘으로 이루어진 단결정 실리콘 기판을 대신하여 실리콘 기판과 매몰산화막 및 실리콘층의 적층 구조로 이루어진 SOI(Silicon On Insulator) 기판을 이용한 반도체 소자(이하, SOI 소자라 칭함)가 주목되고 있다.

이것은 SOI 기판에 형성된 소자가 단결정 실리콘 기판에 형성된 전형적인 소자와 비교해서, 작은 접합 용량(Junction Capacitance)에 의한 고속화, 낮은 문턱 전압에 의한 저전압화 및 완전한 소자분리에 의한 래치-업 (latch-up) 제거 등의 장점들을 갖기 때문이다.

한편, SOI 소자를 구현하기 위해, 종래에는 CMOS 로직(Logic) 소자와 파워 서플라이(power supply), 즉, 파워 FET(Field Effect Transistor)를 형성하기 위한 공정을 별도로 진행하고 있다. 이에 따라, 상기 CMOS 로직 소자와 파워 FET는 별도의 공정을 통해 각각 구현한 후, 이를 온 보드(On Board) 상에서 상호 접속시키고 있다.

그런데, 이와 같이 CMOS 로직 소자와 파워 FET를 별도로 각각 제작하면, 상호 연결 배선 및 별도의 패키지에 따른 파워 손실로 인해 필요 이상의 파워 공급이 필요하게 된다. 이에, 비용 증가로 인하여 SoC(System on Chip)에 대한 요구가 증가하고 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기와 같은 종래 문제점을 해결하기 위하여 안출된 것으로서, CMOS 로직 소자와 파워 FET를 단일 기관 상에 동시에 구현하기 위한 SOI 소자 제조방법을 제공함에 그 목적이 있다.

또한, 본 발명은 CMOS 로직 소자 및 파워 FET를 단일 기관 상에 구현함에 따라 파워 손실을 최소화시킬 수 있는 SOI 소자 제조방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위하여, 본 발명은, 벌크 실리콘층, 에피 실리콘층, 매몰산화막 및 실리콘층의 적층 구조로 이루어지며, 파워 FET 영역 및 로직 소자 영역을 갖는 SOI 기관을 제공하는 단계; 상기 파워 FET 영역의 실리콘층 및 매몰산화막을 제거하는 단계; 상기 파워 FET 영역의 에피 실리콘층 및 로직 소자 영역의 실리콘층 상에 각각 게이트를 형성하는 단계; 상기 파워 FET 영역의 에피 실리콘층에 채널 이온주입을 수행하는 단계; 상기 파워 FET 영역의 에피 실리콘층 내에 그 아래의 벌크 실리콘층과 콘택되는 제1콘택플러그를 형성하는 단계; 상기 게이트들의 양측벽에 스페이서를 형성하는 단계; 상기 파워 FET 영역 게이트 양측의 에피 실리콘층 표면과 로직 소자 영역 게이트 양측의 실리콘층 표면에 접합영역을 형성하여 각 영역에 파워 FET와 CMOS 로직 소자를 형성하는 단계; 상기 파워 FET 및 CMOS 로직 소자를 덮도록 기관 결과물의 전면 상에 층간절연막을 형성하는 단계; 상기 층간절연막 내에 제1콘택플러그와 접합영역 및 게이트와 각각 콘택되는 제2콘택플러그들을 형성하는 단계; 및 상기 층간절연막 상에 각 제2콘택플러그와 연결되는 금속배선들을 형성하는 단계를 포함하는 SOI 소자 제조방법을 제공한다.

여기서, 본 발명의 SOI 소자 제조방법은, 상기 파워 FET 영역의 실리콘층 및 매몰산화막을 제거하는 단계 후, 그리고, 게이트를 형성하는 단계 전, 상기 에피 실리콘층에 인가된 식각 데미지를 제거하고, 식각된 매몰산화막 측벽의 폴리 스트링거를 제거하기 위해 습식 식각을 수행하는 단계를 더 포함한다.

여기서, 상기 파워 FET의 게이트는 상기 CMOS 로직 소자의 게이트 보다 두꺼운 게이트산화막을 갖도록 형성하며, 그리고, 상기 파워 FET의 게이트는 중심부에 산화막이 매립된 형태로 형성한다.

또한, 본 발명의 SOI 소자 제조방법은, 상기 게이트들의 양측벽에 스페이서를 형성하는 단계 후, 그리고, 게이트 양측의 실리콘층 표면에 접합영역을 형성하여 파워 FET와 CMOS 로직 소자를 형성하는 단계 전, 상기 CMOS 로직 소자의 실리콘층에 바디 콘택을 형성하는 단계를 더 포함하며, 상기 제3콘택플러그를 형성하는 단계는, 상기 바디 콘택 형성 영역에 해당하는 로직 소자 영역의 실리콘층 부분을 게이트의 길이 방향을 따라 노출시키는 감광막 패턴을 형성하는 단계; 상기 노출된 실리콘층 부분을 매몰산화막을 노출시키는 트렌치가 형성되도록 식각하는 단계; 상기 식각된 영역에 소정 도전형의 불순물을 이온주입하는 단계; 상기 감광막 패턴을 제거하는 단계; 및 상기 트렌치 내에 도전막을 매립시키는 단계로 구성된다.

(실시예)

이하, 첨부한 도면에 의거하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다.

도 1a 내지 도 1h는 본 발명의 실시예에 따른 SOI 소자 제조방법을 설명하기 위한 공정별 단면도이다.

도 1a를 참조하면, N⁺ 또는 P⁺의 벌크 실리콘층(1a) 상에 n⁻ 또는 p⁻의 에피 실리콘층(1b)이 성장되어 구성된 실리콘기관(1)과 매몰산화막(2) 및 실리콘층(3)의 적층 구조로 이루어진 SOI 기관(10)을 마련한다.

여기서, 상기 SOI 기관(10)은 파워 FET 영역과 로직 소자 영역을 갖는다. 또한, 상기 n⁺ 또는 p⁺의 벌크 실리콘층(1a)은 제조 완료된 SOI 소자에서 파워가 공급되는 드레인으로서 역할한다.

도 1b를 참조하면, SOI 기관(10)의 실리콘층(3) 상에 공지의 포토 공정에 따라 CMOS 로직 소자 영역을 가리는 감광막 패턴(도시안됨)을 형성한 후, 이를 식각장벽으로 이용해서 노출된 파워 FET 영역의 실리콘층(3) 및 매몰산화막(2)을 식각하여 제거한다. 그런다음, 상기 식각장벽으로 이용된 감광막 패턴을 제거한다.

여기서, 상기 매몰산화막(2)은 실리콘층(3)의 식각후에 재차 포토 공정을 통한 감광막 패턴의 형성 후, 건식 식각 공정으로 식각 제거한다. 또한, 상기 매몰산화막(2)의 건식 식각 및 감광막 패턴의 제거후에는 습식 식각을 추가 수행하여 에피 실리콘층(1b)의 데미지(damage)를 제거함과 동시에 식각된 매몰산화막 측벽의 폴리 스트링거(poly stringer)를 제거한다.

도 1c를 참조하면, 기판 결과물에 대한 산화 공정을 수행하여 파워 FET 영역의 에피 실리콘층(1b) 및 로직 소자 영역의 실리콘층(3) 상에 제1산화막(11)을 형성한다. 그런다음, 로직 소자 영역에 형성될 CMOS 로직 소자의 문턱전압을 조절하기 위해 이온주입 마스크(도시안됨)를 형성한 후, 문턱전압(Vt) 조절용 이온주입을 행하고, 이어서, 상기 이온주입 마스크를 제거한다.

다음으로, 문턱전압 조절용 이온주입이 수행된 기판 결과물 상에 로직 소자 영역의 제1산화막 부분을 노출시키는 감광막 패턴(도시안됨)을 형성한 후, 노출된 로직 소자 영역의 제1산화막 부분을 식각하여 제거한다. 그런다음, 상기 감광막 패턴을 제거한다.

이어서, 파워 FET 영역 및 로직 소자 영역을 포함하는 기판 전면 상에 제2산화막(12)을 형성한다. 그런다음, 상기 제2산화막(12) 상에 게이트도전막(13)을 증착한 후, 상기 게이트도전막(13)과 제2산화막(12) 및 파워 FET 영역 상에 잔류된 제1산화막(11)을 식각하여 상기 파워 FET 영역 및 로직 소자 영역 상에 각각 게이트(14A, 14B)를 형성한다. 이때, 상기 파워 FET 영역 상에 형성된 게이트(14A)의 게이트산화막은 제1산화막(11)과 제2산화막(12)의 적층막으로 이루어지는 것과 관련해서 제2산화막(12)만으로 이루어지는 로직 소자의 그것 보다 상대적으로 두꺼운 두께를 갖는다.

도 1d를 참조하면, 기판 결과물 상에 파워 FET 영역만을 노출시키는 이온주입 마스크(도시안됨)를 형성한 상태에서, 채널 이온주입(channel Ion Implant)을 수행하고, 그런다음, 열처리를 수행하여 파워 FET 영역의 게이트(14A) 양측의 에피 실리콘층 표면에 채널 이온주입 영역(15)을 형성한다.

도 1e를 참조하면, 파워 FET 영역의 에피 실리콘층(1b)을 식각하여 벌크 실리콘층(1a)을 노출시키는 콘택홀을 형성한 후, 상기 콘택홀 내에 도전막, 바람직하게, 폴리실리콘막을 매립시켜 제1콘택플러그(16)를 형성한다.

도 1f를 참조하면, 로직 소자 영역의 PMOS 또는 NMOS 영역을 노출시키는 이온주입 마스크(도시안됨)를 형성한 후 저농도 불순물 이온주입을 수행하고, 연이어, NMOS 또는 PMOS 영역을 노출시키는 이온주입 마스크 형성 및 저농도 불순물 이온주입을 차례로 수행한다.

그 다음, 이온주입 마스크를 제거한 상태에서, 기판 결과물의 전면 상에 절연막을 증착한 후, 이를 블랭킷 식각하여 파워 FET 영역 및 로직 소자 영역에 각각 형성된 게이트(14A, 14B)의 양측벽에 스페이서(17)을 형성한다.

다음으로, 기판 결과물 상에 이온주입 마스크 형성 및 고농도 불순물 이온주입을 수행하여 스페이서(17)를 포함한 게이트(14A, 14B) 양측의 에피 실리콘층(1b) 및 실리콘층(3) 표면에 접합영역(18)을 형성하고, 이 결과로서, 파워 FET 영역 및 로직 소자 영역 각각에 파워 FET(20A)와 CMOS 로직 소자(20B)를 형성한다.

한편, 상기 파워 FET(20A)를 형성함에 있어서는 게이트(14A)의 가장자리부에서 채널이 형성되는 바, 중심부의 경우에는 채널의 역할을 하지 못하게 되고, 이에 따라, 게이트(14A)의 기생 캐패시턴스 증가가 야기되어 스위칭 속도의 저하가 유발된다. 따라서, 본 발명은 도 2에 도시된 바와 같이 게이트(14A)의 중심부를 잘라내고, 잘라진 중심부에 산화막(12a)을 매립시킨 형태로 상기 게이트(14A)를 재구성하여 채널 이외 영역에서의 기생 캐패시턴스가 제로(Zero)가 되도록 함으로써, 파워 FET 소자의 스위칭 속도 저하가 유발되는 것을 방지한다.

또한, SOI 기판(10) 상에 CMOS 로직 소자를 형성함에 있어서는 상기 CMOS 로직 소자가 매몰산화막 상에 구현되는 바, 실리콘기판으로부터의 플로팅으로 인해 플로팅 바디 이펙트(Floating Body Effect)에 의한 소자 특성 저하가 유발된다. 따라서, 이러한 특성 저하가 방지되도록, 상기 접합영역(18)의 형성 전, 도 3에 도시된 바와 같은 형태로 상기 접합영역(18)에 게이트(14B)의 길이 방향을 따라 바디 콘택(Body contact)을 형성한다.

여기서, 상기 바디 콘택(30)은 스페이서(17)가 형성된 결과물 상에 바디 콘택 형성 영역에 해당하는 로직 소자 영역의 실리콘층 부분을 게이트(14B)의 길이 방향을 따라 노출시키는 감광막 패턴(도시안됨)을 형성한 후, 상기 노출된 실리콘층 부분을 식각하여 매몰산화막을 노출시키는 트렌치를 형성하고, 그런다음, 상기 식각된 영역에 소정 도전형의 불순물을 이온주입하며, 이어서, 상기 감광막 패턴을 제거한 후, 상기 트렌치 내에 도전막, 예컨대, 텅스텐막을 매립시키는 것에 의해 형성될 수 있다.

이때, 상기 바디 콘택(30)은 정확하게 도시되지는 않았으나 어느 일부분이 실리콘기판과 콘택하며, 후속에서 형성될 접합영역(18)과 동시에 금속배선과 콘택된다.

도 1g를 참조하면, 파워 FET(20A) 및 CMOS 로직 소자(20B) 영역을 포함하는 기판 결과물의 전면 상에 표면 평탄화가 이루어진 층간절연막(21)을 형성한다. 그런다음, 상기 층간절연막(21)의 소정 부분들을 선택적으로 식각하여 상기 제1콘택플러그(16)와 게이트(14A, 14B) 및 접합영역(18)을 각각 노출시키는 수 개의 콘택홀들을 형성한 후, 상기 각각의 콘택홀들 내에 도전막을 매립시켜 상기 제1콘택플러그(16)와 게이트(14A, 14B) 및 접합영역(18)과 각각 콘택되는 수 개의 제2콘택플러그들(22)을 형성한다.

도 1h를 참조하면, 층간절연막(21) 상에 공지의 금속배선 공정에 따라 제2콘택플러그들(22)과 각각 콘택되는 금속배선(23)을 형성한다.

이후, 도시하지는 않았으나, 일련의 후속 공정들을 순차 진행하여 단일 SOI 기판에 파워 FET(20A) 및 CMOS 로직 소자(20B)를 형성한 SOI 소자의 제조를 완성한다.

발명의 효과

이상에서와 같이, 본 발명은 SOI 기판을 이용해서 탑 실리콘층에는 CMOS 로직 소자를 형성하고, 에피 실리콘층 상에는 파워 FET를 형성하여 이들을 상호 연결시키며, 또한, 파워 FET에 공급되는 파워를 연결배선을 통해 로직 소자에 공급시킬 수 있다.

따라서, 본 발명은 CMOS 로직 소자와 파워 FET를 단일 기판 상에 동시에 집적시킬 수 있는 바, 별도 패키지에 따른 파워 소모를 줄일 수 있으며, 특히, 하나의 소자로 형성함에 따라 비용 측면에서 잇점을 가질 수 있다.

이상, 여기에서는 본 발명의 특정 실시예에 대하여 설명하고 도시하였지만, 당업자에 의하여 이에 대한 수정과 변형을 할 수 있다. 따라서, 이하, 특허청구의 범위는 본 발명의 진정한 사상과 범위에 속하는 한 모든 수정과 변형을 포함하는 것으로 이해할 수 있다.

(57) 청구의 범위

청구항 1.

벌크 실리콘층, 에피 실리콘층, 매몰산화막 및 실리콘층의 적층 구조로 이루어지며, 파워 FET 영역 및 로직 소자 영역을 갖는 SOI 기판을 제공하는 단계;

상기 파워 FET 영역의 실리콘층 및 매몰산화막을 제거하는 단계;

상기 파워 FET 영역의 에피 실리콘층 및 로직 소자 영역의 실리콘층 상에 각각 게이트를 형성하는 단계;

상기 파워 FET 영역의 에피 실리콘층에 채널 이온주입을 수행하는 단계;

상기 파워 FET 영역의 에피 실리콘층 내에 그 아래의 벌크 실리콘층과 콘택되는 제1콘택플러그를 형성하는 단계;

상기 게이트들의 양측벽에 스페이서를 형성하는 단계;

상기 파워 FET 영역 게이트 양측의 에피 실리콘층 표면과 로직 소자 영역 게이트 양측의 실리콘층 표면에 접합영역을 형성하여 각 영역에 파워 FET와 CMOS 로직 소자를 형성하는 단계;

상기 파워 FET 및 CMOS 로직 소자를 덮도록 기판 결과물의 전면 상에 층간절연막을 형성하는 단계;

상기 층간절연막 내에 제1콘택플러그와 접합영역 및 게이트와 각각 콘택되는 제2콘택플러그들을 형성하는 단계; 및

상기 층간절연막 상에 각 제2콘택플러그와 연결되는 금속배선들을 형성하는 단계를 포함하는 것을 특징으로 하는 SOI 소자 제조방법.

청구항 2.

제 1 항에 있어서, 상기 파워 FET 영역의 실리콘층 및 매몰산화막을 제거하는 단계 후, 그리고, 게이트를 형성하는 단계 전,

상기 에피 실리콘층에 인가된 식각 데미지를 제거하고, 식각된 매몰산화막 측벽의 폴리 스트링거를 제거하기 위해 습식 식각을 수행하는 단계를 더 포함하는 것을 특징으로 하는 SOI 소자 제조방법.

청구항 3.

제 1 항에 있어서, 상기 파워 FET의 게이트는 상기 CMOS 로직 소자의 게이트 보다 두꺼운 게이트산화막을 갖도록 형성하는 것을 특징으로 하는 SOI 소자 제조방법.

청구항 4.

제 1 항에 있어서, 상기 파워 FET의 게이트는 중심부에 산화막이 매립된 형태로 형성하는 것을 특징으로 하는 SOI 소자 제조방법.

청구항 5.

제 1 항에 있어서, 상기 게이트들의 양측벽에 스페이서를 형성하는 단계 후, 그리고, 게이트 양측의 실리콘층 표면에 접합 영역을 형성하여 파워 FET와 CMOS 로직 소자를 형성하는 단계 전,

상기 CMOS 로직 소자의 실리콘층에 바디 콘택을 형성하는 단계를 더 포함하는 것을 특징으로 하는 SOI 소자 제조방법.

청구항 6.

제 5 항에 있어서, 상기 바디 콘택을 형성하는 단계는

상기 바디 콘택 형성 영역에 해당하는 로직 소자 영역의 실리콘층 부분을 게이트의 길이 방향을 따라 노출시키는 감광막 패턴을 형성하는 단계;

상기 노출된 실리콘층 부분을 매몰산화막을 노출시키는 트렌치가 형성되도록 식각하는 단계;

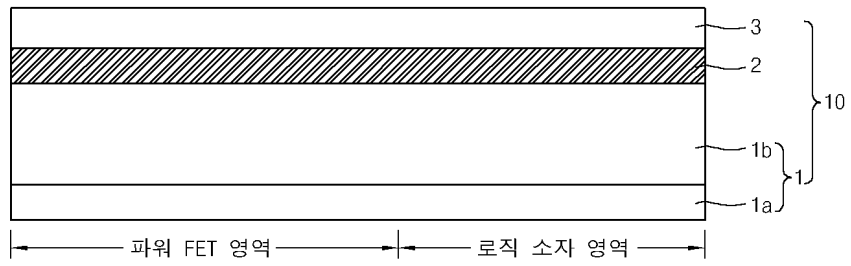
상기 식각된 영역에 소정 도전형의 불순물을 이온주입하는 단계;

상기 감광막 패턴을 제거하는 단계; 및

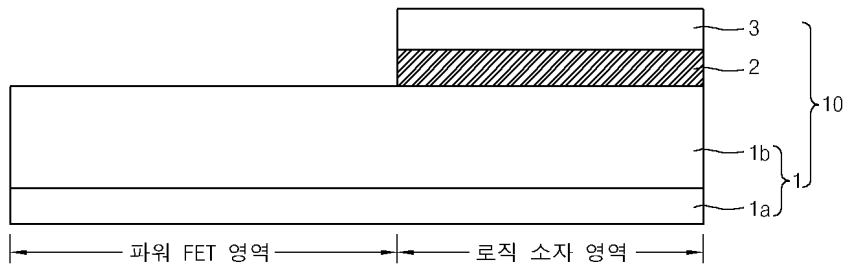
상기 트렌치 내에 도전막을 매립시키는 단계로 구성되는 것을 특징으로 하는 SOI 소자 제조방법.

도면

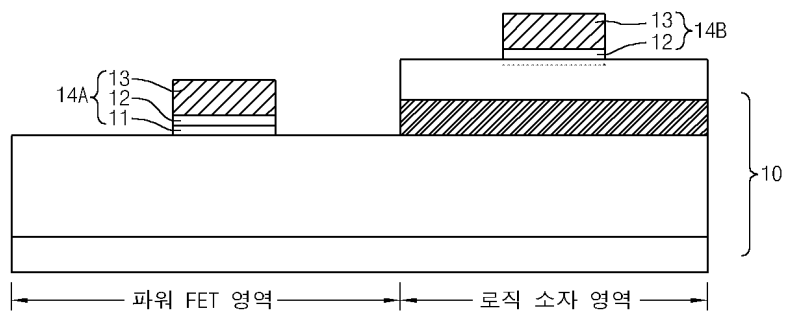
도면1a



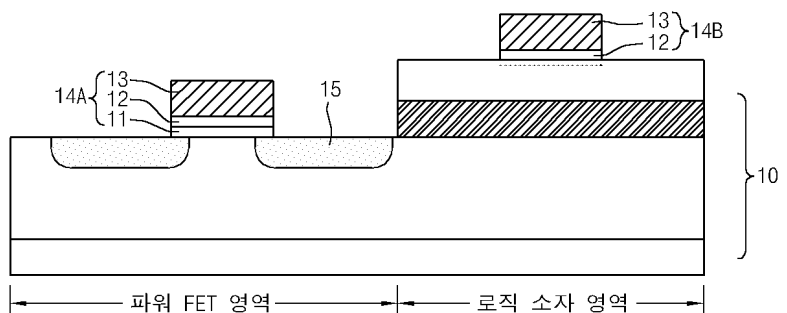
도면1b



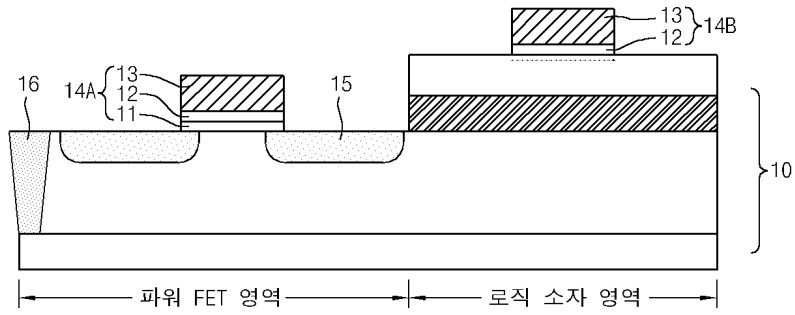
도면1c



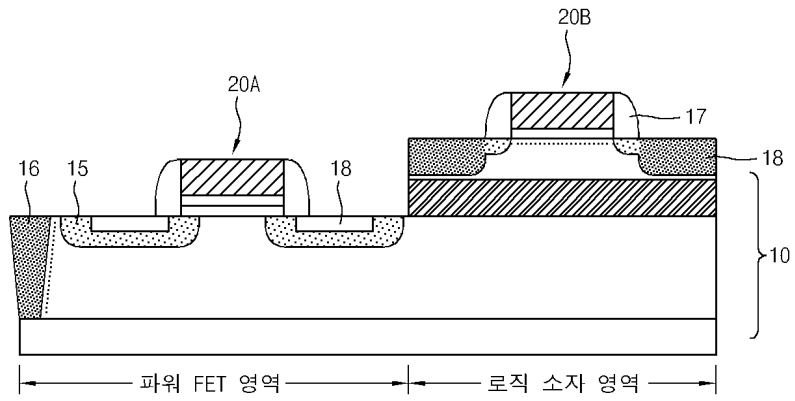
도면1d



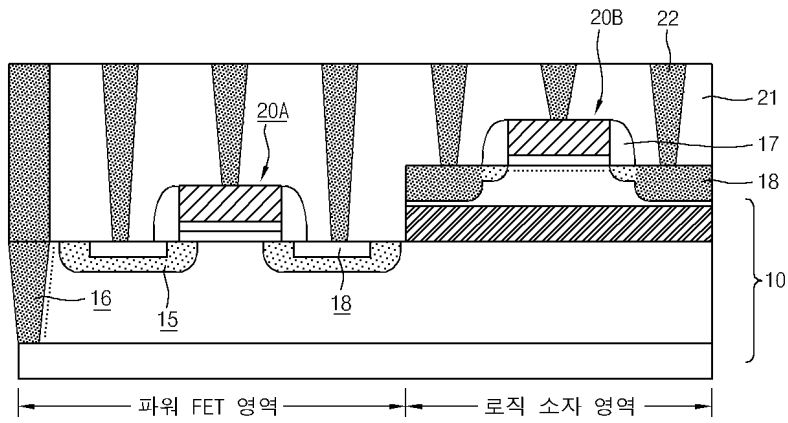
도면1e



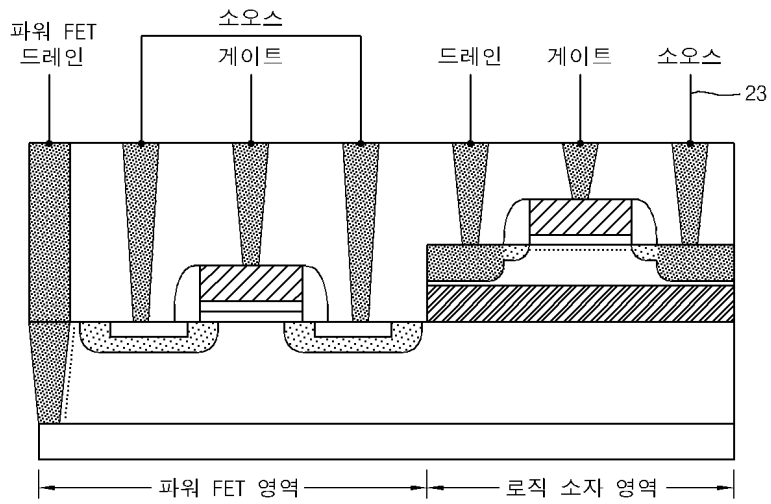
도면1f



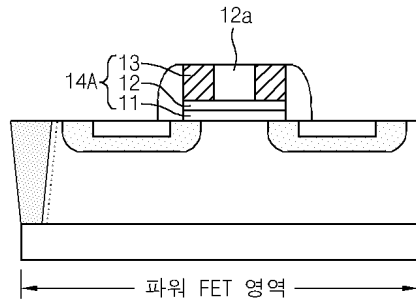
도면1g



도면1h



도면2



도면3

