



(12) 发明专利

(10) 授权公告号 CN 110649043 B

(45) 授权公告日 2021. 11. 19

(21) 申请号 201910944054.6

H01L 21/77 (2017.01)

(22) 申请日 2019.09.30

(56) 对比文件

(65) 同一申请的已公布的文献号
申请公布号 CN 110649043 A

CN 106257677A A, 2016.12.28
CN 107490917A A, 2017.12.19
US 2018062105A1 A1, 2018.03.01

(43) 申请公布日 2020.01.03

CN 110164868A A, 2019.08.23

(73) 专利权人 厦门天马微电子有限公司
地址 361101 福建省厦门市翔安区翔安西
路6999号

CN 106158882A A, 2016.11.23

CN 107871472A A, 2018.04.03

CN 107275350A A, 2017.10.20

(72) 发明人 戴嘉翔 曹兆铨 禹少荣

审查员 袁芳

(74) 专利代理机构 北京品源专利代理有限公司
11332

代理人 孟金喆

(51) Int. Cl.

H01L 27/12 (2006.01)

H01L 27/32 (2006.01)

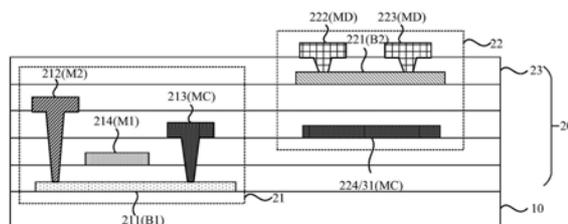
权利要求书4页 说明书11页 附图8页

(54) 发明名称

阵列基板、显示面板、显示装置及阵列基板的制备方法

(57) 摘要

本发明实施例公开了阵列基板、显示面板、显示装置及阵列基板的制备方法,包括:衬底以及包括多个像素电路的驱动电路层;至少一个像素电路包括第一薄膜晶体管和第二薄膜晶体管;第一薄膜晶体管包括第一有源层、第一栅极、第一甲电极和第一乙电极,第一有源层包括低温多晶硅有源层;第二薄膜晶体管包括第二有源层、第二栅极、第二甲电极和第二乙电极;第二有源层包括氧化物半导体有源层;第一有源层、第一甲电极、第一乙电极、第一栅极分别所在膜层均位于第二有源层所在膜层与衬底之间;第二甲电极、第二乙电极分别所在膜层均位于第二有源层所在膜层背离衬底的一侧,可以避免损伤氧化物半导体有源层。



1. 一种阵列基板,其特征在于,包括:衬底以及位于所述衬底上的驱动电路层;
所述驱动电路层包括多个像素电路;
至少一个所述像素电路包括第一薄膜晶体管和第二薄膜晶体管;
所述第一薄膜晶体管包括第一有源层、第一栅极、第一甲电极和第一乙电极,所述第一有源层包括低温多晶硅有源层;所述第二薄膜晶体管包括第二有源层、第二栅极、第二甲电极和第二乙电极;所述第二有源层包括氧化物半导体有源层;
在垂直于所述衬底所在平面的方向上,所述第一有源层所在膜层、所述第一甲电极所在膜层、所述第一乙电极所在膜层、所述第一栅极所在膜层均位于所述第二有源层所在膜层与所述衬底之间;
所述第二甲电极所在膜层、所述第二乙电极所在膜层均位于所述第二有源层所在膜层背离所述衬底的一侧;
所述第二栅极位于所述第二有源层朝向所述衬底的一侧;
所述第一甲电极与所述第一乙电极异层设置;
所述第一甲电极与所述第二栅极同层设置;
所述驱动电路层包括第一半导体层、第一金属层、第二金属层、第三金属层、第二半导体层和第四金属层,所述第一金属层位于所述第一半导体层远离所述衬底的一侧,所述第二金属层位于所述第一金属层远离所述衬底的一侧,所述第三金属层位于所述第二金属层远离所述衬底的一侧,所述第二半导体层位于所述第三金属层远离所述衬底的一侧,所述第四金属层位于所述第二半导体层远离所述衬底的一侧;
所述第一有源层位于所述第一半导体层;所述第一栅极位于所述第一金属层;所述第一甲电极和所述第二栅极位于第二金属层,所述第一乙电极位于所述第三金属层;所述第二有源层位于所述第二半导体层;所述第二甲电极和第二乙电极位于所述第四金属层上;
所述阵列基板还包括连接部分,所述连接部分与所述第二甲电极连接,且所述连接部分与所述第二甲电极同层设置;
所述连接部分通过第七过孔与所述第一甲电极电连接,所述第二甲电极通过第八过孔与所述第二有源层电连接;
在平行于所述衬底所在平面的方向上,所述第一甲电极与所述第二有源层的距离小于所述第一乙电极与所述第二有源层的距离。
2. 根据权利要求1所述的阵列基板,其特征在于,还包括蚀刻阻挡层,所述蚀刻阻挡层位于所述第二半导体层和所述第四金属层之间;
所述蚀刻阻挡层的材料为硅氧化物。
3. 根据权利要求1所述的阵列基板,其特征在于,所述像素电路还包括电容器;所述电容器包括第一电容电极和第二电容电极;
所述第二栅极复用为所述第一电容电极;
所述第二电容电极位于所述第一金属层;且所述第二电容电极在所述衬底上的垂直投影与所述第二栅极在所述衬底上的垂直投影至少部分重合。
4. 根据权利要求1所述的阵列基板,其特征在于,所述第三金属层还包括第一连接走线;
所述第一栅极通过第一过孔与所述第一连接走线连接。

5. 根据权利要求1所述的阵列基板,其特征在于,所述第二金属层还包括第一辅助连接块;

所述第一乙电极通过第二过孔与所述第一辅助连接块电连接;

所述第一辅助连接块通过第三过孔与所述第一有源层连接。

6. 根据权利要求1所述的阵列基板,其特征在于,所述第四金属层还包括第二连接走线;

所述第二栅极通过第四过孔与所述第二连接走线连接。

7. 根据权利要求6所述的阵列基板,其特征在于,所述第三金属层还包括第二辅助连接块;

所述第二连接走线通过第五过孔与所述第二辅助连接块电连接;

所述第二辅助连接块通过第六过孔与所述第二栅极连接。

8. 一种显示面板,其特征在于,包括权利要求1-7任一项所述的阵列基板,还包括与所述阵列基板对向设置的衬底基板以及设置于所述阵列基板与所述衬底基板之间的多个发光元件;

所述像素电路用于驱动所述发光元件发光。

9. 根据权利要求8所述的显示面板,其特征在于,所述驱动电路层包括第一半导体层、第一金属层、第二金属层、第三金属层、第二半导体层和第四金属层,所述第一金属层位于所述第一半导体层远离所述衬底的一侧,所述第二金属层位于所述第一金属层远离所述衬底的一侧,所述第三金属层位于所述第二金属层远离所述衬底的一侧,所述第二半导体层位于所述第三金属层远离所述衬底的一侧,所述第四金属层位于所述第二半导体层远离所述衬底的一侧;

所述第一有源层位于所述第一半导体层;所述第一栅极位于所述第一金属层;所述第一甲电极和所述第二栅极位于第二金属层,所述第一乙电极位于所述第三金属层;所述第二有源层位于所述第二半导体层;所述第二甲电极和第二乙电极位于所述第四金属层上;

所述阵列基板还包括平坦化层;所述平坦化层位于所述第四金属层背离所述衬底的一侧;

所述发光元件位于所述平坦化层远离所述衬底的一侧;

所述阵列基板中设置有第九过孔,所述第九过孔贯穿所述平坦化层,并暴露出至少部分所述第四金属层;

所述发光元件通过所述第九过孔与所述第九过孔暴露的所述至少部分第四金属层连接。

10. 根据权利要求8所述的显示面板,其特征在于,所述驱动电路层包括第一半导体层、第一金属层、第二金属层、第三金属层、第二半导体层和第四金属层,所述第一金属层位于所述第一半导体层远离所述衬底的一侧,所述第二金属层位于所述第一金属层远离所述衬底的一侧,所述第三金属层位于所述第二金属层远离所述衬底的一侧,所述第二半导体层位于所述第三金属层远离所述衬底的一侧,所述第四金属层位于所述第二半导体层远离所述衬底的一侧;

所述第一有源层位于所述第一半导体层;所述第一栅极位于所述第一金属层;所述第一甲电极和所述第二栅极位于第二金属层,所述第一乙电极位于所述第三金属层;所述第

二有源层位于所述第二半导体层;所述第二甲电极和第二乙电极位于所述第四金属层上;

所述阵列基板还包括平坦化层;所述平坦化层位于所述第二甲电极所在膜层和所述第二乙电极所在膜层背离所述衬底的一侧;

所述阵列基板还包括蚀刻阻挡层,所述蚀刻阻挡层位于所述第二半导体层和所述第四金属层之间;

所述阵列基板还包括栅极绝缘层,所述栅极绝缘层位于所述第二半导体层和所述第三金属层之间;

所述阵列基板中设置有第十过孔,所述第十过孔贯穿所述平坦化层、所述蚀刻阻挡层和所述栅极绝缘层,并暴露出至少部分所述第三金属层;

所述发光元件位于所述平坦化层远离所述衬底的一侧;

所述发光元件通过所述第十过孔与所述第十过孔暴露的所述至少部分第三金属层连接。

11. 一种显示装置,其特征在于,包括权利要求8-10任一项所述的显示面板。

12. 一种阵列基板的制备方法,其特征在于,包括:

提供一衬底;

在所述衬底上形成驱动电路层;所述驱动电路层包括多个像素电路;至少一个所述像素电路均包括第一薄膜晶体管、第二薄膜晶体管和电容器;所述第一薄膜晶体管包括第一有源层、第一栅极、第一甲电极和第一乙电极,所述第一有源层包括低温多晶硅有源层;所述第二薄膜晶体管包括第二有源层、第二栅极、第二甲电极和第二乙电极;所述第二有源层包括氧化物半导体有源层;在垂直于所述衬底所在平面的方向上,所述第一有源层所在膜层、所述第一甲电极所在膜层、所述第一乙电极所在膜层、所述第一栅极所在膜层均位于所述第二有源层所在膜层与所述衬底之间;所述第二甲电极所在膜层、所述第二乙电极所在膜层均位于所述第二有源层所在膜层背离所述衬底的一侧;所述第一甲电极与所述第一乙电极异层设置;所述第一甲电极与所述第二栅极同层设置;

在所述衬底上形成驱动电路层,包括:

在所述衬底上形成第一半导体层;

在所述第一半导体层远离所述衬底的一侧形成第一金属层;

在所述第一金属层远离所述衬底的一侧形成第二金属层;

在所述第二金属层远离所述衬底的一侧形成第三金属层;

在所述第三金属层远离所述衬底的一侧形成第二半导体层;

在所述第二半导体层远离所述衬底的一侧形成第四金属层;

其中,所述第一有源层位于所述第一半导体层;所述第一栅极位于所述第一金属层;所述第一甲电极和所述第二栅极位于第二金属层,所述第一乙电极位于所述第三金属层;所述第二有源层位于所述第二半导体层;所述第二甲电极和第二乙电极位于所述第四金属层上;

所述阵列基板的制备方法还包括形成连接部分;所述连接部分与所述第二甲电极连接,且所述连接部分与所述第二甲电极同层设置;

所述连接部分通过第七过孔与所述第一甲电极电连接,所述第二甲电极通过第八过孔与所述第二有源层电连接;

在平行于所述衬底所在平面的方向上,所述第一甲电极与所述第二有源层的距离小于所述第一乙电极与所述第二有源层的距离。

阵列基板、显示面板、显示装置及阵列基板的制备方法

技术领域

[0001] 本发明实施例涉及显示技术领域,尤其涉及一种阵列基板、显示面板、显示装置及阵列基板的制备方法。

背景技术

[0002] 低温多晶氧化物(Low Temperature Polycrystalline Oxide;LTPO)技术是在同一背板上同时制备低温多晶硅薄膜晶体管和氧化物半导体薄膜晶体管的技术。其中,低温多晶硅薄膜晶体管具有开关速度快、功耗小的优点;氧化物半导体薄膜晶体管具有载流子迁移率高、沉积温度低以及透明度高的优点。LTPO技术可以充分发挥两种薄膜晶体管的优势,保证显示装置具备良好的显示性能。

[0003] 但是由于目前的制备工艺会存在损伤氧化物半导体薄膜晶体管的氧化物半导体有源层的问题,难以发挥出LTPO技术最佳的性能。

发明内容

[0004] 本发明实施例提供一种阵列基板、显示面板、显示装置及阵列基板的制备方法,以解决现有技术中在低温多晶硅薄膜晶体管和氧化物半导体薄膜晶体管制备工艺中损伤氧化物半导体薄膜晶体管的氧化物半导体有源层的问题。

[0005] 第一方面,本发明实施例提供了一种阵列基板,包括:衬底以及位于所述衬底上的驱动电路层;

[0006] 所述驱动电路层包括多个像素电路;

[0007] 至少一个所述像素电路包括第一薄膜晶体管、第二薄膜晶体管和电容器;

[0008] 所述第一薄膜晶体管包括第一有源层、第一栅极、第一甲电极和第一乙电极,所述第一有源层包括低温多晶硅有源层;所述第二薄膜晶体管包括第二有源层、第二栅极、第二甲电极和第二乙电极;所述第二有源层包括氧化物半导体有源层;

[0009] 在垂直于所述衬底所在平面的方向上,所述第一有源层所在膜层、所述第一甲电极所在膜层、所述第一乙电极所在膜层、所述第一栅极所在膜层均位于所述第二有源层所在膜层与所述衬底之间;

[0010] 所述第二甲电极所在膜层、所述第二乙电极所在膜层均位于所述第二有源层所在膜层背离所述衬底的一侧;

[0011] 所述第二栅极位于所述第二有源层朝向所述衬底的一侧;

[0012] 所述第一甲电极与所述第一乙电极异层设置;

[0013] 所述第一甲电极与所述第二栅极同层设置。

[0014] 第二方面,本发明实施例还提供了一种显示面板,包括第一方面所述的阵列基板,还包括与所述阵列基板对向设置的对向基板以及设置于所述阵列基板与所述对向基板之间的多个发光元件;

[0015] 所述像素电路用于驱动所述发光元件发光。

- [0016] 第三方面,本发明实施例还提供了一种显示装置,包括第二方面所述的显示面板。
- [0017] 第四方面,本发明实施例还提供了一种阵列基板的制备方法,包括:
- [0018] 提供一衬底;
- [0019] 在所述衬底上形成驱动电路层;所述驱动电路层包括多个像素电路;至少一个所述像素电路均包括第一薄膜晶体管、第二薄膜晶体管和电容器;所述第一薄膜晶体管包括第一有源层、第一栅极、第一甲电极和第一乙电极,所述第一有源层包括低温多晶硅有源层;所述第二薄膜晶体管包括第二有源层、第二栅极、第二甲电极和第二乙电极;所述第二有源层包括氧化物半导体有源层;在垂直于所述衬底所在平面的方向上,所述第一有源层所在膜层、所述第一甲电极所在膜层、所述第一乙电极所在膜层、所述第一栅极所在膜层均位于所述第二有源层所在膜层与所述衬底之间;所述第二甲电极所在膜层、所述第二乙电极所在膜层均位于所述第二有源层所在膜层背离所述衬底的一侧;所述第一甲电极与所述第一乙电极异层设置;所述第一甲电极与所述第二栅极同层设置。
- [0020] 本发明实施例提供的阵列基板、显示面板、显示装置及阵列基板的制备方法,通过在垂直于衬底所在平面的方向上,第一有源层所在膜层、第一甲电极所在膜层、第一乙电极所在膜层、第一栅极所在膜层均位于第二有源层所在膜层与衬底之间,如此可以避免损伤第二有源层,即氧化物半导体有源层,解决了现有技术中在低温多晶硅薄膜晶体管和氧化物半导体薄膜晶体管制备工艺中损伤氧化物半导体薄膜晶体管的氧化物半导体有源层的问题,实现了可以充分发挥氧化物半导体薄膜晶体管和低温多晶硅薄膜晶体管的优点,提升显示性能的效果。此外,由于第一甲电极与第二栅极同层设置,可以利用同一个掩膜板在同一道制作工艺中制作形成,无需对第一甲电极与第二栅极单独制作掩膜板,因此,可减少阵列基板的制作方法中使用的掩膜数量,降低工艺成本,简化工艺步骤。此外,由于第一甲电极和第一乙电极分别位于不同的膜层,可以避免当第一甲电极和第一乙电极位于同一膜层时,需要在平行于膜层的方向上,预留出一定的空间,从而,减小像素电路的占用空间,进而提高显示装置的像素分辨率。

附图说明

- [0021] 图1是现有技术中一种阵列基板的结构示意图;
- [0022] 图2是本发明实施例提供的一种阵列基板的结构示意图;
- [0023] 图3是本发明实施例提供的又一种阵列基板的结构示意图;
- [0024] 图4是本发明实施例提供的一种阵列基板的平面结构示意图;
- [0025] 图5是图4沿剖面线A-A'的剖面结构示意图;
- [0026] 图6是本发明实施例提供的又一种阵列基板的结构示意图;
- [0027] 图7是本发明实施例提供的又一种阵列基板的结构示意图;
- [0028] 图8是本发明实施例提供的又一种阵列基板的结构示意图;
- [0029] 图9是本发明实施例提供的一种显示面板的结构示意图;
- [0030] 图10是本发明实施例提供的一种像素电路的电路结构示意图;
- [0031] 图11是本发明实施例提供的又一种显示面板的结构示意图;
- [0032] 图12是本发明实施例提供的一种显示装置的结构示意图;
- [0033] 图13是本发明实施例提供的一种阵列基板的制备方法的流程图;

[0034] 图14是本发明实施例提供的又一种阵列基板的制备方法的流程图；

[0035] 图15是图14对应的阵列基板的制备流程的结构示意图。

具体实施方式

[0036] 下面结合附图和实施例对本发明作进一步的详细说明。可以理解的是，此处所描述的具体实施例仅仅用于解释本发明，而非对本发明的限定。另外还需要说明的是，为了便于描述，附图中仅示出了与本发明相关的部分而非全部结构。

[0037] 图1是现有技术中一种阵列基板的结构示意图。参见图1，该阵列基板包括衬底10'以及位于衬底10'一侧的低温多晶硅薄膜晶体管21'和氧化物半导体薄膜晶体管22'，其中，低温多晶硅薄膜晶体管21'包括低温多晶硅有源层211'、第一源极212'和第一漏极213'，氧化物半导体薄膜晶体管22'包括氧化物半导体有源层221'、第二源极222'和第二漏极223'。其中，低温多晶硅有源层211'位于第一源极212'和第一漏极213'靠近衬底10'的一侧，氧化物半导体有源层221'位于第二源极222'和第二漏极223'靠近衬底10'的一侧，且第一源极212'、第一漏极213'、第二源极222'和第二漏极223'同层设置。在制备第一源极212'和第一漏极213'时需要使用氢氟酸清洗低温多晶硅有源层211'，避免低温多晶硅有源层211'表面的杂质影响第一源极212'、第一漏极213'与低温多晶硅有源层211'的电接触效果。但是由于第一源极212'、第一漏极213'、第二源极222'和第二漏极223'同层设置，在制备工艺中同时制备各自与有源层连接的过孔，因此在使用氢氟酸清洗低温多晶硅有源层211'时氢氟酸会损伤氧化物半导体有源层221'，影响氧化物半导体薄膜晶体管性能发挥，进而影响整个显示装置的显示效果。

[0038] 基于上述技术问题，本发明实施例提供一种阵列基板，包括：衬底以及位于所述衬底上的驱动电路层；所述驱动电路层包括多个像素电路；至少一个所述像素电路包括第一薄膜晶体管、第二薄膜晶体管和电容器；所述第一薄膜晶体管包括第一有源层、第一栅极、第一甲电极和第一乙电极，所述第一有源层包括低温多晶硅有源层；所述第二薄膜晶体管包括第二有源层、第二栅极、第二甲电极和第二乙电极；所述第二有源层包括氧化物半导体有源层；在垂直于所述衬底所在平面的方向上，所述第一有源层所在膜层、所述第一甲电极所在膜层、所述第一乙电极所在膜层、所述第一栅极所在膜层均位于所述第二有源层所在膜层与所述衬底之间；所述第二甲电极所在膜层、所述第二乙电极所在膜层均位于所述第二有源层所在膜层背离所述衬底的一侧；所述第二栅极位于所述第二有源层朝向所述衬底的一侧；所述第一甲电极与所述第一乙电极异层设置；所述第一甲电极与所述第二栅极同层设置。

[0039] 采用上述技术方案，由于第一有源层所在膜层、第一甲电极所在膜层、第一乙电极所在膜层、第一栅极所在膜层均位于第二有源层所在膜层与衬底之间，在使用氢氟酸清洗低温多晶硅有源层时可以避免氢氟酸损伤第二有源层，即氧化物半导体有源层，可充分发挥氧化物半导体薄膜晶体管和低温多晶硅薄膜晶体管的优势，提升显示性能的效果。此外，由于第一甲电极与第二栅极同层设置，可以利用同一个掩膜板在同一道制作工艺中制作形成，无需对第一甲电极与第二栅极单独制作掩膜板，因此，可减少阵列基板的制备方法中使用的掩膜数量，降低工艺成本，简化工艺步骤。此外，由于第一甲电极和第一乙电极分别位于不同的膜层，可以避免当第一甲电极和第一乙电极位于同一膜层时，需要在平行于膜层

的方向上,预留出一定的空间,从而,减小像素电路的占用空间,进而提高显示装置的像素分辨率。

[0040] 以上是本发明的核心思想,下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下,所获得的所有其他实施例,都属于本发明实施例保护的范围。

[0041] 图2是本发明实施例提供的一种阵列基板的结构示意图。参见图2,该阵列基板包括:衬底10以及位于衬底10上的驱动电路层20;驱动电路层20包括多个像素电路;至少一个像素电路包括第一薄膜晶体管21、第二薄膜晶体管22和电容器;第一薄膜晶体管21包括第一有源层211、第一栅极214、第一甲电极213和第一乙电极212,第一有源层211包括低温多晶硅有源层;第二薄膜晶体管22包括第二有源层221、第二栅极224、第二甲电极222和第二乙电极223;第二有源层221包括氧化物半导体有源层;在垂直于衬底10所在平面的方向上,第一有源层211所在膜层、第一甲电极213所在膜层、第一乙电极212所在膜层、第一栅极214所在膜层均位于第二有源层221所在膜层与衬底10之间;第二甲电极222所在膜层、第二乙电极223所在膜层均位于第二有源层221所在膜层背离衬底10的一侧;第二栅极224位于第二有源层221朝向衬底10的一侧;第一甲电极213与第一乙电极212异层设置;第一甲电极213与第二栅极224同层设置。

[0042] 如图2所示,同时在衬底10上设置第一薄膜晶体管21和第二薄膜晶体管22,第一薄膜晶体管21包括低温多晶硅有源层,第二薄膜晶体管22包括氧化物半导体有源层,保证可以同时充分发挥两种薄膜晶体管的优势,保证显示装置具备良好的显示性能。进一步的,设置第二有源层221所在膜层位于第一有源层211所在膜层的远离衬底10的一侧,并且在垂直于衬底10所在平面的方向上,第一有源层211所在膜层、第一甲电极213所在膜层、第一乙电极212所在膜层、第一栅极214所在膜层均位于第二有源层221所在膜层与衬底10之间,即第一有源层211、第一栅极214、第一甲电极213和第一乙电极212均位于第二有源层221下面的膜层中。即在制作时,首先,制作第一有源层211和第一栅极214;其次,在第一栅极214上制作一绝缘层,并对此绝缘层进行打孔,以暴露出至少部分第一有源层211,将暴露出至少部分第一有源层211中的第一甲电极接触区用氢氟酸清洗后,形成第一甲电极213和第二栅极224,使得第一甲电极213与第一甲电极接触区电连接,再次,在第一甲电极213远离衬底10的一侧制作一绝缘层,并对此绝缘层以及其他绝缘层进行打孔,以暴露出至少部分第一有源层211,将暴露出至少部分第一有源层211中的第一乙电极接触区用氢氟酸清洗后,形成第一乙电极212,第一乙电极212与第一乙电极接触区电连接;最后,制作第二有源层221,如此在制备第一甲电极213和第一乙电极212时,对第一有源层211进行氢氟酸清洗时可以避免氢氟酸损伤第二有源层221,可以充分发挥第二薄膜晶体管22载流子迁移率高、沉积温度低以及透明度高的优势,显著提升显示装置的显示效果。进一步的,由于第一甲电极213与第二栅极224同层设置,可以利用同一个掩膜板在同一道制作工艺中制作形成,无需对第一甲电极213与第二栅极224单独制作掩膜板,因此,可减少阵列基板的制作方法中使用的掩膜数量,降低工艺成本,简化工艺步骤。此外,由于第一甲电极213和第一乙电极212分别位于不同的膜层,可以避免当第一甲电极213和第一乙电极212位于同一膜层时,需要在平行于膜层的方向上,预留出一定的空间,从而,减小像素电路的占用空间,进而提高显示装置的像素分辨率。

[0043] 可选的,本发明实施例提供的衬底10可以为柔性衬底,也可以为刚性衬底,本发明实施例对此不进行限定。

[0044] 可选的,第一甲电极213和第一乙电极212中一者为第一薄膜晶体管21的源极,另一者为第一薄膜晶体管21的漏极。同理,第二甲电极222和第二乙电极223中一者为第二薄膜晶体管22的源极,另一者为第二薄膜晶体管22的漏极。

[0045] 具体的,当第一薄膜晶体管21为N型薄膜晶体管时,第一甲电极213为第一薄膜晶体管21的漏极,第一乙电极212为第一薄膜晶体管21的源极;当第一薄膜晶体管为P型薄膜晶体管时,第一甲电极213为第一薄膜晶体管21的源极,第一乙电极212为第一薄膜晶体管21的漏极。同理,当第二薄膜晶体管22为N型薄膜晶体管时,第二甲电极222为第二薄膜晶体管22的漏极,第二乙电极223为第二薄膜晶体管22的源极;当第二薄膜晶体管为P型薄膜晶体管时,第二甲电极222为第二薄膜晶体管22的源极,第二乙电极223为第二薄膜晶体管22的漏极。

[0046] 综上所述,本发明实施例提供的阵列基板通过在垂直于衬底所在平面的方向上,第一有源层所在膜层、第一甲电极所在膜层、第一乙电极所在膜层、第一栅极所在膜层均位于第二有源层所在膜层与衬底之间,如此可以避免损伤第二有源层,即氧化物半导体有源层,解决了现有技术中在低温多晶硅薄膜晶体管和氧化物半导体薄膜晶体管制备工艺中损伤氧化物半导体薄膜晶体管的氧化物半导体有源层的问题,实现了可以充分发挥氧化物半导体薄膜晶体管和低温多晶硅薄膜晶体管的优点,提升显示性能的效果。此外,由于第一甲电极与第二栅极同层设置,可以利用同一个掩膜板在同一道制作工艺中制作形成,无需对第一甲电极与第二栅极单独制作掩膜板,因此,可减少阵列基板的制作方法中使用的掩膜数量,降低工艺成本,简化工艺步骤。此外,由于第一甲电极和第一乙电极分别位于不同的膜层,可以避免当第一甲电极和第一乙电极位于同一膜层时,需要在平行于膜层的方向上,预留出一定的空间,减小像素电路的占用空间,进而提高显示装置的像素分辨率。

[0047] 在上述方案的基础上,可选的,继续参见图2,驱动电路层包括第一半导体层B1、第一金属层M1、第二金属层MC、第三金属层M2、第二半导体层B2和第四金属层MD,第一金属层M1位于第一半导体层B1远离衬底10的一侧,第二金属层MC位于第一金属层M1远离衬底10的一侧,第三金属层M2位于第二金属层MC远离衬底10的一侧,第二半导体层B2位于第三金属层M2远离衬底10的一侧,第四金属层MD位于第二半导体层B2远离衬底10的一侧;第一有源层211位于第一半导体层B1;第一栅极214位于第一金属层M1;第一甲电极213和第二栅极224位于第二金属层MC,第一乙电极212位于第三金属层M2;第二有源层221位于第二半导体层B2;第二甲电极222和第二乙电极223位于第四金属层MD上。

[0048] 可选的,在本实施例中,与现有技术中需要刻蚀多个膜层,以使第一甲电极213与第一有源层211连接相比,本实施例通过第一甲电极213位于第二金属层MC,即刻蚀较少的膜层实现与第一有源层211连接,避免了刻蚀多个膜层时,工艺精度把控较难,而对第一有源层211有损坏,提高了第一薄膜晶体管21的可靠性。此外,第二甲电极222和第二乙电极223位于第四金属层MD上,即第二甲电极222和第二乙电极223同层设置,可以利用同一个掩膜板在同一道制作工艺中制作形成,无需对第二甲电极222和第二乙电极223单独制作掩膜板,因此,可减少阵列基板的制作方法中使用的掩膜数量,降低工艺成本,简化工艺步骤。

[0049] 在上述方案的基础上,可选的,继续参见图2,阵列基板还包括蚀刻阻挡层23,蚀刻

阻挡层23位于第二半导体层B2和第四金属层MD之间;蚀刻阻挡层23的材料为硅氧化物。

[0050] 其中,本实施例中,在第二半导体层B2和第四金属层MD之间设置蚀刻阻挡层23,可以避免第四金属层MD刻蚀时对第二有源层221的损伤,提高第二薄膜晶体管22的可靠性。进一步的,蚀刻阻挡层23的材料为硅氧化物。考虑到当蚀刻阻挡层23的材料为有机材料或者硅氮化物时,有机材料或者硅氮化物中的某些离子,例如氢离子,会对第二有源层221(氧化物半导体有源层)腐蚀,本实施的蚀刻阻挡层23的材料为硅氧化物,避免了有机材料或者硅氮化物中的某些离子对第二有源层221(氧化物半导体有源层)的腐蚀,进一步提高第二薄膜晶体管22的可靠性。

[0051] 图3是本发明实施例提供的又一种阵列基板的结构示意图。在上述方案的基础上,可选的,参见图3,像素电路还包括电容器30,电容器30包括第一电容电极31和第二电容电极32;第二栅极224复用为第一电容电极31;第二电容电极32位于第一金属层M1;且第二电容电极32在衬底10上的垂直投影与第二栅极224在衬底10上的垂直投影至少部分重合。

[0052] 示例性的,第二电容电极32在衬底10上的垂直投影与第二栅极224(复用为电容器的第一电容电极31)在衬底10上的垂直投影至少部分重合,构成像素电路中电容器30。由于第二栅极224复用为电容器的第一电容电极31,即在制作时,电容器的第一电容电极31与第二栅极224可以利用同一个掩膜版在同一道制作工艺中制作形成,无需对电容器的第一电容电极31与第二栅极224分别制作掩膜板,且第二电容电极32位于第一金属层M1,在制作时,第二电容电极32和第一栅极214可以利用同一个掩膜板在同一道制作工艺中制作形成,无需对第二电容电极32和第一栅极214分别制作掩膜板,节省成本,减少制程数量,提高生产效率。

[0053] 图4是本发明实施例提供的一种阵列基板的平面结构示意图,图5是图4沿剖面线A-A'的剖面结构示意图。在上述方案的基础上,可选的,参见图4和图5,第三金属层M2还包括第一连接走线24;第一栅极214通过第一过孔S1与第一连接走线24连接。

[0054] 示例性的,可以通过第一连接走线24为第一薄膜晶体管21提供相应信号。由于第一连接走线24位于第三金属层M2,在制作时,第一乙电极212和第一连接走线24可以利用同一个掩膜板在同一道制作工艺中制作形成,无需对第一连接走线24单独制作掩膜板,节省成本,减少制程数量,提高生产效率。

[0055] 需要强调的是,继续参见图4和图5,本实施中第一乙电极212和第一连接走线24同层设置,但是第一甲电极213、第一栅极214和第一连接走线24分别设置于不同层,如此,可以避免当第一甲电极213和第一连接走线24或者第一栅极214位于同一膜层时,需要在平行于膜层的方向上,预留出一定的空间(即H的值将会变大),从而,减小像素电路的占用空间,进而提高显示装置的像素分辨率。

[0056] 图6是本发明实施例提供的又一种阵列基板的结构示意图。在上述方案的基础上,可选的,参见图6,第二金属层MC还包括第一辅助连接块26;第一乙电极212通过第二过孔S2与第一辅助连接块26电连接;第一辅助连接块26通过第三过孔S3与第一有源层211连接。

[0057] 考虑到第一乙电极212仅通过一个过孔与第一有源层211连接时,此过孔需要穿透多个膜层,导致第一有源层211可能被损坏。本技术方案通过在第一乙电极212与第一有源层211之间设置第一辅助连接块26,第一乙电极212通过第二过孔S2与第一辅助连接块26电连接,第一辅助连接块26通过第三过孔S3与第一有源层211连接。也就是说,通过两次刻蚀

形成的第二过孔S2和第三过孔S3,相比于第一乙电极212与第一有源层211连接时的过孔的刻蚀深度小,精度高,降低了刻蚀时对第一有源层211的损伤,提高第一薄膜晶体管21的可靠性。在制作时,首先,制作第一有源层211和第一栅极214;其次,在第一栅极214上制作一绝缘层,并对此绝缘层进行打孔,以暴露出至少部分第一有源层211,将暴露出至少部分第一有源层211中的第一甲电极接触区以及第一乙电极接触区,用氢氟酸清洗后,形成第一甲电极213和第一辅助连接块26,使得第一甲电极213与第一甲电极接触区电连接,第一辅助连接块26与第一乙电极接触区电连接;再次,在第一甲电极213远离衬底10的一侧制作一绝缘层,并对此绝缘层以及其他绝缘层进行打孔,以暴露出至少部分第一辅助连接块26,在此过孔中形成第一乙电极212,第一乙电极212与第一辅助连接块26连接,进而实现与第一乙电极接触区电连接;最后,制作第二有源层221,如此在制备第一甲电极213和第一乙电极212时,对第一有源层211进行氢氟酸清洗时可以避免氢氟酸损伤第二有源层221,可以充分发挥第二薄膜晶体管22载流子迁移率高、沉积温度低以及透明度高的优势,显著提升显示装置的显示效果。由于第一辅助连接块26位于第二金属层MC,即在制作时,第一甲电极213和第一辅助连接块26可以利用同一个掩模板在同一道制作工艺中制作形成,无需对第一辅助连接块26单独制作掩模板,节省成本,减少制程数量,提高生产效率。

[0058] 在上述方案的基础上,可选的,继续参见图4和图5,第四金属层MD还包括第二连接走线25;第二栅极224通过第四过孔S4与第二连接走线25连接。

[0059] 示例性的,可以通过第二连接走线25为第二薄膜晶体管22提供相应信号。由于第二连接走线25位于第四金属层MD,在制作时,第二乙电极223和第四金属层MD可以利用同一个掩模板在同一道制作工艺中制作形成,无需对第二连接走线25单独制作掩模板,节省成本,减少制程数量,提高生产效率。

[0060] 图7是本发明实施例提供的又一种阵列基板的结构示意图。在上述方案的基础上,可选的,参见图7,第三金属层M2还包括第二辅助连接块27;第二连接走线25通过第五过孔S5与第二辅助连接块27电连接;第二辅助连接块27通过第六过孔S6与第二栅极224连接。

[0061] 考虑到第二连接走线25仅通过一个过孔与第二栅极224连接时,此过孔需要穿透多个膜层,导致第二栅极224可能被损坏。本技术方案通过在第二连接走线25与第二栅极224之间设置第二辅助连接块27,第二连接走线25通过第五过孔S5与第二辅助连接块27电连接;第二辅助连接块27通过第六过孔S6与第二栅极224连接。也就是说,通过两次刻蚀形成的第五过孔S5和第六过孔S6相比于第二连接走线25与第二栅极224连接时的过孔的刻蚀深度小,精度高,降低了刻蚀时对第二栅极224的损伤,提高第二薄膜晶体管22的可靠性。

[0062] 此外,由于第二辅助连接块27位于第三金属层M2,即在制作时,第一乙电极212和第二辅助连接块27可以利用同一个掩模板在同一道制作工艺中制作形成,无需对第二辅助连接块27单独制作掩模板,节省成本,减少制程数量,提高生产效率。

[0063] 图8是本发明实施例提供的又一种阵列基板的结构示意图。在上述方案的基础上,可选的,参见图8,阵列基板还包括:连接部分27;连接部分27与第二甲电极222连接,且连接部分27与第二甲电极222同层设置;连接部分27通过第七过孔S7与第一甲电极213电连接,第二甲电极222通过第八过孔S8与第二有源层221电连接。

[0064] 示例性的,通过连接部分27实现第一薄膜晶体管21和第二薄膜晶体管22之间的电连接。由于第一薄膜晶体管21包括低温多晶硅有源层,第二薄膜晶体管22包括氧化物半导

体有源层,保证可以同时充分发挥两种薄膜晶体管的优势,保证显示装置具备良好的显示性能。此外,第二甲电极222通过第八过孔S8与第二有源层221电连接,由于第八过孔S8刻蚀深度小,剪度高,降低了刻蚀时对第二有源层221的损伤,提高第二薄膜晶体管22的可靠性。

[0065] 基于同样的发明构思,本发明实施例还提供了一种显示面板,图9是本发明实施例提供的一种显示面板的结构示意图,参见图9,本发明实施例提供的显示面板包括本发明实施例所述的阵列基板100,还包括与阵列基板100对向设置的対向基板200以及设置于阵列基板100与对向基板200之间的多个发光元件300;像素电路用于驱动发光元件300发光。可选的,发光元件300可以包括层叠设置的阳极电极310、发光材料层320和阴极电极330。可选的,对向基板200例如可以包括偏光片或触控基板等。可选的,本发明实施例提供的显示面板还可以包括位于发光元件300与对向基板200之间的封装层(图中未示出),用于对发光元件300进行水氧防护。可选的,封装层可以为玻璃封装层或者薄膜封装层,本发明实施例对此不进行限定。

[0066] 在上述方案的基础上,可选的,继续参见图9,驱动电路层包括第一半导体层B1、第一金属层M1、第二金属层MC、第三金属层M2、第二半导体层B2和第四金属层MD,第一金属层M1位于第一半导体层B1远离衬底10的一侧,第二金属层MC位于第一金属层M1远离衬底10的一侧,第三金属层M2位于第二金属层MC远离衬底10的一侧,第二半导体层B2位于第三金属层M2远离衬底10的一侧,第四金属层MD位于第二半导体层B2远离衬底10的一侧;第一有源层211位于第一半导体层B1;第一栅极214位于第一金属层M1;第一甲电极213和第二栅极224位于第二金属层MC,第一乙电极212位于第三金属层M2;第二有源层221位于第二半导体层B2;第二甲电极222和第二乙电极223位于第四金属层MD上;阵列基板100还包括平坦化层40;平坦化层40位于第四金属层MD背离衬底10的一侧;发光元件300位于平坦化层40远离衬底10的一侧;阵列基板100中设置有第九过孔S9,第九过孔S9贯穿平坦化层40,并暴露出至少部分第四金属层MD;发光元件300通过第九过孔S9与第九过孔S9暴露的至少部分第四金属层MD连接。

[0067] 示例性的,图10是本发明实施例提供的一种像素电路的电路结构示意图。参见图10,该像素电路包括多个薄膜晶体管,可选的,薄膜晶体管TFT1例如可以为本申请上述技术方案中提供的第一薄膜晶体管21,薄膜晶体管TFT2例如可以为本申请上述技术方案中提供的第二薄膜晶体管22。薄膜晶体管TFT3的源极或漏极,或薄膜晶体管TFT4的源极或漏极与发光元件300的阳极电极310连接。当与发光元件300的阳极电极310电连接的薄膜晶体管TFT3的源极或漏极,或薄膜晶体管TFT4的源极或漏极位于第四金属层MD时,可以通过阵列基板100中设置的第九过孔S9(贯穿平坦化层40,并暴露出至少部分第四金属层MD),与第九过孔S9暴露的至少部分第四金属层MD连接,进而通过像素电路驱动发光元件300发光。

[0068] 图11是本发明实施例提供的又一种显示面板的结构示意图。可选的,驱动电路层包括第一半导体层B1、第一金属层M1、第二金属层MC、第三金属层M2、第二半导体层B2和第四金属层MD,第一金属层M1位于第一半导体层B1远离衬底10的一侧,第二金属层MC位于第一金属层M1远离衬底10的一侧,第三金属层M2位于第二金属层MC远离衬底10的一侧,第二半导体层B2位于第三金属层M2远离衬底10的一侧,第四金属层MD位于第二半导体层B2远离衬底10的一侧;第一有源层211位于第一半导体层B1;第一栅极214位于第一金属层M1;第一甲电极213和第二栅极224位于第二金属层MC,第一乙电极212位于第三金属层M2;第二有源

层221位于第二半导体层B2;第二甲电极222和第二乙电极223位于第四金属层MD上;阵列基板100还包括平坦化层40;平坦化层40位于第二甲电极222所在膜层和第二乙电极223所在膜层背离衬底10的一侧;阵列基板还包括蚀刻阻挡层23,蚀刻阻挡层23位于第二半导体层B2和第四金属层MD之间;阵列基板100还包括栅极绝缘层28,栅极绝缘层28位于第二半导体层B2和第三金属层M2之间;阵列基板100中设置有第十过孔S10,第十过孔S10贯穿平坦化层40、蚀刻阻挡层23和栅极绝缘层28,并暴露出至少部分第三金属层M2;发光元件300位于平坦化层40远离衬底10的一侧;发光元件300通过第十过孔S10与第十过孔S10暴露的至少部分第三金属层M2连接。

[0069] 示例性的,继续参见图11,当与发光元件300的阳极电极310电连接的薄膜晶体管TFT3的源极或漏极,或薄膜晶体管TFT4的源极或漏极位于第三金属层M2时,可以通过阵列基板100中设置的第十过孔S10(贯穿平坦化层40、蚀刻阻挡层23和栅极绝缘层28,并暴露出至少部分第三金属层M2),与第十过孔S10暴露的至少部分第三金属层M2连接,进而通过像素电路驱动发光元件300发光。

[0070] 基于同样的发明构思,本发明实施例还提供了一种显示装置,图12是本发明实施例提供的一种显示装置的结构示意图,本发明实施例提供的显示装置1000包括本发明任意实施例所述的显示面板1001。可选的,本发明实施例提供显示装置可以为图12所示的手机,也可以为电脑、电视机、智能穿戴显示装置等,本发明实施例对此不作特殊限定。

[0071] 基于相同的发明构思,本发明实施例还提供了一种阵列基板的制备方法。

[0072] 图13是本发明实施例提供的一种阵列基板的制备方法的流程图。参见图13,该阵列基板的制备方法包括:

[0073] S1、提供一衬底;

[0074] S2、在衬底上形成驱动电路层;驱动电路层包括多个像素电路;至少一个像素电路均包括第一薄膜晶体管、第二薄膜晶体管和电容器;第一薄膜晶体管包括第一有源层、第一栅极、第一甲电极和第一乙电极,第一有源层包括低温多晶硅有源层;第二薄膜晶体管包括第二有源层、第二栅极、第二甲电极和第二乙电极;第二有源层包括氧化物半导体有源层;在垂直于衬底所在平面的方向上,第一有源层所在膜层、第一甲电极所在膜层、第一乙电极所在膜层、第一栅极所在膜层均位于第二有源层所在膜层与衬底之间;第二甲电极所在膜层、第二乙电极所在膜层均位于第二有源层所在膜层背离衬底的一侧;第一甲电极与第一乙电极异层设置;第一甲电极与第二栅极同层设置。

[0075] 本发明实施例提供的阵列基板的制备方法,在工艺制程中,通过先形成的第一薄膜晶体管的第一有源层、第一栅极、第一甲电极和第一乙电极;再形成第二薄膜晶体管的第二有源层,如此可以避免损伤第二有源层,即氧化物半导体有源层,解决了现有技术中在低温多晶硅薄膜晶体管和氧化物半导体薄膜晶体管制备工艺中损伤氧化物半导体薄膜晶体管的氧化物半导体有源层的问题,实现了可以充分发挥氧化物半导体薄膜晶体管和低温多晶硅薄膜晶体管的优势,提升显示性能的效果。此外,由于第一甲电极与第二栅极同层设置,可以利用同一个掩膜板在同一道制作工艺中制作形成,无需对第一甲电极与第二栅极单独制作掩膜板,因此,可减少阵列基板的制备方法中使用的掩膜数量,降低工艺成本,简化工艺步骤。此外,由于第一甲电极和第一乙电极分别位于不同的膜层,可以避免当第一甲电极和第一乙电极位于同一膜层时,需要在平行于膜层的方向上,预留出一定的空间,减小

像素电路的占用空间,进而提高显示装置的像素分辨率。

[0076] 图14是本发明实施例提供的又一种阵列基板的制备方法的流程图。在上述方案的基础上,可选的,参见图14,该阵列基板的制备方法包括:

[0077] S10、提供一衬底。

[0078] 具体的,参见图15,阵列基板的各膜层采用多种制备工艺分步形成。在形成阵列基板的各膜层时,通过衬底10为各膜层提供支撑和保护作用。衬底10可以为柔性衬底,也可以为刚性衬底,本发明实施例对此不进行限定。

[0079] S11、在衬底上形成第一半导体层。

[0080] 具体的,继续参见图15,第一有源层211位于第一半导体层B1。第一有源层211包括低温多晶硅有源层。

[0081] S12、在第一半导体层远离衬底的一侧形成第一金属层。

[0082] 具体的,继续参见图15,在第一半导体层B1远离衬底10的一侧形成第一金属层M1,第一栅极214和第二电容电极32位于第一金属层M1,即第一栅极214和第二电容电极32可以利用同一个掩膜板在同一道制作工艺中制作形成,无需对第一栅极214和第二电容电极32分别制作掩膜板,节省成本,减少制程数量,提高生产效率。

[0083] S13、在第一金属层远离衬底的一侧形成第二金属层。

[0084] 具体的,继续参见图15,在第一金属层M1远离衬底10的一侧形成第二金属层M2,第一甲电极213和第二栅极224位于第二金属层M2,第二栅极224复用为电容器的第一电容电极31。即在制作时,在第一栅极214上制作一绝缘层,并对此绝缘层进行打孔,以暴露出至少部分第一有源层211,将暴露出至少部分第一有源层211中的第一甲电极接触区用氢氟酸清洗后,形成第一甲电极213和第二栅极224,使得第一甲电极213与第一甲电极接触区电连接,同时第二栅极224复用为电容器的第一电容电极31,且第一甲电极213和第二栅极224可以利用同一个掩膜版在同一道制作工艺中制作形成,无需对电容器的第一甲电极213和第二栅极224分别制作掩膜板,节省了成本,减少了制程数量,提高了生产效率。

[0085] S14、在第二金属层远离衬底的一侧形成第三金属层。

[0086] 具体的,继续参见图15,在第二金属层M2远离衬底10的一侧形成第三金属层M3,第一乙电极212和第一连接走线24位于第三金属层M3,其中,第一连接走线24例如可以包括扫描信号线、复位信号线或参考信号线。即在制作时,在第一甲电极213远离衬底10的一侧制作一绝缘层,并对此绝缘层以及其他绝缘层进行打孔,以暴露出至少部分第一有源层211,将暴露出至少部分第一有源层211中的第一乙电极接触区用氢氟酸清洗后,形成第一乙电极212,第一乙电极212与第一乙电极接触区电连接,同时第一乙电极212和第一连接走线24可以利用同一个掩膜版在同一道制作工艺中制作形成,无需对第一乙电极212和第一连接走线24分别制作掩膜板,节省了成本,减少了制程数量,提高了生产效率。第一有源层211、第一栅极214、第一甲电极213和第一乙电极212构成第一薄膜晶体管21。

[0087] S15、在第三金属层远离衬底的一侧形成第二半导体层。

[0088] 具体的,继续参见图15,在第三金属层M3远离衬底10的一侧形成第二半导体层B2,第二有源层221位于第二半导体层B2。设置第二有源层221所在膜层位于第一有源层211所在膜层的远离衬底10的一侧,并且在垂直于衬底10所在平面的方向上,第一有源层211所在膜层、第一甲电极213所在膜层、第一乙电极212所在膜层、第一栅极214所在膜层均位于第

二有源层221所在膜层与衬底10之间,即第一有源层211、第一栅极214、第一甲电极213和第一乙电极212均位于第二有源层221下面的膜层中。如此在制备第一甲电极213和第一乙电极212时,对第一有源层211进行氢氟酸清洗时可以避免氢氟酸损伤第二有源层221,可以充分发挥第二薄膜晶体管22载流子迁移率高、沉积温度低以及透明度高的优势,显著提升显示装置的显示效果。

[0089] S16、在第二半导体层远离衬底的一侧形成第四金属层。

[0090] 具体的,继续参见图15,在第二半导体层B2远离衬底10的一侧形成第四金属层M4。第二甲电极222、第二乙电极223和第二连接走线25位于第四金属层M4。即在制作时,第二甲电极222、第二乙电极223和第二连接走线25可以利用同一个掩膜版在同一道制作工艺中制作形成,无需对第二甲电极222、第二乙电极223和第二连接走线25分别制作掩模板,节省了成本,减少了制程数量,提高了生产效率。第二有源层221、第二栅极224、第二甲电极222和第二乙电极223构成第二薄膜晶体管22。同时,连接部分27也位于第四金属层M4,通过连接部分27实现第一薄膜晶体管21和第二薄膜晶体管22之间的电连接。同时在衬底10上设置第一薄膜晶体管21和第二薄膜晶体管22,第一薄膜晶体管21包括低温多晶硅有源层,第二薄膜晶体管22包括氧化物半导体有源层,保证可以同时充分发挥两种薄膜晶体管的优势,保证显示装置具备良好的显示性能。

[0091] 注意,上述仅为本发明的较佳实施例及所运用技术原理。本领域技术人员会理解,本发明不限于这里所述的特定实施例,本发明的各个实施方式的特征可以部分地或者全部地彼此耦合或组合,并且可以以各种方式彼此协作并在技术上被驱动。对本领域技术人员来说能够进行各种明显的变化、重新调整、相互结合和替代而不会脱离本发明的保护范围。因此,虽然通过以上实施例对本发明进行了较为详细的说明,但是本发明不仅仅限于以上实施例,在不脱离本发明构思的情况下,还可以包括更多其他等效实施例,而本发明的范围由所附的权利要求范围决定。

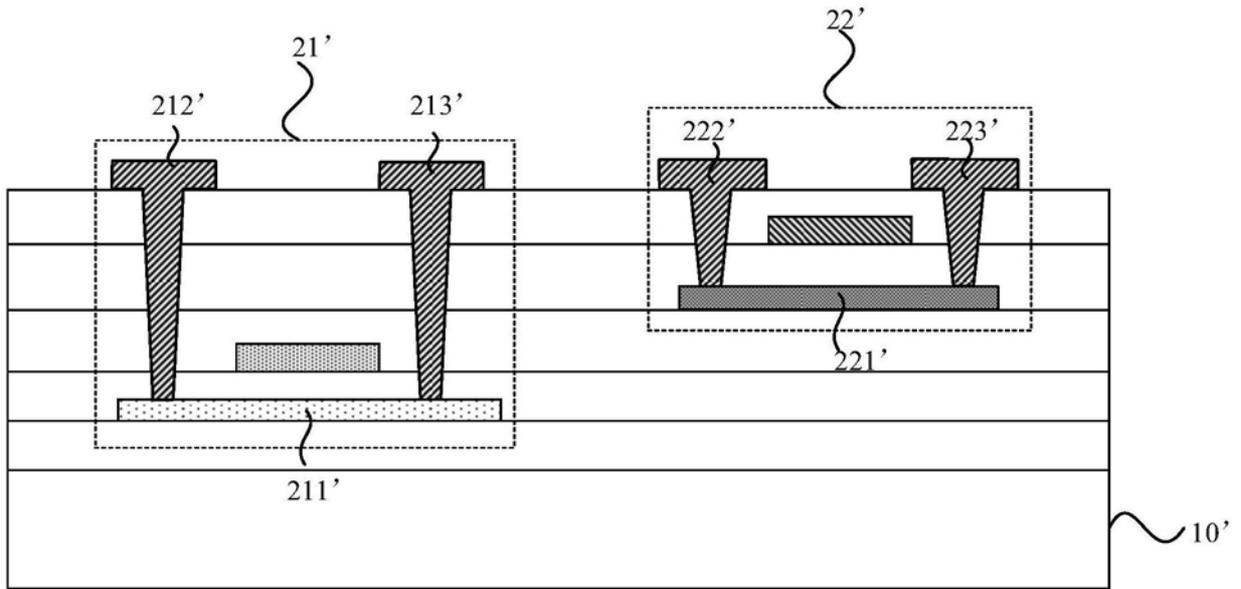


图1

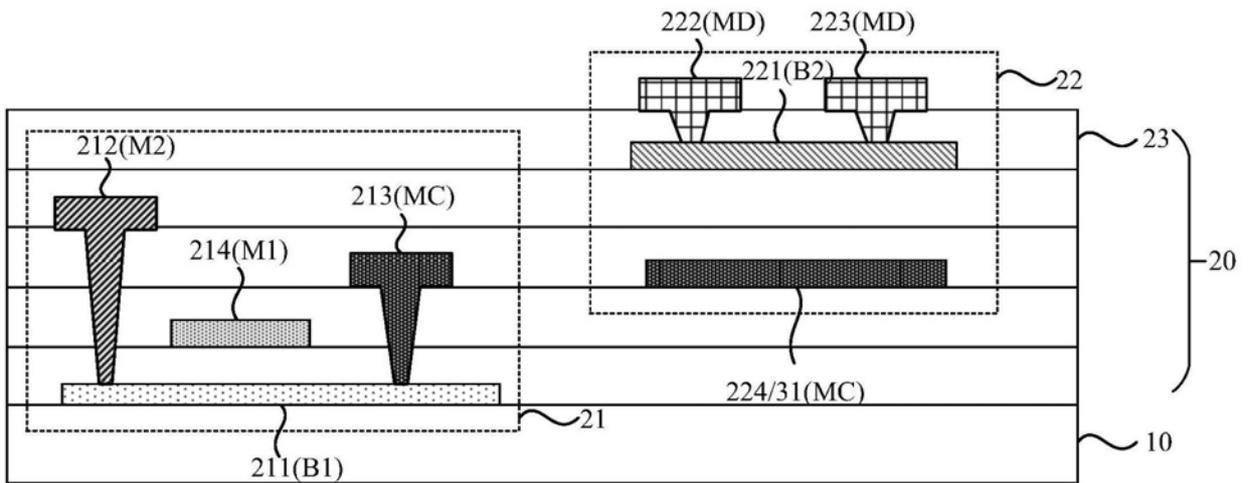


图2

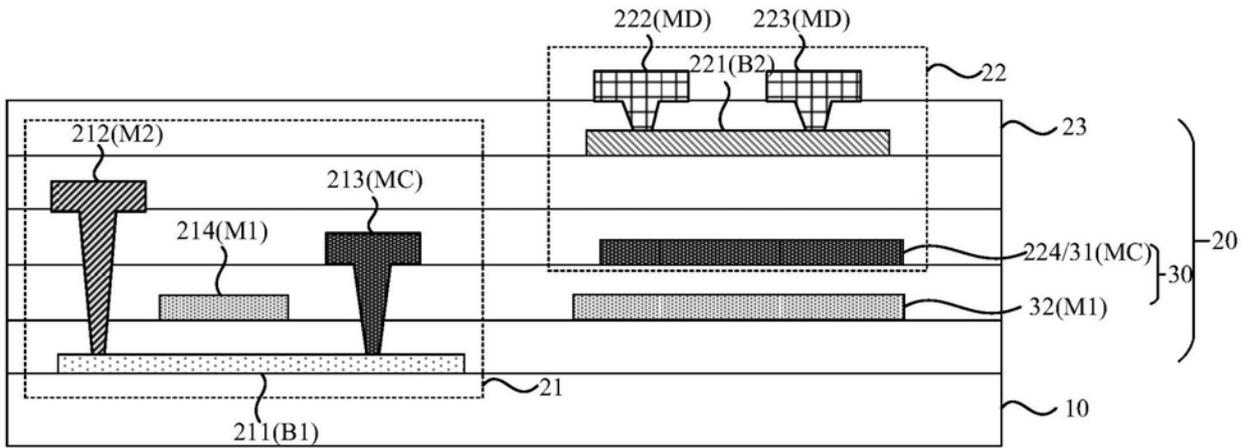


图3

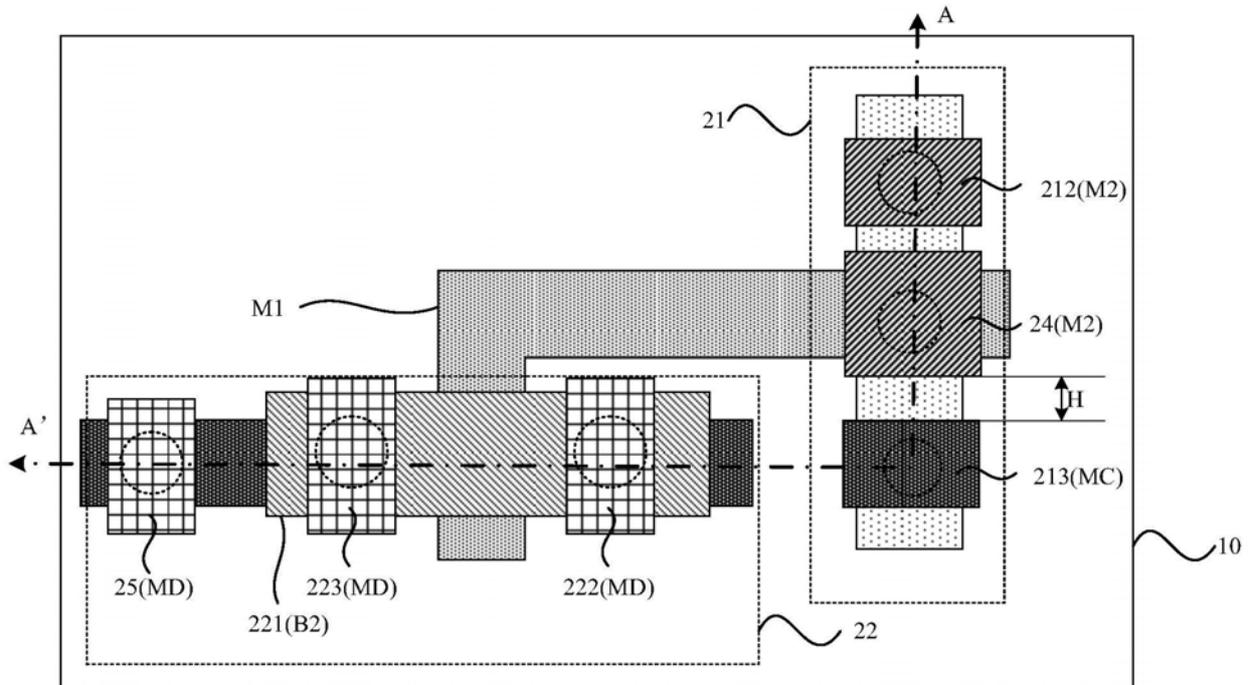


图4

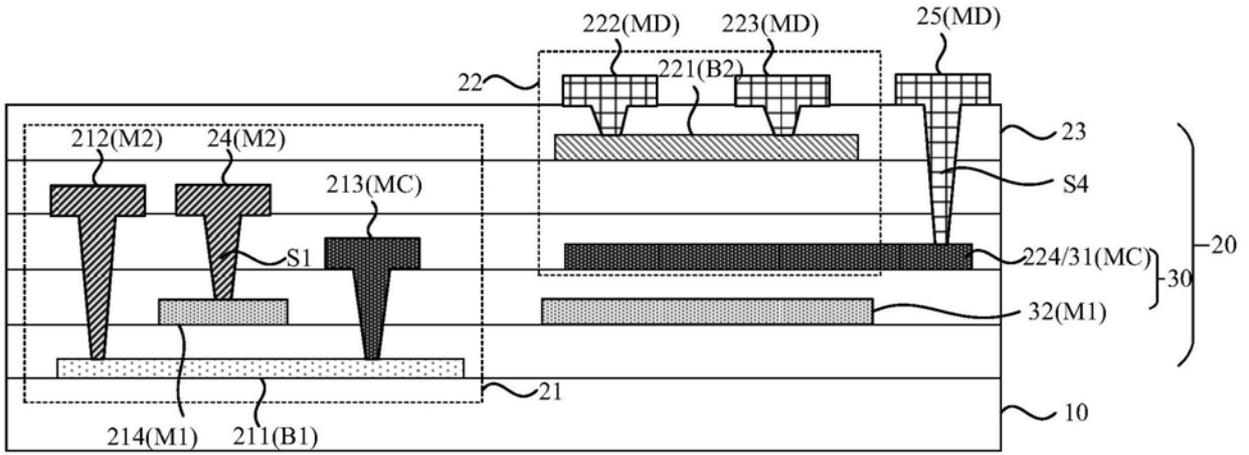


图5

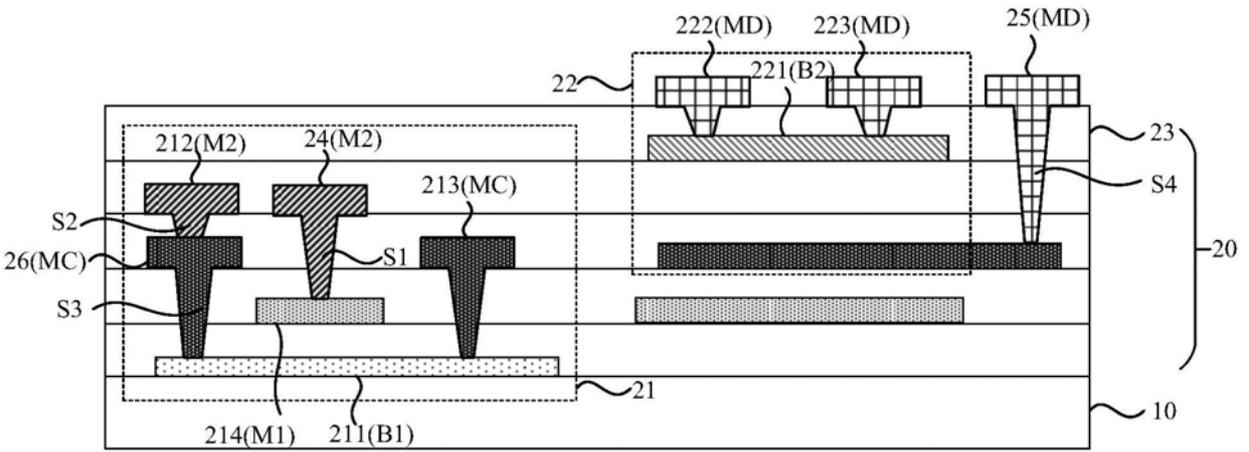


图6

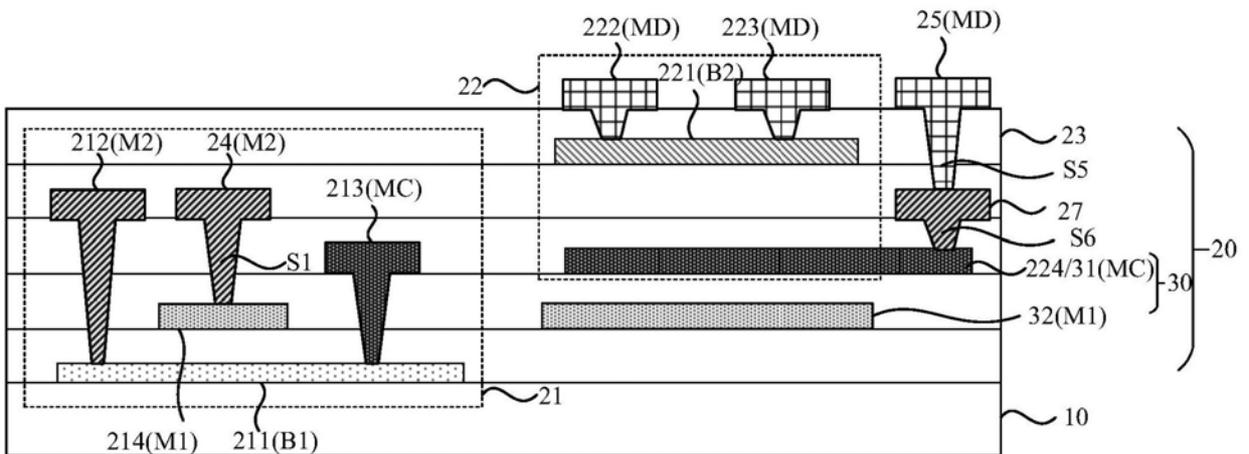


图7

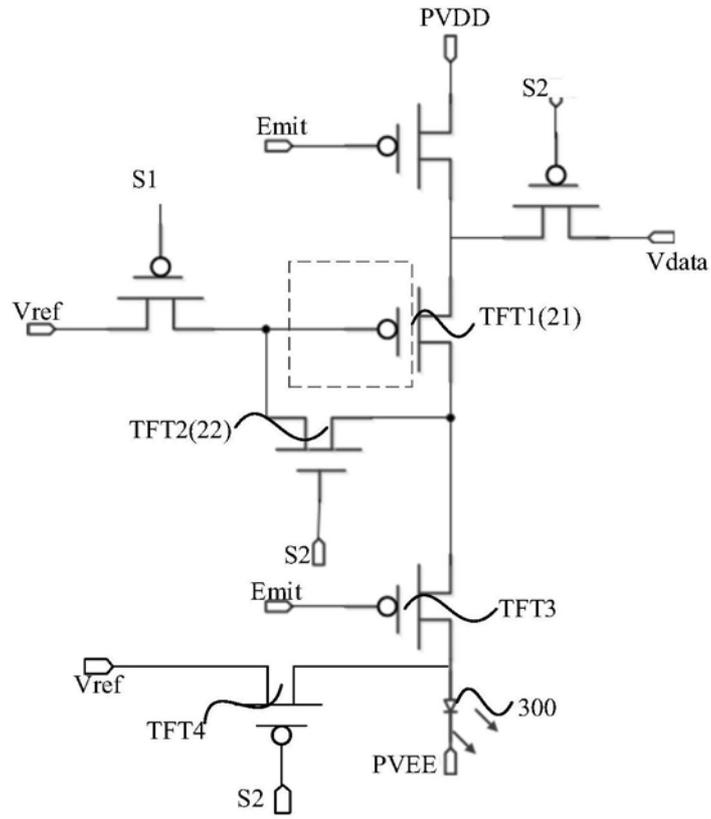


图10

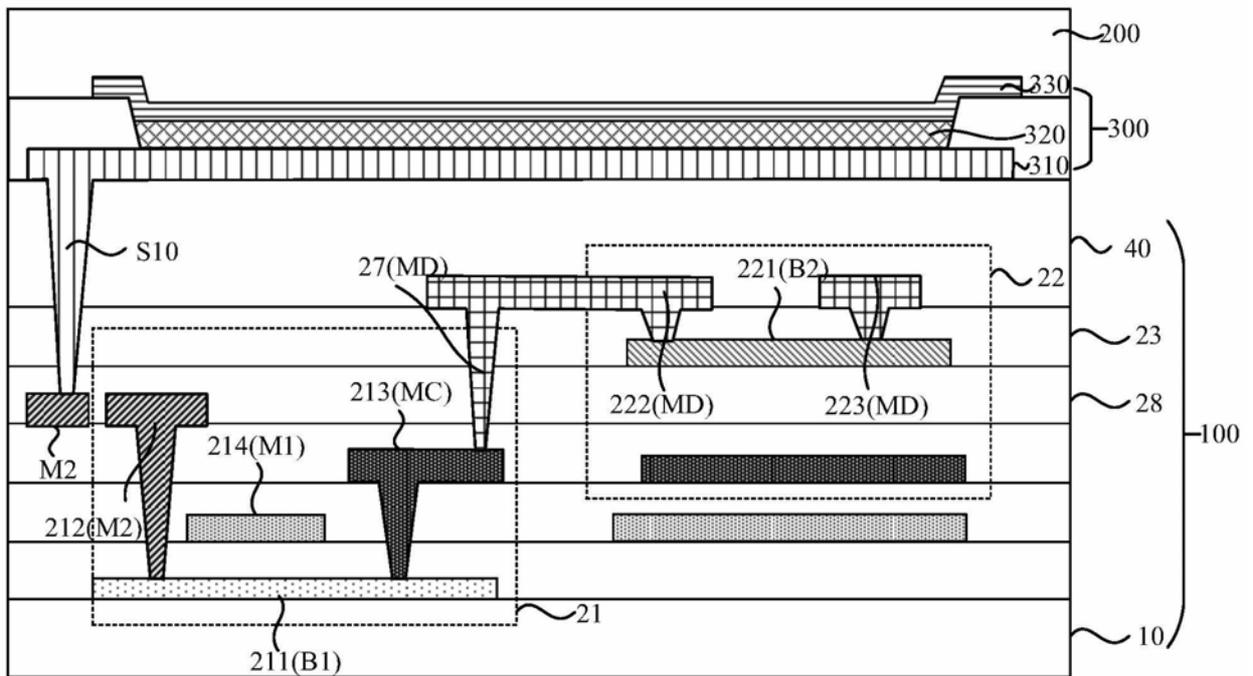


图11

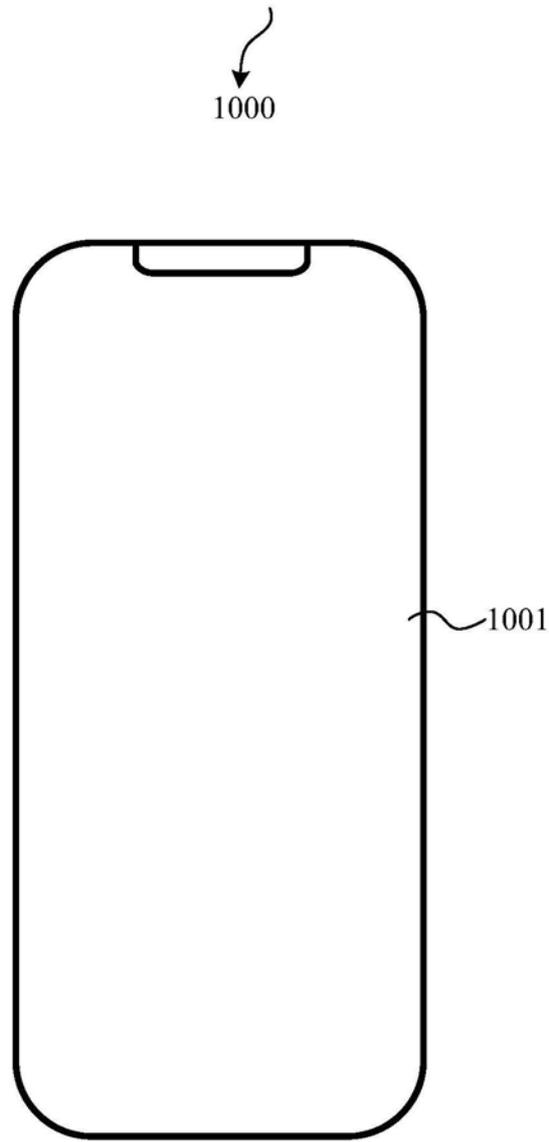


图12

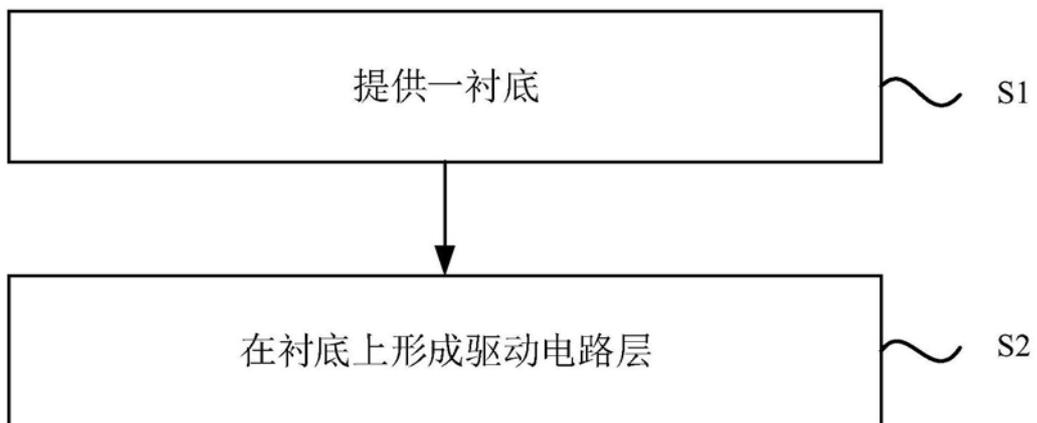


图13

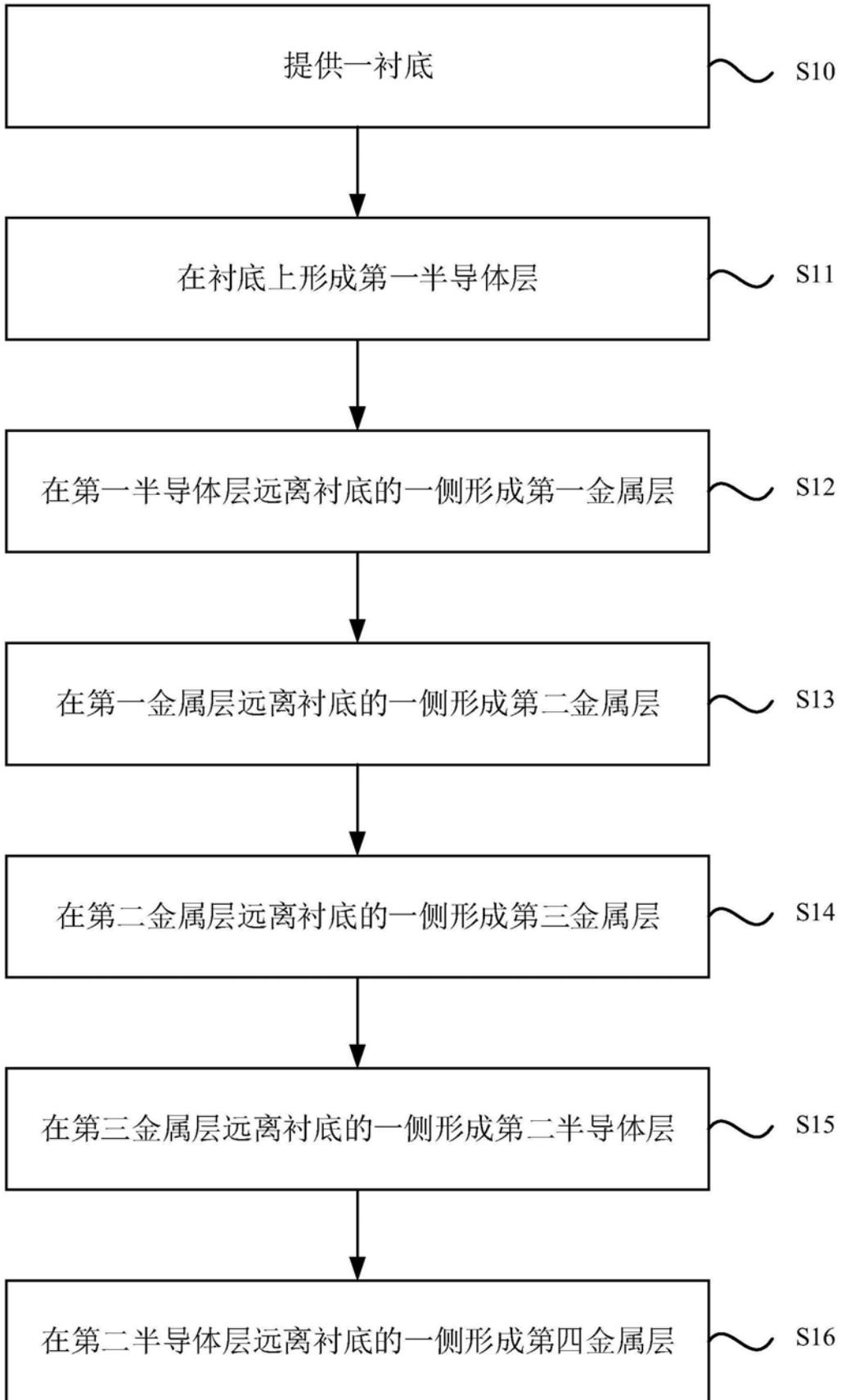


图14

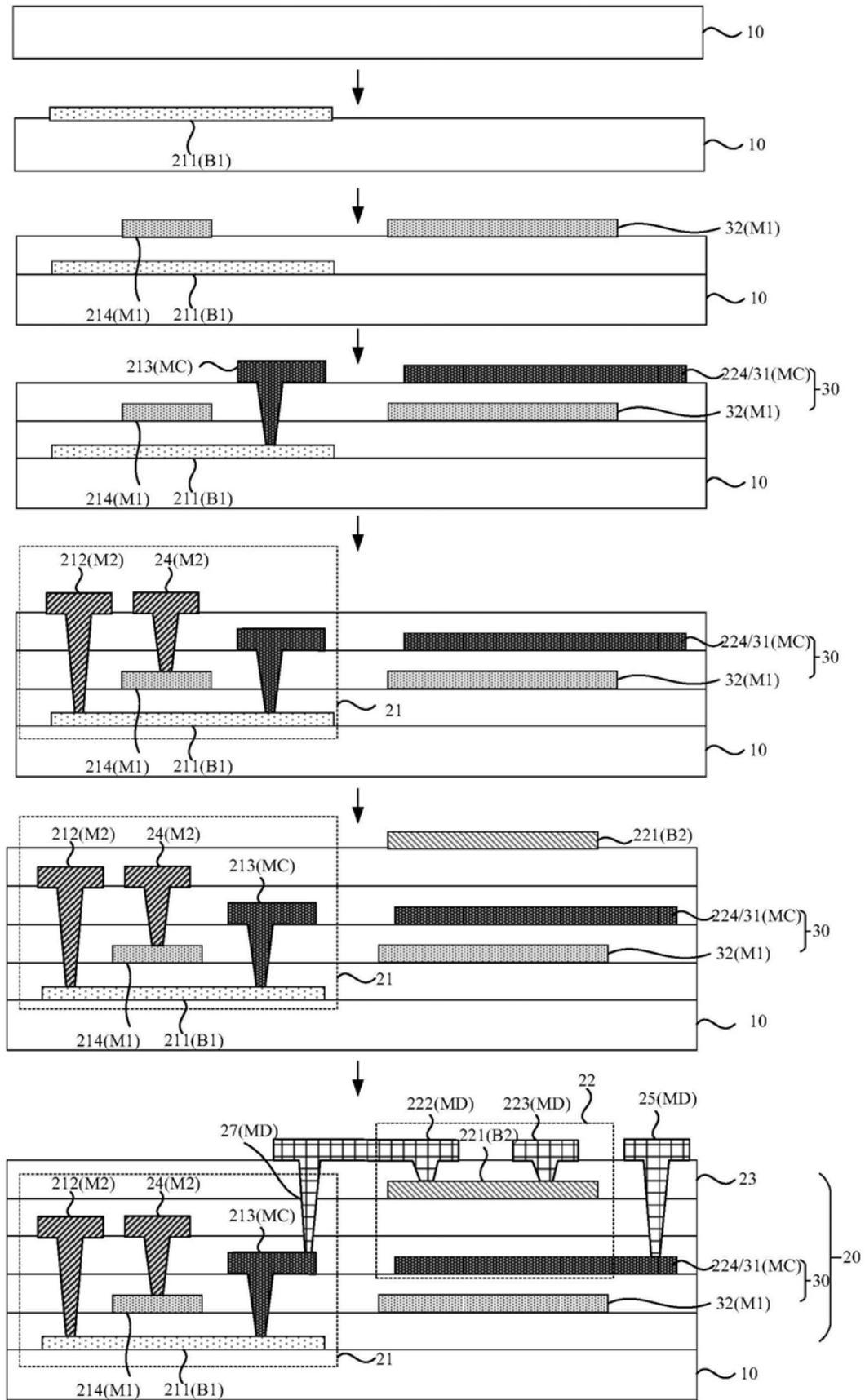


图15