



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2008-0110994  
 (43) 공개일자 2008년12월22일

- |   |   |
|---|---|
| (51) Int. Cl.<br><b>G06F 12/00</b> (2006.01)<br>(21) 출원번호 10-2008-7020296<br>(22) 출원일자 2008년08월19일<br>심사청구일자 없음<br>번역문제출일자 2008년08월19일<br>(86) 국제출원번호 PCT/IL2006/001251<br>국제출원일자 2006년10월30일<br>(87) 국제공개번호 WO 2007/102141<br>국제공개일자 2007년09월13일<br>(30) 우선권주장<br>11/540,560 2006년10월02일 미국(US)<br>60/779,044 2006년03월06일 미국(US) | (71) 출원인<br>라모트 옛 텔-아비브 유니버시티 리미티드<br>P.O박스 39296, 61392 텔아비브, 이스라엘<br>(72) 발명자<br>리친 시몬<br>이스라엘 54020 기밧 슈무엘 즈브우룬 하머 5/30<br>샤론 에란<br>이스라엘 75493 리손 레지온 하다가간 16/1<br>알로드 아이단<br>이스라엘 63504 텔 아비브 하야콘 262/3<br>(74) 대리인<br>박종혁, 김정욱, 정삼영, 송봉식 |
|---|---|

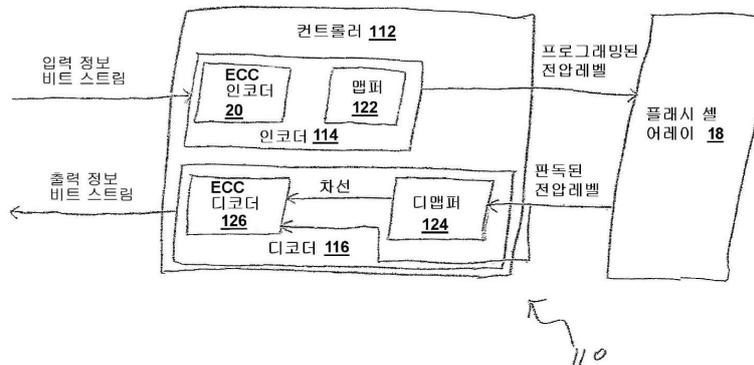
전체 청구항 수 : 총 48 항

**(54) 비전단사 맵핑을 하는 셀당 멀티 비트의 플래시 메모리 디바이스**

**(57) 요약**

복수의 입력 비트를 저장하기 위해, 상기 비트는 하나 이상의 메모리 셀의 대응하는 프로그래밍된 상태로 맵핑되고, 상기 셀(들)은 대응하는 프로그래밍된 상태에 대해 프로그래밍된다. 상기 맵핑은 다수대일이 되거나 또는 "안으로의" 일반화된 그레이 맵핑이 된다. 상기 셀(들)은 예를 들면 최대 우도 디코딩에 의하거나 또는 상기 판독된 상태값을 복수의 소프트 비트로 맵핑하여 소프트 비트를 디코딩함으로써, 복수의 출력 비트로 변환되는 판독된 상태값을 제공하기 위해 판독된다.

**대표도**



## 특허청구의 범위

### 청구항 1

복수의 입력 비트를 저장하는 방법으로서,

- (a) 상기 입력 비트를 다수대일 맵핑을 이용하여 메모리 셀의 대응하는 프로그래밍된 상태로 맵핑하는 단계; 및
- (b) 상기 메모리 셀을 대응하는 프로그래밍된 상태에 대해 프로그래밍하는 단계;를 포함하는 것을 특징으로 하는 복수의 입력 비트를 저장하는 방법.

### 청구항 2

제 1 항에 있어서,

상기 메모리 셀은 플래시 메모리 셀이고, 상기 상태는 임계전압 상태인 것을 특징으로 하는 복수의 입력 비트를 저장하는 방법.

### 청구항 3

제 1 항에 있어서,

- (c) 상기 메모리 셀을 판독하고, 그에 의해 판독된 상태값을 획득하는 단계; 및
- (d) 상기 판독된 상태값을 복수의 출력 비트로 변환하는 단계;를 더 포함하는 것을 특징으로 하는 복수의 입력 비트를 저장하는 방법.

### 청구항 4

제 3 항에 있어서,

상기 변환은 최대 우도 디코딩을 포함하는 단계에 의해 수행되는 것을 특징으로 하는 복수의 입력 비트를 저장하는 방법.

### 청구항 5

제 3 항에 있어서,

상기 변환은,

- (i) 상기 판독된 상태 값은 복수의 소프트 비트 측정치로 맵핑하는 단계; 및
- (ii) 상기 소프트 비트 측정치를 디코딩하는 단계;를 포함하는 단계에 의해 수행되는 것을 특징으로 하는 복수의 입력 비트를 저장하는 방법.

### 청구항 6

제 3 항에 있어서,

상기 맵핑은 복수의 입력 코드워드로서 상기 입력 비트를 인코딩하는 것을 포함하고, 상기 변환은,

- (i) 상기 판독된 상태 값을, 각각의 출력 코드워드가 상기 입력 코드워드 중 하나에 고유하게 대응하는, 복수의 출력 코드워드로 맵핑하는 단계; 및
- (ii) 상기 출력 코드워드를 연속적으로 디코딩하는 단계로서, 적어도 하나의 선행하는 상기 출력 코드워드의 상기 디코딩의 결과에 적어도 부분적으로 기초하는 제 1 상기 출력 코드워드에 후속하는 각각의 상기 출력 코드워드의 디코딩하는 단계;를 포함하는 단계에 의해 수행되는 것을 특징으로 하는 복수의 입력 비트를 저장하는 방법.

### 청구항 7

복수의 입력 비트를 저장하는 방법으로서,

- (a) 상기 입력 비트를 다수대일 맵핑을 이용하여 복수의 메모리 셀의 대응하는 프로그래밍된 상태로 맵핑하는 단계; 및
- (b) 상기 메모리 셀을 대응하는 프로그래밍된 상태에 대해 프로그래밍하는 단계;를 포함하는 것을 특징으로 하는 복수의 입력 비트를 저장하는 방법.

**청구항 8**

제 7 항에 있어서,

상기 메모리 셀은 플래시 메모리 셀이고, 상기 상태는 임계전압 상태인 것을 특징으로 하는 복수의 입력 비트를 저장하는 방법.

**청구항 9**

제 7 항에 있어서,

- (c) 상기 메모리 셀을 판독하고, 그에 의해 판독된 상태값을 획득하는 단계; 및
- (d) 상기 판독된 상태값을 복수의 출력 비트로 변환하는 단계;를 더 포함하는 것을 특징으로 하는 복수의 입력 비트를 저장하는 방법.

**청구항 10**

제 9 항에 있어서,

상기 변환은 최대 우도 디코딩을 포함하는 단계에 의해 수행되는 것을 특징으로 하는 복수의 입력 비트를 저장하는 방법.

**청구항 11**

제 9 항에 있어서,

상기 변환은,

- (i) 상기 판독된 상태 값을 복수의 소프트 비트 측정치로 맵핑하는 단계; 및
- (ii) 상기 소프트 비트 측정치를 디코딩하는 단계;를 포함하는 단계에 의해 수행되는 것을 특징으로 하는 복수의 입력 비트를 저장하는 방법.

**청구항 12**

제 9 항에 있어서,

상기 맵핑은 복수의 입력 코드워드로서 상기 입력 비트를 인코딩하는 것을 포함하고, 상기 변환은,

- (i) 상기 판독된 상태 값을, 각각의 출력 코드워드가 상기 입력 코드워드 중 하나에 고유하게 대응하는, 복수의 출력 코드워드로 맵핑하는 단계; 및
- (ii) 상기 출력 코드워드를 연속적으로 디코딩하는 단계로서, 적어도 하나의 선행하는 상기 출력 코드워드의 상기 디코딩의 결과에 적어도 부분적으로 기초하는 제 1 상기 출력 코드워드에 후속하는 각각의 상기 출력 코드워드의 디코딩 단계;를 포함하는 단계에 의해 수행되는 것을 특징으로 하는 복수의 입력 비트를 저장하는 방법.

**청구항 13**

복수의 입력 비트를 저장하는 방법으로서,

(a) 상기 입력 비트를,

- (i) 안으로의(into) 맵핑, 및
- (ii) 일반화된 그레이 맵핑을,

이용하여 적어도 하나의 메모리 셀의 대응하는 프로그래밍된 상태로 맵핑하는 단계; 및

(b) 상기 적어도 하나의 메모리 셀을 대응하는 프로그래밍된 상태에 대해 프로그래밍하는 단계;를 포함하는 것을 특징으로 하는 복수의 입력 비트를 저장하는 방법.

**청구항 14**

제 13 항에 있어서,

상기 입력 비트는 복수의 상기 메모리 셀의 대응하는 프로그래밍된 상태로 맵핑되는 것을 특징으로 하는 복수의 입력 비트를 저장하는 방법.

**청구항 15**

제 13 항에 있어서,

상기 적어도 하나의 메모리 셀은 적어도 하나의 플래시 메모리 셀이고, 상기 상태는 임계전압 상태인 것을 특징으로 하는 복수의 입력 비트를 저장하는 방법.

**청구항 16**

제 13 항에 있어서,

(c) 상기 적어도 하나의 메모리 셀을 판독하고, 그에 의해 판독된 상태값을 획득하는 단계; 및

(d) 상기 판독된 상태값을 복수의 출력 비트로 변환하는 단계;를 더 포함하는 것을 특징으로 하는 복수의 입력 비트를 저장하는 방법.

**청구항 17**

제 16 항에 있어서,

상기 변환은 최대 우도 디코딩을 포함하는 단계에 의해 수행되는 것을 특징으로 하는 복수의 입력 비트를 저장하는 방법.

**청구항 18**

제 16 항에 있어서,

상기 변환은,

( i ) 상기 판독된 상태 값을 복수의 소프트 비트 측정치로 맵핑하는 단계; 및

( ii ) 상기 소프트 비트 측정치를 디코딩하는 단계;를 포함하는 단계에 의해 수행되는 것을 특징으로 하는 복수의 입력 비트를 저장하는 방법.

**청구항 19**

제 16 항에 있어서,

상기 맵핑은 복수의 입력 코드워드로서 상기 입력 비트를 인코딩하는 것을 포함하고, 상기 변환은,

( i ) 상기 판독된 상태 값을, 각각의 출력 코드워드가 상기 입력 코드워드 중 하나에 고유하게 대응하는, 복수의 출력 코드워드로 맵핑하는 단계; 및

( ii ) 상기 출력 코드워드를 연속적으로 디코딩하는 단계로서, 적어도 하나의 선행하는 상기 출력 코드워드의 상기 디코딩의 결과에 적어도 부분적으로 기초하는 제 1 상기 출력 코드워드에 후속하는 각각의 상기 출력 코드워드의 디코딩 단계;를 포함하는 단계에 의해 수행되는 것을 특징으로 하는 복수의 입력 비트를 저장하는 방법.

**청구항 20**

메모리 디바이스로서,

(a) 셀; 및

(b) 컨트롤러로서,

- ( i ) 다수대일의 맵핑을 이용하여 상기 비트를 상기 셀의 대응하는 프로그래밍된 상태로 맵핑하고, 및
- ( ii ) 상기 셀을 대응하는 프로그래밍된 상태에 대해 프로그래밍;

함으로써 상기 셀에 복수의 비트를 저장하도록 동작하는 컨트롤러;를 포함하는 것을 특징으로 하는 메모리 디바이스.

**청구항 21**

복수의 비트를 저장하는 시스템에 있어서,

- (a) 셀을 포함하는 메모리 디바이스; 및
- (b) 프로세서를 포함하고,

상기 프로세서는,

- ( i ) 다수대일의 맵핑을 이용하여 상기 비트를 셀의 대응하는 프로그래밍된 상태로 맵핑하고, 및

( ii ) 상기 셀을 대응하는 프로그래밍된 상태에 대해 프로그래밍하도록 동작하는 것을 특징으로 하는 복수의 비트를 저장하는 시스템.

**청구항 22**

메모리 디바이스로서,

- (a) 복수의 셀; 및
- (b) 컨트롤러를 포함하고,

상기 컨트롤러는,

- ( i ) 다수대일의 맵핑을 이용하여, 상기 비트를 상기 셀의 대응하는 프로그래밍된 상태로 맵핑하고, 및

- ( ii ) 상기 셀을 대응하는 프로그래밍된 상태에 대해 프로그래밍;

함으로써 상기 셀에 복수의 비트를 저장하도록 동작하는 것을 특징으로 하는 메모리 디바이스.

**청구항 23**

복수의 비트를 저장하는 시스템에 있어서,

- (a) 복수의 셀을 포함하는 메모리 디바이스; 및
- (b) 프로세서;를 포함하고,

상기 프로세서는,

- ( i ) 다수대일의 맵핑을 이용하여 상기 비트를 상기 셀의 대응하는 프로그래밍된 상태로 맵핑하고, 및

- ( ii ) 상기 셀을 대응하는 프로그래밍된 상태에 대해 프로그래밍

하도록 동작하는 것을 특징으로 하는 복수의 비트를 저장하는 시스템.

**청구항 24**

메모리 디바이스에 있어서,

- (a) 적어도 하나의 셀; 및
- (b) 컨트롤러를 포함하고,

상기 컨트롤러는,

- ( i ) (A) 안으로의(into) 맵핑 및

- (B) 일반화된 그레이 맵핑

을 이용하여 상기 비트를 적어도 하나의 셀의 대응하는 프로그래밍된 상태로 맵핑하고, 및  
 (ii) 상기 적어도 하나의 셀을 대응하는 프로그래밍된 상태에 대해 프로그래밍;  
 함으로써 상기 적어도 하나의 셀에 복수의 비트를 저장하도록 동작하는 것을 특징으로 하는 메모리 디바이스.

**청구항 25**

복수의 비트를 저장하는 시스템에 있어서,  
 (a) 적어도 하나의 셀을 포함하는 메모리 디바이스; 및  
 (b) 프로세서를 포함하고,  
 상기 프로세서는,

- (i) (A) 안으로의 맵핑 및
- (B) 일반화된 그레이 맵핑,

을 이용하여 상기 비트를 상기 적어도 하나의 셀의 대응하는 프로그래밍된 상태로 맵핑하고 및  
 (ii) 상기 적어도 하나의 셀을 상기 대응하는 프로그래밍된 상태에 대해 프로그래밍하도록;  
 동작하는 것을 특징으로 하는 복수의 비트를 저장하는 시스템.

**청구항 26**

$N > 1$  비트를 저장하는 방법으로서,

- (a) 메모리 셀을 포함하는 메모리 디바이스를, 상기 메모리 셀을  $M < 2^N$ 의 프로그래밍된 상태로 선택적으로 배치하도록 설정하는 단계;
- (b) 상기 비트를 나타내기 위해 상기 프로그래밍된 상태중 하나를 선택하는 단계; 및
- (c) 상기 메모리 셀을 상기 선택된 프로그래밍된 상태로 프로그래밍하는 단계;를 포함하는 것을 특징으로 하는  $N > 1$  비트를 저장하는 방법.

**청구항 27**

$N > 1$  비트를 저장하는 방법에 있어서,

- (a) 복수의 메모리 셀을 포함하는 메모리 디바이스를, 상기 메모리 셀을  $M < 2^N$ 의 프로그래밍된 상태로 선택적으로 배치하도록 설정하는 단계;
- (b) 상기 비트를 나타내기 위해 상기 프로그래밍된 상태중 하나를 선택하는 단계; 및
- (c) 상기 메모리 셀을 상기 선택된 프로그래밍된 상태로 프로그래밍하는 단계;를 포함하는 것을 특징으로 하는  $N > 1$  비트를 저장하는 방법.

**청구항 28**

복수의 비트 각각이 상이한 각각의 바이너리 정수를 나타내는 2개의 복수의 비트를 저장하는 방법에 있어서,

- (a) 복수의 비트의 각각을 각각의 메모리 셀의 대응하는 프로그래밍된 상태로 맵핑하는 단계; 및
- (b) 각각의 메모리 셀을 상기 대응하는 프로그래밍된 상태로 각각 프로그래밍하는 단계;를 포함하고,  
 상기 프로그래밍된 상태들은 동일한 것을 특징으로 하는 2개의 복수의 비트를 저장하는 방법.

**청구항 29**

복수의 비트 각각이 상이한 각각의 바이너리 정수를 나타내는 2개의 복수의 비트를 저장하는 방법에 있어서,

- (a) 복수의 비트의 각각을 각각의 복수의 메모리 셀의 대응하는 프로그래밍된 상태로 맵핑하는 단계; 및

(b) 각각의 복수의 메모리 셀을 대응하는 프로그래밍된 상태로 각각 프로그래밍하는 단계를 포함하고, 상기 프로그래밍된 상태들은 동일한 것을 특징으로 하는 2개의 복수의 비트를 저장하는 방법.

**청구항 30**

N>1 비트를 저장하는 방법에 있어서,

- (a) 적어도 하나의 메모리 셀을 포함하는 메모리 디바이스를 상기 적어도 하나의 메모리 셀을  $M > 2^N$ 의 프로그래밍된 상태로 선택적으로 배치하도록 설정하는 단계;
- (b) 일반화된 그레이 맵핑에 따라 상기 비트를 나타내기 위해 상기 프로그래밍된 상태중 하나를 선택하는 단계; 및
- (c) 상기 적어도 하나의 메모리 셀을 상기 선택된 프로그래밍된 상태로 프로그래밍하는 단계를 포함하고, 상기 프로그래밍된 상태중 적어도 하나는 상기 선택에서 배제되는 것을 특징으로 하는 N>1 비트를 저장하는 방법.

**청구항 31**

N>1 비트를 저장하는 디바이스에 있어서,

- (a) 셀; 및
- (b) 컨트롤러;를 포함하고

상기 컨트롤러는,

- ( i ) 상기 메모리 셀을  $M < 2^N$ 의 프로그래밍된 상태로 선택적으로 배치하고; 및
- ( ii ) (A) 상기 비트를 나타내기 위해 상기 프로그래밍된 상태중 하나를 선택하고, 및  
(B) 상기 셀을 상기 선택된 프로그래밍된 상태로 프로그래밍

함으로써; 상기 셀에 상기 비트를 저장하도록 동작하는 것을 특징으로하는 메모리 디바이스.

**청구항 32**

N>1 비트를 저장하는 시스템으로서,

- (a) 셀을 포함하는 메모리 디바이스; 및
- (b) 프로세서를 포함하고,

상기 프로세서는,

- ( i ) 상기 셀을  $M < 2^N$ 의 프로그래밍된 상태로 선택적으로 배치하고; 및
- ( ii ) (A) 상기 비트를 나타내기 위해 상기 프로그래밍된 상태중 하나를 선택하고, 및  
(B) 상기 셀을 상기 선택된 프로그래밍된 상태로 프로그래밍함으로써; 상기 셀에 상기 비트를 저장하도록 동작하는 것을 특징으로 하는 시스템.

**청구항 33**

N>1 비트를 저장하는 메모리 디바이스로서,

- (a) 복수의 셀; 및
- (b) 컨트롤러를 포함하고,

상기 컨트롤러는,

- ( i ) 상기 셀을  $M < 2^N$ 의 프로그래밍된 상태로 선택적으로 배치하고; 및

- (ii) (A) 상기 비트를 나타내기 위해 상기 프로그래밍된 상태중 하나를 선택하고, 및
- (B) 상기 셀을 상기 선택된 프로그래밍된 상태로 프로그래밍함으로써; 셀에 상기 비트를 저장하도록 동작하는 것을 특징으로 하는 메모리 디바이스.

**청구항 34**

N>1 비트를 저장하는 시스템으로서,

- (a) 복수의 셀을 포함하는 메모리 디바이스; 및
  - (b) 프로세서를 포함하고,
- 상기 프로세서는,

- (i) 상기 셀을  $M < 2^N$ 의 프로그래밍된 상태로 선택적으로 배치하고; 및
- (ii) (A) 상기 비트를 나타내기 위해 상기 프로그래밍된 상태중 하나를 선택하고, 및
- (B) 상기 셀을 상기 선택된 프로그래밍된 상태로 프로그래밍함으로써; 셀에 상기 비트를 저장하도록 동작하는 것을 특징으로 하는 시스템.

**청구항 35**

메모리 디바이스에 있어서,

- (a) 2개의 셀; 및
  - (b) 컨트롤러를 포함하고,
- 상기 컨트롤러는,

- (i) 복수의 비트 각각을 상기 셀들 중 각각의 하나의 대응하는 프로그래밍된 상태로 맵핑하고; 및
  - (ii) 각각의 상기 셀을 대응하는 프로그래밍된 상태로 프로그래밍함으로써; 2 개의 복수의 비트를 저장하도록 동작하고,
- 각각의 복수의 비트가 상이한 각각의 바이너리 상수를 나타내고,
- 상기 프로그래밍된 상태들은 동일한 것을 특징으로 하는 메모리 디바이스.

**청구항 36**

각각의 복수의 비트가 상이한 각각의 바이너리 정수를 나타내는 2개의 복수의 비트를 저장하는 시스템에 있어서,

- (a) 2개의 셀을 포함하는 메모리 디바이스; 및
  - (b) 프로세서를 포함하고,
- 상기 프로세서는,

- (i) 복수의 비트 각각을 상기 셀들 중 각각의 하나의 대응하는 프로그래밍된 상태로 맵핑하고; 및
  - (ii) 각각의 셀을 대응하는 프로그래밍된 상태로 프로그래밍하도록 동작하고,
- 상기 프로그래밍된 상태들은 동일한 것을 특징으로 하는 시스템.

**청구항 37**

메모리 디바이스로서,

- (a) 2개의 복수의 셀; 및
  - (b) 컨트롤러를 포함하고,
- 상기 컨트롤러는,

(i) 복수의 비트 각각을 상기 복수의 셀들 중 각각의 하나의 대응하는 프로그래밍된 상태로 맵핑하고;  
 및

(ii) 각각의 복수의 셀을 대응하는 프로그래밍된 상태로 프로그래밍함으로써; 2개의 복수의 비트를 저장하도록 동작하고,

각각의 복수의 비트는 상이한 각각의 바이너리 정수를 나타내고,

상기 프로그래밍된 상태들은 동일한 것을 특징으로 하는 메모리 디바이스.

#### 청구항 38

각각의 복수의 비트가 상이한 각각의 바이너리 정수를 나타내는 2개의 복수의 비트를 저장하는 시스템으로서,

(a) 2개의 복수의 셀을 포함하는 메모리 디바이스; 및

(b) 프로세서를 포함하고,

상기 프로세서는,

(i) 복수의 비트 각각을 상기 복수의 셀들 중 각각의 하나의 대응하는 프로그래밍된 상태로 맵핑하고;  
 및

(ii) 각각의 복수의 셀을 대응하는 프로그래밍된 상태로 프로그래밍하도록 동작하고,

상기 프로그래밍된 상태들은 동일한 것을 특징으로 하는 시스템.

#### 청구항 39

$N > 1$  비트를 저장하는 메모리 디바이스에 있어서,

(a) 적어도 하나의 셀; 및

(b) 컨트롤러를 포함하고,

상기 컨트롤러는,

(i) 상기 적어도 하나의 셀을  $M > 2^N$ 의 프로그래밍된 상태로 선택적으로 배치하고,

(ii) 일반화된 그레이 맵핑에 따라 상기 비트를 나타내기 위해 상기 프로그래밍된 상태 중 하나를 선택하고, 및

(iii) 상기 적어도 하나의 셀을 상기 선택된 프로그래밍된 상태로 프로그래밍하도록; 동작하고,

상기 프로그래밍된 상태 중 적어도 하나는 선택에서 배제되는 것을 특징으로 하는 메모리 디바이스.

#### 청구항 40

$N > 1$  비트를 저장하는 시스템으로서,

(a) 적어도 하나의 셀을 포함하는 메모리 디바이스; 및

(b) 프로세서를 포함하고,

상기 프로세서는,

(i) 상기 적어도 하나의 셀을  $M > 2^N$ 의 프로그래밍된 상태로 선택적으로 배치하고,

(ii) 일반화된 그레이 맵핑에 따라 상기 비트를 나타내기 위해 상기 프로그래밍된 상태중 하나를 선택하고 및

(iii) 상기 적어도 하나의 셀을 상기 선택된 프로그래밍된 상태로 프로그래밍하도록; 동작하고,

상기 프로그래밍된 상태 중 적어도 하나는 선택에서 배제되는 것을 특징으로 하는 시스템.

#### 청구항 41

컴퓨터 판독가능한 스토리지 매체에서 구현되고, 복수의 입력 비트를 저장하기 위한 컴퓨터 판독가능한 코드를 구비한 컴퓨터 판독가능한 매체에 있어서, 상기 컴퓨터 판독가능한 코드는,

- (a) 다수대일의 맵핑을 이용하여, 상기 입력 비트를 메모리 셀의 대응하는 프로그래밍된 상태로 맵핑하는 프로그램 코드; 및
- (b) 상기 메모리 셀을 대응하는 프로그래밍된 상태로 프로그래밍하는 프로그램 코드;를 포함하는 것을 특징으로 하는 컴퓨터 판독가능한 매체.

**청구항 42**

컴퓨터 판독가능한 스토리지 매체에서 구현되고, 복수의 입력 비트를 저장하기 위한 컴퓨터 판독가능한 코드를 구비한 컴퓨터 판독가능한 매체에 있어서, 상기 컴퓨터 판독가능한 코드는,

- (a) 다수대일의 맵핑을 이용하여, 상기 입력 비트를 복수의 메모리 셀의 대응하는 프로그래밍된 상태로 맵핑하는 프로그램 코드; 및
- (b) 상기 메모리 셀을 대응하는 프로그래밍된 상태로 프로그래밍하는 프로그램 코드;를 포함하는 것을 특징으로 하는 컴퓨터 판독가능한 매체.

**청구항 43**

컴퓨터 판독가능한 스토리지 매체에서 구현되고, 복수의 입력 비트를 저장하기 위한 컴퓨터 판독가능한 코드를 구비한 컴퓨터 판독가능한 매체에 있어서, 상기 컴퓨터 판독가능한 코드는,

- (a) (i) 안으로의 맵핑, 및
- (ii) 일반화된 그레이 맵핑을 이용하여,

상기 입력 비트를 적어도 하나의 메모리 셀의 대응하는 프로그래밍된 상태로 맵핑하는 프로그램 코드; 및

- (b) 상기 적어도 하나의 메모리 셀을 대응하는 프로그래밍된 상태로 프로그래밍하는 프로그램 코드;를 포함하는 것을 특징으로 하는 컴퓨터 판독가능한 매체.

**청구항 44**

컴퓨터 판독가능한 스토리지 매체에서 구현되고, 메모리 셀을 포함하고 상기 메모리 셀을  $M < 2^N$ 의 프로그래밍된 상태로 선택적으로 배치하도록 구성된 메모리 디바이스에  $N > 1$  비트를 저장하기 위한 컴퓨터 판독가능한 코드를 구비한 컴퓨터 판독가능한 매체에 있어서, 상기 컴퓨터 판독가능한 코드는,

- (a) 비트를 나타내기 위해 상기 프로그래밍된 상태중 하나를 선택하는 프로그램 코드; 및
- (b) 상기 메모리 셀을 선택된 프로그래밍된 상태로 프로그래밍하는 프로그램 코드;를 포함하는 것을 특징으로 하는 컴퓨터 판독가능한 매체.

**청구항 45**

컴퓨터 판독가능한 스토리지 매체에서 구현되고, 복수의 메모리 셀을 포함하고 상기 메모리 셀을  $M < 2^N$ 의 프로그래밍된 상태로 선택적으로 배치하도록 구성된 메모리 디바이스에  $N > 1$  비트를 저장하기 위한 컴퓨터 판독가능한 코드를 구비한 컴퓨터 판독가능한 매체에 있어서, 상기 컴퓨터 판독가능한 코드는,

- (a) 비트를 나타내기 위해 상기 프로그래밍된 상태중 하나를 선택하는 프로그램 코드; 및
- (b) 상기 메모리 셀을 선택된 프로그래밍된 상태로 프로그래밍하는 프로그램 코드;를 포함하는 것을 특징으로 하는 컴퓨터 판독가능한 매체.

**청구항 46**

컴퓨터 판독가능한 스토리지 매체에서 구현되고, 각각의 복수의 비트가 상이한 각각의 바이너리 수를 나타내는 2 개의 복수의 비트를 저장하기 위한 컴퓨터 판독가능한 코드를 구비한 컴퓨터 판독가능한 매체에 있어서, 상기 컴퓨터 판독가능한 코드는,

- (a) 각각의 복수의 비트를 각각의 메모리 셀의 대응하는 프로그래밍된 상태로 맵핑하는 프로그램 코드; 및
  - (b) 각각의 메모리 셀을 대응하는 프로그래밍된 상태로 프로그래밍하는 프로그램 코드를 포함하고,
- 여기서 상기 프로그래밍된 상태는 동일한 것을 특징으로 하는 컴퓨터 판독가능한 매체가 제공된다.

**청구항 47**

컴퓨터 판독가능한 스토리지 매체에서 구현되고, 각각의 복수의 비트가 상이한 각각의 바이너리 수를 나타내는 2 개의 복수의 비트를 저장하기 위한 컴퓨터 판독가능한 코드를 구비한 컴퓨터 판독가능한 매체에 있어서, 상기 컴퓨터 판독가능한 코드는,

- (a) 각각의 복수의 비트를 각각의 복수의 메모리 셀의 대응하는 프로그래밍된 상태로 맵핑하는 프로그램 코드; 및
  - (b) 각각의 복수의 메모리 셀을 대응하는 프로그래밍된 상태로 프로그래밍하는 프로그램 코드를 포함하고,
- 상기 프로그래밍된 상태들은 동일한 것을 특징으로 하는 컴퓨터 판독가능한 매체.

**청구항 48**

컴퓨터 판독가능한 스토리지 매체에서 구현되고, 적어도 하나의 메모리 셀을 포함하고 상기 적어도 하나의 메모리 셀을  $M > 2^N$ 의 프로그래밍된 상태로 선택적으로 배치하도록 구성된 메모리 디바이스에  $N > 1$  비트를 저장하기 위한 컴퓨터 판독가능한 코드를 구비한 컴퓨터 판독가능한 매체로서, 상기 컴퓨터 판독가능한 코드는,

- (a) 일반화된 그레이 맵핑에 따라 비트를 나타내기 위해 상기 프로그래밍된 상태중 하나를 선택하는 프로그램 코드; 및
  - (b) 상기 적어도 하나의 메모리 셀을 선택된 프로그래밍된 상태로 프로그래밍하는 프로그램 코드를 포함하고,
- 상기 프로그래밍된 상태 중 적어도 하나는 선택에서 배제되는 것을 특징으로 하는 컴퓨터 판독가능한 매체.

**명세서**

**기술분야**

<1> 본 발명은 셀당 멀티 비트의 플래시 메모리 디바이스에 관한 것이다.

**배경기술**

- <2> 셀당 멀티 비트(MBPC)의 플래시 메모리 디바이스(10)의 간략화된 블록도가 도 1에 도시된다. 특히, 도 1에 도시된 2 개의 플래시 메모리 디바이스(10)의 컴포넌트는 플래시 컨트롤러(12)와 플래시 메모리 셀 어레이(18)이다.
- <3> 플래시 컨트롤러(12)는 2개의 블록: 사용자가 플래시 셀 어레이(18)에 저장하고자 하는 정보 비트의 스트림을 플래시 셀 어레이(18)의 셀로 프로그래밍될 상태 또는 전압 레벨의 스트림으로 변환하는 인코더 블록(14)과, 플래시 셀 어레이(18)로부터 판독된 셀 상태 또는 전압 레벨의 스트림을 플래시 셀 어레이(18)에 저장된 정보 비트의 스트림으로 변환하는 디코더 블록(16)을 포함한다.
- <4> MBPC 플래시 시스템의 비용은 주로 주어진 정보의 크기를 저장하기 위해 필요한 플래시 메모리 셀 어레이의 크기, 즉 주어진 정보의 크기를 저장하기 위해 필요한 플래시 셀의 수에 의해 영향을 받는다. 플래시 메모리의 비용 효율의 정규화된 측정치로서 플래시 셀당 정보 비트(IBPC로 축약함)의 수를 이용하는 것이 편리하다.
- <5>  $IBPC = (\text{플래시 메모리에 저장된 정보 비트의 수}) \div (\text{플래시 메모리에서의 셀의 수})$
- <6> 일부는 MBPC 플래시 시스템의 IBPC는 플래시 셀에서 프로그래밍될 수 있는 상태 또는 전압 레벨의 수를 증가시킴으로써만 증가될 수 있다고 주장할 수 있다. 그러나, 적절한 비교는 또한 MBPC 플래시의 신뢰성 및 MBPC 플래시의 성능을 고려해야한다.
- <7> 플래시 신뢰성의 주된 기준은 높은 확률, 즉 무시할 수 있을 정도의 작은 비트 오류율로 저장된 정보를 복구할 수 있는 컨트롤러의 능력이다. 플래시 셀로 프로그래밍된 상태 또는 전압 레벨은 상기 플래시 셀로부터 판독된

상태 또는 전압 레벨과 항상 동일하지는 않다. 이것은 플래시 셀에 저장된 전하가 변하도록 하는 플래시 셀 어레이 내부에서 발생하는 물리적 프로세스에 기인한다. 상기의 유해한 물리적 프로세스는 플래시 셀에 저장된 정보를 손상시킨다. 대개 플래시 신뢰성은 시간과 플래시 셀의 마모 레벨의 함수이다. 상기 플래시 신뢰성은 하기의 팩터에 의해 주로 결정된다:

- <8> 1. 데이터 보존: 데이터가 플래시 셀에 저장되고 높은 신뢰성을 가지고 복구될 수 있는 예상되는 시간의 크기.
- <9> 2. 프로그램/삭제 사이클: 신뢰할 수 있는 데이터 저장을 허용하면서 플래시 셀이 프로그래밍되고 삭제될 수 있는 예상되는 횟수.
- <10> 플래시 성능의 주된 기준은 플래시 관독/기록 쓰루풋, 즉, 플래시 메모리로 데이터를 기록하고 상기 플래시 메모리로부터 데이터를 관독하는, 초당 정보비트로 측정된, 쓰루풋이다.
- <11> 불행히도, 각각의 플래시 셀에 프로그래밍될 수 있는 전압 레벨의 수를 증가시키는 것은 플래시 메모리 신뢰성 및 플래시 메모리 성능 모두에 대해 부정적인 영향을 가진다. 예를 들면, 전압 레벨의 수가 증가하면서, 플래시 메모리의 예상되는 데이터 보존시간이 감소하고, 가용한 프로그램/삭제 사이클의 예상되는 수가 감소하여, 더 낮은 플래시 메모리 신뢰성을 야기한다. 또한, 플래시 메모리의 관독/기록 쓰루풋은 플래시 셀 전압 레벨의 수의 증가와 함께 더 느려진다. 따라서, 플래시 메모리 비용(플래시 메모리의 IBPC)과 플래시 메모리의 신뢰성 및 성능 사이에는 상충이 있다. 명확하게, 이러한 상충을 최적화하기를 원한다. 이것은 플래시 컨트롤러의 적절한 설계를 통해 구현될 수 있다.
- <12> 간단한 종래 기술의 플래시 컨트롤러는 전단사 맵핑, 즉  $k$  정보비트를 각 플래시 셀의  $q=2^k$  상태로부터의 상태 또는 전압 레벨로 직접 맵핑하기 위해, 일대일 및 전사인 맵핑을 사용한다. 작은 상태의 수  $q$  만이 셀에서 프로그래밍되도록 허용함으로써, 상기 셀이 자신의 상태로부터 변화하도록 하는 가능성은 무시할 수 있을 정도로 작게되고, 신뢰성있는 플래시 메모리 디바이스를 제공하게 된다. 이러한 플래시 메모리 디바이스는, 비트가 전단사 맵핑을 통해 셀의 상태로 직접 맵핑되기 때문에, 2의 거듭제곱인 셀에서의 다수의 상태  $q$  만을 이용할 수 있다는 것에 유의하라.
- <13> 2005년 1월 25일, Park에 발급된, "NONVOLATILE SEMICONDUCTOR MEMORY HAVING THREE\_LEVEL MEMORY CELLS AND PROGRAM AND READ MAPPING CIRCUITS THEREFOR"이라는 제하의, 미국특허 제 6,847,550(이하, "Park '550")은 정보 비트로부터 하나 이상의 플래시 셀의 상태로의 일대일이지만 전사는 아닌 비-전단사 맵핑을 이용함으로써 플래시 비용과 신뢰성 사이의 상충 방법을 기술한다. 비-전단사 맵핑을 이용함으로써, 2의 거듭제곱이 아닌 다수의 셀의 상태가 사용될 수 있다. Park '550에 기술된 예를 들면, 3개의 상태 셀이 사용된다. 이것은 4개 상태 셀에 기초한 플래시 메모리 디바이스에 비해 더 높은 플래시 신뢰성(상태에서 상태로의 더 낮은 변환 확률에 기인하여)과 2 개의 상태 셀에 기초한 플래시 메모리 디바이스에 비해 더 낮은 비용을 제공한다.
- <14> 2002년 10월 22일 Ban 등에 발급된, "METHOD FOR INCREASING INFORMATION CONTENT IN A COMPUTER MEMORY"라는 제하의 미국특허 6,469,931(이하 Ban '931)은 플래시 메모리 디바이스의 신뢰성을 유지하면서 플래시 메모리 디바이스의 비용을 감소시키는 일반적인 프레임워크를 제공한다. 이것은  $K$  정보비트의 커다란 블록을  $q$  상태를 가진  $M$  셀의 커다란 블록으로 맵핑함으로써 수행된다. 상기 인코더 블록(예를 들면 도 1의 인코더 블록(14))은 벡터 공간  $2^K$ 로부터의 포인트를 벡터 공간  $q^M$ 에서의 포인트로 맵핑하는, 또한 오류 보정 코드(ECC)로 알려진, 맵핑 함수를 구현한다. 상기 맵핑은 전사가 아니며, 즉, 모든 셀 상태의 구성이 사용되는 것이 아니다( $2^K < q^M$ ). 디코더 블록(예를 들면 도 1의 디코더 블록(16))은 집합적으로 상기  $M$  관독 셀 상태를 디코딩하고, 플래시 메모리에 저장된 셀 상태중 가장 가능성 높은 적절한 구성을 판정하고, 이는  $K$  저장된 정보 비트를 복구하는 데에 이용된다. 정보 비트의 블록이 맵핑되는 가능한 셀 상태 구성의 공간의 차원을 증가시키는 것은 정보의 보다 효율적인 스토리지를 가능하게 한다는 것이 정보 이론 및 코딩 이론(R. Gallager, Information Theory and Reliable Communication, Wiley, New York NY USA, 1971)으로부터 공지되었다. 상기의 방식으로, 적절한 맵핑 함수 또는 ECC가 사용된다면, 보다 많은 정보 비트가 주어진 수의 플래시 셀에 맵핑될 수 있고, 하나의 적절한 구성의 상태에서 또다른 상태로의 변환을 하도록 하는 플래시 메모리의 확률이 임의로 작게 유지된다. 그러나, 상기 맵핑 함수가 높은 IBPC에 대해 제공하는 것은 충분하지 못하다. 상기 맵핑 함수는 또한 상기 인코더 및 디코더 블록의 낮은 복잡도의 구현을 허용해야한다. 코딩 이론(S. Lin 및 D. J. Costello, Error Control Coding: Fundamentals and Applications, Prentice Hall, Englewood Cliffs NJ USA, 1983)은 이러한 적절한 ECC 설계에 대한 이론적인 근거를 제공한다.

<15> Ban '931에서 제공된 예에서, 직접 맵핑 함수는 정보 비트를 셀 상태의 구성으로 맵핑하기 위해 사용된다. 상기 방법은 높은 인코더 복잡도를 가져온다. 도 2에 도시된 보다 일반적인 낮은 복잡도의 접근 방식은 인코더 블록(14)을 2 개의 부분: 1) N-K 잉여 비트를 추가함으로써 N 코딩된 비트로 K 정보 비트를 맵핑하는 바이너리 ECC 인코더 블록(20), 및 2) 각각의 N/M 비트를 셀의 상태  $q=2^{N/M}$  중 하나로 맵핑함으로써 상기 N 코딩된 비트를 M 셀로 맵핑하는 1차원 전단사 맵핑 함수를 구현하는 단일 맵퍼 블록(22)으로 분할하는 것이다

<16> 디코더 블록(16)은 또한 유사하게 2개의 부분으로: 1) 각각의 판독 셀 상태를 N/M 비트로 맵핑함으로써 상기 M 판독 셀 상태를 N 비트로 맵핑하는 1차원 전단사 맵핑함수를 구현하는 단순 디맵퍼 블록(24), 및 2) 디맵퍼(24)로부터 수신된 N "노이즈" 비트를 디코딩하고 K 정보 비트의 측정치를 산출하는 ECC 디코더 블록(26)으로 분할된다. 최적의 디코더(26)가 가장 가능성 높은 K 정보 비트를 주어진 N "노이즈" 비트로 리턴한다.

**발명의 상세한 설명**

<17> 본 발명의 플래시 컨트롤러는 ECC 및 낮은 차원 비전단사 맵핑의 조합을 이용하여, 플래시 비용, 신뢰성 및 성능 사이의 최적의 상충을 달성하기 위한 낮은 복잡도의 해결책을 제공한다. 또한, 본 발명의 플래시 컨트롤러는 플래시 시스템의 설계시 매우 높은 유연성을 제공하고, 플래시 셀에서 반드시 2의 거듭제곱일 필요가 없는 임의의 수의 상태 또는 전압 레벨을 지원한다. ECC 및 비전단사 맵퍼의 조합은 주어진 MBPC 플래시 기술 및 주어진 성능, 비용 및/또는 신뢰성 요구조건에 대한 낮은 복잡도의 최적 해결안을 설계하도록 한다. 보다 특정하여,

<18> · 주어진 플래시 신뢰성에 대해, 본 발명의 플래시 컨트롤러는 종래 기술의 컨트롤러에 비해, 더 낮은 비용 및/또는 더 높은 플래시 성능을 제공한다.

<19> · 주어진 플래시 비용에 대해, 본 발명의 플래시 컨트롤러는 종래 기술의 컨트롤러에 비해, 더 나은 신뢰성 및/또는 더 높은 플래시 성능을 제공한다.

<20> · 주어진 플래시 성능에 대해, 본 발명의 플래시 컨트롤러는 종래 기술의 컨트롤러에 비해, 더 낮은 플래시 비용 및/또는 더 나은 플래시 신뢰성을 제공한다.

<21> 본 발명의 컨트롤러는 비전단사 맵퍼, 즉 그의 맵핑이 일대일(one-to-one) 또는 전사(onto), 또는 일대일도 아니고 전사도 아닌 맵퍼를 이용한다. 또한 상기 맵핑은 낮은 차원이지만, 필수적으로 1차원인 것은 아니며, 즉, 상기 맵핑은 다수의 셀에 대해 수행될 수 있고 단일 셀에 대해서만 수행될 필요는 없다. 상기 비전단사 맵핑은 2의 거듭제곱이 아닌 셀에서의 다수의 전압레벨을 이용하는 것을 허용한다. 상기 비전단사 맵핑은 또한 프로그래밍된 상태 또는 셀의 전압레벨에 대한 불균일한 확률을 감소시키는 것을 허용한다. 상기 추가된 자유도는 플래시 메모리 디바이스의 특성을 최적화하는 데에 사용될 수 있다.

<22> f를 본 발명에 따라 사용되는 비전단사 맵핑 함수라고 하면, f는 길이 k 바이너리 시퀀스로부터 길이 m q-ary로 시퀀스 맵핑, 즉  $f: 2^k \rightarrow q^m$  이다. f는 비전단사이기 때문에,  $2^k \neq q^m$ 이다. 따라서 f가 일대일이 아니라면 (즉, 전사라면)  $2^k > q^m$ 이고, f가 전사가 아니라면(즉, 일대일이라면)  $2^k < q^m$ 이다. 우리는 여기서 길이 m q-ary 시퀀스를 구성이라고 한다. 구성은 q 상태로 m 셀에 저장되거나 또는 프로그래밍된다. 우리는 여기서 f에 의해 맵핑되는 구성에 대해 적합한 구성이라고 한다.

<23> 하기의 논의에서, 우리는 하나의 상태에서 다른 상태로의 원하지 않는 변환의 확률을 측정하는 것을 사용할 필요가 있다. 플래시 메모리 셀에서, 일반적으로 상기 2개의 상태의 임계 전압 범위로 함께 더 접근할수록, 상기 2 상태 사이의 변환의 가능성은 더 높아지는 경우가 있다. 따라서, "인접한 상태"라는 용어는 본문에서 임계전압 측상에 인접한 상태를 가리키는 데에 사용된다. 즉, 2 개의 상태는, 그의 임계전압이 그들 2 개 상태의 임계전압 사이에 놓인 셀의 다른 상태가 없다면, 그리고 다른 상태가 없는 경우에만 서로 인접한다. 상기 정의는 또한 우리가  $S_1$ 이  $S_2$ 에 인접하다면,  $S_2$ 는  $S_1$ 에 인접하다는 반사관계가 되는 인접성을 취하는 것을 의미한다.

<24> 상기 논의에서 상기 플래시 메모리 셀은 "도전성 플로팅 게이트" 형이라고 가정하고, 여기서 셀의 모든 상태는 자신의 임계 전압 레벨에서만 상이하다는 것에 유의하라. 비도전성 플로팅 게이트를 이용하는 플래시 메모리 기술이 있으며, 그 예로는 이스라엘 네타냐의 Saifun Semiconductors의 NROM 메모리와, 미국 캘리포니아주 서니 베일의 Spansion Inc.의 MirrorBit 메모리가 있다. 이러한 플래시 메모리에서, 셀의 상태는, 게이트의 다중 장소에 상주하는 전기 전하에 의해 야기되는, 함께 셀의 상태를 나타내는 임계 전압의 다중(일반적으로 2개의) 값의 조합에 대응한다. 본 발명의 목적을 위해, 이러한 플래시 셀은 각각 자신의 "인접한 상태"의 개념으로 개별

입계전압을 정의하는 각각의 전기 전하를 가진 개별 다수의 셀로서 간주된다. 유사하게, 예를 들면 각각의 전하가 4 개의 상이한 상태로 들어갈 수 있는(따라서, 하나의 셀에 4 비트의 스토리지를 지원하는), 게이트의 2 개의 대향하는 에지에 2 개의 전기 전하를 가지는 NROM 셀이 본 발명의 목적에 대해, 각각이 2 비트를 저장할 수 있는 2 개의 셀과 동가인 것으로 간주된다.

- <25> 2 개의 구성  $Q_1$  및  $Q_2$ 는 상기 2 개의 구성이 단일 셀의 상태에서만 상이하고 상기 셀의 2 개의 상이한 상태가 인접하다면 인접한 구성이라고 한다. 즉, 상기 2 개의 구성이  $i$  번째 셀의 상태에서만 상이하여, 하나의 구성에서는 상기  $i$  번째 셀의 상태가  $S_1$ 이고, 다른 구성에서는 상기  $i$  번째 셀의 상태는  $S_2$ 이고, 상기 상태  $S_2$ 는 상태  $S_1$ 에 인접하도록 한다면, 상기 2 개의 구성은 인접하다.
- <26> 임의의 2개의 적절한 인접한 구성  $Q_1$  및  $Q_2$ 에 대해, 바이너리 시퀀스  $f^{-1}(Q_1)$ 과  $f^{-1}(Q_2)$ 가 단일 비트에서만 상이하다면 일대일 매핑  $f$ 는 일반화된 그레이 맵핑이라고 한다.
- <27> 본 발명의 일부 실시예에서, 일반화된 그레이 맵핑은 비트 오류율을 최소화하기 때문에 컨트롤러에서 일반화된 그레이 맵핑을 이용하는 것이 바람직하다. 플래시 메모리의 셀의 상태에서 가능한 변환은 높은 확률로 ECC에 의해 보정될 수 있는 작은 수의 오류 비트를 야기한다.
- <28> 본 발명의 일 실시예에 따르면, 상기 컨트롤러는 일대일이 아닌 맵핑을 채용한다. 예상되는 비트 오류율을 최소화하는 맵핑을 이용하는 것이 바람직하다. 적절한 ECC를 가지고 이러한 비전단사 맵핑을 조합함으로써, 플래시 디바이스의 비용 대 신뢰성 대 성능의 상충을 최적화할 수 있다.
- <29> 본 발명의 또다른 실시예에 따르면, 상기 컨트롤러는 전사가 아닌 일반화된 그레이 맵핑을 채용한다. 적절한 ECC를 가지고 이러한 비전단사 맵핑을 조합함으로써, 플래시 디바이스의 비용 대 신뢰성 대 성능의 상충을 최적화할 수 있다.
- <30> 본 발명의 또다른 실시예에 따르면, 상기 컨트롤러는 일대일도 아니고 전사도 아닌 맵핑을 채용한다. 적절한 ECC를 가지고 이러한 비전단사 맵핑을 조합함으로써, 플래시 메모리 디바이스의 비용 대 신뢰성 대 성능의 상충을 최적화할 수 있다.
- <31> 종래 기술의 컨트롤러는 1차원 전단사 맵퍼, 즉, 단일 셀의 모든 가능한 전압 레벨로의 바이너리 시퀀스의 일대일 맵핑을 이용하는 맵퍼를 이용한다. 따라서, 종래 기술의 컨트롤러는 2의 거듭제곱인 다수의 프로그래밍 전압 레벨만을 이용할 수 있다. 추가로, 종래 기술의 컨트롤러는 랜덤 데이터가 플래시 메모리로 기록될 때 셀 전압 레벨에 대해 동일한 확률을 채용한다. 즉, 플래시 메모리로 기록된 각 정보 비트가 0 또는 1이 될 확률이 동일하다고 가정하면, 플래시 컨트롤러에 의한 플래시 셀에서의 모든 전압 레벨을 프로그래밍할 확률은 거의 동일하게 된다.
- <32> 종래 기술의 컨트롤러와 달리, 본 발명의 컨트롤러는 비전단사 맵퍼, 즉 그의 맵핑이 일대일이나 전사가 아니고, 또 일대일도 아니고 전사도 아닌 맵퍼이다. 또한, 상기 맵핑은 낮은 차원이지만, 반드시 1차원일 필요는 없고, 즉, 맵핑은 다수의 셀에 대해 수행될 수 있고 단일 셀에 대해서만 수행되는 것은 아니다. 상기 비전단사 맵핑은 2의 거듭제곱이 아닌 셀에서의 다수의 전압 레벨을 이용하는 것을 허용한다. 상기 비전단사 맵핑은 또한 프로그래밍된 상태 또는 셀의 전압 레벨에 대해 동일하지 않은 확률을 유도하는 것을 허용한다. 이러한 추가된 자유도는 플래시 메모리 디바이스의 특성을 최적화하는 데에 사용될 수 있다.
- <33> 전사가 아닌 맵핑은 또한 Park '550에서 또한 사용된다. 그러나 Park '550에서 사용된 맵핑은 일반화된 그레이 맵핑이 아니다.
- <34> 따라서, 본 발명에 따라, 복수의 입력 비트를 저장하는 방법으로서, (a) 상기 입력 비트를 다수대일 맵핑을 이용하여 메모리 셀의 대응하는 프로그래밍된 상태로 맵핑하는 단계; 및 (b) 상기 메모리 셀을 대응하는 프로그래밍된 상태에 대해 프로그래밍하는 단계;를 포함하는 방법이 제공된다.
- <35> 또한, 본 발명에 따라, 복수의 입력 비트를 저장하는 방법으로서, (a) 상기 입력 비트를 다수대일 맵핑을 이용하여 복수의 메모리 셀의 대응하는 프로그래밍된 상태로 맵핑하는 단계; 및 (b) 상기 메모리 셀을 대응하는 프로그래밍된 상태에 대해 프로그래밍하는 단계;를 포함하는 방법이 제공된다.
- <36> 또한, 본 발명에 따라, 복수의 입력 비트를 저장하는 방법으로서, (a) (i) 안으로의(into) 맵핑 및 (ii) 일반화된 그레이 맵핑;을 이용하여 입력 비트를 적어도 하나의 메모리 셀의 대응하는 프로그래밍된 상태로 맵핑하는 단계; 및 (b) 상기 적어도 하나의 메모리 셀을 대응하는 프로그래밍된 상태에 대해 프로그래밍하는 단계;를 포

합하는 방법이 제공된다.

- <37> 또한, 본 발명에 따라, (a) 셀; 및 (b) (i) 다수대일의 맵핑을 이용하여 상기 비트를 셀의 대응하는 프로그래밍된 상태로 맵핑하고 및 (ii) 상기 셀을 대응하는 프로그래밍된 상태에 대해 프로그래밍함;으로써 상기 셀에 복수의 비트를 저장하도록 동작하는 컨트롤러;를 포함하는 메모리 디바이스가 제공된다.
- <38> 또한, 본 발명에 따라, (a) 셀을 포함하는 메모리 디바이스; 및 (b) (i) 다수대일의 맵핑을 이용하여 상기 비트를 셀의 대응하는 프로그래밍된 상태로 맵핑하고 및 (ii) 상기 셀을 대응하는 프로그래밍된 상태에 대해 프로그래밍하도록 동작하는 프로세서;를 포함하는 복수의 비트를 저장하기 위한 시스템이 제공된다.
- <39> 또한, 본 발명에 따라, (a) 복수의 셀; 및 (b) (i) 다수대일의 맵핑을 이용하여 상기 비트를 셀의 대응하는 프로그래밍된 상태로 맵핑하고 및 (ii) 상기 셀을 대응하는 프로그래밍된 상태에 대해 프로그래밍함;으로써 상기 셀에 복수의 비트를 저장하도록 동작하는 컨트롤러;를 포함하는 메모리 디바이스가 제공된다.
- <40> 또한, 본 발명에 따라, (a) 복수의 셀을 포함하는 메모리 디바이스; 및 (b) (i) 다수대일의 맵핑을 이용하여 상기 비트를 셀의 대응하는 프로그래밍된 상태로 맵핑하고 및 (ii) 상기 셀을 대응하는 프로그래밍된 상태에 대해 프로그래밍하도록 동작하는 프로세서;를 포함하는 복수의 비트를 저장하기 위한 시스템이 제공된다.
- <41> 또한, 본 발명에 따라, (a) 적어도 하나의 셀; 및 (b) (i) (A) 안으로의 맵핑 및 (B) 일반화된 그레이 맵핑을 이용하여 상기 비트를 적어도 하나의 셀의 대응하는 프로그래밍된 상태로 맵핑하고 및 (ii) 상기 적어도 하나의 셀을 대응하는 프로그래밍된 상태에 대해 프로그래밍함;으로써 상기 적어도 하나의 셀에 복수의 비트를 저장하도록 동작하는 컨트롤러;를 포함하는 메모리 디바이스가 제공된다.
- <42> 또한, 본 발명에 따라, (a) 적어도 하나의 셀을 포함하는 메모리 디바이스; 및 (b) (i) (A) 안으로의 맵핑 및 (B) 일반화된 그레이 맵핑을 이용하여 상기 비트를 적어도 하나의 셀의 대응하는 프로그래밍된 상태로 맵핑하고 및 (ii) 상기 적어도 하나의 셀을 대응하는 프로그래밍된 상태에 대해 프로그래밍하도록 동작하는 프로세서;를 포함하는 복수의 비트를 저장하기 위한 시스템이 제공된다.
- <43> 또한 본 발명에 따라,  $N > 1$  비트를 저장하는 방법으로서, (a) 메모리 셀을 포함하는 메모리 디바이스를 상기 메모리 셀을  $M < 2^N$ 의 프로그래밍된 상태로 선택적으로 배치하도록 설정하는 단계; (b) 상기 비트를 나타내기 위해 상기 프로그래밍된 상태중 하나를 선택하는 단계; 및 (c) 상기 메모리 셀을 상기 선택된 프로그래밍된 상태로 프로그래밍하는 단계;를 포함하는 방법이 제공된다.
- <44> 또한 본 발명에 따라,  $N > 1$  비트를 저장하는 방법으로서, (a) 복수의 메모리 셀을 포함하는 메모리 디바이스를 상기 메모리 셀을  $M < 2^N$ 의 프로그래밍된 상태로 선택적으로 배치하도록 설정하는 단계; (b) 상기 비트를 나타내기 위해 상기 프로그래밍된 상태중 하나를 선택하는 단계; 및 (c) 상기 메모리 셀을 상기 선택된 프로그래밍된 상태로 프로그래밍하는 단계;를 포함하는 방법이 제공된다.
- <45> 또한 본 발명에 따라, 복수의 비트 각각이 상이한 각각의 바이너리 정수를 나타내는 2개의 복수의 비트를 저장하는 방법으로서, (a) 복수의 비트의 각각을 각각의 메모리 셀의 대응하는 프로그래밍된 상태로 맵핑하는 단계; (b) 각각의 메모리 셀을 대응하는 프로그래밍된 상태로 각각 프로그래밍하는 단계로서, 상기 프로그래밍된 상태들은 동일한 단계;를 포함하는 방법이 제공된다.
- <46> 또한 본 발명에 따라, 복수의 비트 각각이 상이한 각각의 바이너리 정수를 나타내는 2개의 복수의 비트를 저장하는 방법으로서, (a) 복수의 비트의 각각을 각각의 복수의 메모리 셀의 대응하는 프로그래밍된 상태로 맵핑하는 단계; 및 (b) 각각의 복수의 메모리 셀을 대응하는 프로그래밍된 상태로 각각 프로그래밍하는 단계로서, 상기 프로그래밍된 상태들은 동일한 단계;를 포함하는 방법이 제공된다.
- <47> 또한 본 발명에 따라,  $N > 1$  비트를 저장하는 방법으로서, (a) 적어도 하나의 메모리 셀을 포함하는 메모리 디바이스를 상기 적어도 하나의 메모리 셀을  $M > 2^N$ 의 프로그래밍된 상태로 선택적으로 배치하도록 설정하는 단계; (b) 일반화된 그레이 맵핑에 따라 상기 비트를 나타내기 위해 상기 프로그래밍된 상태중 하나를 선택하는 단계; 및 (c) 상기 적어도 하나의 메모리 셀을 상기 선택된 프로그래밍된 상태로 프로그래밍하는 단계로서, 상기 프로그래밍된 상태중 적어도 하나는 상기 선택에서 배제되는 단계;를 포함하는 방법이 제공된다.
- <48> 또한 본 발명에 따라,  $N > 1$  비트를 저장하는 메모리 디바이스로서, (a) 셀; 및 (b) (i) 상기 메모리 셀을  $M < 2^N$ 의 프로그래밍된 상태로 선택적으로 배치하고; 및 (ii) (A) 상기 비트를 나타내기 위해 상기 프로그래밍된 상태

중 하나를 선택하고 및 (B) 상기 셀을 상기 선택된 프로그래밍된 상태로 프로그래밍함으로써 셀에 상기 비트를 저장하도록; 동작하는 컨트롤러를 포함하는 메모리 디바이스가 제공된다.

- <49> 또한 본 발명에 따라,  $N > 1$  비트를 저장하는 시스템으로서, (a) 셀을 포함하는 메모리 디바이스; 및 (b) (i) 상기 메모리 셀을  $M < 2^N$ 의 프로그래밍된 상태로 선택적으로 배치하고; 및 (ii) (A) 상기 비트를 나타내기 위해 상기 프로그래밍된 상태중 하나를 선택하고 및 (B) 상기 셀을 상기 선택된 프로그래밍된 상태로 프로그래밍함으로써 셀에 상기 비트를 저장하도록; 동작하는 프로세서를 포함하는 시스템이 제공된다.
- <50> 또한 본 발명에 따라,  $N > 1$  비트를 저장하는 메모리 디바이스로서, (a) 복수의 셀; 및 (b) (i) 상기 셀을  $M < 2^N$ 의 프로그래밍된 상태로 선택적으로 배치하고; 및 (ii) (A) 상기 비트를 나타내기 위해 상기 프로그래밍된 상태중 하나를 선택하고 및 (B) 상기 셀을 상기 선택된 프로그래밍된 상태로 프로그래밍함으로써 셀에 상기 비트를 저장하도록; 동작하는 컨트롤러를 포함하는 메모리 디바이스가 제공된다.
- <51> 또한 본 발명에 따라,  $N > 1$  비트를 저장하는 시스템으로서, (a) 복수의 셀을 포함하는 메모리 디바이스; 및 (b) (i) 상기 메모리 셀을  $M < 2^N$ 의 프로그래밍된 상태로 선택적으로 배치하고; 및 (ii) (A) 상기 비트를 나타내기 위해 상기 프로그래밍된 상태중 하나를 선택하고 및 (B) 상기 셀을 상기 선택된 프로그래밍된 상태로 프로그래밍함으로써 셀에 상기 비트를 저장하도록; 동작하는 프로세서를 포함하는 시스템이 제공된다.
- <52> 또한 본 발명에 따라, 메모리 디바이스로서, (a) 2개의 셀; 및 (b) (i) 복수의 비트 각각을 상기 셀들 중 각각의 하나의 대응하는 프로그래밍된 상태로 각각 맵핑하고; 및 (ii) 복수의 비트 각각이 상이한 각각의 바이너리 상수를 나타내고, 상기 프로그래밍된 상태들은 동일한 것인, 각각의 셀을 대응하는 프로그래밍된 상태로 프로그래밍함으로써 2 개의 복수의 비트를 저장하도록 동작하는 컨트롤러;를 포함하는 메모리 디바이스가 제공된다.
- <53> 또한 본 발명에 따라, 각각의 복수의 비트가 상이한 각각의 바이너리 정수를 나타내는 2개의 복수의 비트를 저장하는 시스템으로서, (a) 2개의 셀을 포함하는 메모리 디바이스; 및 (b) (i) 복수의 비트 각각을 상기 셀들 중 각각의 하나의 대응하는 프로그래밍된 상태로 맵핑하고; 및 (ii) 각각의 셀을 대응하는 프로그래밍된 상태로 각각 프로그래밍하도록 동작하고, 여기서 상기 프로그래밍된 상태들은 동일한 것인 프로세서;를 포함하는 시스템이 제공된다.
- <54> 또한 본 발명에 따라, 메모리 디바이스로서, (a) 2개의 복수의 셀; 및 (b) (i) 복수의 비트 각각을 상기 복수의 셀들 중 각각의 하나의 대응하는 프로그래밍된 상태로 맵핑하고; 및 (ii) 각각의 복수의 셀을 대응하는 프로그래밍된 상태로 프로그래밍함으로써 2개의 복수의 비트를 저장하도록 동작하는 컨트롤러를 포함하고, 여기서 각각의 복수의 비트는 상이한 각각의 바이너리 정수를 나타내고, 상기 프로그래밍된 상태들은 동일한 것을 특징으로 하는 메모리 디바이스가 제공된다.
- <55> 또한 본 발명에 따라, 각각의 복수의 비트가 상이한 각각의 바이너리 정수를 나타내는 2개의 복수의 비트를 저장하는 시스템으로서, (a) 2개의 복수의 셀을 포함하는 메모리 디바이스; 및 (b) (i) 복수의 비트 각각을 상기 복수의 셀들 중 각각의 하나의 대응하는 프로그래밍된 상태로 맵핑하고; 및 (ii) 각각의 복수의 셀을 대응하는 프로그래밍된 상태로 프로그래밍하도록 동작하고, 여기서 상기 프로그래밍된 상태들은 동일한 것인 프로세서;를 포함하는 시스템이 제공된다.
- <56> 또한 본 발명에 따라,  $N > 1$  비트를 저장하는 메모리 디바이스로서, (a) 적어도 하나의 셀; 및 (b) (i) 상기 적어도 하나의 셀을  $M > 2^N$ 의 프로그래밍된 상태로 선택적으로 배치하고, 및 (ii) 일반화된 그레이 맵핑에 따라 상기 비트를 나타내기 위해 상기 프로그래밍된 상태중 하나를 선택하고, 및 (iii) 상기 적어도 하나의 셀을 상기 선택된 프로그래밍된 상태로 프로그래밍하도록; 동작하는 컨트롤러;를 포함하고, 여기서 상기 프로그래밍된 상태 중 적어도 하나는 선택에서 배제되는 메모리 디바이스가 제공된다.
- <57> 또한 본 발명에 따라,  $N > 1$  비트를 저장하는 시스템으로서, (a) 적어도 하나의 셀을 포함하는 메모리 디바이스; 및 (b) (i) 상기 적어도 하나의 셀을  $M > 2^N$ 의 프로그래밍된 상태로 선택적으로 배치하고, 및 (ii) 일반화된 그레이 맵핑에 따라 상기 비트를 나타내기 위해 상기 프로그래밍된 상태중 하나를 선택하고 및 (iii) 상기 적어도 하나의 셀을 상기 선택된 프로그래밍된 상태로 프로그래밍하도록; 동작하는 프로세서;를 포함하고, 여기서 상기 프로그래밍된 상태 중 적어도 하나는 선택에서 배제되는 시스템이 제공된다.
- <58> 또한, 본 발명에 따라, 컴퓨터 판독가능한 스토리지 매체에서 구현되고, 복수의 입력 비트를 저장하기 위한 컴퓨터 판독가능한 코드를 구비한 컴퓨터 판독가능한 매체로서, 상기 컴퓨터 판독가능한 코드는, (a) 다수대일의

맵핑을 이용하여, 상기 입력 비트를 메모리 셀의 대응하는 프로그래밍된 상태로 맵핑하는 프로그램 코드; 및 (b) 상기 메모리 셀을 대응하는 프로그래밍된 상태로 프로그래밍하는 프로그램 코드;를 포함하는 컴퓨터 판독가능한 매체가 제공된다.

<59> 또한, 본 발명에 따라, 컴퓨터 판독가능한 스토리지 매체에서 구현되고, 복수의 입력 비트를 저장하기 위한 컴퓨터 판독가능한 코드를 구비한 컴퓨터 판독가능한 매체로서, 상기 컴퓨터 판독가능한 코드는, (a) 다수대일의 맵핑을 이용하여, 상기 입력 비트를 복수의 메모리 셀의 대응하는 프로그래밍된 상태로 맵핑하는 프로그램 코드; 및 (b) 상기 메모리 셀을 대응하는 프로그래밍된 상태로 프로그래밍하는 프로그램 코드;를 포함하는 컴퓨터 판독가능한 매체가 제공된다.

<60> 또한, 본 발명에 따라, 컴퓨터 판독가능한 스토리지 매체에서 구현되고, 복수의 입력 비트를 저장하기 위한 컴퓨터 판독가능한 코드를 구비한 컴퓨터 판독가능한 매체로서, 상기 컴퓨터 판독가능한 코드는, (a) (i) 안으로의 맵핑, 및 (ii) 일반화된 그레이 맵핑인, 맵핑을 이용하여, 상기 입력 비트를 적어도 하나의 메모리 셀의 대응하는 프로그래밍된 상태로 맵핑하는 프로그램 코드; 및 (b) 상기 적어도 하나의 메모리 셀을 대응하는 프로그래밍된 상태로 프로그래밍하는 프로그램 코드;를 포함하는 컴퓨터 판독가능한 매체가 제공된다.

<61> 또한, 본 발명에 따라, 컴퓨터 판독가능한 스토리지 매체에서 구현되고, 메모리 셀을 포함하며 상기 메모리 셀을  $M < 2^N$ 의 프로그래밍된 상태로 선택적으로 배치하도록 구성된 메모리 디바이스에  $N > 1$  비트를 저장하기 위한 컴퓨터 판독가능한 코드를 구비한 컴퓨터 판독가능한 매체로서, 상기 컴퓨터 판독가능한 코드는, (a) 비트를 나타내기 위해 상기 프로그래밍된 상태중 하나를 선택하는 프로그램 코드; 및 (b) 상기 메모리 셀을 선택된 프로그래밍된 상태로 프로그래밍하는 프로그램 코드;를 포함하는 컴퓨터 판독가능한 매체가 제공된다.

<62> 또한, 본 발명에 따라, 컴퓨터 판독가능한 스토리지 매체에서 구현되고, 복수의 메모리 셀을 포함하며 상기 메모리 셀을  $M < 2^N$ 의 프로그래밍된 상태로 선택적으로 배치하도록 구성된 메모리 디바이스에  $N > 1$  비트를 저장하기 위한 컴퓨터 판독가능한 코드를 구비한 컴퓨터 판독가능한 매체로서, 상기 컴퓨터 판독가능한 코드는, (a) 비트를 나타내기 위해 상기 프로그래밍된 상태중 하나를 선택하는 프로그램 코드; 및 (b) 상기 메모리 셀을 선택된 프로그래밍된 상태로 프로그래밍하는 프로그램 코드;를 포함하는 컴퓨터 판독가능한 매체가 제공된다.

<63> 또한, 본 발명에 따라, 컴퓨터 판독가능한 스토리지 매체에서 구현되고, 각각의 복수의 비트가 상이한 각각의 바이너리 수를 나타내는 2 개의 복수의 비트를 저장하기 위한 컴퓨터 판독가능한 코드를 구비한 컴퓨터 판독가능한 매체로서, 상기 컴퓨터 판독가능한 코드는, (a) 각각의 복수의 비트를 각각의 메모리 셀의 대응하는 프로그래밍된 상태로 맵핑하는 프로그램 코드; 및 (b) 각각의 메모리 셀을 대응하는 프로그래밍된 상태로 프로그래밍하고, 여기서 상기 프로그래밍된 상태들은 동일한 것인 프로그램 코드;를 포함하는 컴퓨터 판독가능한 매체가 제공된다.

<64> 또한, 본 발명에 따라, 컴퓨터 판독가능한 스토리지 매체에서 구현되고, 각각의 복수의 비트가 상이한 각각의 바이너리 수를 나타내는 2 개의 복수의 비트를 저장하기 위한 컴퓨터 판독가능한 코드를 구비한 컴퓨터 판독가능한 매체로서, 상기 컴퓨터 판독가능한 코드는, (a) 각각의 복수의 비트를 각각의 복수의 메모리 셀의 대응하는 프로그래밍된 상태로 맵핑하는 프로그램 코드; 및 (b) 각각의 복수의 메모리 셀을 대응하는 프로그래밍된 상태로 프로그래밍하고, 여기서 상기 프로그래밍된 상태들은 동일한 것인 프로그램 코드;를 포함하는 컴퓨터 판독가능한 매체가 제공된다.

<65> 또한, 본 발명에 따라, 컴퓨터 판독가능한 스토리지 매체에서 구현되고, 적어도 하나의 메모리 셀을 포함하며 상기 적어도 하나의 메모리 셀을  $M > 2^N$ 의 프로그래밍된 상태로 선택적으로 배치하도록 구성된 메모리 디바이스에  $N > 1$  비트를 저장하기 위한 컴퓨터 판독가능한 코드를 구비한 컴퓨터 판독가능한 매체로서, 상기 컴퓨터 판독가능한 코드는, (a) 일반화된 그레이 맵핑을 이용하여 비트를 나타내기 위해 상기 프로그래밍된 상태중 하나를 선택하는 프로그램 코드; 및 (b) 상기 적어도 하나의 메모리 셀을 선택된 프로그래밍된 상태로 프로그래밍하고, 여기서 상기 프로그래밍된 상태 중 적어도 하나는 선택에서 배제되는 프로그램 코드;를 포함하는 컴퓨터 판독가능한 매체가 제공된다.

<66> 본 발명의 제 1 기본 방법은 복수의 입력 비트를 저장하는 방법이다. 다수대일 맵핑은 메모리 셀의 대응하는 프로그래밍된 상태에 상기 입력 비트를 맵핑하기 위해 사용된다. 그런 다음 상기 메모리 셀이 상기 대응하는 프로그래밍된 상태에 대해 프로그래밍된다. 역사적 이유로, 플래시 메모리에 데이터를 기록하는 것을 셀을 "프로그래밍"한다고 한다. 본 발명의 주된 의도한 애플리케이션은 플래시 메모리에 대한 것이고, 하나 이상의 셀

을 "프로그래밍"한다는 용어는, 본 발명의 범위가 플래시 메모리 뿐만 아니라 전체적으로 메모리를 포함한다고 하더라도, 본문에서 데이터를 셀에 기록한다는 것을 의미하도록 사용된다.

- <67> 바람직하게는, 상기 맵핑은 상기 입력 비트를 하나 이상의 코드워드로서 인코딩하고 그런다음 상기 코드워드를 상기 메모리 셀의 대응하는 프로그래밍된 상태로 맵핑하는 것을 포함하는 단계에 의해 수행된다. 상기 인코딩은 규칙적 또는 불규칙적일 수 있다.
- <68> 바람직하게는, 상기 메모리 셀은 플래시 메모리 셀이고, 상기 프로그래밍된 상태는 상기 셀의 임계전압 상태, 즉, 상기 셀은 상기 셀의 임계전압을 상기 셀에 대해 정의된 임계전압 범위의 세트중 하나에 있도록 설정함으로써 프로그래밍된다.
- <69> 바람직하게는, 상기 방법은 또한 상기 메모리 셀을 판독하는 것을 포함하고, 그에 의해 판독 상태의 값을 획득하고, 그런다음 상기 판독된 상태 값을 복수의 출력 비트로 변환한다. 상기 판독된 상태값은 상기 프로그래밍된 상태의 값과 반드시 동일할 필요는 없다는 것에 유의하라. 상기 판독된 상태의 값을 출력 비트로 변환하는 가장 바람직한 방법 중 하나는 최대 우도 디코딩(maximum likelihood decoding)을 포함한다. 상기 판독된 상태 값을 출력 비트로 변환하는 또다른 가장 바람직한 방법은 상기 판독된 상태 값을 복수의 소프트 비트 측정치로 맵핑하고 그런다음 상기 소프트 비트 측정치를 디코딩하는 것을 포함한다.
- <70> 또는, 상기 맵핑은 복수의 입력 코드워드로서 상기 입력 비트를 인코딩하는 것을 포함한다. 상기 판독된 상태 값의 출력비트로의 후속하는 변환은 상기 판독된 상태값을, 각각의 코드워드를 상기 입력 코드워드 중 하나에 고유하게 대응하면서, 복수의 출력 코드워드로 맵핑하는 것을 포함한다. 즉, 입력 코드워드와 출력 코드워드 사이에 1:1 대응이 있다. 그런다음, 상기 출력 워드는, 적어도 하나의 선행하는 코드워드의 디코딩의 결과에 적어도 부분적으로 기초하는 제 1 출력 코드워드에 후속하는 각각의 출력 코드워드의 디코딩과 함께, 연속하여 디코딩된다. 상기 가장 바람직한 실시예의 예가 부록 B에서 하기에 기술된다.
- <71> 본 발명의 제 2 기본적인 방법은 복수의 입력 비트를 저장하는 방법이다. 다수대일의 맵핑은 상기 입력 비트를 복수의 메모리 셀의 대응하는 프로그래밍된 상태로 맵핑하는 데에 사용된다. 상기 프로그래밍된 상태는 함께 고려된 셀의 집합적 상태라는 것에 유의하라. 그런다음, 상기 메모리 셀은 상기 대응하는 프로그래밍된 상태로 프로그래밍된다.
- <72> 바람직하게는, 상기 맵핑은 하나 이상의 코드워드로서 상기 입력 비트를 인코딩하고, 그런다음 상기 코드워드를 상기 메모리 셀의 대응하는 프로그래밍된 상태에 맵핑하는 것을 포함하는 단계에 의해 수행된다. 상기 인코딩은 규칙적인 또는 불규칙적일 수 있다.
- <73> 바람직하게는, 상기 메모리 셀은 플래시 메모리 셀이고, 상기 프로그래밍된 상태는 상기 셀의 임계전압 상태이고, 즉, 상기 셀은 상기 셀의 임계전압을 상기 셀에 대해 정의된 집합적 임계전압 범위의 세트중 하나에 있도록 설정함으로써 프로그래밍된다.
- <74> 바람직하게는, 상기 방법은 또한 상기 메모리 셀을 판독하고, 그에 의해 판독 상태의 값을 획득하고, 그런다음 상기 판독된 상태 값을 복수의 출력 비트로 변환하는 것을 포함한다. 상기 판독된 상태의 값을 출력 비트로 변환하는 가장 바람직한 방법 중 하나는 최대 우도 디코딩을 포함한다. 상기 판독된 상태 값을 출력 비트로 변환하는 또다른 가장 바람직한 방법은 상기 판독된 상태 값을 복수의 소프트 비트 측정치로 맵핑하고 그런다음 상기 소프트 비트 측정치를 디코딩하는 것을 포함한다.
- <75> 또는, 상기 맵핑은 복수의 입력 코드워드로서 상기 입력 비트를 인코딩하는 것을 포함한다. 상기 판독된 상태 값의 출력비트로의 후속하는 변환은 상기 판독된 상태값을, 각각의 출력 코드워드를 상기 입력 코드워드 중 하나에 고유하게 대응시키면서, 복수의 출력 코드워드로 맵핑하는 것을 포함한다. 즉, 입력 코드워드와 출력 코드워드 사이에 1:1 대응이 있다. 그런다음, 상기 출력 워드는, 적어도 하나의 선행하는 코드워드의 디코딩의 결과에 적어도 부분적으로 기초하는 제 1 출력 코드워드에 후속하는 각각의 출력 코드워드의 디코딩과 함께, 연속하여 디코딩된다. 상기 가장 바람직한 실시예의 예가 부록 E에서 하기에 기술된다.
- <76> 본 발명의 제 3 기본적인 방법은 복수의 입력 비트를 저장하는 방법이다. 상기 입력 비트는, 안으로의 맵핑이 자 일반화된 그레이 맵핑인 맵핑을 이용하여, 하나 이상의 셀(바람직하게는 하나 이상의 메모리 셀)의 대응하는 프로그래밍된 상태로 맵핑된다. 상기 맵핑이 "안으로"라는 것은 상기 맵핑이 일대일이지만 상기 가능한 프로그래밍된 상태 중 하나 이상이 맵핑에서 제외되어 남는다는 것을 의미한다. 그런다음, 상기 메모리 셀(들)은 대응하는 프로그래밍된 상태로 프로그래밍된다.

- <77> 바람직하게는, 상기 메모리 셀(들)은 플래시 메모리 셀(들)이고, 상기 프로그래밍된 상태는 상기 셀(들)의 임계 전압 상태이다.
- <78> 바람직하게는, 상기 방법은 또한 상기 메모리 셀을 판독하고, 그에 의해 판독 상태의 값을 획득하고, 그런다음 상기 판독된 상태 값을 복수의 출력 비트로 변환하는 것을 포함한다. 상기 판독된 상태의 값을 출력 비트로 변환하는 가장 바람직한 방법 중 하나는 최대 우도 디코딩을 포함한다. 상기 판독된 상태 값을 출력 비트로 변환하는 또다른 가장 바람직한 방법은 상기 판독된 상태 값을 복수의 소프트 비트 측정치로 맵핑하고 그런다음 상기 소프트 비트 측정치를 디코딩하는 것을 포함한다.
- <79> 또는, 상기 맵핑은 복수의 입력 코드워드로서 상기 입력 비트를 인코딩하는 것을 포함한다. 상기 판독된 상태 값의 출력비트로의 후속하는 변환은 상기 판독된 상태값을, 각각의 출력 코드워드를 상기 입력 코드워드 중 하나에 고유하게 대응시키면서, 복수의 출력 코드워드로 맵핑하는 것을 포함한다. 즉, 입력 코드워드와 출력 코드워드 사이에 1:1 대응이 있다. 그런다음, 상기 출력 워드는, 적어도 하나의 선행하는 코드워드의 디코딩의 결과에 적어도 부분적으로 기초하는 제 1 출력 코드워드에 후속하는 각각의 출력 코드워드의 디코딩과 함께, 연속하여 디코딩된다. 상기 가장 바람직한 실시예의 예가 부록 E에서 하기에 기술된다.
- <80> 본 발명의 제 4 방법은  $N > 1$  비트를 저장하는 방법이다. 메모리 셀을 포함하는 메모리 디바이스는 상기 메모리 셀을  $M < 2^N$ 의 프로그래밍된 상태로 선택적으로 배치하도록 구성된다. 상기 프로그래밍된 상태 중 하나는 상기 비트를 나타내도록 선택되고, 상기 메모리 셀은 상기 선택된 프로그래밍된 상태로 프로그래밍된다.
- <81> 본 발명의 제 5 방법은  $N > 1$  비트를 저장하는 방법이다. 복수의 메모리 셀을 포함하는 메모리 디바이스는 상기 메모리 셀을  $M < 2^N$ 의 프로그래밍된 상태로 선택적으로 배치하도록 구성된다. 상기 프로그래밍된 상태 중 하나는 상기 비트를 나타내도록 선택되고, 상기 메모리 셀은 상기 선택된 프로그래밍된 상태로 프로그래밍된다.
- <82> 본 발명의 제 6 방법은 2 개의 상이한 각각의 바이너리 정수를 나타내는 2 개의 복수의 비트를 저장하는 방법이다. 각각의 복수의 비트는 각각의 메모리 셀의 대응하는 프로그래밍된 상태로 맵핑되고, 각각의 메모리 셀은 상기 대응하는 프로그래밍된 상태로 프로그래밍된다. 상기 2 개의 프로그래밍된 상태는 동일하다. 예를 들면, 하기의 표 2에서, 정수(3)의 바이너리 표시인 비트 복수(11)와 정수(2)의 바이너리 표시인 비트 복수(10) 모두가 전압 레벨(2)로 맵핑된다.
- <83> 본 발명의 제 7 방법은 2 개의 상이한 각각의 바이너리 정수를 나타내는 2 개의 복수의 비트를 저장하는 방법이다. 각각의 복수의 비트는 각각의 복수의 메모리 셀의 대응하는 프로그래밍된 상태로 맵핑되고, 각각의 복수의 메모리 셀은 상기 대응하는 프로그래밍된 상태로 프로그래밍된다. 상기 2 개의 프로그래밍된 상태는 동일하다.
- <84> 본 발명의 제 8 방법은  $N > 1$  비트를 저장하는 방법이다. 하나 이상의 메모리 셀을 포함하는 메모리 디바이스는 상기 메모리 셀(들)을  $M > 2^N$ 의 프로그래밍된 상태로 선택적으로 배치하도록 구성된다. 상기 프로그래밍된 상태 중 하나는 일반화된 그레이 맵핑에 따라 상기 비트를 나타내도록 선택된다. 상기 메모리 셀은 상기 선택된 프로그래밍된 상태로 프로그래밍된다. 상기 프로그래밍된 상태 중 적어도 하나는 상기 선택에서 배제된다. 예를 들면, 하기의 표 6에서, "1, 1" 전압 레벨은 선택에서 배제된다.
- <85> 본 발명의 범위는 또한 상기 방법을 구현하는 메모리 디바이스 및 시스템을 포함한다. 상기 제 6 및 제 7 방법을 구현하는 메모리 디바이스 및 시스템에서, 2 개의 복수의 비트가 순차적으로 저장되면, 상기 동일한 셀(제 6 방법) 또는 동일한 복수의 셀(제 7 방법)이 복수의 비트 모두를 저장하는 데에 사용될 수 있음에 유의하라. 상기 2 개의 복수의 비트가 동시에 저장되면, 상기 2 개의 셀(제 6 방법) 또는 2 개의 복수의 셀(제 7 방법)은 상이하여야만 한다.
- <86> 본 발명의 범위는 본 발명의 방법을 구현하기 위한 컴퓨터 판독가능한 코드를 그 안에 내장한 컴퓨터 판독가능한 매체를 또한 포함한다.

**실시예**

- <96> 본 발명에 따른 플래시 메모리 컨트롤러의 원리 및 동작은 도면과 하기의 설명을 참조하여 더 잘 이해될 것이다.
- <97> 주어진 플래시 기술과 주어진 요구되는 플래시 신뢰성에 대해, 주어진 플래시 컨트롤러에 의해 주어진 크기의 플래시 메모리에 저장될 수 있는 정보 비트의 수에 대한 보다 상위의 조건, 즉, 플래시 디바이스의 달성가능한

IBPC의 보다 상위의 조건이 있다. 본문에서 플래시 디바이스의 IBPC에 대한 상기의 보다 상위의 조건을 상기 디바이스의 플래시 용량이라고 한다.

- <98> 주어진 플래시 신뢰성에 대한 플래시 용량은, 상기 플래시 기술의 물리적 모델이 공지된 것이라면, 정보 이론으로부터의 도구를 이용하여 연산될 수 있다. 특히, 셀에서 주어진 전압 레벨이 프로그래밍되었다고 가정하면, 각 전압 레벨을 판독하는 확률을 알 필요가 있다. 상기 플래시 메모리의 용량을 연산하는 방법이 부록 A에 기술되어 있다. 더구나, 정보 이론은 또한 상기 플래시 용량은 컨트롤러의 복잡도가 제한되지 않는 경우에 달성될 수 있다고 보장한다. 이것은 플래시 데이터를 보호하기 위해 길이를 증가시키는 랜덤 ECC를 이용하여 수행될 수 있다. 상기 플래시 컨트롤러를 이용하는 상기 코드의 인코딩 및 디코딩의 복잡도는 극도로 높다. 그러나, 낮은 인코딩 및 디코딩 복잡도를 가진 실질적인 코딩 기술을 사용함으로써, 플래시 용량을 달성할 수 있다. 이러한 이유로, 다양한 플래시 디바이스의 효율과 최적성을 비교하기 위해 플래시 용량을 사용한다.
- <99> 정보 이론적인 고려사항에 기초하여, 주어진 플래시 기술과 플래시 신뢰성에 대해 사용되어야 하는 전압 프로그래밍 레벨의 최적의 수가 있다는 것을 이해할 수 있다. 또한, 상기 전압 레벨에 대해 사용되어야 하는 최적의 확률 분포가 있다. 상기 전압 레벨의 수와 상기 레벨에 대한 확률 분포에 대해, 플래시 용량이 최대화된다. 따라서, 이러한 플래시 메모리 디바이스에서의 전압 레벨의 수를 이용하는 것은, 상기 전압 레벨의 수를 이용하는 것이 주어진 플래시 신뢰성에 대한 플래시 비용을 최소화하기 때문에, 바람직하다. 대개, 전압 레벨의 최적의 수는 2의 급수가 아니고 상기 전압 레벨에 대한 최적 분포는 균일하지 않다.
- <100> 또는, 더 많은 전압 레벨의 사용이 플래시 용량에서의 미미한 증가만을 제공하도록 하기 위해, 최소의 전압 레벨의 수가 존재하는 경우가 있을 수 있다. 이 경우, 최소의 전압 레벨의 수를 이용하는 것은 플래시 비용과 플래시 성능에 대한 플래시 신뢰성 사이의 최상의 상충을 제공한다. 즉, 최소의 전압 레벨수를 이용하는 것은 동일한 플래시 비용과 신뢰성을 유지하면서 플래시 판독/기록 쓰루풋을 최대화시킨다.
- <101> 예를 들면, 하기의 플래시 메모리의 간략화된 모델을 참조하라: X를 플래시 셀의 프로그래밍된 전압 레벨이라고 하고, Y를 상기 플래시 셀의 판독된 전압 레벨이라고 하자. 상기 프로그래밍 및 판독된 전압 레벨은 서로 동일하고 일정하다(시간에 따라 변하지 않음)고 가정한다. 상기 플래시 셀은 1[볼트]의 전압 창으로 제한된다고 가정한다. 또한,  $Y=X+N$ 이고, 여기서 N은 가산성 백색 가우시안 노이즈(플래시 셀에서의 물리적 프로세스의 모델링)라고 가정한다. 상기 노이즈 N은 기대값  $\mu=0$  이고 표준편차  $\sigma=150$  [mV] 로 정상적으로 분산된 확률 변수이다. 시간에 따라 변하지 않는 상기 간략화된 플래시 모델하에서, 데이터 보존과 프로그램/삭제 사이클에 대해 의미가 없으며, 따라서 상기 플래시 용량을 신뢰가능한 스토리지, 즉, 무시할 수 있는 비트 오류율을 허용하는 달성 가능한 IBPC에 상위 제한으로 정의한다.
- <102> 상기 플래시 컨트롤러가 상기 프로그래밍 전압 레벨에 대해 동일한 확률을 채용한다고 가정하면(즉, 셀에서의 각각의 전압 레벨이 플래시에 기록된 정보가 랜덤하다고 주어지도록 거의 동일하게 프로그래밍되는),
- <103> · 2 프로그래밍 전압 레벨의 사용은 셀당 0.9946 정보 비트의 플래시 용량( $IBPC=0.9946$ )의 결과를 가져온다.
- <104> · 3 프로그래밍 전압 레벨의 사용은 셀당 1.2169 정보 비트의 플래시 용량( $IBPC=1.2169$ )의 결과를 가져온다.
- <105> · 4 프로그래밍 전압 레벨의 사용은 셀당 1.1612 정보 비트의 플래시 용량( $IBPC=1.1612$ )의 결과를 가져온다.
- <106> 도면을 다시 참조하면, 도 3은 대응하는 임계 전압 분포의 스케치이다. 도 3에서의 가로좌표가 임계전압이다. 도 3의 용량이 어떻게 연산되는 지의 상세한 설명은 부록 A를 참조하라.
- <107> 더 높은 플래시 용량은, 상기 컨트롤러가 전압 레벨에 대해 불균일한 분포를 채용하는 경우에 달성될 수 있다. 상기 간략화된 플래시 메모리의 용량은, 3 프로그래밍 전압 레벨이 사용되고, 중간 전압레벨이, 상기 2개의 외부 전압 레벨이 각각 36%의 확률을 가지고 프로그래밍되는 반면 28%의 확률을 가지고 프로그래밍되는 경우에 최대화 될 수 있다. 이 경우 상기 플래시 용량은 셀당 1.2245 정보 비트( $IBPC=1.2245$ )이다. 이에 대한 직관적인 설명은 상기 중간 프로그래밍 전압 레벨이 외부 전압 레벨에 비해 오류시 판독되는 것(즉, 프로그래밍 레벨과 상이한 판독 레벨에서 판독될)에 비해 약 2 배라는 것이다. 따라서, 중간 레벨의 프로그래밍 확률을 감소시킴으로써, 전압 레벨 오류의 전체 확률을 감소시킨다. 셀 전압 레벨에 대한 불균일한 확률을 채용하기 위해, 플래시 컨트롤러는 일부 잉여 비트를 추가할 필요가 있다. 그러나, 감소된 오류 확률에 기인하여, 상기 컨트롤러는 플래시 메모리에서의 정보의 신뢰할 수 있는 스토리지를 허용하기 위해 더 작은 잉여 비트를 필요로한다. 전반적으로, 총 잉여비트의 수(불균일한 확률을 채용하는 데에 사용되는 것과, 상기 데이터를 오류로부터 보호하는 데에 사용되는 것)가 감소되고, 더 높은 플래시 용량을 가져온다.

- <108> 간략화된 모델에 대해, 본 발명의 플래시 컨트롤러는 3 전압 레벨을 사용하도록 하고, 상기 전압 레벨에 대해 최적의 확률 분포를 채용할 수 있다. 동일한 확률을 가진 4 전압 레벨을 이용하는 종래 기술의 컨트롤러에 비해 무엇을 얻을 수 있을까?
- <109> 1. 플래시 비용이 감소됨: 동일한 정보의 양을 저장하기 위해; 플래시 크기는 5.17%까지 감소( $IBPC_{종래기술컨트롤러} / IBPC_{본발명} = 1.1612/1.2245=0.9483$ )
- <110> 2. 플래시 성능이 개선됨: 4 대신에 3 프로그래밍 전압 레벨을 이용하여 더 높은 판독/기록 쓰루풋을 가져옴.
- <111> 도 4는 4 개의 동일한 확률 프로그래밍 전압 레벨을 이용하여 종래 기술의 플래시 메모리 디바이스(10)를 구현하는 것을 도시한다. 플래시 컨트롤러(12)는 하기의 블록을 포함한다:
- <112> 1. 오류 보정 코드(ECC) 층:
- <113> · ECC 인코더(20): 코딩된 비트의 스트림으로 정보 비트의 스트림을 인코딩한다. ECC 율은 코딩된 비트에 대한 정보 비트의 비율이다. 예를 들면, 바이너리 선형 블록 코드에 기초한 ECC는 K정보 비트의 블록을 N코딩된 비트의 블록으로 맵핑하고, 여기서  $N>K$ 이다. ECC 율은  $R=K/N$ 이다. 도 4에 도시된 예에서, 바이너리 선형 블록 코드가 사용되는 것으로 가정한다.
- <114> · ECC 디코더(26): "노이즈" 코딩된 비트 스트림을 디코딩하고 정보 비트 스트림의 측정치를 산출한다. 상기 "노이즈" 코딩된 비트 스트림은 상이한 심볼로 플립된 자신의 원래 심볼의 일부를 가진 원래 코딩된 비트 스트림(또는 바이너리 코드의 경우의 비트)이다. 예를 들면, 바이너리 선형 블록 코드에 대한 디코더(26)는 N 코딩된 비트의 "노이즈" 블록(a.k.a. "노이즈" 코드워드)를 수신하고, 상기 "노이즈" 블록을 디코딩하여, K 정보 비트의 블록의 측정치를 산출한다. 디코더(26)의 개선된 보정 기능은 코딩된 비트의 "소프트" 측정치가 디코더(26)로 제공되고, "소프트" 디코딩이 수행될 때 달성될 수 있다. "소프트" 디코딩은 오류가 있을 수 있는 비트의 확률에 대한 정보가 디코딩 프로세스에서 디코더(26)에 의해 활용될 때 수행될 수 있다. 비트 b의 "소프트" 측정치는 다양한 방식으로 주어질 수 있다. 2 개의 일반적인 방식은: 1) 플래시 메모리로부터 판독된 전압 레벨/초  $\mathcal{Y}$  이 주어질, 1인 비트 b의 아프리오리(a-priori) 확률,  $Pr(b=1|y)$  을 제공하는 방식, 2) 플래시 메모리로부터 판독된 전압 레벨/초  $\mathcal{Y}$  이 주어질, 비트 b에 대한 아프리오리 로그 최우비(log likelihood ratio)(LLR),  $LLR = \log(Pr(b=0|y)/Pr(b=1|y))$  를 제공하는 방식. 아프리오리 LLR을 연산하는 방법의 설명은 부록 C에 주어진다. 도 4에 도시된 예에서, "소프트" 디코더(26)가 사용되고, 플래시 용량이 그에 따라 연산되는 것으로 가정한다.
- <115> 2. 맵핑/디맵핑 층:
- <116> · 맵퍼(22)는: 플래시 셀로 프로그래밍되는 전압 레벨의 스트림으로 코딩된 비트의 스트림을 맵핑한다. 종래 기술에 따라, 맵퍼(22)는 전단사 맵핑 함수, 즉 일대일(단사)이고 전사(전사함수)인 함수를 채용한다. 전단사, 단사, 및 전사의 전형적인 정의에 대해서는 부록 B를 참조하라.
- <117> · 디맵퍼(24)는: 플래시 셀 어레이(18)로부터 판독된 전압 레벨의 스트림을 비트 스트림 또는 "소프트" 디코더가 사용되는 경우에는 비트의 "소프트" 측정치의 스트림으로 맵핑한다. 그 결과, 디맵퍼(24)는 필수적인 것이 아니다. 다양한 코딩 설계가 사용될 수 있으며, 일부는 디맵퍼로, 일부는 하기에 기술되는 바와 같이 판독 전압 레벨에 직접적으로 동작한다. 도 4에 도시된 예에서, 디맵퍼(24)를 가진 설계와 가지지 않은 설계 모두를 도시한다.
- <118> 표 1은 비트 시퀀스로부터 도 4의 컨트롤러(12)에 의해 사용되는 전압레벨로의 맵핑을 도시한다.

표 1

비트시퀀스	전압 레벨
00	0
01	1
11	2
10	3

- <119>
- <120> 이론적인 플래시 용량에 도달하기 위해, 최적의 코딩 설계가 사용되어야 한다. 2 개의 이러한 코딩 설계가 있다:
- <121> 1. 최적 최대-가능도(ML) 디코딩을 가진 단일 레벨 코딩(SLC): 상기 설계에서, 전체 정보 비트 스트림은 단일 코드에 의해 인코딩되고, 최적 ML 디코더를 이용하여 디코딩된다. ML 디코더는 플래시 셀 어레이로부터 판독된 전압 레벨로부터 직접 가장 가능성있는 정보 비트 스트림을 연산한다. 최적 디코더는 대개 높은 디코딩 복잡도를 가져온다. 최적 SLC 설계의 상세한 설명은 부록 D에 제공된다. 최적 SLC 코딩 설계는 디맵퍼(24)를 경유하는 화살표로서 도 4에 표시된다.
- <122> 2. 멀티-스테이지 디코딩(MSD)을 가진 멀티-레벨 코딩(MLC): 상기 설계에서, 정보 비트 스트림은 다수의 스트림으로 분할되고, 각 비트 스트림은 상이한 코드를 이용하여 인코딩된다. 디코딩은 각 스테이지에서 단일 코딩된 비트 스트림이 상기 디맵퍼에 의해 제공된 "소프트" 비트 측정치에 대해 동작하는 "소프트" 디코더를 이용하여 디코딩되는, 스테이지에서 수행된다. 각 코딩된 비트 스트림의 디코딩 결과는 다음 코딩된 비트 스트림의 "소프트" 비트 측정치를 연산하기 위해 디맵퍼에 의해 사용된다. 최적 MLC/MSD 설계의 상세한 설명은 부록 E에 제공된다.
- <123> 차선의 디코딩에 기초한 SLC설계를 이용하는 것은 매우 일반적이다. 상기 차선의 디코딩은 플래시 셀 어레이로부터 판독된 전압 레벨에 직접 작용하지 않고, 상기 디맵퍼에 의해 제공된 "소프트" 비트 측정치에 작용하는 것도 아니다. 상기 디맵퍼 측정치는 오직 제 1 오더의 통계치에만 기초하기 때문에, 일부 정보는 유실되고 디코딩은 최적화가 안된다. 그러나, 이러한 설계는 더 낮은 구현 복잡도를 요구하고, 다수의 경우에, 일반화된 그레이 맵핑이 발견되고 사용되면서 무시해도 될 정도의 작은 성능 손실만을 가져오게 되었다. 차선의 SLC 설계의 상세한 설명은 부록 D에서 제공된다. 이러한 차선의 SLC 설계는 도 4에서 플래시 셀 어레이(18)로부터 디맵퍼(24)로 그리고 디맵퍼(24)로부터 ECC 디코더(26)로의 화살표로서 표시된다.
- <124> 메모리 디바이스의 용량, 즉 달성가능한 플래시 메모리 디바이스 IBPC에 의해 플래시 메모리 디바이스의 비용을 측정한다. 도 4에 도시된 예에서, 최적 코딩 설계에 기초한 종래 기술 플래시 메모리 디바이스의 용량은 1.1612 IBPC(부록 A를 참조)이다. 상기 플래시 용량에 도달하기 위해, 1.1612/2의 비율의 양질의 ECC가 사용되어야 한다.
- <125> 도 5는 본 발명의 MBPC 플래시 메모리 디바이스(110)의 간략화된 블록도이다. 특히, 플래시 메모리 디바이스(110)는 본 발명에 따라 변형된 도 4의 플래시 메모리 디바이스(10)이다. 플래시 메모리 디바이스(10)와 유사하게, 플래시 메모리 디바이스(110)는 플래시 컨트롤러(112), 및 디바이스(10)로부터 유래한 플래시 셀 어레이(18)를 포함한다. 플래시 컨트롤러(112)는 인코더(114) 및 디코더(116)를 포함한다. 인코더(114)는 디바이스(10)의 ECC 인코더 블록(20)과 본 발명의 맵퍼 블록(122)을 포함한다. 디코더(116)는 본 발명의 디맵퍼 블록(124)과 본 발명의 ECC 디코더 블록(126)을 포함한다. 종래 기술의 맵퍼 블록(22)과는 달리, 본 발명의 맵퍼 블록(122)은 전단사 함수가 아닌 맵핑 함수를 채용한다. 본 발명의 맵핑 함수는 하기에 논의되는 본 발명의 제 1 실시예에서, 일대일(단사)이 아니거나, 또는 본 발명의 제 2 실시예에서 전사(전사함수)가 아니다. 이것은 임의의 수의 전압 레벨(반드시 2의 급수일 필요는 없는)과 프로그래밍 전압 레벨에 대한 임의의 확률분포를 이용하여 플래시 메모리 디바이스를 설계하는 것을 허용한다. 상기의 플래시 메모리 디바이스(110) 설계에서의 추가적인 자유도는 플래시 비용, 신뢰성 및 성능 사이의 더 나은 상충성을 제공하는 보다 효율적인 플래시 메모리 디바이스를 설계하는 것을 허용한다. 더구나, 하기에 논의되는 본 발명의 제 2 실시예에서, 일반화된 그레이 맵핑이 사용된다. 이것은 ECC 디코더(126)의 입력시 예측된 비트 오류율을 감소시킨다. 플래시 메모리 디바이스(110)에서 무시할 정도의 미세한 효율의 손실, 즉 플래시 메모리 디바이스(110)의 용량에서의 무시할 정

도의 미세한 감소를 가지는 차선의 SLC 코딩 설계를 이용하여 컨트롤러(112)의 매우 간단한 구현을 허용한다. 하기에 논의되는 본 발명의 제 1 실시예에서, 또한 ECC 디코더(126)의 입력시 예측되는 비트 오류율을 최소화하는 맵핑을 이용한다.

<126> 표 2 및 3은 오직 3개의 프로그래밍 레벨만이 사용되는 본 발명의 제 1 실시예의 인스턴스의 맵핑 함수와 소프트 디맵핑을 도시한다. 상기 맵핑 함수는 일대일이 아니다(단사가 아님). ECC의 이용에 기인하여, 상기 맵핑이 일대일이 아니더라도 정보 비트를 복구할 수 있다. 예를 들면, "소프트" 디맵퍼 및 "소프트" 디코더를 가진 SLC 코딩 설계가 사용되면, 표 3에 도시된 바와 같이, 전압 레벨 2가 판독될 때, 디맵퍼(124)는 전압 레벨 2로 맵핑되는 비트의 아프리오리 추정치를 제공한다. 상기 제 1 비트는,  $LLR_1 = \log(Pr(b_1=0|y)/Pr(b_1=1|y)) = -5.3$ 에 의해 표시되는, 높은 확률을 가진 1이다. 제 2 비트에 대해, 1 또는 0이 되는 거의 동일한 확률이 있다. 실제로, 제 2 전압 레벨을 판독한다면 상기 프로그래밍된 레벨이 2 또는 0이 되는 것 보다 2 또는 1이 되는 것이 근소하게 더 가능성있기 때문에 제 2 비트가 1일 가능성이 근소하게 더 높다. 즉 다음과 같다.

<127> 
$$Pr(\text{program level} = 2 \text{ or } 1 | \text{read level} = 2) > Pr(\text{program level} = 2 \text{ or } 0 | \text{read level} = 2)$$

<128> 플래시 모델에 기초하여 정확한 확률을 연산하면 다음을 얻는다:

<129> 
$$LLR_2 = \log(Pr(b_2=0|y)/Pr(b_2=1|y)) = -0.1$$

<130> LLR이 어떻게 연산되는지에 대한 보다 상세한 설명은 부록 C를 참조하라. 상기 소프트 디코더는 모든 이러한 "소프트" 비트 추정치를 고려하여, 플래시 어레이(18)에 저장된 가장 가능성 높은 정보 비트 스트림으로 리턴한다.

<131> 표 2의 맵핑은 3개의 프로그래밍 전압 레벨에 대해 확률 분포[0.25 0.25 0.5]를 가져온다. 표 2의 맵핑 함수와 표 3의 소프트 디맵핑을 사용하고 최적 코딩 설계에 기초한 플래시 메모리 디바이스(110)의 용량은 1.166 IBPC이다(부록 A를 참조). 이러한 플래시 용량을 달성하기 위해, 1.166/2=0.583의 비율의 양질의 ECC가 사용되어야 한다. 상기 용량은 도 4의 플래시 메모리 디바이스(10)의 용량과 매우 유사하다. 그러나, 플래시 메모리 디바이스(110)의 이러한 인스턴스는 종래 기술의 플래시 메모리 디바이스(10)의 4 전압 레벨에 비해 3 전압 레벨만을 사용하여, 더 높은 판독/기록 쓰루풋을 가져온다.

**표 2**

비트 시퀀스	전압 레벨
00	0
01	1
11	2
10	2

<132>

**표 3**

전압 레벨	LLR 시퀀스
0	20.7 4.3
1	3.3 -3.3
2	-5.3 -0.1

<133>

<134> 표 4 및 5는 3개의 프로그래밍 레벨이 사용되는 본 발명의 제 1 실시예의 또다른 인스턴스의 맵핑 함수와 소프트 디맵핑을 도시한다. 상기 맵핑 함수는 일대일이 아니다(단사가 아님). 상기 맵핑 함수는 3개의 프로그래밍 전압 레벨에 대해 [0.375 0.25 0.375]의 확률 분포를 가져온다. 표 4의 맵핑 함수와 표 5의 소프트 디맵핑을 이용하고 최적의 코딩 설계에 기초하는 플래시 메모리 디바이스(110)의 용량은 1.2224 IBPC(부록 C를 참조)이다. 상기 플래시 용량을 달성하기 위해, 1.2224/3=0.4075 비율의 ECC를 달성하는 용량이 사용되어야 한다. 상기 최적 코딩 설계에 기초한 플래시 메모리 디바이스(110)의 용량은 도 4의 종래 기술의 플래시 메모리 디바

이스(10)의 용량 보다 더 높고, ~5%까지의 더 낮은 플래시 비용을 가져온다. 또한, 상기 플래시 메모리 디바이스(110)의 인스턴스는 종래 기술의 플래시 메모리 디바이스(10)의 4 전압 레벨에 비해 3개의 전압 레벨만을 사용하여, 더 높은 관독/기록 쓰루풋을 가져온다.

표 4

비트시퀀스	전압 레벨
000	0
001	0
011	0
010	1
110	1
111	2
101	2
100	2

표 5

전압 레벨	LLR 시퀀스
0	5.9 0.9 -0.9
1	0 -3.3 3.3
2	-5.9 0.9 -0.9

표 6 및 7은 3 개의 프로그래밍 레벨이 사용되는 본 발명의 제 2 실시예의 맵핑 함수와 소프트 디맵핑을 도시한다. 각각의 3개의 코딩된 비트의 시퀀스는 2개의 플래시 셀로 프로그래밍되는 2개의 프로그래밍 전압 레벨로 맵핑된다. 따라서, 표 6의 맵핑 함수는 전사가 아니다. 표 6의 맵핑 함수와 표 7의 소프트 디맵핑을 이용하고 최적의 코딩 설계에 기초하는 플래시 메모리 디바이스(110)의 용량은 1.1987 IBPC(부록 A를 참조)이다. 최적 및 차선 코딩 설계를 이용하여 상기 플래시 용량을 달성하기 위해,  $1.1987 / (3\text{비트}/2\text{셀}) = 0.7991$  비율의 ECC를 달성하는 용량이 사용되어야 한다. 상기 최적 코딩 설계에 기초한 플래시 메모리 디바이스(110)의 용량은 도 4의 종래 기술의 플래시 메모리 디바이스(10)의 용량 보다 더 높고, ~3.1%까지의 더 낮은 플래시 비용을 가져온다. 또한, 상기 플래시 메모리 디바이스(110)의 상기 실시예는 종래 기술의 플래시 메모리 디바이스(10)의 4 전압 레벨에 비해 3개의 전압 레벨만을 사용하여, 더 높은 관독/기록 쓰루풋을 가져온다.

표 6

비트시퀀스	전압 레벨
000	0,0
001	0,1
011	0,2
010	1,2
110	2,2
111	2,1
101	2,0
100	1,0

표 7

전압 레벨	LLR 시퀀스
0, 0	4.4 21.7 4.4
0, 1	8.7 4.2 -4.2
0, 2	21.7 -4.4 -4.4
1, 0	-4.2 8.7 4.2
1, 1	0 0 0
1, 2	4.2 -8.7 4.2
2, 0	-21.7 4.4 -4.4
2, 1	-8.7 -4.2 -4.2
2, 2	-4.4 -21.7 4.4

<139>

<140>

도 6은 호스트(60)에 결합된 본 발명의 플래시 메모리 디바이스(50)의 고-레벨 블록도이다. 도 6은 그 전체가 본문에 설명을 위해 참조에 의해 통합되어 있는 Ban의, 미국 특허 5,404,485로부터 적용된 것이다. 플래시 메모리 디바이스(50)는 플래시 메모리(54), 컨트롤러(52) 및 랜덤 액세스 메모리(RAM)(56)를 포함한다. 미국 특허 5,404,485의 "플래시 제어(14)"에 대응하는 컨트롤러(52)는 미국특허 5,404,485에 기술된 바와 같이, RAM(56)의 보조로 플래시 메모리(54)를 관리한다. 플래시 메모리(54)는 미국특허 6,522,580 또는 미국특허 6,643,188에 기술된 바와 같이 플래시 메모리(54)의 셀당 2 개 이상의 비트의 데이터를 인코딩한다. 컨트롤러(52)는 또한 ECC 인코딩 및 디코딩, 비전단사 맵핑 및 디맵핑을 상술한 바와 같이 수행한다.

<141>

도 7은 본 발명의 대안의 데이터 스토리지 시스템(80)의 고-레벨 국부적인 블록도이다. 데이터 스토리지 시스템(80)은 프로세서(82) 및 4개의 메모리 디바이스: 모두 공통 버스(90)를 통해 통신하는, 램(84), 부트 롬(86), 대용량 스토리지 디바이스(하드 디스크)(88) 및 플래시 메모리 디바이스(70)를 포함한다. 플래시 메모리 디바이스(50)와 유사하게, 플래시 메모리 디바이스(70)는 플래시 메모리(72)를 포함한다. 플래시 메모리 디바이스(50)와 달리, 플래시 메모리 디바이스(70)는 자신의 컨트롤러와 램이 없다. 대신에 프로세서(82)가 예를 들면 이스라엘 크파 사바의 msystems Ltd.의 TrueFFS™ 드라이버와 같은 방식의 미국 5,404,485의 방법을 구현하는 소프트웨어 드라이버를 실행함으로써 컨트롤러(52)를 에뮬레이트한다. 플래시 메모리(72)는 미국특허 6,522,580 또는 미국특허 6,643,188에 기술된 바와 같이 플래시 메모리(72)의 셀당 2개 이상의 비트의 데이터를 인코딩한다. 프로세서(82)는 또한 상술한 바와 같이 ECC 인코딩 및 디코딩, 및 비전단사 맵핑 및 디맵핑을 수행한다. 플래시 메모리 디바이스(70)는 또한 프로세서(82)로 하여금 플래시 메모리(72)와 통신할 수 있도록 하는 버스 인터페이스(78)를 포함한다.

<142>

본 발명의 ECC 코드는 "시스템적"이거나 또는 "비-시스템적"이다. 시스템 오류 보정 코딩은 원 데이터 비트가 인코딩 프로세스에 의해 보존되고 저장된 비트 내에서 식별될 수 있다는 사실에 의해 특징화된다. 즉, 상기 오류 보정 메커니즘은 원 데이터 비트를 취하고, 그것들에 일부 패리티 비트를 추가하고, 데이터 비트와 패리티 비트 모두를 저장한다. 나중에, 상기 저장된 비트를 관독했을 때, 상기 데이터 비트와 패리티 비트 모두가 관독되고, 상기 패리티 비트가 상기 관독된 데이터 비트에서의 오류의 보정을 할수 있고, 그 결과 원 데이터 비트를 생성한다.

<143>

비시스템적인 오류 보정 코드에서, 원 데이터 비트는 보존되지 못하고, 저장되지 않는다. 대신에, 상기 인코딩 프로세스는 상기 원 데이터 비트를 더 큰 비트의 그룹, 때때로 저장된 데이터 비트인 "보호된 데이터 비트"라고 하는 비트의 그룹으로 변환한다. 데이터 비트의 결합과 시스템적인 오류 코드의 연관된 패리티 비트와 유사하게, 상기 비시스템적인 오류 코드의 보호된 데이터 비트는 본 문에서 원 데이터 비트에 대응하는 코드워드인 것으로 간주된다. 저장된 보호된 데이터 비트를 관독할 때, 상기 보호된 데이터 비트에 오류가 있다고 하더라도, 상기 원 데이터 비트는 다시 생성된다. 비시스템적인 코드의 특성의 정의는 특정한 원 데이터 비트와 특정한 저장된 비트 사이의 직접적인 대응관계가 없다는 것이다. 원 데이터 비트는 다중 저장된 비트에서 "스캐터링되고", 상기 다중 저장된 비트의 조합만이 상기 원 비트의 값을 말해준다.

<144>

프로세서(82)가 플래시 메모리(72)를 관리하기 위해 실행하는 소프트웨어 드라이버의 코드는 대용량 스토리지 디바이스(88)에 저장되고, 실행을 위해 램(84)으로 전송된다. 대용량 스토리지 디바이스(88)는 따라서 본 발명의 원리에 따라 플래시 메모리(72)를 관리하는 컴퓨터 관독가능한 코드에 내장된 컴퓨터 관독가능한 코드 스토

리지 매체의 예이다.

<145> 본 발명이 제한된 수의 실시예에 대해 기술되었지만, 본 발명의 다수의 변형, 변경, 및 기타 적용이 이루어질 수 있음이 이해될 것이다.

<146> **부록 A: 플래시 용량 연산**

<147>  $\underline{X}$ 를 프로그래밍 전압 레벨이라고 하자.  $\underline{Y}$ 를 판독된 전압 레벨이라고 한다.  $P(X)$ 는 프로그래밍 전압 레벨  $X$ 의 확률이라고 한다.  $P(Y|X)$ 를 전압 레벨  $X$ 가 주어질 때, 판독된 전압 레벨  $Y$ 에 대한 확률이라고 한다. 그러면, 상기 플래시 용량은 하기와 같이 주어진다.

<148> 
$$C = \sum_{X,Y} P(X)P(Y|X) \log_2 \left( \frac{P(Y|X)}{\sum_X P(X)P(Y|X)} \right)$$

<149> 플래시 메모리의 용량을 연산하기 위한 2가지 예가 다음과 같이 주어진다.

<150> **예 1:** 도 4의 플래시 메모리(10)의 용량 연산:

<151> 프로그래밍 및 판독된 전압 레벨:  $\underline{X} = \underline{Y} = [0 \quad 0.333 \quad 0.666 \quad 1]$  [볼트]

<152> 상기 플래시 메모리는 표준 편차  $\sigma = 150$  [mV]를 가진 추가적인 가우시안 노이즈로 곤란을 겪는다,

<153> 각 프로그래밍 레벨은 동일한 확률로 프로그래밍된다:

<154>  $P(X_i) = 0.25 \quad \text{for } i = 1, 2, 3, 4$

<155> 전이확률은 하기와 같이 연산된다:

<156> 
$$P(Y_j | X_i) = Q\left(\frac{|Y_j - X_i| - 0.1667}{\sigma}\right) - Q\left(\frac{|Y_j - X_i| + 0.1667}{\sigma}\right) \quad \text{for } j = 2,3$$

<156> 
$$P(Y_j | X_i) = Q\left(\frac{|Y_j - X_i| - 0.1667}{\sigma}\right) \quad \text{for } j = 1,4$$

<157> 여기서, 
$$Q(x) = \int_x^{\infty} \frac{1}{\sqrt{2\pi}} e^{-x^2/2}$$
 이다.

<158> 그러면, 상기 플래시 용량은 하기와 같이 주어진다:

<159> 
$$C = \sum_{i=1}^4 \sum_{j=1}^4 P(X_i)P(Y_j | X_i) \log_2 \left( \frac{P(Y_j | X_i)}{\sum_{k=1}^4 P(X_k)P(Y_j | X_k)} \right) = 1.1612 \text{ IBPC}$$

<160> **예 2:** 도 5의 플래시 메모리(110)의 용량 연산, 표 4 및 5의 실시예:

<161> 상기 프로그래밍 및 판독된 전압레벨은:  $\underline{X} = \underline{Y} = [0 \quad 0.5 \quad 1]$ 이다.

<162> 상기 플래시 메모리는 표준 편차  $\sigma = 150$  [mV]를 가진 추가적인 가우시안 노이즈로 곤란을 겪는다,

<163> 비전단사 맵핑은 프로그래밍 전압 레벨에 대해 하기의 불균일한 분포를 포함한다:

<164> 
$$P(X) = [0.375 \quad 0.25 \quad 0.375]$$

<165> 전이 확률은 하기와 같이 연산된다:

$$P(Y_j | X_i) = Q\left(\frac{|Y_j - X_i| - 0.25}{\sigma}\right) - Q\left(\frac{|Y_j - X_i| + 0.25}{\sigma}\right) \quad \text{for } j = 2$$

$$P(Y_j | X_i) = Q\left(\frac{|Y_j - X_i| - 0.25}{\sigma}\right) \quad \text{for } j = 1, 3$$

<166>

<167> 그러면, 플래시 용량은 하기와 같이 주어진다:

$$C = \sum_{i=1}^3 \sum_{j=1}^3 P(X_i) P(Y_j | X_i) \log_2 \left( \frac{P(Y_j | X_i)}{\sum_{k=1}^3 P(X_k) P(Y_j | X_k)} \right) = 1.2224 \text{ IBPC}$$

<168>

<169> **부록 B: 포멀 함수-연관 정의**

<170> 정의(일대일):  $f(x)=f(y)$ 가  $x=y$ 인 경우에만, 함수  $f$ 는 일대일(단사)이라고 한다. 그렇지 않다면, 상기 함수는 다수대일이요:  $x \neq y$  이면서  $f(x)=f(y)$ 가 되도록 하는 적어도 하나의 복소수쌍( $x, y$ )가 존재한다.

<171> 정의(전사): 모든  $B$ 의 원소  $y$ 에 대해,  $f(x)=f(y)$ 가 되도록 하는 원소  $x$ 가  $A$ 에 존재한다면 집합  $A$ 로부터 집합  $B$ 로의 함수는 전사(전사함수), 즉,  $f(A) = B$  라면,  $f$ 는 전사이다. 그렇지 않다면, 상기 함수는 안으로의 함수이고:  $f$ 에 의해 맵핑되지 않는  $B$ 의 적어도 하나의 원소  $y$ 가 존재한다.

<172> 정의(전단사): 함수가 전사이면서 일대일이라면, 상기 함수를 전단사 함수라고 한다.

<173> **부록 C: 로그 최우비(LLR) 연산**

<174>  $f: 2^m \rightarrow [1, 2, \dots, M]$  를 각각의 길이  $m$  바이너리 시퀀스  $b$ 를 셀/초의  $M$ 의 가능한 상태로부터의 프로그래밍된 셀/초 상태  $X$ 로 맵핑하는, 맵핑함수라고 하자. 추가로,  $Y$ 를 관측 셀/초 상태라고 하자. 그러면, 비트  $i$ 에 대한 로그 최우비(LLR)는 하기와 같이 주어진다.

$$LLR_i(Y) = \log\left(\frac{\Pr(b_i = 0 | Y)}{\Pr(b_i = 1 | Y)}\right) = \log\left(\frac{\Pr(Y | b_i = 0)}{\Pr(Y | b_i = 1)}\right) = \log\left(\frac{\sum_{X \in X_i^0} \Pr(Y | X)}{\sum_{X \in X_i^1} \Pr(Y | X)}\right)$$

<175>

$$X_i^0 = \{X | \exists \underline{b} \in \underline{b}_i^0 \text{ such that } f(\underline{b}) = X\},$$

<176> 여기서,  $X_i^1 = \{X | \exists \underline{b} \in \underline{b}_i^1 \text{ such that } f(\underline{b}) = X\}$  이고,

<177>  $\underline{b}_i^0, \underline{b}_i^1$ 는 각각 0과 1인  $i$ '번째 비트를 가진 길이  $m$  바이너리 시퀀스의 세트를 기술한다. 확률  $\Pr(Y | X)$ 은 부록 A에 기술된 것과 같이 연산된다. 상기 비트들은 동일한 아프로리 확률을 가진다고(즉, 비트는 0 또는 1인 동일한 확률은 가진다고) 가정한다는 것에 유의하라.

<178> **부록 D: 단일-레벨 코딩(SLC) 기반 코딩 설계**

<179> 참고 문헌: U. Wachsmann, R. F. H. Fischer 및 J. B. Huber, "Multilevel codes: theoretical concepts and

practical design rules", IEEE Transactions on Information Theory vol. 45 no. 5 pp. 1361-1391(1999)

<180> 단일 레벨 코딩 설계에서, 정보 비트 스트림  $i$ 는 단일 코드를 이용하여 인코딩된다. 상기 코딩된 비트는 플래시 메모리의 프로그래밍 전압 레벨로 맵핑된다. 상기 판독된 전압레벨은 그런다음 원 정보 비트 스트림을 복구하기 위해 디코딩된다. 도 4의 플래시 메모리(10) 및 도 5의 플래시 메모리(110)는 단일 레벨 코딩 설계를 이용한다.

<181>  $i$ 를 플래시 메모리에 저장된 정보 비트라고 하자.  $Y$ 를 판독된 전압 레벨의 시퀀스라고 하자. 또한, 모든 정보 비트 스트림은 동일한 아프리오리 확률을 가진다고 가정하자. 최적 최대-가능도(ML) 디코딩은 하기와 같이 주어진다:

$$\hat{i} = \arg \max_i \Pr(i | Y) = \arg \max_i \Pr(Y | i)$$

어진다:

<182> ML 디코딩은 대개 높은 디코딩 복잡도를 야기한다. 따라서, 차선의 디코딩 알고리즘을 이용하는 것이 매우 일반적이다. 예를 들면, 낮은 복잡도의 반복 디코딩 알고리즘은 ML 디코딩에 매우 근사하게 수행될 수 있다.(Y. Nana, E. Shraon 및 S. Litsyn, "Improved decoding of LDPC coded modulations", IEEE Communication Letters vol. 10 no. 5 pp. 375-377(2006))

<183> 디코딩 설계의 추가적인 간략화는 상기 디코더가 직접 판독 전압레벨상에서 동작하는 것이 아니라 디맵퍼에 의해 생성되는 LLR과 같은 저장된 비트의 "소프트" 측정치에 대해 동작할 때 얻어질 수 있다. 상기 설계는, 상기 디맵퍼가 상기 저장된 비트의 제 1차 통계치만을 추출하고, 상기 동일한 셀 상태로 맵핑되는 비트 사이의 통계학적 종속성을 무시하기 때문에, 최적이지 않다. 대개 성능 손실은 일반화된 그레이 맵핑이 사용될 때 매우 작다(G. Caire, G. Taricco 및 E. Biglieri, "Bit interleaved coded modulation", IEEE Transactions on Information Theory vol. 44 no. 3 pp. 927-946(1998)).

<184> **부록 E: 멀티-스테이지 디코딩(MSD)을 가진 멀티-레벨 코딩(MLC)에 기초한 코딩 설계**

<185> 참고 문헌: U. Wachsmann, R. F. H. Fischer 및 J. B. Huber, "Multilevel codes: theoretical concepts and practical design rules", IEEE Transactions on Information Theory vol. 45 no. 5 pp. 1361-1391(1999)

<186> 상기 설계에서, 정보 비트 스트림은  $m$  스트림으로 분할되고, 각 비트 스트림은 상이한 코드를 이용하여 인코딩된다. 상기  $m$  코딩된 비트 스트림은 그런다음 프로그래밍 전압 레벨의 스트림을 산출하기 위해 맵퍼에 의해 사용된다. 각 코딩된 비트 스트림 중 하나인, 각  $m$  비트는 프로그래밍 전압 레벨로 맵핑된다.

<187> 도 8은 종래 기술 또는 본 발명 중 어느 하나에 따른, MLC/MSD 플래시 메모리(210)의 간략화된 블록도이다. 플래시 메모리(210)는 MLC/MSD 컨트롤러(212), 및 도 4 및 5의 플래시 메모리 셀 어레이(18)와 동일한 플래시 메모리 셀(214)을 포함한다. 컨트롤러(212)는 정보 비트의 인입 스트림을  $m$  내부 입력 비트 스트림으로 병렬화하는 병렬기(216)(직렬에서 병렬로), 각각의 내부 입력 비트 스트림을 인코딩하는  $m$  ECC 인코더(218), 상기 인코딩된 비트 스트림을 플래시 셀 어레이(214) 프로그래밍을 위한 프로그래밍된 전압 레벨로 맵핑하는 맵퍼(220), 판독된 전압 레벨을  $m$  내부 출력 비트 스트림으로 디맵핑하기 위한 디맵퍼, 각각의 내부 출력 비트 스트림을 하기에 기술한 바와 같이 디코딩하는  $m$  ECC 디코더(224), 및 상기 디코딩된 비트 스트림을 직렬화하는 직렬기(병렬에서 직렬로)를 포함한다.

<188> 플래시 셀 어레이(214)가 판독될 때, 디코딩은 상기 저장된 정보를 복구하기 위해 수행된다. 디코딩은 스테이지에서 수행된다. 각 스테이지에서, 단일 코딩된 비트 스트림은 디맵퍼(222)에 의해 제공된 "소프트" 비트 측정치에 대해 동작하는 각각의 "소프트" 디코더(224)를 이용하여 디코딩된다. 상기 각각의 코딩된 비트 스트림의 디코딩 결과( $m$ 번째 비트 스트림은 제외)는 다시 디맵퍼(222)로 공급되어 모든  $m$  정보 비트 스트림이 복구될 때까지 다음번 코딩된 비트 스트림의 "소프트" 비트 측정치 등을 연산하기 위해 디맵퍼에 의해 사용된다.

<189> 상기 MLC/MSD 설계는 최적의 설계를 유지하면서, 직접 판독된 전압 레벨에 대해서가 아니라 디맵퍼 출력에 대해 동작하는 낮은 복잡도의 디코더를 이용할 수 있다. 그러나, MLC/MSD는 다수의 실질적인 단점을 가진다. 예를 들면, MLC/MSD는 설계를 하기 위해 플래시 메모리의 물리적 모델에 대해 잘 알아야될 필요가 있고, MLC/MSD는 상기 물리적 모델의 불완전한 지식에 민감하고, 즉, MLC/MSD는 SLC 설계보다 덜 강건하다. 또한, MLC/MSD는, 특히 상기 설계가 플래시 물리적 모델의 불완전한 지식에 기초하여 설계되었다면, 상기 상이한 디코딩 스테이지 사이에 오류 전파로 인해 곤란을 겪는다. 추가로, 상기 코딩 설계가 특정한 블록 크기로 한정되면, 상기 정보 비트 스트림을 다수의 블록으로 분할하는 MLC/MSD 설계는 상기 SLC 설계의 ECC 보다 더 짧은 ECC에 기초한다. 상기 ECC의 성능이 코드 길이가 증가하면서 개선되기 때문에, 상기 MLC/MSD 설계는 실제에 있어서는 상기 SLC

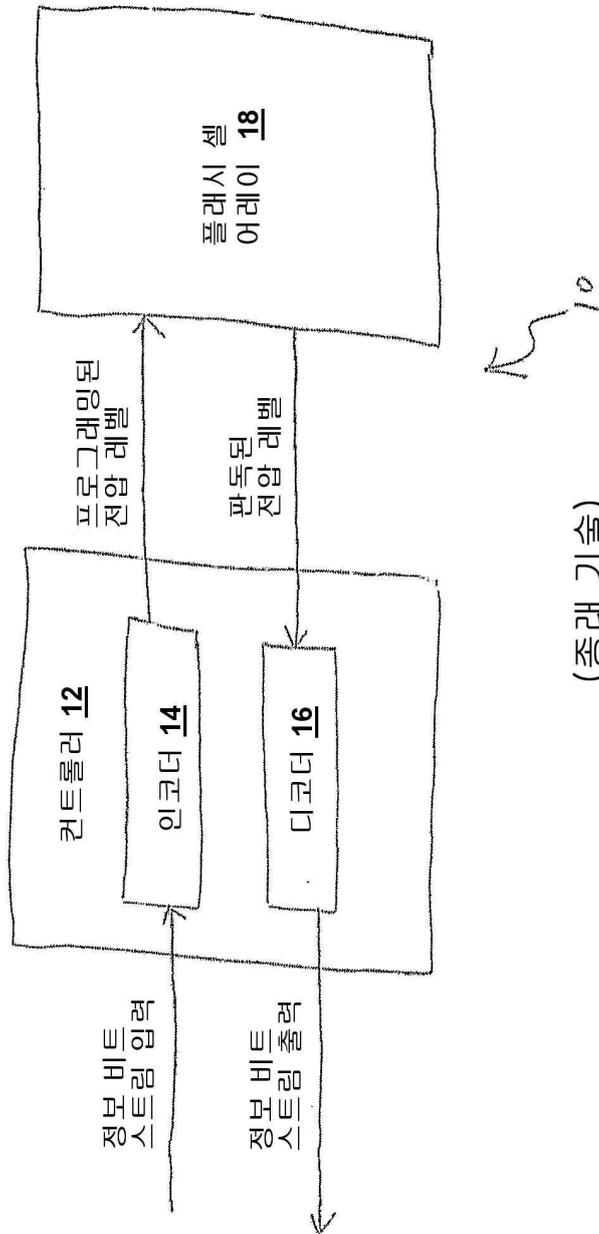
설계에 비해 열화한 성능을 겪게된다.

**도면의 간단한 설명**

- <87> 본 발명은 첨부도면을 참조하여 예시의 방식으로 본문에 기술된다.
- <88> 도 1은 종래 기술의 MBPC 플래시 메모리 디바이스의 간략화된 블록도이다.
- <89> 도 2는 도 1의 종래 기술의 MBPC 플래시 메모리 디바이스의 일 변형의 간략화된 블록도이다.
- <90> 도 3은 대응하는 용량으로 라벨링된 다양한 임계 전압 분포의 스케치이다.
- <91> 도 4는 도 2를 도 3의 제 3 임계전압 분포에 특화시킨 것이다.
- <92> 도 5는 본 발명의 MBPC 플래시 메모리 디바이스의 간략화된 블록도이다.
- <93> 도 6은 호스트에 결합된 본 발명의 플래시 메모리 디바이스의 고-레벨 블록도이다.
- <94> 도 7은 본 발명의 데이터 스토리지 시스템의 고-레벨 부분 블록도이다.
- <95> 도 8은 멀티-레벨 코딩 및 멀티-스테이지 디코딩을 이용하는 플래시 메모리의 간략화된 블록도이다.

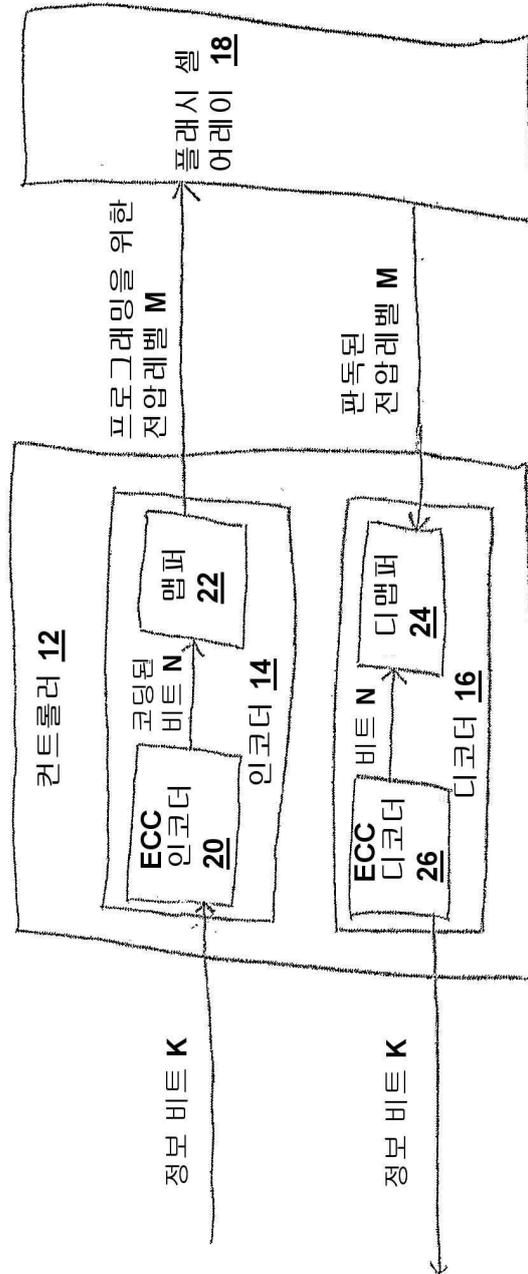
도면

도면1



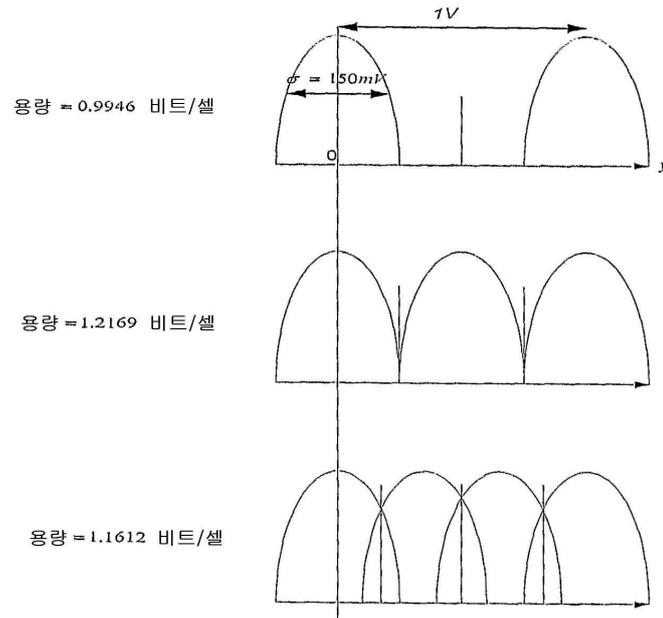
(종래 기술)

도면2

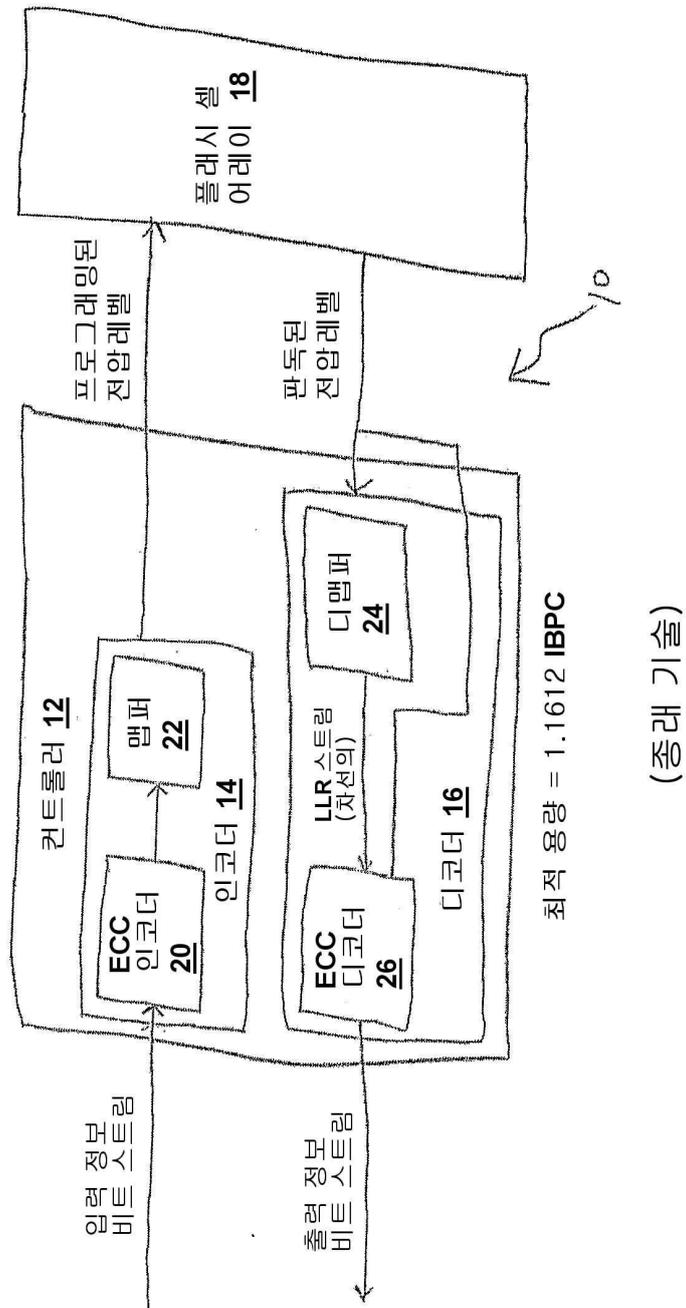


(종래 기술)

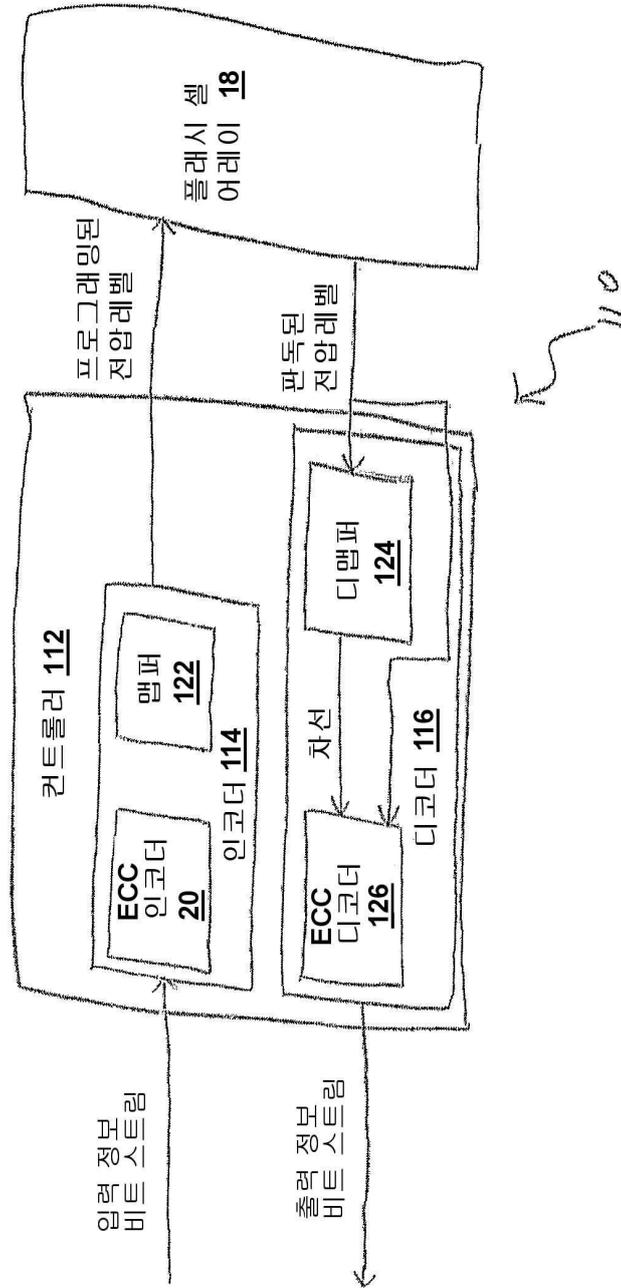
도면3



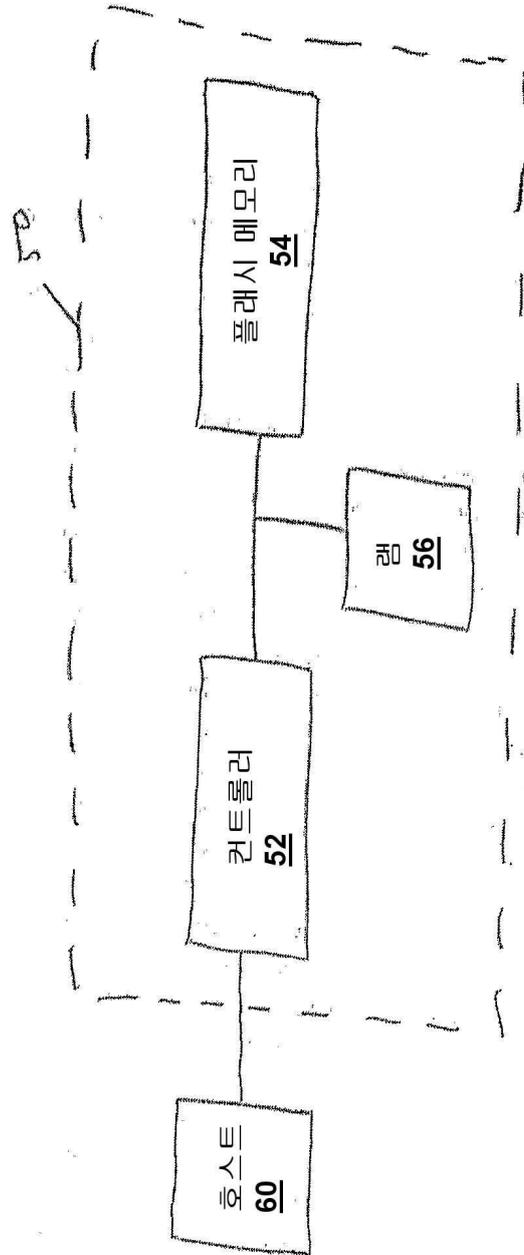
도면4



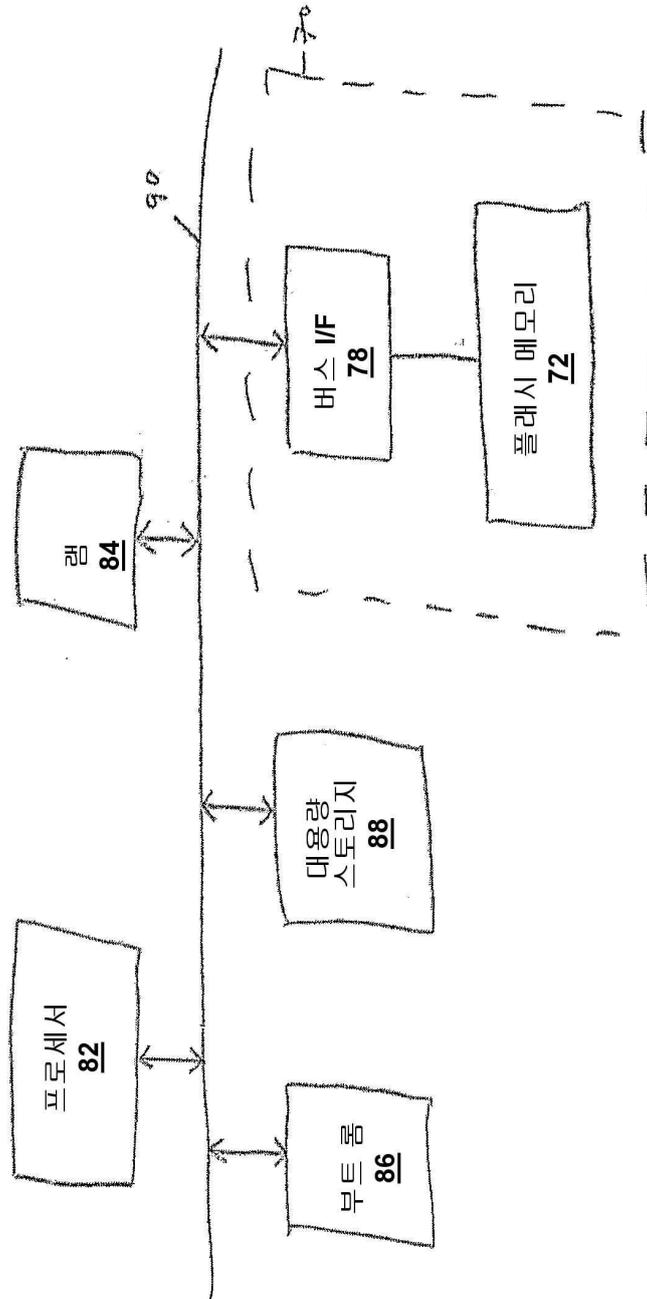
도면5



도면6



도면7



도면8

