



(12) 发明专利

(10) 授权公告号 CN 107403636 B

(45) 授权公告日 2022. 09. 20

(21) 申请号 201710320596.7  
 (22) 申请日 2017.05.09  
 (65) 同一申请的已公布的文献号  
 申请公布号 CN 107403636 A  
 (43) 申请公布日 2017.11.28  
 (30) 优先权数据  
 10-2016-0056818 2016.05.10 KR  
 (73) 专利权人 三星电子株式会社  
 地址 韩国京畿道  
 (72) 发明人 平野诚  
 (74) 专利代理机构 北京市柳沈律师事务所  
 11105  
 专利代理师 张泓

(51) Int. Cl.  
 G11C 7/18 (2006.01)  
 G11C 7/12 (2006.01)  
 G11C 8/14 (2006.01)  
 G11C 8/08 (2006.01)  
 (56) 对比文件  
 US 2012033499 A1, 2012.02.09  
 CN 102157201 A, 2011.08.17  
 CN 103765519 A, 2014.04.30  
 US 2014237319 A1, 2014.08.21  
 US 8365030 B1, 2013.01.29  
 审查员 夏玉倩

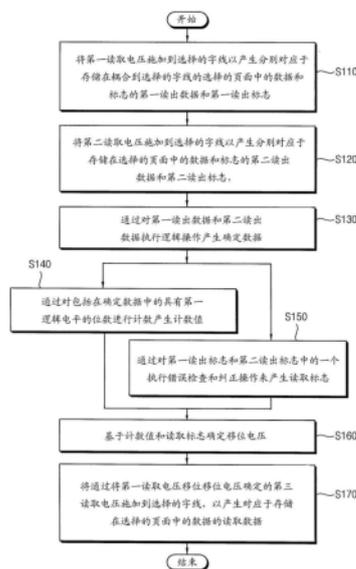
权利要求书4页 说明书17页 附图12页

(54) 发明名称

读取非易失性存储设备的方法

(57) 摘要

一种读取包括耦合到多个字线和多个位线的多个页面的非易失性存储设备的方法,其中,所述多个页面中的每一个包括存储数据的数据区域和存储标志的标志区域,所述方法包括:将第一读取电压施加到选择的字线以产生第一读出数据和第一读出标志;将第二读取电压施加到选择的字线以产生第二读出数据和第二读出标志;通过对第一读出数据和第二读出数据执行逻辑运算来产生确定数据;基于确定数据和读取标志确定移位电压;以及基于移位电压将第三读取电压施加到选择的字线以产生读取数据。



1. 一种读取非易失性存储设备的方法,所述非易失性存储设备包括耦合到多个字线和多个位线的多个页面,所述多个页面中的每一个包括存储数据的数据区域和存储与所述数据区域的信息相对应的标志的标志区域,所述方法包括:

通过读出所述多个位线,将第一读取电压施加到所述多个字线之中的选择的字线以产生第一读出数据和第一读出标志,所述第一读出数据和所述第一读出标志分别对应于存储在耦合到所述选择的字线的选择的页面中的存储数据和存储标志;

通过读出所述多个位线,将第二读取电压施加到所述选择的字线以产生第二读出数据和第二读出标志,所述第二读出数据和所述第二读出标志分别对应于存储在所述选择的页面中的所述存储数据和所述存储标志;

通过对所述第一读出数据和所述第二读出数据执行逻辑操作来产生确定数据;

通过对包括在所述确定数据中的具有第一逻辑电平的位数进行计数产生计数值;

通过对所述第一读出标志和所述第二读出标志中的一个执行错误检查和纠正操作产生读取标志;

基于所述计数值和所述读取标志确定移位电压;以及

通过读出所述多个位线,将通过将所述第一读取电压移位所述移位电压确定的第三读取电压施加到所述选择的字线以产生读取数据,所述读取数据对应于存储在所述选择的页面中的所述存储数据。

2. 根据权利要求1所述的方法,其中,同时执行通过对包括在所述确定数据中的具有所述第一逻辑电平的所述位数进行计数产生所述计数值以及通过对所述第一读出标志和所述第二读出标志中的一个执行所述错误检查和纠正操作产生所述读取标志。

3. 根据权利要求1所述的方法,其中,通过第一数据锁存器和第一标志锁存器分别锁存所述第一读出数据和所述第一读出标志,

通过第二数据锁存器和第二标志锁存器分别锁存所述第二读出数据和所述第二读出标志,以及

通过对所述第一数据锁存器锁存的所述第一读出数据和所述第二数据锁存器锁存的所述第二读出数据执行所述逻辑操作产生的所述确定数据以及由所述第一标志锁存器锁存的所述第一读出标志和由所述第二标志锁存器锁存的所述第二读出标志中的一个分别由数据高速缓存锁存器和标志高速缓存锁存器锁存。

4. 根据权利要求1所述的方法,其中,基于所述计数值和所述读取标志确定所述移位电压包括:

基于所述读取标志纠正所述计数值以产生纠正的计数值;

当所述纠正的计数值增加时增加所述移位电压;以及

当所述纠正的计数值减小时减小所述移位电压。

5. 根据权利要求1所述的方法,其中,所述存储标志包括表示当对所述数据区域执行编程操作时的温度的温度值。

6. 根据权利要求5所述的方法,其中,基于所述计数值和所述读取标志确定所述移位电压包括:

当包括在所述读取标志中的所述温度值增加时,减小所述计数值以产生纠正的计数值;

当包括在所述读取标志中的所述温度值减小时,增加所述计数值以产生所述纠正的计数值;

当所述纠正的计数值增加时增加所述移位电压;以及

当所述纠正的计数值减小时减小所述移位电压。

7. 根据权利要求1所述的方法,其中,所述存储标志包括所述数据区域的编程/擦除周期的数量。

8. 根据权利要求7所述的方法,其中,基于所述计数值和所述读取标志确定所述移位电压包括:

当包括在所述读取标志中的所述编程/擦除周期的数量增加时,减小所述计数值以产生纠正的计数值;

当包括在所述读取标志中的所述编程/擦除周期的数量减小时,增加所述计数值以产生所述纠正的计数值;

当所述纠正的计数值增加时增加所述移位电压;以及

当所述纠正的计数值减小时减小所述移位电压。

9. 根据权利要求1所述的方法,

其中,包括在所述多个页面的每一个中的所述数据区域包括多个扇区,对所述多个扇区独立执行编程操作,以及

其中,对于所述多个页面中的每个页面,

包括在所述页面中的所述标志区域包括多个子标志区域,

所述多个子标志区域存储指示是否已经对分别包括在所述页面的所述数据区域中的所述多个扇区执行编程操作的状态信息,

存储在所述页面的所述标志区域中的所述标志包括存储在所述页面的所述标志区域的所述多个子标志区域中的所述状态信息。

10. 根据权利要求9所述的方法,其中,存储在所述多个扇区之中对其执行所述编程操作的编程扇区中的具有逻辑高电平的位数和具有逻辑低电平的位数之间的差小于阈值。

11. 根据权利要求9所述的方法,其中,基于所述计数值和所述读取标志确定所述移位电压包括:

基于包括在所述读取标志中的所述状态信息确定所述数据区域的所述多个扇区之中编程扇区的数量,已经对所述编程扇区执行所述编程操作;

基于所述多个扇区之中的所述编程扇区的所述数量纠正所述计数值以产生纠正的计数值;以及

基于所述纠正的计数值确定所述移位电压。

12. 根据权利要求11所述的方法,其中,基于所述多个扇区之中所述编程扇区的所述数量纠正所述计数值以产生所述纠正的计数值包括:

当所述多个扇区之中所述编程扇区的所述数量增加时,增加所述计数值以产生所述纠正的计数值;

当所述多个扇区之中所述编程扇区的所述数量减小时,减小所述计数值以产生所述纠正的计数值,以及

其中,基于所述纠正的计数值确定所述移位电压包括:

当所述纠正的计数值增加时增加所述移位电压;以及  
当所述纠正的计数值减小时减小所述移位电压。

13. 一种读取非易失性存储设备的方法,所述非易失性存储设备包括耦合到多个字线和多个位线的多个页面,所述多个页面中的每一个包括存储数据的数据区域和存储与所述数据区域的信息相对应的标志的标志区域,所述方法包括:

通过读出所述多个位线,将第一读取电压施加到所述多个字线之中的选择的字线以产生第一读出数据和第一读出标志,所述第一读出数据和所述第一读出标志分别对应于存储在耦合到所述选择的字线的选择的页面中的存储数据和存储标志;

通过读出所述多个位线,将第二读取电压施加到所述选择的字线以产生第二读出数据,所述第二读出数据对应于存储在所述选择的页面中的所述存储数据,并且通过对所述第一读出标志执行错误检查和纠正操作产生读取标志;

通过对所述第一读出数据和所述第二读出数据执行逻辑操作产生确定数据;

通过对包括在所述确定数据中的具有第一逻辑电平的位数进行计数产生计数值;

基于所述计数值和所述读取标志来确定移位电压;以及

通过读出所述多个位线,将通过将所述第一读取电压移位所述移位电压确定的第三读取电压施加到所述选择的字线来产生读取数据,所述读取数据对应于存储在所述选择的页面中的所述存储数据。

14. 根据权利要求13所述的方法,其中,

分别由数据锁存器和标志锁存器锁存所述第一读出数据和所述第一读出标志,

分别由数据高速缓存锁存器和标志高速缓存锁存器锁存由所述数据锁存器锁存的所述第一读出数据和由所述标志锁存器锁存的所述第一读出标志,以及

由所述数据锁存器锁存所述第二读出数据,并且通过对由所述标志高速缓存锁存器锁存的所述第一读出标志执行所述错误检查和纠正操作产生所述读取标志。

15. 根据权利要求14所述的方法,其中,由所述数据高速缓存锁存器锁存通过对所述数据高速缓存锁存器锁存的所述第一读出数据和所述数据锁存器锁存的所述第二读出数据执行逻辑操作产生的所述确定数据。

16. 一种非易失性存储设备的读取方法,所述方法包括:

将第一读取电压、第二读取电压和第三读取电压施加到所述非易失性存储设备的存储单元阵列的多个字线之中的选择的字线,所述选择的字线耦合到来自所述存储单元阵列的存储单元的选择的页面,所述选择的页面包括数据区域和标志区域;

在将所述第一读取电压施加到所述选择的字线期间,通过读出所述存储单元阵列的多个位线产生,

与存储在所述选择的页面的所述数据区域中的数据相对应的第一读出数据,和

与存储在所述选择的页面的所述标志区域中的标志相对应的第一读出标志;

在将所述第二读取电压施加到所述选择的字线期间,通过读出所述存储单元阵列的所述多个位线产生,

与存储在所述选择的页面的所述数据区域中的所述数据相对应的第二读出数据,和

与存储在所述选择的页面的所述标志区域中的所述标志相对应的第二读出标志;

通过将所述第一读出数据和所述第二读出数据进行比较来确定移位电压;

通过将所述第一读取电压移位所述移位电压来确定第三读取电压;以及  
通过在将所述第三读取电压施加到所述选择的字线期间读出所述存储单元阵列的所述多个位线,产生与存储在所述选择的页面的所述数据区域中的所述数据相对应的读取数据。

## 读取非易失性存储设备的方法

[0001] 相关申请的交叉引用

[0002] 本申请要求2016年5月10日提交到韩国知识产权局(KIPO)的第10-2016-0056818号韩国专利申请的优先权,其内容通过引用整体并入本文。

### 技术领域

[0003] 示例性实施例涉及非易失性存储设备,更具体地,涉及读取非易失性存储设备的方法。

### 背景技术

[0004] 半导体存储设备可以分为易失性半导体存储设备和非易失性半导体存储设备。易失性半导体存储设备可以高速执行读和写操作,而当设备断电时,存储在其中的内容可能丢失。非易失性半导体存储设备即使在断电时也可以保存其中存储的内容。为此,非易失性半导体存储设备可以用于存储不管设备是通电还是断电都要保留的内容。

[0005] 非易失性半导体存储设备可以包括掩模只读存储器(MROM)、可编程ROM(PROM)、可擦除可编程ROM(EPROM)、电可擦除可编程ROM(EEPROM)等。

[0006] 闪存设备可以是典型的非易失性存储设备。闪存设备可以被广泛用作电子装置(诸如计算机、蜂窝电话、个人数字助理(PDA)、数字相机、摄像机、录音机、MP3播放器、手持PC、游戏机、传真机、扫描仪、打印机等)的语音和图像存储介质。

[0007] 因为近来越来越需要高度集成存储设备,因此存储单元的尺寸变得越来越小。

[0008] 当存储单元的尺寸减小,由于存储单元之间的干扰,读取错误更容易发生。

### 发明内容

[0009] 本发明构思的至少一些示例性实施例旨在提供一种读取非易失性存储设备的方法,其增加了非易失性存储设备的操作可靠性。

[0010] 本发明构思的至少一些示例性实施例旨在提供一种执行读取非易失性存储设备的方法的非易失性存储设备。

[0011] 根据本发明构思的至少一些示例性实施例,一种读取包括耦合到多个字线和多个位线的多个页面的非易失性存储设备的方法,其中,所述多个页面中的每一个包括存储数据的数据区域和存储与数据区域的信息相对应的标志的标志区域,通过读出多个位线,将第一读取电压施加到多个字线之中的选择的字线以产生第一读出数据和第一读出标志,所述第一读出数据和所述第一读出标志分别对应于存储在耦合到选择的字线的选择的页面中的数据和标志;通过读出多个位线,将第二读取电压施加到选择的字线以产生第二读出数据和第二读出标志,所述第二读出数据和所述第二读出标志分别对应于存储在选择的页面中的数据和标志;通过对第一读出数据和第二读出数据执行逻辑运算来产生确定数据;通过对包括在确定数据中的具有第一逻辑电平的位数进行计数产生计数值;通过对第一读出标志和第二读出标志中的一个执行错误检查和纠正操作产生读取标志;基于计数值和读

取标志确定移位电压;以及通过读出多个位线,将通过将第一读取电压移位电压确定的第三读取电压施加到选择的字线以产生读取数据,所述读取数据对应于存储在选择的页面的数据。

[0012] 根据本发明构思的至少一些示例性实施例,一种读取包括耦合到多个字线和多个位线的多个页面的非易失性存储设备的方法,其中,所述多个页面中的每一个包括存储数据的数据区域和存储与数据区域的信息相对应的标志的标志区域,通过读出多个位线,将第一读取电压施加到多个字线之中的选择的字线以产生第一读出数据和第一读出标志,所述第一读出数据和所述第一读出标志分别对应于存储在耦合到选择的字线的选择的页面中的数据和标志;通过读出多个位线,将第二读取电压施加到选择的字线以产生第二读出数据,所述第二读出数据对应于存储在选择的页面中的数据和标志,并且通过对第一读出标志执行错误检查和纠正操作同时产生读取标志;通过对第一读出数据和第二读出数据执行逻辑操作产生确定数据;通过对包括在确定数据中的具有第一逻辑电平的位数进行计数产生计数值;基于计数值和读取标志确定移位电压;以及通过读出多个位线将通过将第一读取电压移位电压确定的第三读取电压施加到选择的字线来产生对应于存储在选择的页面的存储数据的读取数据。

[0013] 根据本发明构思的至少一些示例性实施例,一种非易失性存储设备的读取方法包括:将第一读取电压、第二读取电压和第三读取电压施加到非易失性存储设备的存储单元阵列的多个字线之中的选择的字线,所述选择的字线耦合到来自存储单元阵列的存储单元的选择的页面,所述选择的页面包括数据区域和标志区域;在将第一读取电压施加到选择的字线期间,通过读出存储单元的多个位线产生与存储在选择的页面的数据区域中的数据相对应的第一读出数据以及与存储在选择的页面的标志区域中的标志相对应的第一读出标志;在将第二读取电压施加到选择的字线期间,通过读出存储单元的多个位线产生与存储在选择的页面的数据区域中的数据相对应的第二读出数据以及与存储在选择的页面的标志区域中的标志相对应的第二读出标志;通过基于第一读出数据和第二读出数据执行逻辑操作产生确定数据;基于确定数据设置第三读取电压的电平;以及通过在将第三读取电压施加到选择的字线期间读出存储单元阵列的多个位线来产生与存储在选择的页面的数据区域的数据相对应的读取数据。

## 附图说明

[0014] 通过参照附图详细描述本发明构思的示例性实施例,本发明构思的示例性实施例的上述和其他特征和优点将变得更加明显。附图旨在描绘本发明构思的示例性实施例,并且不应被解释为限制权利要求的预期范围。除非明确指出,否则附图不得视为按比例绘制。

[0015] 图1是示出根据本发明构思的至少一些示例性实施例的非易失性存储设备的框图。

[0016] 图2和图3是示出包括在非易失性存储设备的存储单元阵列的示例的电路图。

[0017] 图4是示出根据本发明构思的至少一些示例性实施例的读取非易失性存储设备的方法的流程图。

[0018] 图5是示出包括在图1的非易失性存储设备中的数据锁存电路和标志锁存电路的示例的框图。

[0019] 图6是示出包括在图1的非易失性存储设备中的存储单元的阈值电压分布的示例的框图。

[0020] 图7至图9是示出包括在图1的非易失性存储设备中的页面的示例的示意图。

[0021] 图10是示出当多个页面的每一个包括独立执行编程操作的多个扇区时包括在图1的非易失性存储设备中的存储单元的阈值电压分布的示例的示意图。

[0022] 图11是用于描述根据时间读取图4的非易失性存储设备的方法的过程的示例。

[0023] 图12是示出根据本发明构思的至少一些示例性实施例的读取非易失性存储设备的方法的流程图。

[0024] 图13是示出包括在图1的非易失性存储设备中的数据锁存电路和标志锁存电路的另一示例的框图。

[0025] 图14是用于描述根据时间读取图12的非易失性存储设备的方法的过程的示例。

[0026] 图15是示出根据本发明构思的至少一些示例性实施例的存储系统的框图。

[0027] 图16是示出根据本发明构思的至少一些示例性实施例的固态硬盘(SSD)系统的框图。

### 具体实施方式

[0028] 如在本发明构思领域中的传统,在功能块、单元和/或模块方面描述实施例并在附图中示出。本领域技术人员将理解,这些块、单元和/或模块通过诸如逻辑电路、分立组件、微处理器、硬连线电路、存储器元件、布线连接等的电子(或光学)电路物理地实现,其可以使用基于半导体的制造技术或其他制造技术来形成。在微处理器或类似实现的块、单元和/或模块的情况下,它们可以使用软件(例如,微代码)来编程,以执行本文讨论的各种功能,并且可以可选地由固件和/或软件驱动。可选地,每个块、单元和/或模块可以由专用硬件来实现,或者作为执行一些功能的专用硬件和执行其他功能的处理器(例如,一个或多个编程的微处理器和相关联的电路)的组合。另外,在不脱离本发明构思的范围的情况下,实施例的每个块、单元和/或模块可以物理地分离成两个或更多个交互且离散块、单元和/或模块。此外,实施例的块、单元和/或模块可以在不脱离本发明构思的范围的情况下物理地组合成更复杂的块、单元和/或模块。

[0029] 图1是示出根据本发明构思的至少一些示例性实施例的非易失性存储设备的框图。

[0030] 参照图1,非易失性存储设备10包括存储单元阵列100、数据读出放大器210、标志读出放大器220、数据锁存电路310、标志锁存电路320、计数器410、错误检查和纠正(ECC)电路420、计算器510、寄存器520、控制电路610、电压发生器620和行译码器630。

[0031] 存储单元阵列100可以通过串选择线SSL、多个字线WL1至WLn和地选择线GSL耦合到行译码器630。此外,存储单元阵列100可以通过多个位线BL1至BLm耦合到数据读出放大器210和标志读出放大器220。在此,n和m表示正整数。

[0032] 存储单元阵列100可以包括耦合到多个字线WL1至WLn和多个位线BL1至BLm的多个存储单元。页面可以包括耦合到同一字线的存储单元。

[0033] 存储单元阵列100可以包括存储数据的数据区域110和存储对应于数据区域110的信息的标志的标志区域120。因此,包括在存储单元阵列100中的多个页面中的每一个可以

被划分为数据区域110和标志区域120。

[0034] 根据本发明构思的至少一些示例实施例,数据区域110和标志区域120可以不被物理划分。可选地,包括在存储单元阵列100中的多个存储单元可以具有相同的结构,而多个存储单元的一部分可以用作数据区域110,并且多个存储单元的其余部分可以用作标志区域120。

[0035] 根据本发明构思的至少一些示例实施例,存储单元阵列100可以是三维存储单元阵列,其以三维结构(或垂直结构)形成在基板上。根据本发明构思的至少一些示例实施例,存储单元阵列100可以包括垂直定向的垂直单元串,使得至少一个存储单元位于另一存储单元上。通过引用将其并入本文的以下专利文献描述了三维存储单元阵列的合适配置。美国专利第7,679,133号、第8,553,466号、第8,654,587号、第8,559,235号和美国专利公开第2011/0233648号。

[0036] 根据本发明构思的至少一些其他示例实施例,存储单元阵列100可以是二维存储单元阵列,其以二维结构(或水平结构)形成在基板上。

[0037] 图2和图3是示出包括在图1的非易失性存储设备中的存储单元阵列的示例的电路图。

[0038] 图2的存储单元阵列100a可以以三维结构(或垂直结构)形成在基板上。例如,可以在垂直于基板的方向上形成包括在存储单元阵列100a中的多个存储单元串。

[0039] 参照图2,存储单元阵列100a可以包括耦合在位线BL1、BL2和BL3与公共源极线CSL之间的存储单元串NS11至NS33。存储单元串NS11至NS33的每一个可以包括串选择晶体管SST、多个存储单元MC1至MC8以及地选择晶体管GST。

[0040] 在图2中,存储单元串NS11至NS33的每一个被示为包括八个存储单元MC1至MC8。然而,至少一些示例性实施例不限于此。根据本发明构思的至少一些示例实施例,存储单元串NS11至NS33的每一个可以包括任何数量的存储单元。

[0041] 串选择晶体管SST可以连接到对应的串选择线SSL1至SSL3。多个存储单元MC1至MC8可以分别连接到对应的字线WL1至WL8。地选择晶体管GST可以连接到相应的地选择线GSL1至GSL3。串选择晶体管SST可以连接到对应的位线BL1、BL2和BL3,并且地选择晶体管GST可以连接到公共源极线CSL。

[0042] 具有相同高度的字线(例如,WL1)可以共同连接,并且地选择线GSL1至GSL3和串选择线SSL1至SSL3可以分离。

[0043] 在图2中,存储单元阵列100a被示出为耦合到八个字线WL1至WL8和三个位线BL1至BL3。然而,本发明构思的至少一些示例性实施例不限于此。根据本发明构思的至少一些示例实施例,存储单元阵列100a可以耦合到任何数量的字线和位线。

[0044] 图3的存储单元阵列100b可以以二维结构(或水平结构)形成在基板上。例如,可以在与基板平行的方向上形成包括在存储单元阵列100b中的多个存储单元串。

[0045] 参照图3,存储单元阵列100b可以包括存储单元串NS1至NSm。

[0046] 存储单元串NS1至NSm的每一个可以包括彼此串联连接的串选择晶体管SST、多个存储单元MC和地选择晶体管GST。

[0047] 包含在存储单元串NS1至NSm的每一个中的串选择晶体管SST可以共同连接到串选择线SSL。包括在每个存储单元串NS1至NSm中的存储单元MC之中排列在同一行中的存储单

元可以共同连接到对应的字线WL1至WLn。包括在存储单元串NS1至NSm的每一个中的地选择晶体管GST可以共同连接到地选择线GSL。

[0048] 包括在存储单元串NS1至NSm的每一个中的地选择晶体管GST可以共同连接到公共源极线CSL。

[0049] 包括在存储单元串NS1至NSm的每一个中的串选择晶体管SST可以连接到对应的位线BL1至BLm。

[0050] 再次参照图1,控制电路610可以控制非易失性存储设备10的操作。例如,控制电路610可以产生控制信号CON以控制电压发生器620。

[0051] 行译码器630可以通过串选择线SSL、多个字线WL1至WLn和地选择线GSL耦合到存储单元阵列100。

[0052] 在读取操作期间,行译码器630可以将多个字线WL1至WLn中的一个确定为选择的字线,并且将多个字线WL1至WLn中除了选择的字线之外的其余字线确定为未选择的字线。

[0053] 电压发生器620可以产生施加到选择的字线的读取电压VR1、VR2和VR3,并产生施加到未选择的字线的读取通过电压。电压发生器620可以基于由控制电路610提供的控制信号CON来调整读取电压VR1、VR2和VR3的幅度。

[0054] 由电压发生器620产生的读取电压VR1、VR2和VR3可以通过行译码器630施加到选择的字线,并且由电压发生器620产生的读取通过电压可以通过行译码器630施加到未选择的字线。

[0055] 当读取电压VR1、VR2和VR3中的一个被施加到选择的字线并且读取通过电压被施加到未选择的字线时,多个位线BL1至BLm的电压和/或电流可以基于包括在存储单元阵列100中的多个页面之中的耦合到选择的字线的选择的页面的存储单元中存储的逻辑电平而改变。

[0056] 数据读出放大器210和标志读出放大器220可以分别通过多个位线BL1至BLm耦合到存储单元阵列100的数据区域110和标志区域120。

[0057] 数据读出放大器210和标志读出放大器220可以通过读出多个位线BL1至BLm的电压和/或电流产生读出数据SD1、SD2和SD3以及读出标志SF1、SF2和SF3,分别对应于在选择的页面的数据区域110和标志区域120中存储的数据和标志。

[0058] 图4是示出根据本发明构思的至少一些示例性实施例的读取非易失性存储设备的方法的流程图。

[0059] 图4的读取非易失性存储设备的方法可以由图1的非易失性存储设备10执行。

[0060] 在下文中,将参照图1至图4描述读取非易失性存储设备10的方法。

[0061] 电压发生器620可以基于由控制电路610提供的控制信号CON产生第一读取电压VR1和读取通过电压,并且行译码器630可以将第一读取电压VR1施加到选择的字线并将读取通过电压施加到未选择的字线。

[0062] 在将第一读取电压VR1施加到选择的字线并且将读取通过电压施加到未选择的字线之后,数据读出放大器210和标志读出放大器220可以通过读出多个位线BL1至BLm分别产生第一读出数据SD1和第一读出标志SF1(步骤S110)。第一读出数据SD1对应于存储在选择的页面的作为数据区域110的部分中的数据,并且第一读出标志SF1对应于存储在选择的页面的作为标志区域120的部分中的标志。选择的页面是对应于(即,耦合到)选择的字线的页

面。

[0063] 第一读出数据SD1和第一读出标志SF1可以分别由数据锁存电路310和标志锁存电路320锁存。

[0064] 此后,电压发生器620可以基于由控制电路610提供的控制信号CON产生第二读取电压VR2和读取通过电压,使得第二读取电压V2不同于第一读取电压VR1。此外,行译码器630可以将第二读取电压VR2施加到选择的字线,并将读取通过电压施加到未选择的字线。

[0065] 根据本发明构思的至少一些示例性实施例,与第一读取电压VR1的幅度相比,第一读取电压VR1的幅度与第二读取电压VR2的幅度之间的差可能非常小。

[0066] 在将第二读取电压VR2施加到选择的字线并且将读取通过电压施加到未选择的字线之后,数据读出放大器210和标志读出放大器220可以通过读出多个位线BL1至BL<sub>m</sub>来分别产生第二读出数据SD2和第二读出标志SF2(步骤S120)。第二读出数据SD2对应于存储在选择的页面的作为数据区域110的部分中的数据,并且第二读出标志SF2对应于存储在选择的页面的作为标志区域120的部分中的标志。

[0067] 第二读出数据SD2和第二读出标志SF2可以分别由数据锁存电路310和标志锁存电路320锁存。

[0068] 之后,数据锁存电路310可以通过对第一读出数据SD1和第二读出数据SD2执行逻辑运算来产生确定数据DD,并且锁存确定数据DD(步骤S130)。例如,根据至少一些示例性实施例,数据锁存电路310可以包括用于锁存数据的电路和用于对锁存数据执行一个或多个逻辑操作的电路。

[0069] 根据本发明构思的至少一些示例性实施例,由数据锁存电路310对第一读出数据SD1和第二读出数据SD2执行产生确定数据DD的逻辑操作可以对应于异或(EXOR)操作。

[0070] 标志锁存电路320可以选择第一读出标志SF1和第二读出标志SF2中的一个,并锁存所选择的一个。

[0071] 图5是示出包括在图1的非易失性存储设备中的数据锁存电路和标志锁存电路的示例的框图。

[0072] 参照图5,数据锁存电路310a可以包括第一数据锁存器311、第二数据锁存器312、数据高速缓存锁存器313和EXOR门314。标志锁存电路320a可以包括第一标志锁存器321、第二标志锁存器322和标志高速缓存锁存器323。

[0073] 在第一读取电压VR1被施加到选择的字线并且读取通过电压被施加到未选择的字线之后,分别由数据读出放大器210和标志读出放大器220提供的第一读出数据SD1和第一读出标志SF1可以由数据锁存电路310a的第一数据锁存器311和标志锁存电路320a的第一标志锁存器321锁存。根据本发明构思的至少一些示例性实施例,第一读出数据SD1和第一读出标志SF1可以由数据锁存电路310a的第一数据锁存器311和标志锁存电路320a的第一标志锁存器321同时锁存。

[0074] 此外,在第二读取电压VR2被施加到选择的字线并且读取通过电压被施加到未选择的字线之后,分别由数据读出放大器210和标志读出放大器220提供的第二读出数据SD2和第二读出标志SF2可以由数据锁存电路310a的第二数据锁存器312和标志锁存电路320a的第二标志锁存器322锁存。根据本发明构思的至少一些示例性实施例,第二读出数据SD2和第二读出标志SF2可以由数据锁存电路310a的第二数据锁存器312和标志锁存电路320a的

第二标志锁存器322同时锁存。

[0075] 在第二读出数据SD2和第二读出标志SF2被锁存之后,EXOR门314可以对由第一数据锁存器311锁存的第一读出数据SD1和由第二数据锁存器锁存312的第二读出数据SD2执行异或运算以产生确定数据DD。确定数据DD可以由数据高速缓存锁存器313锁存。

[0076] 由第一标志锁存器321锁存的第一读出标志SF1和由第二标志锁存器322锁存的第二读出标志SF2中的一个可以由标志高速缓存锁存器323锁存。根据本发明构思的至少一些示例实施例,标志锁存电路320a可以被预设,使得由第一标志锁存器321锁存的第一读出标志SF1被标志高速缓存锁存器323锁存。根据本发明构思的至少一些其他示例实施例,标志锁存电路320a可以被预设,使得由第二标志锁存器322锁存的第二读出标志SF2被标志高速缓存锁存器323锁存。

[0077] 标志高速缓存锁存器323可以输出第一读出标志SF1和第二读出标志SF2中的由标志高速缓存锁存器323锁存的标志作为读出标志SF。

[0078] 确定数据DD以及第一读出标志SF1和第二读出标志SF2中的一个可以分别由数据高速缓存锁存器313和标志高速缓存锁存器323同时锁存,或者可替换地,在重叠的时间段期间被锁存。

[0079] 再次参照图4,计数器410可以从数据锁存电路310a的数据高速缓存锁存器313接收确定数据DD,并且通过对包括在确定数据DD中的“1”的位数进行计数来产生计数值CNT(步骤S140)。

[0080] 图6是示出包括在图1的非易失性存储设备中的存储单元的阈值电压分布的示例的框图。

[0081] 在图6中,x轴表示存储单元的阈值电压,y轴表示存储单元的数量。

[0082] 参照图6,每个存储单元可以具有擦除状态E和编程状态P中的一个。

[0083] 由于非易失性存储设备10不执行重写(rewrite)操作,因此非易失性存储设备10可以对存储单元执行擦除操作,以便在对存储单元执行编程操作之前将存储单元的状态改变为擦除状态E。在存储单元被改变为擦除状态E之后,可以基于写入数据对存储单元执行编程操作,以将每个存储单元编程为擦除状态E和编程状态P中的一个。

[0084] 当在存储单元被编程之后执行读取操作时,可以在第一电压V1被施加到选择的字线作为第一读取电压VR1之后产生第一读出数据SD1,并且可以在第二电压V2被施加到选择的字线作为第二读取电压VR2之后产生第二读出数据SD2。

[0085] 如图6所示,由于第一电压V1和第二电压V2包括在存储单元的阈值电压分布不存在的电压范围内,因此第一读出数据SD1的位可以分别与第二读出数据SD2的位相同。

[0086] 因此,在通过对第一读出数据SD1和第二读出数据SD2执行异或操作而产生的确定数据DD中包括的所有位可以具有值“0”。

[0087] 根据本发明构思的至少一些示例性实施例,由计数器410产生的计数值CNT可以对应于“0”。

[0088] 因此,当由计数器410产生的计数值CNT变小时,可以将第一读取电压VR1确定为适合于区分擦除状态E和编程状态P。

[0089] 此外,根据本发明构思的至少一些示例性实施例,当在存储单元被编程之后执行读取操作时,可以在第三电压V3被施加到选择的字线作为第一读取电压VR1之后产生第一

读出数据SD1,并且可以在第四电压V4被施加到选择的字线作为第二读取电压VR2之后产生第二读出数据SD2。

[0090] 如图6所示,由于第三电压V3和第四电压V4包括在存储单元的阈值电压分布存在的电压范围内,因此第一读出数据SD1的位可能与第二读出数据SD2的位不同。

[0091] 因此,通过对第一读出数据SD1和第二读出数据SD2执行异或运算而产生的确定数据DD可以包括位“1”。

[0092] 根据本发明构思的至少一些示例实施例,由计数器410产生的计数值CNT可以大于“0”。另外,当表示区分擦除状态E和编程状态P的适当电压(例如,第一电压V1)与对应于第一读取电压VR1的第三电压V3之间的差的移位电压VSH增加时,由计数器410产生的计数值CNT可能增加。

[0093] 再次参照图4,ECC电路420可以通过对从标志锁存电路320a的标志高速缓存锁存器323输出的读出标志SF执行错误检查和纠正(ECC)操作来产生读取标志RFLAG(步骤S150)。因此,读取标志RFLAG可以对应于存储在选择的页面的标志区域120中的标志。

[0094] 如图1所示,由ECC电路420产生的读取标志RFLAG可以存储在寄存器520中。

[0095] 由计数器410执行的通过对在确定数据DD中包括的“1”的位数计数产生计算值CNT的操作(步骤S140)以及由ECC电路420执行的通过对从标志锁存电路320a的标志高速缓存锁存器323输出的检测标志SF执行错误检查和纠正(ECC)操作产生读取标志RFLAG的操作(步骤S150)可以在相似的时间执行或者可选地同时执行。

[0096] 在步骤S150之后,计算器510和控制电路610可以基于由计数器410提供的计数值CNT和存储在寄存器520中的读取标志RFLAG来确定移位电压VSH(步骤S160)。

[0097] 移位电压VSH可以对应于区分擦除状态E和编程状态P的适当电压(例如,第一电压V1)与第一读取电压VR1之间的差。

[0098] 根据本发明构思的至少一些示例性实施例,如上文参照图6所述,当区别擦除状态E和编程状态P的适当电压(例如,第一电压V1)与第一读取电压VR1之间的差增加时,由计数器410产生的计数值CNT可能增加。

[0099] 因此,根据本发明构思的至少一些示例实施例,当计数值CNT增加时,计算器510和控制电路610可以增加移位电压VSH。此外,根据本发明构思的至少一些示例性实施例,当计数值CNT减小时,计算器510和控制电路610可以减小移位电压VSH。

[0100] 根据本发明构思的至少一些示例实施例,计算器510可以基于存储在寄存器520中的读取标志RFLAG来纠正由计数器410提供的计数值CNT以产生纠正的计数值C\_CNT,并且控制电路610可以基于纠正的计数值C\_CNT来确定移位电压VSH。

[0101] 稍后将描述计算器510基于读取标志RFLAG纠正计数值CNT以产生纠正的计数值C\_CNT的各种实施例。

[0102] 控制电路610可以产生对应于移位电压VSH的控制信号CON,并且电压发生器620可以通过将第一读取电压VR1移位移位电压VSH,基于控制信号CON产生第三读取电压VR3。行译码器630可以将第三读取电压VR3施加到选择的字线,并且将读取通过电压施加到未选择的字线。

[0103] 参照图1和图5,在第三读取电压VR3被施加到选择的字线并且读取通过电压被施加到未选择的字线之后,数据读出放大器210可以通过读出多个位线BL1至BL<sub>m</sub>产生第三读

出数据SD3,该第三读出数据SD3对应于存储在耦合到选择的字线的选择的页面的数据区域110中的数据,包括在数据锁存电路310a中的数据高速缓存锁存器313可以锁存第三读出数据SD3并输出锁存的第三读出数据SD3作为读取数据RDATA(步骤S170)。根据本发明构思的至少一些示例性实施例,读取数据RDATA可以根据读取操作对应于非易失性存储设备10的最终输出数据。

[0104] 根据本发明构思的至少一些示例性实施例,在第三读取电压VR3被施加到选择的字线并且读取通过电压被施加到未选择的字线之后,标志读出放大器220可以通过读出多个位线BL1至BL<sub>m</sub>产生第三读出标志SF3,该第三读出数据SD3对应于存储在耦合到选择的字线的选择的页面的标志区域120内的部分中的标志,并且包括在标志锁存电路320a中的标志高速缓存锁存器323可以锁存第三读出标志SF3。由标志高速缓存锁存器323锁存的第三读出标志SF3可以被提供给外部设备。

[0105] 根据本发明构思的至少一些示例性实施例,存储在页面的标志区域120中的标志可以包括表示当对同一页面的数据区域110执行编程操作时的温度的温度值。

[0106] 当对选择的页面的数据区域110执行编程操作时的温度增加,存储单元的阈值电压分布可能增加。例如,阈值电压分布内的阈值电压可能增加。

[0107] 因此,根据本发明构思的至少一些示例性实施例,如果区分擦除状态E和编程状态P的适当电压(例如,第一电压V1)与第一读取电压VR1之间的差是固定的,则当对选择的页面的数据区域110执行编程操作时的温度增加时,由计数器410产生的计数值CNT可以增加。

[0108] 因此,当在读取标志RFLAG中包括的温度值相对较大时,计算器510可以减小计数值CNT以产生纠正的计数值C\_CNT。此外,根据本发明构思的至少一些示例性实施例,当在读取标志RFLAG中包括的温度值相对较小时,计算器510可以增加计数值CNT以产生纠正的计数值C\_CNT。

[0109] 根据本发明构思的至少一些示例性实施例,控制电路610可以当纠正的计数值C\_CNT增加时增加移位电压VSH,并且当纠正的计数值C\_CNT减小时减小移位电压VSH。

[0110] 根据本发明构思的至少一些示例性实施例,存储在页面的标志区域120中的标志可以包括同一页面的数据区域110的编程/擦除周期的数量。

[0111] 当选择的页面的数据区域110的编程/擦除周期的数量增加时,存储单元的阈值电压分布可能增加。例如,阈值电压分布内的阈值电压可能增加。

[0112] 因此,如果区分擦除状态E和编程状态P的适当电压(例如,第一电压V1)与第一读取电压VR1之间的差是固定的,则当选择的页面的数据区域110的编程/擦除周期的数量增加时,由计数器410产生的计数值CNT可以增加。

[0113] 因此,当在读取标志RFLAG中包括的编程/擦除周期的数量相对较大时,计算器510可以减小计数值CNT以产生纠正的计数值C\_CNT。此外,根据本发明构思的至少一些示例性实施例,当在读取标志RFLAG中包括的编程/擦除周期的数量相对较小时,计算器510可以增加计数值CNT以产生纠正的计数值C\_CNT。

[0114] 根据本发明构思的至少一些示例性实施例,控制电路610可以当纠正的计数值C\_CNT增加时增加移位电压VSH,并且当纠正的计数值C\_CNT减小时减小移位电压VSH。

[0115] 图7至图9是示出包括在图1的非易失性存储设备中的页面的示例的示图。

[0116] 根据本发明构思的至少一些示例性实施例,包括在存储单元阵列100的多个页面

中的每个页面中的数据区域110可以包括在其上独立执行编程操作的多个扇区SEC0、SEC1、SEC2和SEC3。

[0117] 此外,包括在存储单元阵列100的多个页面的每个页面中的标志区域120可以包括多个子标志区域SFR0、SFR1、SFR2和SFR3。多个子标志区域SFR0、SFR1、SFR2和SFR3可以存储状态信息,其表示是否对分别包括在对应数据区域110中的多个扇区SEC0、SEC1、SEC2和SEC3执行编程操作。

[0118] 例如,当对第一扇区SEC0执行编程操作时,第一子标志区域SFR0可以存储具有值“0”的状态信息,并且当对第一扇区SEC0执行擦除操作时,第一子标志区域SFR0可以存储具有值“1”的状态信息。

[0119] 类似地,当对第二扇区SEC1执行编程操作时,第二子标志区域SFR1可以存储具有值“0”的状态信息,并且当对第二扇区SEC1执行擦除操作时,第二子标志区域SFR1可以存储具有值“1”的状态信息。

[0120] 类似地,当对第三扇区SEC2执行编程操作时,第三子标志区域SFR2可以存储具有值“0”的状态信息,并且当对第三扇区SEC2执行擦除操作时,第三子标志区域SFR2可以存储具有值“1”的状态信息。

[0121] 类似地,当对第四扇区SEC3执行编程操作时,第三子标志区域SFR3可以存储具有值“0”的状态信息,并且当对第四扇区SEC3执行擦除操作时,第三子标志区域SFR3可以存储具有值“1”的状态信息。

[0122] 因此,存储在页面的标志区域120中的标志可以包括存储在标志区域120的多个子标志区域SFR0、SFR1、SFR2和SFR3中的状态信息。

[0123] 图8表示对多个扇区SEC0、SEC1、SEC2和SEC3中的所有执行编程操作的情况下的页面,且图9表示仅对多个扇区SEC0、SEC1、SEC2和SEC3之中的第一扇区SEC0执行编程操作的情况下的页面。

[0124] 虽然在图7至图9中作为示例,页面被示为包括四个扇区SEC0、SEC1、SEC2、SEC3,但是本发明构思的至少一些示例性实施例不限于此。根据本发明构思的至少一些示例性实施例,多个页面中的每一个可以包括任何数量的扇区。

[0125] 在一般非易失性存储设备中,在执行编程操作的页面中当擦除状态E的存储单元的数量与编程状态P的存储单元的数量基本相同时,可以防止由数据图案(pattern)引起的操作错误。

[0126] 因此,当非易失性存储设备10对多个扇区SEC0、SEC1、SEC2和SEC3中的每一个利用写入数据执行编程操作时,非易失性存储设备10可以对写入数据执行随机化处理,以产生随机化的写入数据,然后对多个扇区SEC0、SEC1、SEC2和SEC3中的每一个编程随机化的写入数据。

[0127] 例如,在随机化的写入数据中包括的“0”的位数可以与在随机化的写入数据中包括的“1”的位数基本相同。例如,包括在随机化的写入数据中的“0”的位数与包括在随机化的写入数据中的“1”的位数之间的差可以小于阈值数。

[0128] 因此,在多个扇区SEC0、SEC1、SEC2和SEC3当中对其执行编程操作的编程扇区中,擦除状态E的存储单元的数量和编程状态P的存储单元的数量可以基本相同。

[0129] 此外,根据本发明构思的至少一些示例性实施例,在多个扇区SEC0、SEC1、SEC2和

SEC3当中对其执行擦除操作的擦除扇区中包括的所有存储单元可以处于擦除状态E。

[0130] 图10是示出当多个页面中的每一个包括在其上独立执行编程操作的多个扇区时在图1的非易失性存储设备中包括的存储单元的阈值电压分布的示例的示图。

[0131] 如图8所示,当对在选择的页面中包括的所有第一至第四扇区SEC0、SEC1、SEC2和SEC3执行编程操作时,在选择的页面中处于擦除状态E的存储单元的数量和处于编程状态P的存储单元的数量可以基本相同。

[0132] 根据本发明构思的至少一些示例性实施例,选择的页面的存储单元的阈值电压分布可以对应于图10的第一曲线A。

[0133] 此外,根据本发明的至少一些示例性实施例,如图9所示,当仅对包括在选择的页面中的多个扇区SEC0、SEC1、SEC2和SEC3当中的第一扇区SEC0执行编程操作时,在选择的页面中处于擦除状态E的存储单元的数量与处于编程状态P的存储单元的数量比率可以对应于7:1。也就是说,处于擦除状态E的存储单元可以是在选择的页面中包括的存储单元总数的87.5%。

[0134] 根据本发明构思的至少一些示例性实施例,选择的页面的存储单元的阈值电压分布可以对应于图10的第二曲线B。

[0135] 因此,虽然第一读取电压VR1和第二读取电压VR2是固定的,但是由计数器410产生的计数值CNT可以基于在包括在选择的页面中的多个扇区SEC0、SEC1、SEC2和SEC3之中对其执行编程操作的编程扇区的数量而变化。

[0136] 因此,根据本发明构思的至少一些示例性实施例,计算器510可以基于包括在读取标志RFLAG中的状态信息来确定在数据区域110的多个扇区SEC0,SEC1,SEC2和SEC3之中对其执行编程操作的编程扇区的数量,并且基于多个扇区SEC0、SEC1、SEC2和SEC3之中的编程扇区的数量来纠正计数值CNT,以产生纠正的计数值C\_CNT。

[0137] 例如,如图10所示,当第三电压V3被施加到选择的字线作为第一读取电压VR1并且第四电压V4被施加到选择的字线作为第二读取电压VR2时,在多个扇区SEC0、SEC1、SEC2和SEC3中的编程扇区的数量相对较小的情况下(例如,第二曲线B)由计数器410产生的计数值CNT可能大于在多个扇区SEC0、SEC1、SEC2和SEC3中的编程扇区的数量相对较大的情况下(例如,第一曲线A)由计数器410产生的计数值CNT。

[0138] 因此,根据本发明构思的至少一些示例性实施例,当多个扇区SEC0、SEC1、SEC2和SEC3中的编程扇区的数量相对较大时,计算器510可以增加计数值CNT以产生纠正的计数值C\_CNT,并且当多个扇区SEC0、SEC1、SEC2和SEC3中的编程扇区的数量相对较小时,减小计数值CNT以产生纠正的计数值C\_CNT。

[0139] 根据本发明构思的至少一些示例性实施例,控制电路610可以当纠正的计数值C\_CNT增加时加移位电压VSH,并且当纠正的计数值C\_CNT减小时减小移位电压VSH。

[0140] 图11是用于描述根据时间读取图4的非易失性存储设备的方法的过程的示例。

[0141] 参照图11,在读取操作期间,根据本发明构思的至少一些示例性实施例的非易失性存储设备10可以使用第一读取电压VR1执行第一读出操作,以产生第一读出数据SD1和第一读出标记SF1,使用第二读取电压VR2执行第二读出操作,以产生第二读出数据SD2和第二读出标记SF2,并且通过对第一读出数据SD1和第二读出数据SD2执行异或运算来产生确定数据DD。

[0142] 此后,非易失性存储设备10可以同时或者可选地在相似的时间点执行通过对包括在确定数据DD中的“1”的位数进行计数来产生计数值CNT的操作以及通过对第一读出标志SF1和第二读出标志SF2中的一个执行错误检查和纠正(ECC)操作来产生读取标志RFLAG的操作,并且基于计数值CNT和读取标志RFLAG来确定移位电压VSH。

[0143] 在确定了移位电压VSH之后,非易失性存储设备10可以使用通过将第一读取电压VR1移位移位电压VSH确定的第三读取电压VR3来执行第三读出操作,以产生读取数据RDATA。

[0144] 如上参照图1至图11所述,在读取操作期间,根据本发明构思的至少一些示例性实施例的非易失性存储设备10可以通过将第一读出数据SD1和第二读出数据SD2进行比较来确定移位电压VSH,所述移位电压VSH表示区分擦除状态E和编程状态P的适当电压(例如,第一电压V1)与第一读取电压VR1之间的差,所述第一读出数据SD1是通过使用第一读取电压VR1执行的第一读出操作产生的,所述第二读出数据SD2是通过使用第二读取电压VR2执行的第二读出操作产生的,并且基于对应于数据区域110的信息的标志来调整移位电压VSH的幅度。

[0145] 在调整移位电压VSH的幅度之后,非易失性存储设备10可以使用通过将第一读取电压VR1移位移位电压VSH而确定的第三读取电压VR3来执行第三读出操作,以产生读取数据RDATA。因此,可以有效地提高非易失性存储设备10的读取操作可靠性。

[0146] 另外,如图11所示,根据本发明构思的至少一些示例性实施例的非易失性存储设备10可能不消耗时间(或者可选地,消耗相对较少的时间)来产生用于确定移位电压VSH的读取标志RFLAG。相反,非易失性存储设备10可以同时或者可选地在相似的时间点执行通过对包括在确定数据DD中的“1”的位数进行计数来产生计数值CNT的操作以及通过对第一读出标志SF1和第二读出标志SF2中的一个执行错误检查和纠正(ECC)来产生读取标记RFLAG的操作。因此,非易失性存储设备10可以有效地提高读取操作的可靠性,而不降低读取操作的速度。

[0147] 此外,根据本发明构思的至少一些示例性实施例的非易失性存储设备10可以通过基于标志跟踪存储单元的阈值电压的变化来内部地调整读取电压的幅度,而无需来自外部存储器控制器的控制。因此,非易失性存储设备10可以有效地提高读取操作的可靠性。

[0148] 图12是示出根据本发明构思的至少一些示例性实施例的读取非易失性存储设备的方法的流程图。

[0149] 图12的读取非易失性存储设备的方法可以由图1的非易失性存储设备10执行。

[0150] 在下文中,将参照图1至图3和图12描述读取非易失性存储设备10的方法。

[0151] 电压发生器620可以基于由控制电路610提供的控制信号CON产生第一读取电压VR1和读取通过电压,并且行译码器630可以将第一读取电压VR1施加到选择的字线并将读取通过电压施加到未选择的字线。

[0152] 在第一读取电压VR1被施加到选择的字线并且读取通过电压被施加到未选择的字线之后,数据读出放大器210和标志读出放大器220可以通过读出多个位线BL1至BLm分别产生第一读出数据SD1和第一读出标志SF1(步骤S210)。第一读出数据SD1对应于存储在选择的页面的数据区域110中的部分的数据,并且第一读出标志SF1对应于存储在选择的页面的标志区域120中的部分的标志。选择的页面是对应于(即,耦合到)选择的字线的页面。

[0153] 第一读出数据SD1和第一读出标志SF1可以分别由数据锁存电路310和标志锁存电路320锁存。

[0154] 此后,电压发生器620可以基于由控制电路610提供的控制信号CON产生第二读取电压VR2和读取通过电压,使得第二读取电压V2不同于第一读取电压VR1。此外,行译码器630可以将第二读取电压VR2施加到选择的字线,并将读取通过电压施加到未选择的字线。

[0155] 根据本发明构思的至少一些示例性实施例,与第一读取电压VR1的幅度相比,第一读取电压VR1的幅度和第二读取电压VR2的幅度之间的差可以非常小。

[0156] 在第二读取电压VR2被施加到选择的字线并且读取通过电压被施加到未选择的字线之后,数据读出放大器210和标志读出放大器220可以通过读出多个位线BL1至BLm分别产生第二读出数据SD2和第二读出标志SF2(步骤S220)。第二读出数据SD2对应于存储在选择的页面的数据区域110中的部分的数据,并且第二读出标志SF2对应于存储在选择的页面的标志区域120中的部分的标志。

[0157] 第二读出数据SD2和第二读出标志SF2可以分别由数据锁存电路310和标志锁存电路320锁存。

[0158] 图13是示出包括在图1的非易失性存储设备中的数据锁存电路和标志锁存电路的另一示例的框图。

[0159] 参照图13,数据锁存电路310b可以包括数据锁存器315、数据高速缓存锁存器316和EXOR门317。标志锁存电路320b可以包括标志锁存器325和标志高速缓存锁存器326。

[0160] 在第一读取电压VR1被施加到选择的字线并且读取通过电压被施加到未选择字线之后,由数据读出放大器210和标志读出放大器220提供的第一读出数据SD1和第一读出标志SF1分别可以被同时地或者可选地在相似的时间点由数据锁存电路310b的数据锁存器315和标志锁存电路320b的标志锁存器325锁存(步骤S210)。

[0161] 此后,由数据锁存器315锁存的第一读出数据SD1和由标志锁存器325锁存的第一读出标志SF1可以被同时或者可选地在相似的时间点分别由数据高速缓存锁存器316和标志高速缓存锁存器326锁存。

[0162] 此外,在第二读取电压VR2被施加到选择的字线并且读取通过电压被施加到未选择的字线之后,分别由数据读出放大器210和标志读出放大器220提供的第二读出数据SD2和第二读出标志SF2可以同时地或者可选地在相似的时间点由数据锁存电路310b的数据锁存器315和标志锁存电路320b的标志锁存器325锁存(步骤S220)。

[0163] 同时,ECC电路420可以通过对从标志锁存电路320b的标志高速缓存存储器326输出的第一读出标志SF1执行错误检查和纠正(ECC)操作来产生读取标志RFLAG(步骤S230)。

[0164] 也就是说,在数据锁存器315处锁存第二读出数据SD2的操作(步骤S220)和通过对标志高速缓存锁存器326锁存的第一读出标志SF1执行错误检查和纠正(ECC)操作产生读取标志RFLAG的操作(步骤S230)可以同时或可选地在相似的时间点执行。

[0165] 读取标志RFLAG可以对应于存储在选择的页面的标志区域120中的标志。

[0166] 如图1所示,由ECC电路420产生的读取标志RFLAG可以被存储在寄存器520中。

[0167] 此后,EXOR门317可以对由数据高速缓存锁存器316锁存的第一读出数据SD1和由数据锁存器315锁存的第二读出数据SD2执行异或运算,以产生确定数据DD(步骤S240)。从EXOR门317输出的确定数据DD可以由数据高速缓存锁存器316锁存。

[0168] 再次参照图12,计数器410可以从数据锁存电路310b的数据高速缓冲存储器316接收确定数据DD,并且通过对包括在确定数据DD中的“1”的位数进行计数来产生计数值CNT(步骤S250)。

[0169] 如上参照图6所述,当由计数器410产生的计数值CNT变小时,可以将第一读取电压VR1确定为适合于区分擦除状态E和编程状态P。此外,当区分擦除状态E和编程状态P的适当电压(例如,第一电压V1)与第一读取电压VR1之间的差增加时,由计数器410产生的计数值CNT可以增加。

[0170] 此后,计算器510和控制电路610可以基于由计数器410提供的计数值CNT和存储在寄存器520中的读取标志RFLAG来确定移位电压VSH(步骤S260)。

[0171] 移位电压VSH可以对应于区分擦除状态E和编程状态P的适当电压(例如,第一电压V1)与第一读取电压VR1之间的差。

[0172] 如上参照图6所述,当区别擦除状态E和编程状态P的适当电压(例如,第一电压V1)与第一读取电压VR1之间的差增加时,由计数器410产生的计数值CNT可以增加。

[0173] 因此,当计数值CNT增加时,计算器510和控制电路610可以增加移位电压VSH。此外,根据本发明构思的至少一些示例性实施例,当计数值CNT减小时,计算器510和控制电路610可以减小移位电压VSH。

[0174] 根据本发明构思的至少一些示例性实施例,计算器510可以基于存储在寄存器520中的读取标志RFLAG来纠正由计数器410提供的计数值CNT,以产生纠正的计数值C\_CNT,并且控制电路610可以基于纠正的计数值C\_CNT来确定移位电压VSH。

[0175] 以上参照图1至图11描述了计算器510根据存储在标志区域120中的标志中包括的各种信息基于读取标志RFLAG纠正计数值CNT以产生纠正的计数值C\_CNT的各种实施例。因此,这里将省略重复的描述。

[0176] 控制电路610可以产生对应于移位电压VSH的控制信号CON,并且电压发生器620可以通过将第一读取电压VR1移位移位电压VSH基于控制信号CON产生第三读取电压VR3。行译码器630可以将第三读取电压VR3施加到选择的字线,并将读取通过电压施加到未选择的字线。

[0177] 参照图1和图13,在第三读取电压VR3被施加到选择的字线并且读取通过电压被施加到未选择的字线之后,数据读出放大器210可以通过读出多个位线BL1至BL<sub>m</sub>产生第三读出数据SD3,所述第三读出数据SD3对应于存储在耦合到选择的字线的选择的页面的数据区域110中的数据,包括在数据锁存电路310b中的数据高速缓存锁存器316可以锁存第三读出数据SD3并输出锁存的第三读出数据SD3作为读取数据RDATA(步骤S270)。读取数据RDATA可以根据读取操作对应于非易失性存储设备10的最终输出数据。

[0178] 根据本发明构思的至少一些示例性实施例,在第三读取电压VR3被施加到选择的字线并且读取通过电压被施加到未选择的字线之后,标志读出放大器220可以通过读出多个位线BL1至BL<sub>m</sub>产生第三读出标志SF3,所述第三读出标志SF3对应于存储在耦合到选择的字线的选择的页面的标志区域120中的标志,且包括在标志锁存电路320b的标志高速缓存锁存器326可以锁存第三读出标志SF3。由标志高速缓存锁存器326锁存的第三读出标志SF3可以被提供给外部设备。

[0179] 图14是用于描述根据时间读取图12的非易失性存储设备的方法的过程的示例。

[0180] 参照图14,在读取操作期间,根据本发明构思的至少一些示例性实施例的非易失性存储设备10可以使用第一读取电压VR1执行第一读出操作,以产生第一读出数据SD1和第一读出标志SF1。

[0181] 此外,非易失性存储设备10可以使用第二读取电压VR2来执行第二读出操作以产生第二读出数据SD2,并且同时通过对第一读出标志SF1执行错误检查和纠正(ECC)操作来产生读取标志RFLAG。

[0182] 此后,非易失性存储设备10可以通过对第一读出数据SD1和第二读出数据SD2执行异或运算来产生确定数据DD,通过对包括在确定数据DD中的“1”的位数进行计数来产生计数值CNT,并且基于计数值CNT和读取标志RFLAG来确定移位电压VSH。

[0183] 此后,非易失性存储设备10可以使用通过将第一读取电压VR1移位移位电压VSH确定的第三读取电压VR3来执行第三读出操作,以产生读取数据RDATA。

[0184] 如上参照图1至图3以及图12至图14所述,在读取操作期间,根据本发明构思的至少一些示例性实施例的非易失性存储设备10可以通过比较第一读出数据SD1和第二读出数据SD2确定移位电压VSH,所述移位电压VSH表示区分擦除状态E和编程状态P的适当电压(例如,第一电压V1)与第一读取电压VR1之间的差,所述第一读出数据SD1是通过使用第一读取电压VR1执行的第一读出操作而产生的,所述第二读出数据SD2是通过使用第二读取电压VR2执行的第二读出操作而产生的,并且基于对应于数据区域110的信息的标志来调整移位电压VSH的幅度。

[0185] 其后,非易失性存储设备10可以使用通过将第一读取电压VR1移位移位电压VSH来确定的第三读取电压VR3来执行第三读出操作,以产生读取数据RDATA。因此,可以有效地提高非易失性存储设备10的读取操作可靠性。

[0186] 另外,如图14所示,根据本发明构思的至少一些示例性实施例的非易失性存储设备10可以不消耗时间(或者可能消耗相对较少的时间)来产生用于确定移位电压VSH的读取标志RFLAG。相反,非易失性存储设备10可以同时或者可选地在相似的时间点执行使用第二读取电压VR2产生第二读出数据SD2的第二读出操作以及通过对第一读出标志SF1执行错误检查和纠正(ECC)操作来产生读取标志RFLAG的操作。因此,非易失性存储设备10可以有效地提高读取操作可靠性,而不降低读取操作的速度。

[0187] 此外,根据本发明构思的至少一些示例性实施例的非易失性存储设备10可以通过基于标志跟踪存储单元的阈值电压的变化来内部地调整读取电压的幅度,而无需来自外部存储器控制器的控制。因此,非易失性存储设备10可以有效地提高读取操作可靠性。

[0188] 图15是示出根据本发明构思的至少一些示例性实施例的存储器系统的框图。

[0189] 参照图15,存储器系统900包括存储器控制器910和非易失性存储设备920。

[0190] 非易失性存储设备920可以包括存储单元阵列921。存储单元阵列921可以包括存储数据的数据区域922和存储对应于数据区域922的信息的标志的标志区域923。

[0191] 非易失性存储设备920可以用图1的非易失性存储设备10实现。以上参照图1至图14描述了图1的非易失性存储设备10的结构和操作。因此,这里将省略对非易失性存储设备920的详细描述。

[0192] 存储器控制器910可以控制非易失性存储设备920。存储器控制器910可以控制外部主机和非易失性存储设备920之间的数据传输。

[0193] 存储器控制器910可以包括中央处理单元CPU 911、缓冲存储器912、主机接口913和存储器接口914。

[0194] 中央处理单元911可以执行用于数据传送的操作。缓冲存储器912可以由例如随机存取存储器 (RAM) 来实现。缓冲存储器912可以由动态随机存取存储器 (DRAM)、静态随机存取存储器 (SRAM)、相变随机存取存储器 (PRAM)、铁电随机存取存储器 (FRAM)、电阻随机存取存储器 (RRAM)、磁随机存取存储器 (MRAM) 等实现。

[0195] 缓冲存储器912可以是中央处理单元911的操作存储器。根据本发明构思的至少一些示例性实施例,缓冲存储器912可以包括在存储器控制器910中。根据本发明构思的至少一些其他示例性实施例,缓冲存储器912可以在存储器控制器910的外部。

[0196] 主机接口913可以耦合到主机,并且存储器接口914可以耦合到非易失性存储设备920。中央处理单元911可以经由主机接口913与主机通信。例如,主机接口913可以被配置为使用诸如通用串行总线 (USB)、多媒体卡 (MMC)、外围组件互连快速通道 (PCI-E)、小型计算机系统接口 (SCSI)、串行连接SCSI (SAS)、串行高级技术附件 (SATA)、并行高级技术附件 (PATA)、增强型小型磁盘接口 (ESDI)、集成驱动器电子 (IDE) 等的各种接口协议中的至少一个与主机通信。

[0197] 此外,中央处理单元911可以经由存储器接口914与非易失性存储设备920进行通信。

[0198] 根据本发明构思的至少一些示例性实施例,存储器控制器910还可以包括用于纠错的纠错块ECC 915。

[0199] 根据本发明构思的至少一些示例性实施例,存储器控制器910可以内置在非易失性存储设备920中,或者存储器控制器910和非易失性存储设备920可以被实现为单独的芯片。

[0200] 存储器系统900可以被实现为存储卡、固态驱动器等等。

[0201] 图16是示出根据本发明构思的至少一些示例性实施例的固态驱动 (SSD) 系统的框图。

[0202] 图16是示出根据本发明构思的至少一些示例性实施例的固态驱动 (SSD) 系统的框图。

[0203] 参照图16,SSD系统2000包括主机2100和SSD 2200。

[0204] SSD 2200可以包括第一到第n非易失性存储设备2210-1、2210-2、...、2210-n和SSD控制器2220。

[0205] 可以使用第一至第n非易失性存储设备2210-1、2210-2、...、2210-n可以被用作SSD 2200的存储介质。

[0206] 第一到第n非易失性存储设备2210-1、2210-2、...、2210-n中的每一个可以用图1的非易失性存储设备10来实现。以上参考图1至图14描述了图1的非易失性存储设备10的结构和操作。因此,在此将省略第一至第n非易失性存储设备2210-1、2210-2、...、2210-n的详细描述。

[0207] SSD控制器2220可以分别通过第一至第n通道CH1、CH2、...、CHn耦合到第一至第n非易失性存储设备2210-1、2210-2、...、2210-n。

[0208] SSD控制器2220可以通过信号连接器2221与主机2100交换信号SGL。信号SGL可以

包括命令、地址和数据。SSD控制器2220可以根据从主机2100接收的命令,对第一至第n非易失性存储设备2210-1、2210-2、...、2210-n执行编程操作和读取操作。

[0209] SSD 2200还可以包括辅助电源2230。辅助电源2230可以通过电源连接器2231从主机2100接收电力PWR,并向SSD控制器2220提供电力。辅助电源2230可以放置在SSD 2200的内部或外部。例如,辅助电源2230可以被放置在主板中并且向SSD 2200提供辅助电力。

[0210] 由此已经描述了本发明构思的示例性实施例,显而易见的是,它可以以许多方式变化。这样的变化不被认为是偏离本发明构思的示例性实施例的预期精神和范围,并且对本领域技术人员显而易见的是所有这些修改旨在被包括在所附权利要求的范围内。

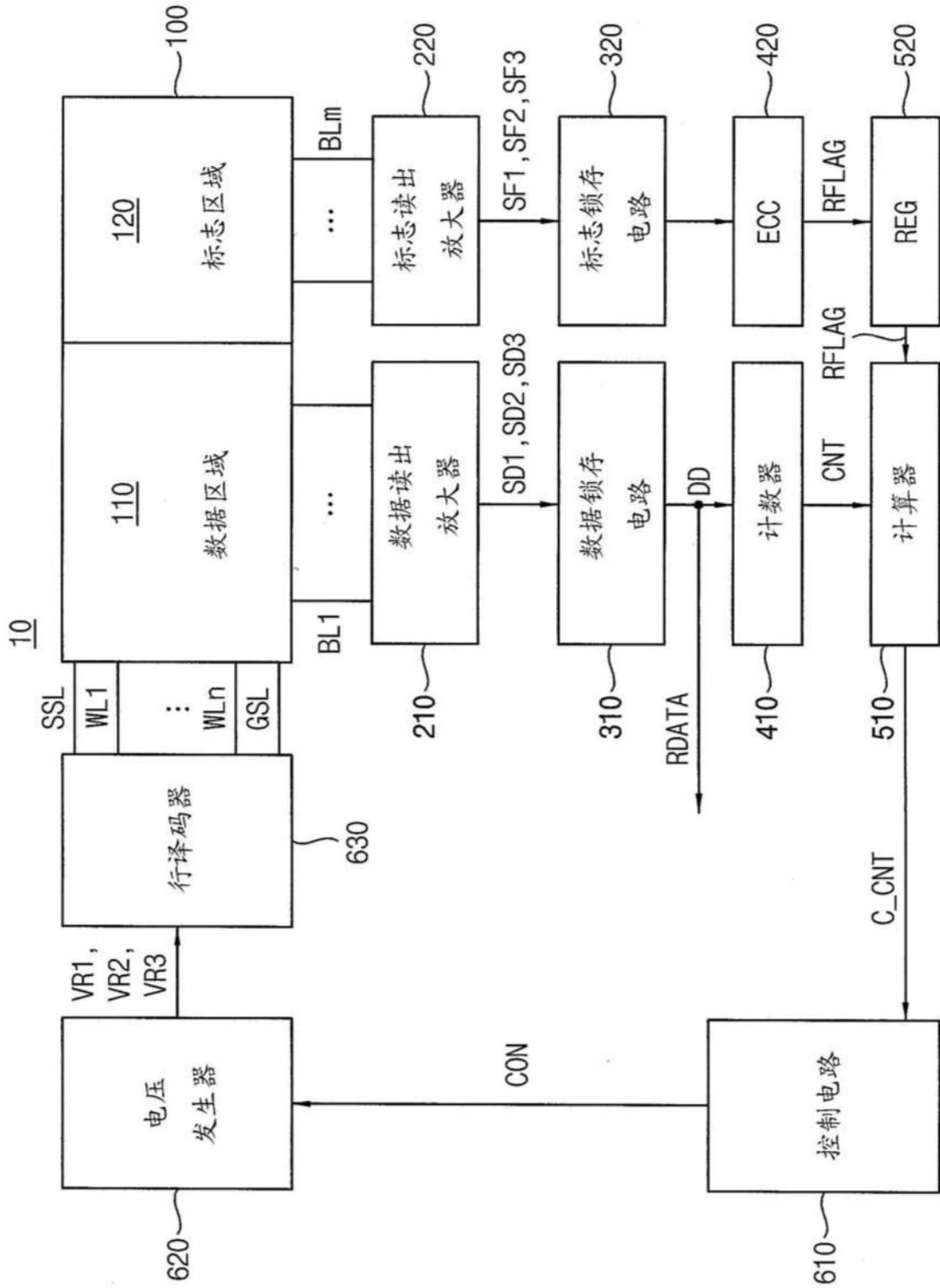


图1

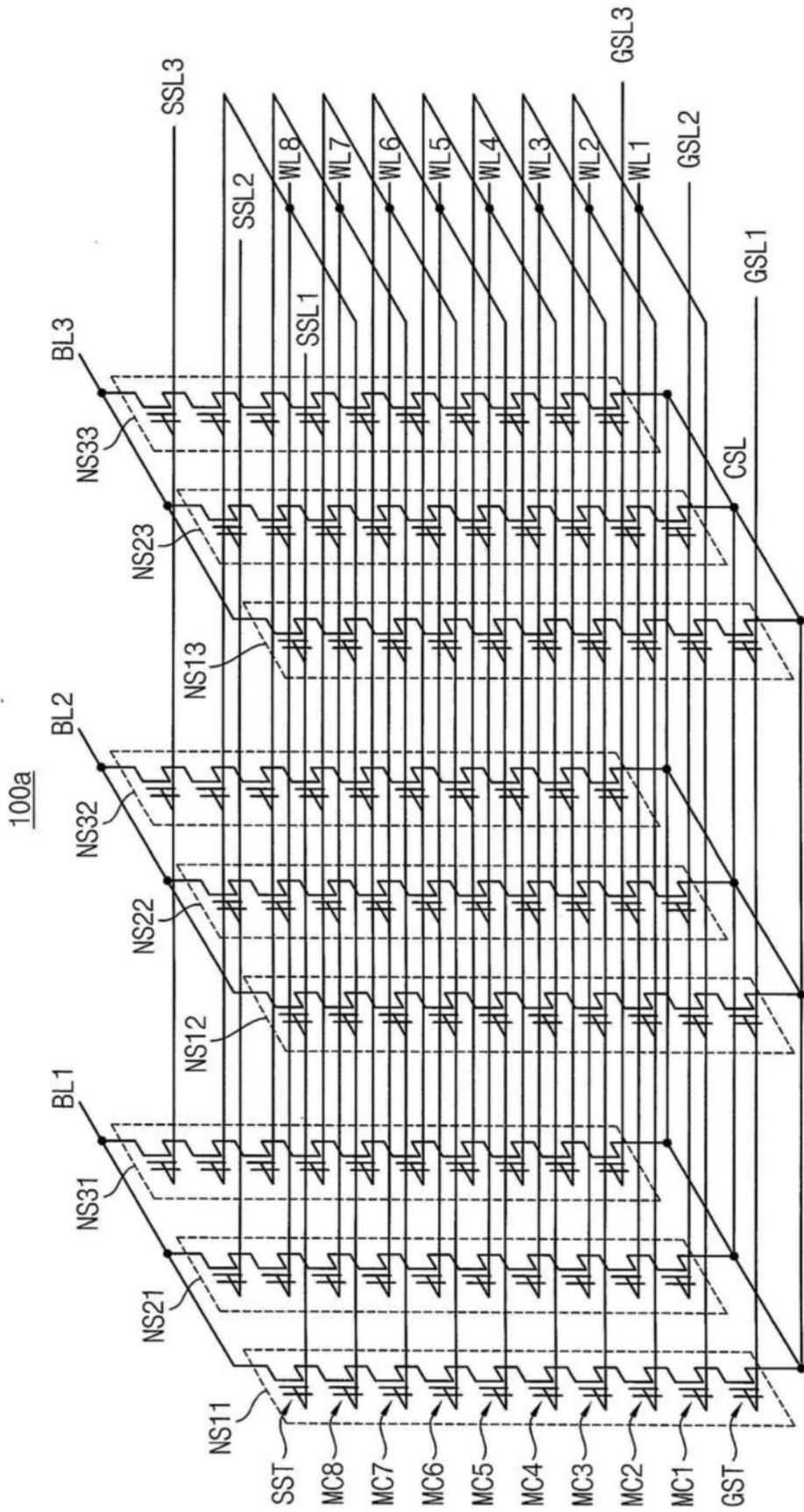


图2

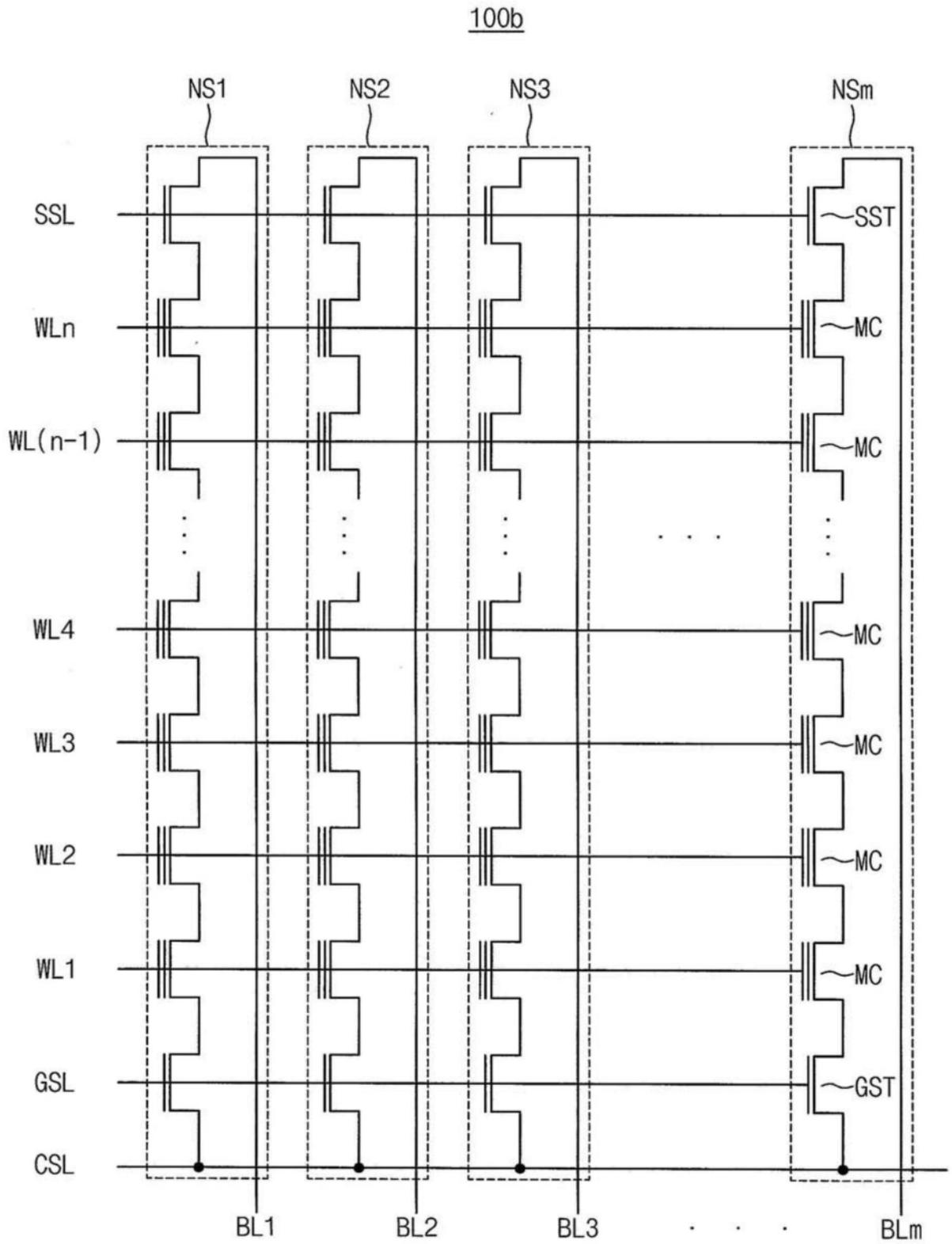


图3

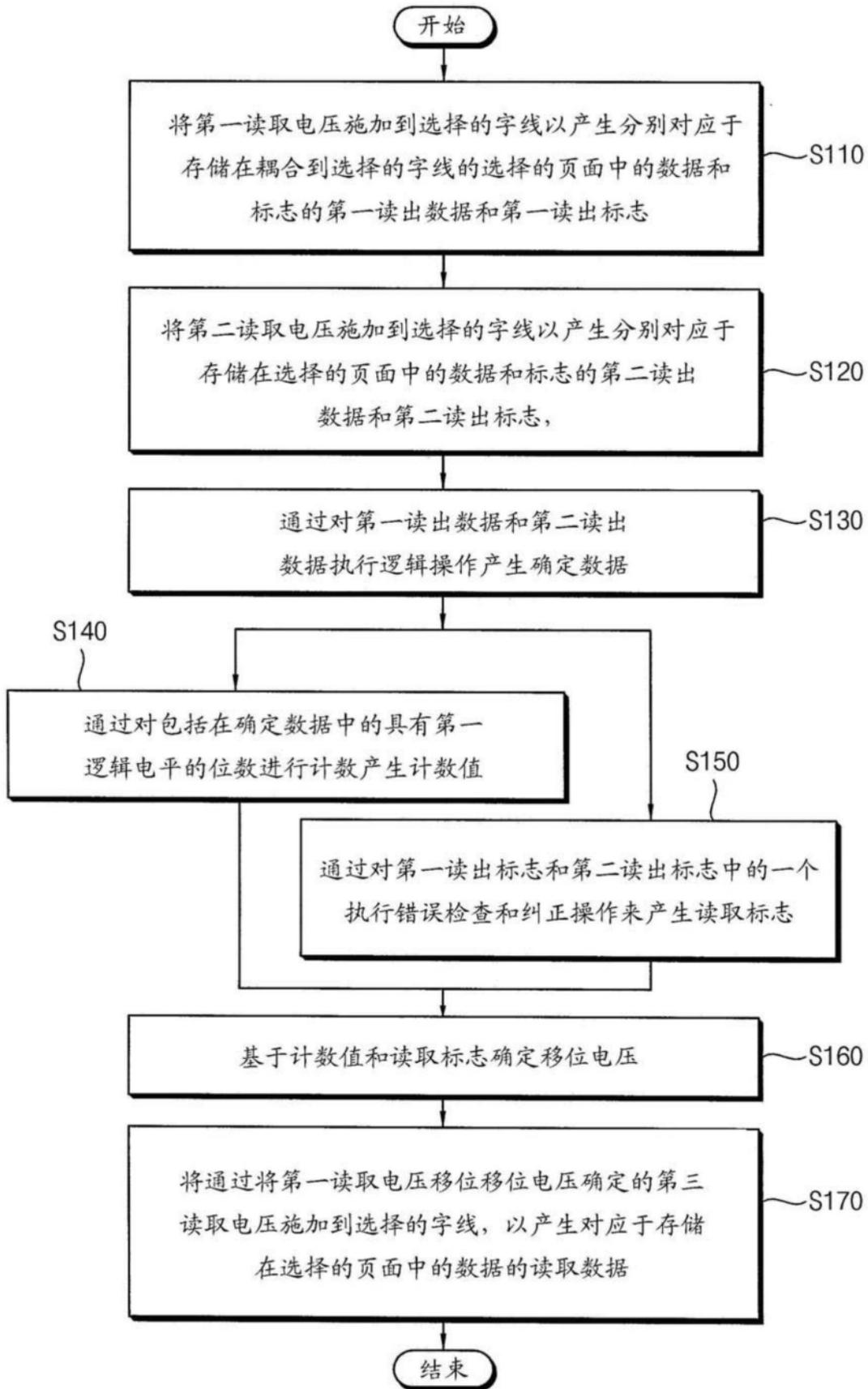


图4

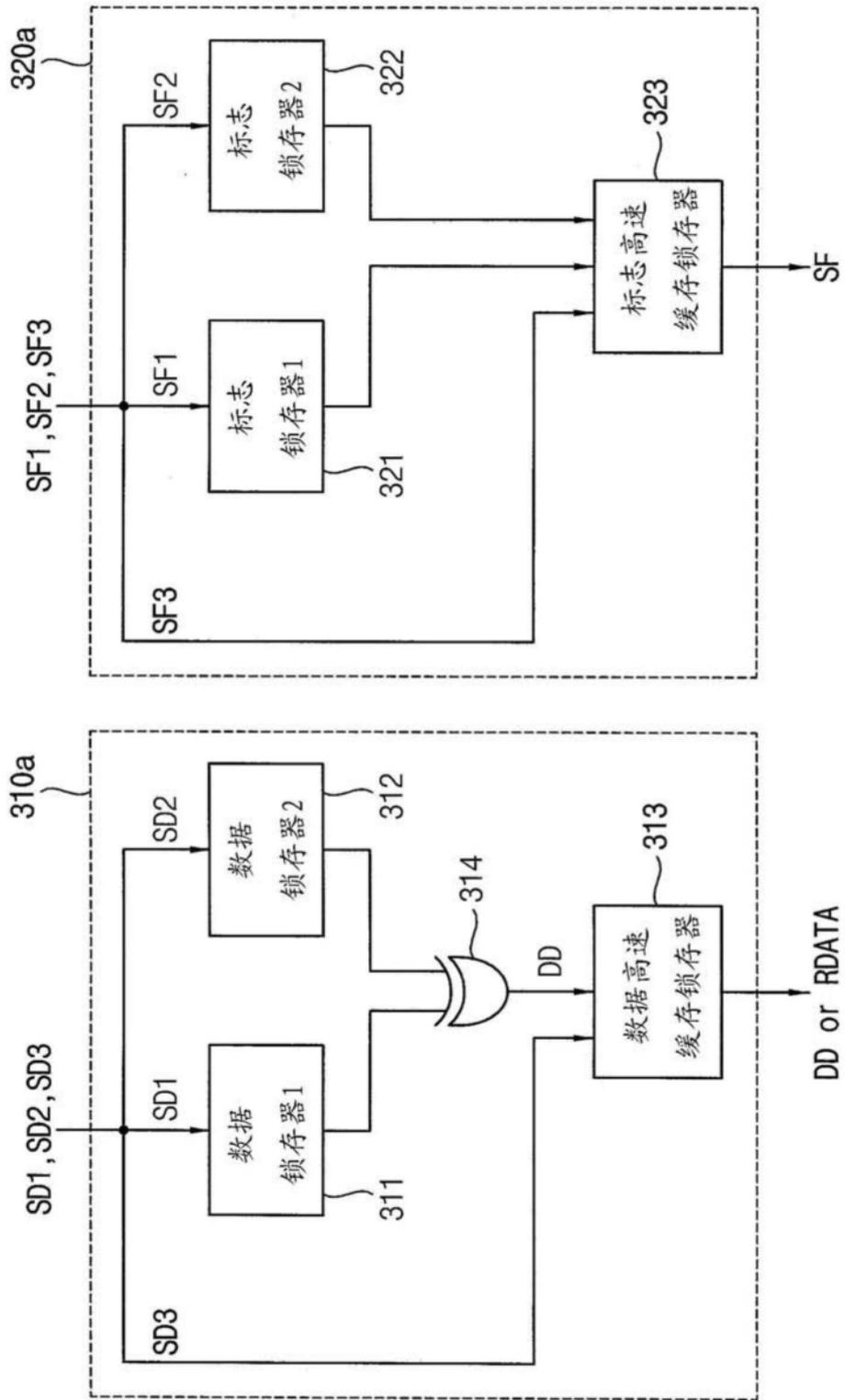


图5

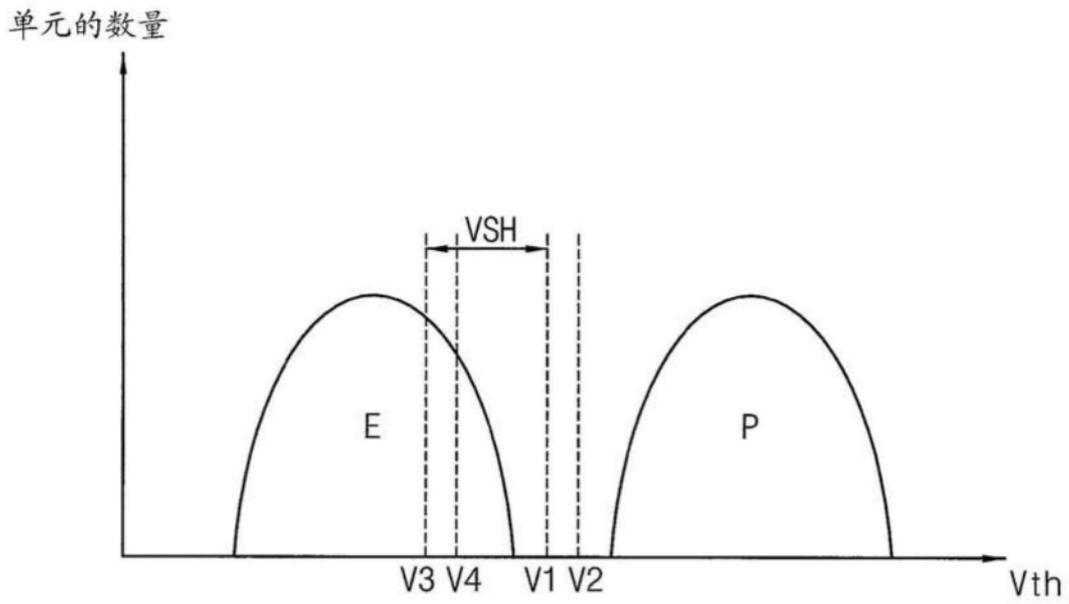


图6

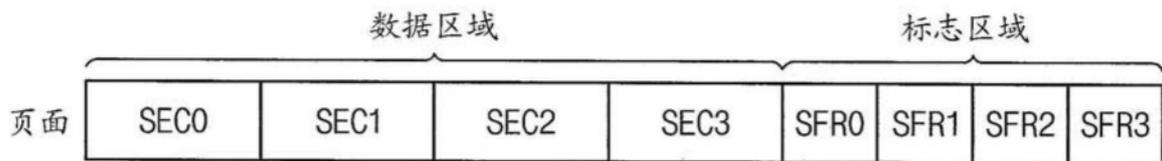


图7

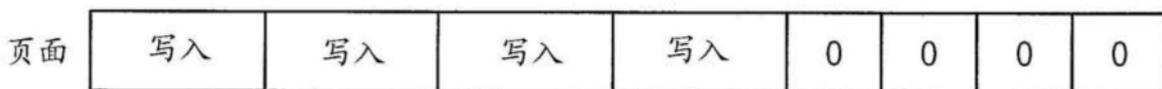


图8

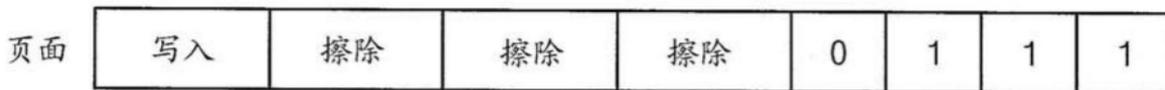


图9

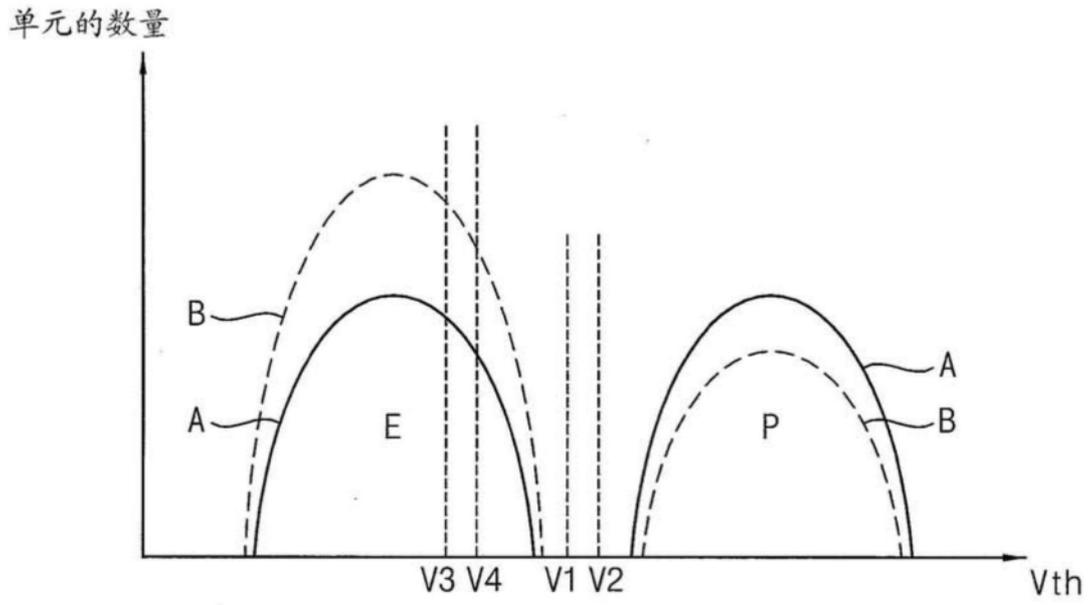


图10

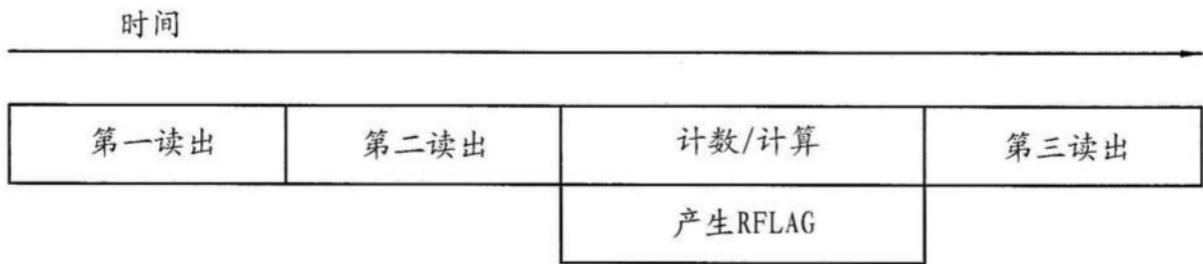


图11

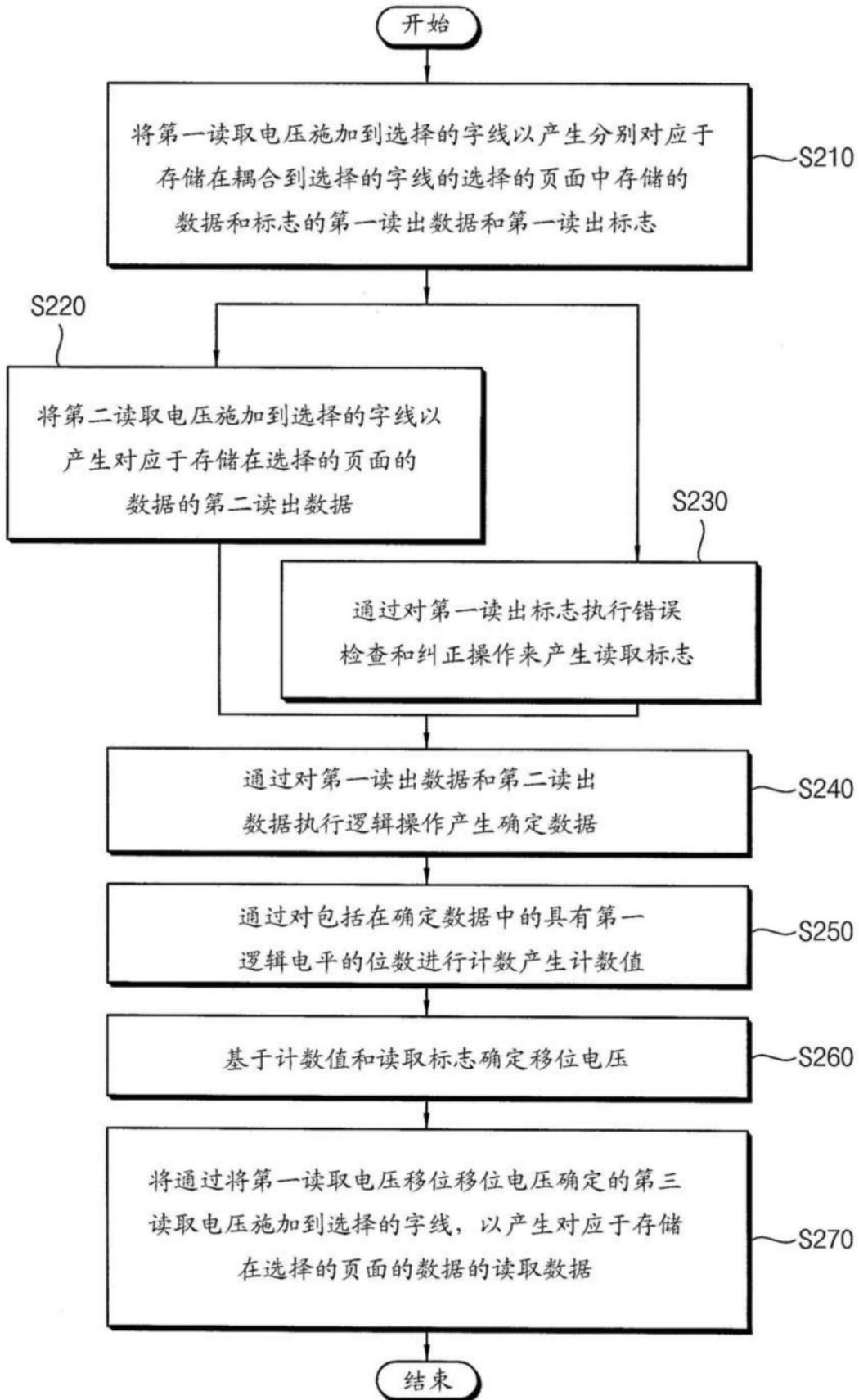


图12

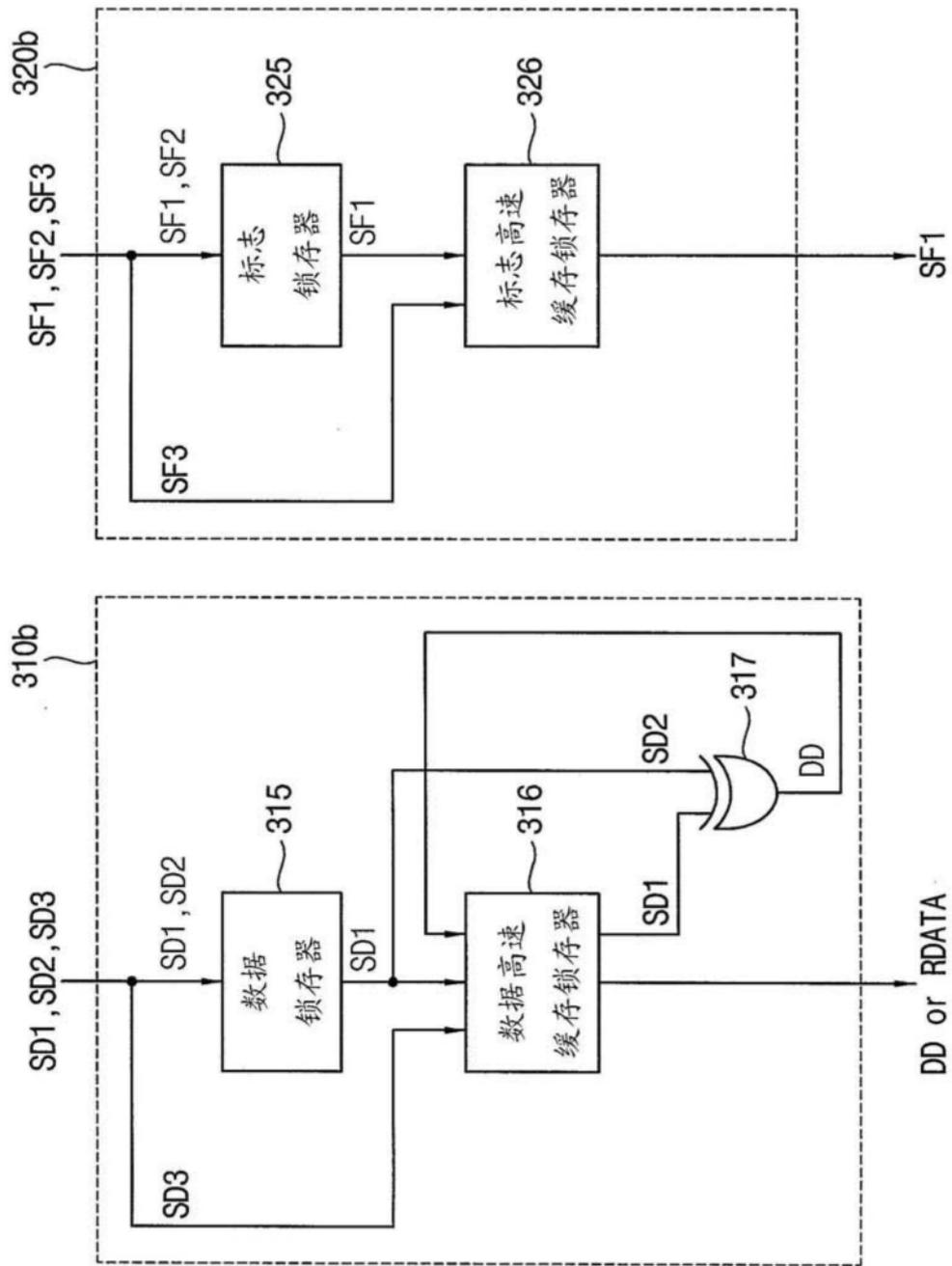


图13

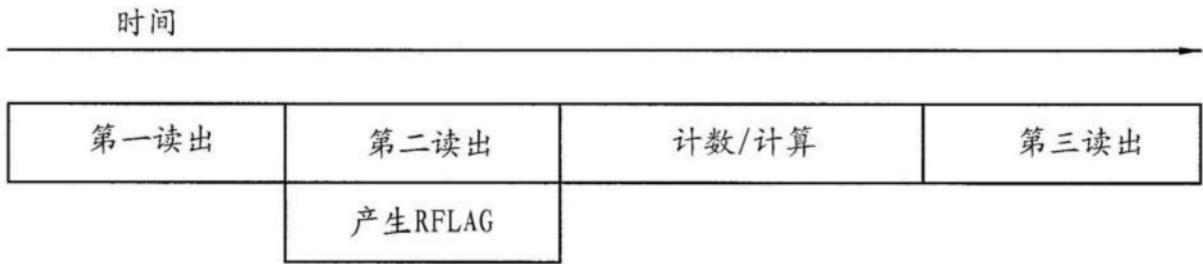


图14

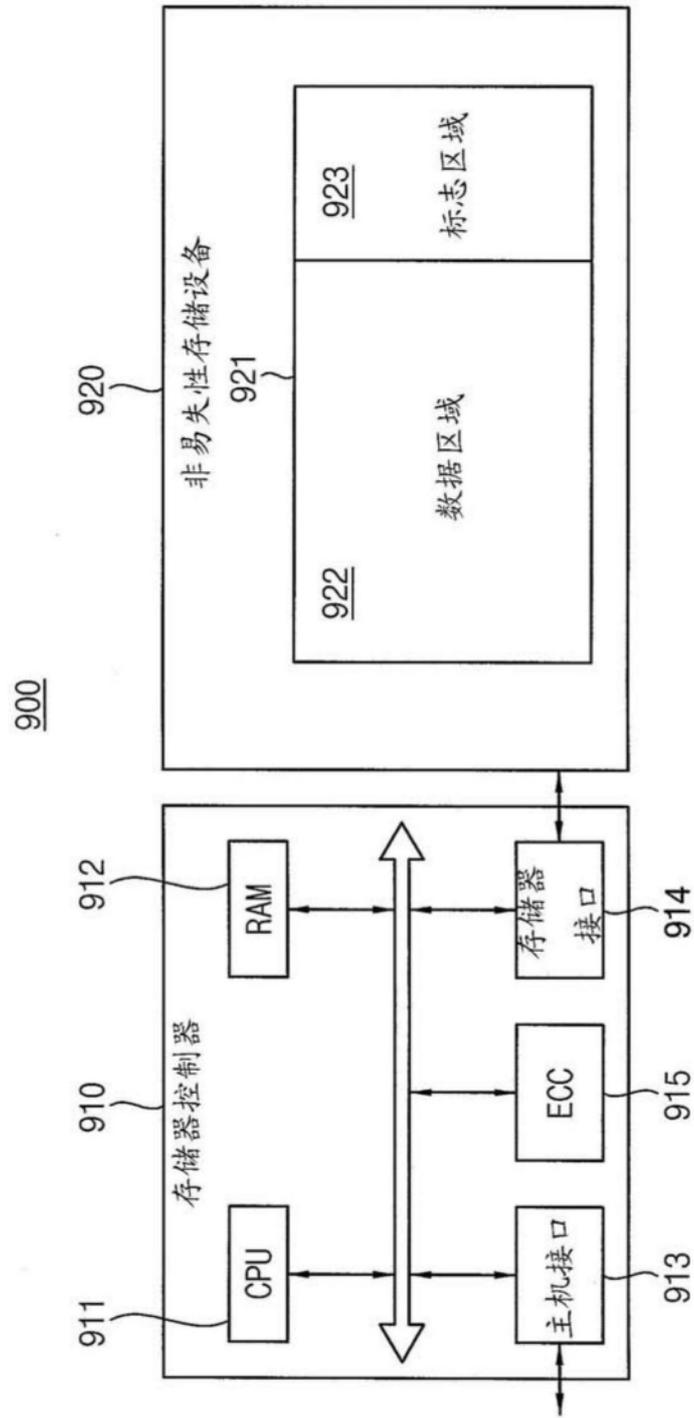


图15

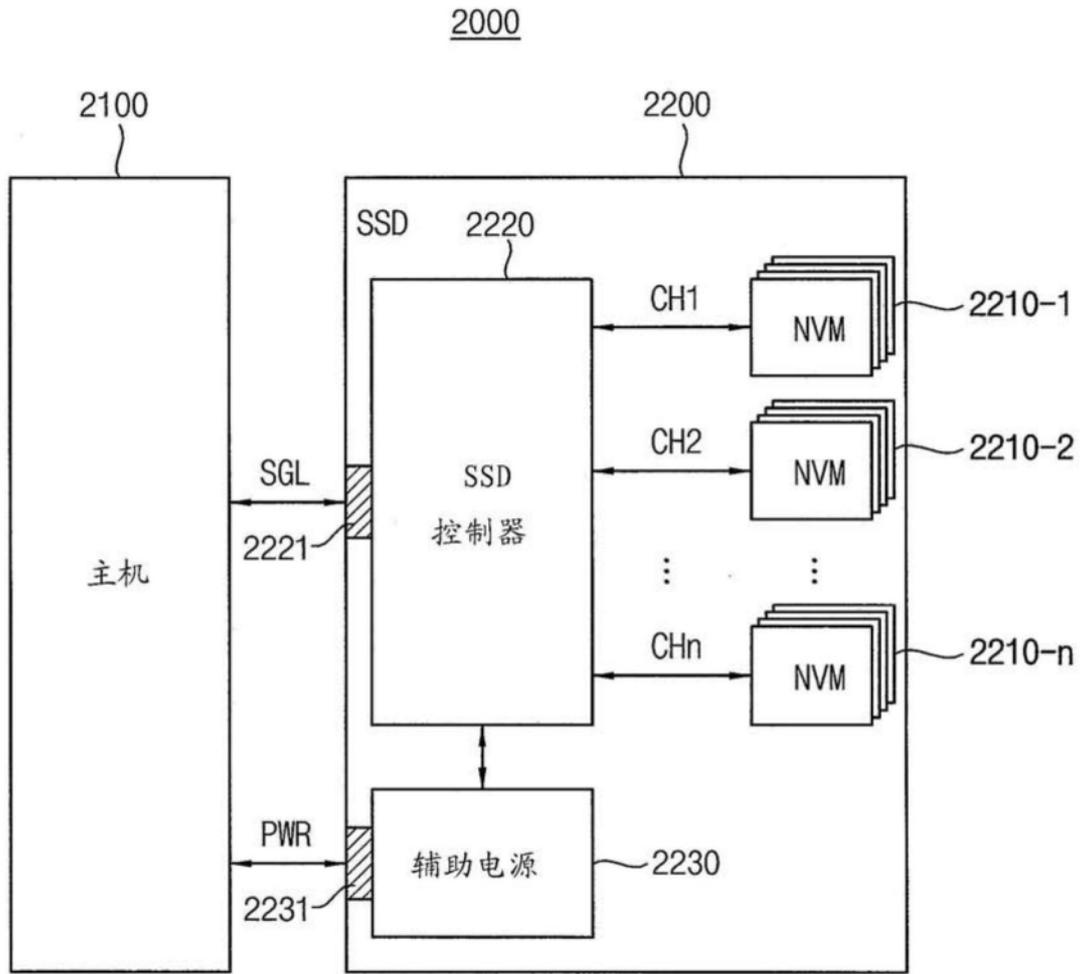


图16