



(12) 发明专利申请

(10) 申请公布号 CN 112928134 A

(43) 申请公布日 2021.06.08

(21) 申请号 202110147331.8

(22) 申请日 2021.02.03

(71) 申请人 武汉华星光电技术有限公司

地址 430079 湖北省武汉市东湖开发区高新大道666号生物城C5栋

(72) 发明人 汤富雄 龚帆 艾飞 宋继越

(74) 专利代理机构 深圳紫藤知识产权代理有限公司 44570

代理人 王红红

(51) Int. Cl.

H01L 27/146 (2006.01)

H01L 27/32 (2006.01)

G06F 3/042 (2006.01)

G06K 9/00 (2006.01)

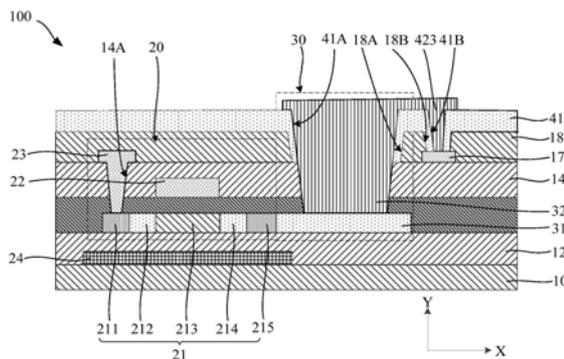
权利要求书2页 说明书11页 附图5页

(54) 发明名称

阵列基板和显示面板

(57) 摘要

本申请提供一种阵列基板和显示面板,所述阵列基板包括衬底基板、开关元件以及感光元件。所述感光元件与所述开关元件相邻设置在所述衬底基板上。所述开关元件包括第一半导体,所述第一半导体设置在所述衬底基板上。所述感光元件包括第二半导体和感光电极,所述第二半导体与所述第一半导体相连且同层设置,所述感光电极设置在所述第二半导体远离所述衬底基板的一侧,且与所述第二半导体连接。其中,所述感光电极与所述第二半导体形成肖特基结。本申请增大了感光元件的有效光敏面积,从而提高了感光元件的灵敏度。



1. 一种阵列基板,其特征在于,包括:

衬底基板;

开关元件,设置在所述衬底基板上,所述开关元件包括第一半导体,所述第一半导体设置在所述衬底基板上;以及

感光元件,与所述开关元件相邻设置在所述衬底基板上,所述感光元件包括第二半导体和感光电极,所述第二半导体与所述第一半导体相连且同层设置,所述感光电极设置在所述第二半导体远离所述衬底基板的一侧,且与所述第二半导体连接;

其中,所述感光电极与所述第二半导体形成肖特基结。

2. 根据权利要求1所述的阵列基板,其特征在于,所述第二半导体为本征型半导体或者N型半导体。

3. 根据权利要求2所述的阵列基板,其特征在于,所述第一半导体包括沿水平方向依次设置在所述衬底基板上的第一掺杂部、第二掺杂部、沟道部、第三掺杂部以及第四掺杂部,所述第四掺杂部和所述第二半导体连接;

其中,所述第一掺杂部和所述第四掺杂部均为N型重掺杂,所述第二掺杂部、所述第三掺杂部以及所述第二半导体均为N型轻掺杂。

4. 根据权利要求1所述的阵列基板,其特征在于,所述开关元件还包括:

栅极,设置在所述第一半导体远离所述衬底基板的一侧,且与所述第一半导体绝缘设置;

输入电极,设置在所述第一半导体远离所述衬底基板的一侧,且与所述第一半导体远离所述第二半导体的一端连接。

5. 根据权利要求4所述的阵列基板,其特征在于,所述阵列基板还包括薄膜晶体管层,所述开关元件和所述感光元件均设置在所述薄膜晶体管层中。

6. 根据权利要求5所述的阵列基板,其特征在于,所述薄膜晶体管层包括:

半导体层,设置在所述衬底基板上,所述半导体层包括所述第一半导体和所述第二半导体;

栅绝缘层,设置在所述半导体层上;

栅极层,设置在所述栅绝缘层上,所述栅极层包括所述栅极;

层间绝缘层,设置在所述栅绝缘层和所述栅极层上,所述层间绝缘层具有第一过孔,所述第一过孔贯穿所述层间绝缘层并延伸至所述第一半导体远离所述衬底基板的一侧;

源漏电极层,设置在所述层间绝缘层上,所述源漏电极层包括所述输入电极,所述输入电极通过所述第一过孔与所述第一半导体层连接。

7. 根据权利要求6所述的阵列基板,其特征在于,所述薄膜晶体管层还包括:

平坦层,设置在所述源漏电极层和所述层间绝缘层上,所述平坦层具有第二过孔,所述第二过孔贯穿所述平坦层,并暴露出所述层间绝缘层远离所述衬底基板的一侧;

公共电极层,设置在所述平坦层上;

钝化层,设置在所述公共电极层和所述平坦层上,所述钝化层具有第三过孔,所述第三过孔贯穿所述钝化层,并通过所述第二过孔延伸至所述第二半导体远离所述衬底基板的一侧,所述第二过孔的孔径大于所述第三过孔的孔径,且所述钝化层覆盖所述第二过孔的内侧壁;

其中,所述感光电极通过所述第三过孔与所述第二半导体连接。

8. 根据权利要求7所述的阵列基板,其特征在于,所述阵列基板还包括像素电极层,所述像素电极层设置在所述钝化层上;

其中,所述感光电极和所述像素电极层同层设置。

9. 根据权利要求8所述的阵列基板,其特征在于,所述源漏电极层包括源极、漏极、触控电极以及指纹信号电极,所述公共电极层包括触控走线和第一电极,所述像素电极层包括像素电极、第二电极以及信号连接线。

10. 根据权利要求9所述的阵列基板,其特征在于,所述平坦层还具有第四过孔、第五过孔以及第六过孔,所述第四过孔暴露出所述指纹信号电极远离所述衬底基板的一侧,所述第五过孔暴露出所述漏极远离所述衬底基板的一侧,所述第六过孔暴露出所述触控电极远离所述衬底基板的一侧;

所述钝化层还具有第七过孔和第八过孔,所述第七过孔与所述第四过孔对应设置,且所述钝化层覆盖所述第四过孔的内侧壁,所述第八过孔对应所述第五过孔设置,且所述钝化层覆盖所述第五过孔的内侧壁。

11. 根据权利要求10所述的阵列基板,其特征在于,所述感光电极与所述信号连接线连接,所述信号连接线通过所述第七过孔与所述指纹信号电极连接;所述像素电极通过所述第八过孔与所述漏极连接;所述触控电极通过所述第六过孔与所述触控走线连接。

12. 根据权利要求5所述的阵列基板,其特征在于,所述阵列基板具有显示区和虚拟像素区,所述虚拟像素区至少位于所述显示区的一侧,所述开关元件和所述感光元件均位于所述虚拟像素区。

13. 根据权利要求1所述的阵列基板,其特征在于,所述阵列基板还包括遮光部,所述遮光部设置在所述衬底基板靠近所述第一半导体的一侧,且所述遮光部在所述衬底基板上的投影至少覆盖所述第一半导体在所述衬底基板上的投影。

14. 根据权利要求13所述的阵列基板,其特征在于,所述遮光部在所述衬底基板上的投影覆盖所述第一半导体在所述衬底基板上的投影以及所述第二半导体在所述衬底基板上的投影。

15. 根据权利要求1所述的阵列基板,其特征在于,所述感光电极的材料为氧化镉锌、氧化锌或者氧化镉镓锌。

16. 根据权利要求1所述的阵列基板,其特征在于,所述第一半导体和所述第二半导体的材料均为多晶硅。

17. 根据权利要求16所述的阵列基板,其特征在于,所述第二半导体的厚度为400埃至600埃。

18. 一种显示面板,其特征在于,包括权利要求1至17任一项所述的阵列基板。

## 阵列基板和显示面板

### 技术领域

[0001] 本申请涉及显示技术领域，具体涉及一种阵列基板和显示面板。

### 背景技术

[0002] 目前，指纹识别技术已广泛应用于中小尺寸的面板中，其中主要有电容式、超声波式和光学式等几种方式。相比于电容式和超声波式指纹识别技术，光学指纹识别稳定性好、抗静电能力强、穿透能力好且成本较低。光学指纹识别技术利用光的折射和反射原理，当光照射到手指上，经手指反射后由感光传感器接收，感光传感器可将光信号转换为电学信号，从而进行读取。

[0003] 但是现有感光传感器中的感光元件的有效光敏面积较小，导致感光元件的灵敏度较低。

### 发明内容

[0004] 本申请提供了一种阵列基板和显示面板，以解决现有技术中感光元件的有效光敏面积较小，导致感光元件的灵敏度较低的技术问题。

[0005] 本申请提供一种阵列基板，其包括：

[0006] 衬底基板；

[0007] 开关元件，设置在所述衬底基板上，所述开关元件包括第一半导体，所述第一半导体设置在所述衬底基板上；以及

[0008] 感光元件，与所述开关元件相邻设置在所述衬底基板上，所述感光元件包括第二半导体和感光电极，所述第二半导体与所述第一半导体相连且同层设置，所述感光电极设置在所述第二半导体远离所述衬底基板的一侧，且与所述第二半导体连接；

[0009] 其中，所述感光电极与所述第二半导体形成肖特基结。

[0010] 在本申请提供的阵列基板中，所述第二半导体为本征型半导体或者N型半导体。

[0011] 在本申请提供的阵列基板中，所述第一半导体包括沿水平方向依次设置在所述衬底基板上的第一掺杂部、第二掺杂部、沟道部、第三掺杂部以及第四掺杂部，所述第四掺杂部和所述第二半导体连接；

[0012] 其中，所述第一掺杂部和所述第四掺杂部均为N型重掺杂，所述第二掺杂部、所述第三掺杂部以及所述第二半导体均为N型轻掺杂。

[0013] 在本申请提供的阵列基板中，所述开关元件还包括：

[0014] 栅极，设置在所述第一半导体远离所述衬底基板的一侧，且与所述第一半导体绝缘设置；

[0015] 输入电极，设置在所述第一半导体远离所述衬底基板的一侧，且与所述第一半导体远离所述第二半导体的一端连接。

[0016] 在本申请提供的阵列基板中，所述阵列基板还包括薄膜晶体管层，所述开关元件和所述感光元件均设置在所述薄膜晶体管层中。

[0017] 在本申请提供的阵列基板中,所述薄膜晶体管层包括:

[0018] 半导体层,设置在所述衬底基板上,所述半导体层包括所述第一半导体和所述第二半导体;

[0019] 栅绝缘层,设置在所述半导体层上;

[0020] 栅极层,设置在所述栅绝缘层上,所述栅极层包括所述栅极;

[0021] 层间绝缘层,设置在所述栅绝缘层和所述栅极层上,所述层间绝缘层具有第一过孔,所述第一过孔贯穿所述层间绝缘层并延伸至所述第一半导体远离所述衬底基板的一侧;

[0022] 源漏电极层,设置在所述层间绝缘层上,所述源漏电极层包括所述输入电极,所述输入电极通过所述第一过孔与所述第一半导体层连接。

[0023] 在本申请提供的阵列基板中,所述薄膜晶体管层还包括:

[0024] 平坦层,设置在所述源漏电极层和所述层间绝缘层上,所述平坦层具有第二过孔,所述第二过孔贯穿所述平坦层,并暴露出所述层间绝缘层远离所述衬底基板的一侧;

[0025] 公共电极层,设置在所述平坦层上;

[0026] 钝化层,设置在所述公共电极层和所述平坦层上,所述钝化层具有第三过孔,所述第三过孔贯穿所述钝化层,并通过所述第二过孔延伸至所述第二半导体远离所述衬底基板的一侧,所述第二过孔的孔径大于所述第三过孔的孔径,且所述钝化层覆盖所述第二过孔的内侧壁;

[0027] 其中,所述感光电极通过所述第三过孔与所述第二半导体连接。

[0028] 在本申请提供的阵列基板中,所述阵列基板还包括像素电极层,所述像素电极层设置在所述钝化层上;

[0029] 其中,所述感光电极和所述像素电极层同层设置。

[0030] 在本申请提供的阵列基板中,所述源漏电极层包括源极、漏极、触控电极以及指纹信号电极,所述公共电极层包括触控走线和第一电极,所述像素电极层包括像素电极、第二电极以及信号连接线。

[0031] 在本申请提供的阵列基板中,所述平坦层还具有第四过孔、第五过孔以及第六过孔,所述第四过孔暴露出所述指纹信号电极远离所述衬底基板的一侧,所述第五过孔暴露出所述漏极远离所述衬底基板的一侧,所述第六过孔暴露出所述触控电极远离所述衬底基板的一侧;

[0032] 所述钝化层还具有第七过孔和第八过孔,所述第七过孔与所述第四过孔对应设置,且所述钝化层覆盖所述第四过孔的内侧壁,所述第八过孔对应所述第五过孔设置,且所述钝化层覆盖所述第五过孔的内侧壁。

[0033] 在本申请提供的阵列基板中,所述感光电极与所述信号连接线连接,所述信号连接线通过所述第七过孔与所述指纹信号电极连接;所述像素电极通过所述第八过孔与所述漏极连接;所述触控电极通过所述第六过孔与所述触控走线连接。

[0034] 在本申请提供的阵列基板中,所述阵列基板具有显示区和虚拟像素区,所述虚拟像素区至少位于所述显示区的一侧,所述开关元件和所述感光元件均位于所述虚拟像素区。

[0035] 在本申请提供的阵列基板中,所述阵列基板还包括遮光部,所述遮光部设置在所

述衬底基板靠近所述第一半导体的一侧,且所述遮光部在所述衬底基板上的投影至少覆盖所述第一半导体在所述衬底基板上的投影。

[0036] 在本申请提供的阵列基板中,所述遮光部在所述衬底基板上的投影覆盖所述第一半导体在所述衬底基板上的投影以及所述第二半导体在所述衬底基板上的投影。

[0037] 在本申请提供的阵列基板中,所述感光电极的材料为氧化镉锌、氧化锌或者氧化镉镓锌。

[0038] 在本申请提供的阵列基板中,所述第一半导体和所述第二半导体的材料均为多晶硅。

[0039] 在本申请提供的阵列基板中,所述第二半导体的厚度为400埃至600埃。

[0040] 本申请还提供一种显示面板,其包括上述任一项所述的阵列基板。

[0041] 本申请提供一种阵列基板和显示面板,所述阵列基板包括相邻设置在衬底基板上的开关元件和感光元件,所述感光元件包括第二半导体以及与所述第二半导体连接的感光电极,所述感光电极设置在所述第二半导体远离所述衬底基板的一侧,且与所述第二半导体连接。其中,感光电极与第二半导体形成肖特基结,增加了感光元件的有效光敏面积,且感光元件接收光线后能够在垂直方向上形成内建电场,可更加有效地分离电子-空穴对,增大光生电流,从而提高感光元件的灵敏度。

## 附图说明

[0042] 为了更清楚地说明本申请实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本申请的一些实施例,对于本领域技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0043] 图1是本申请提供的阵列基板的第一结构示意图;

[0044] 图2是本申请提供的阵列基板的第二结构示意图;

[0045] 图3是本申请提供的阵列基板的第三结构示意图;

[0046] 图4是本申请提供的阵列基板的第四结构示意图;

[0047] 图5是本申请提供的阵列基板的制作方法的第一流程示意图;

[0048] 图6是本申请提供的阵列基板的制作方法的第二流程示意图;

[0049] 图7是本申请提供的显示面板的结构示意图。

## 具体实施方式

[0050] 下面将结合本申请实施例中的附图,对本申请实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本申请一部分实施例,而不是全部的实施例。基于本申请中的实施例,本领域技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本申请保护的范围。

[0051] 请参阅图1,图1是本申请提供的阵列基板的第一结构示意图。如图1所示,阵列基板100包括衬底基板10、开关元件20以及感光元件30。开关元件20设置在衬底基板10上。开关元件20包括第一半导体21。第一半导体21设置在衬底基板10上。感光元件30与开关元件20相邻设置在衬底基板10上。感光元件30包括第二半导体31和感光电极32。第二半导体31

与第一半导体21相连且同层设置。感光电极32设置在第二半导体31远离衬底基板10的一侧,且与第二半导体31连接。其中,感光电极32与第二半导体31形成肖特基结。

[0052] 由此可知,在本申请实施例提供的阵列基板100中,开关元件20和感光元件30协同工作,以实现屏下光学指纹识别等功能。其中,感光元件30包括叠层设置的第二半导体31和感光电极32,以在第二半导体31和感光电极32之间形成肖特基结,增加了感光元件30的有效光敏面积;同时,感光元件30接收光线后能够在垂直方向Y上形成内建电场,可更加有效地分离电子-空穴对,增大光生电流,从而提高感光元件30的灵敏度;此外,相较于现有技术,在本申请实施例提供的感光元件30中,不需要额外设置感光层,从而可以减少光罩,降低生产成本。

[0053] 其中,肖特基结是一种简单的金属与半导体的交界面,它与PN结相似,具有非线性阻抗特性。1938年德国的W.H.肖特基提出理论模型,对此特性作了科学的解释,故后来把这种金属与半导体的交界面称为肖特基结或肖特基势垒。

[0054] 在本申请实施例中,衬底基板10可以为玻璃基板、石英基板、树脂基板、PI(聚酰亚胺,Polyimide)柔性基板或其他类型基板,在此不一一赘述。

[0055] 在本申请实施例中,开关元件20用于提供感光元件30工作所需的偏置电压。开关元件20为薄膜晶体管,其可以为底栅型或顶栅型。本申请以下各实施例均以开关元件20为顶栅型薄膜晶体管为例进行说明,但并不限于此。

[0056] 具体的,开关元件20还包括栅极22和输入电极23。栅极22设置在第一半导体21远离衬底基板10的一侧。栅极22和第一半导体21绝缘设置。输入电极23设置在第一半导体21远离衬底基板10的一侧,且与第一半导体21远离第二半导体31的一端连接。

[0057] 其中,输入电极23用于接入一偏置电压。开关元件20将偏置电压传输至感光元件30,使得感光元件30发生反偏。然后开关元件20关闭,当入射光入射到感光元件30后,可以激发感光元件30产生光生电荷,从而形成屏下光学指纹识别所需的光电流信号。

[0058] 其中,第一半导体21的材料为多晶硅。栅极22和输入电极23的材料可以是导电性良好的单层金属或不同金属的叠层。比如,栅极22的材料是银、铝、铜、钼、钼/铝/钼(叠层)或者钼/铜(叠层)。

[0059] 在本申请实施例中,第一半导体21包括沿水平方向X依次设置在衬底基板10上的第一掺杂部211、第二掺杂部212、沟道部213、第三掺杂部214以及第四掺杂部215。第四掺杂部215和第二半导体31连接。具体的,第一掺杂部211、第二掺杂部212、沟道部213、第三掺杂部214以及第四掺杂部215沿水平方向X依次连接。栅极22对应沟道部213设置。输入电极23与第一掺杂部211连接。

[0060] 其中,第一掺杂部211和第四掺杂部215均为N型重掺杂。第二掺杂部212和第三掺杂部214均为N型轻掺杂。沟道部213为本征型半导体。

[0061] 具体的,第一掺杂部211、第二掺杂部212、第三掺杂部214以及第四掺杂部215均通过在第一半导体21中掺杂磷离子得到。其中,N型重掺杂和N型轻掺杂的不同之处在于磷离子的掺杂浓度不同。

[0062] 在本申请实施例中,第一半导体21和第二半导体31的材料均为多晶硅。可以理解的是,在传统LTPS(Low Temperature Poly-silicon,低温多晶硅)制程中,由于受到准分子激光退火工艺对多晶硅晶化厚度的限制,第一半导体21和第二半导体31的厚度较薄。若仅

在水平方向X存在内建电场,则感光元件30对入射光的光电响应会比较低,光生电子-空穴对较少,从而影响感光元件30的灵敏度。

[0063] 而在本申请实施例中,由于第二半导体31和感光电极32之间形成叠层结构的肖特基结,一方面增加了感光元件30的有效光敏面积,另一方面感光元件30接收光线后能够在垂直方向Y上形成内建电场,增大光生电流。因此,第二半导体31的厚度可以做得很薄。具体的,第二半导体31的厚度为400埃至600埃。比如,第二半导体31的厚度为400埃、450埃、500埃、550埃或者600埃。

[0064] 进一步的,在本申请实施例中,第一半导体21的厚度可以等于第二半导体31的厚度。第一半导体21的厚度为400埃至600埃。比如,第一半导体21的厚度为400埃、450埃、500埃、550埃或者600埃。第一半导体21和第二半导体31可通过同一工艺形成。

[0065] 在本申请实施例中,第二半导体31为N型半导体。具体的,第二半导体31、第二掺杂部212以及第三掺杂部214均为N型轻掺杂。可以理解的是,在传统LTPS制程中,在对第一半导体21进行离子注入以形成第二掺杂部212和第三掺杂部214时,采用的是整面离子注入工艺。因此,本申请实施例通过将第二半导体31和第一半导体21同层设置,可以在形成第二掺杂部212和第三掺杂部214时,同时形成N型轻掺杂的第二半导体31,从而增强内建电场的强度,并减少工艺制程。

[0066] 在本申请实施例中,感光电极32的材料为功函数高的导电材料,以便感光电极32和第二半导体31之间形成肖特基结。其中,功函数高的导电材料可以是氧化镉锌、氧化锌或者氧化镉镓锌。

[0067] 此外,阵列基板100还包括缓冲层12、栅绝缘层13、层间绝缘层14、平坦层18和钝化层41。缓冲层12设置在衬底基板10靠近第一半导体21的一侧,并覆盖衬底基板10。栅绝缘层13设置在栅极22靠近衬底基板10的一侧,并覆盖第一半导体21、第二半导体31以及缓冲层12。层间绝缘层14设置在栅极22远离衬底基板10的一侧,并覆盖栅极22和栅绝缘层13。层间绝缘层14具有第一过孔14A。第一过孔14A贯穿层间绝缘层14并延伸至第一半导体21远离衬底基板10的一侧。平坦层18设置在层间绝缘层14远离衬底基板10的一侧,且覆盖输入电极23。平坦层18具有第二过孔18A。第二过孔18A贯穿平坦层18并暴露出层间绝缘层14远离衬底基板10的一侧。钝化层41设置在平坦层18上。钝化层41具有第三过孔41A。第三过孔41A贯穿钝化层41,并通过第二过孔18A延伸至第二半导体31远离衬底基板10的一侧。第二过孔18A的孔径大于第三过孔41的孔径,且钝化层41覆盖第二过孔18A的内侧壁。

[0068] 其中,输入电极23通过第一过孔14A与第一半导体21连接。感光电极32通过第三过孔41A和第二半导体31连接。

[0069] 其中,缓冲层12、栅绝缘层13以及层间绝缘层14可以是氧化硅、氮化硅或氮氧化硅单层结构,也可以是氧化硅/氮化硅叠层结构。缓冲层12作为第一半导体21以及第二半导体31和衬底基板10之间的过渡膜层,使第一半导体21以及第二半导体31和衬底基板10之间的结合更稳固。栅绝缘层13以及层间绝缘层14均起到了隔离的作用。

[0070] 在本申请实施例中,请继续参阅图1,阵列基板100还包括遮光部24。遮光部24设置在衬底基板10靠近第一半导体21的一侧,且遮光部24在衬底基板10上的投影至少覆盖第一半导体21在衬底基板10上的投影。

[0071] 其中,遮光部24为采用不透光材料制成的单层或叠层结构。不透光材料可为钼、

钛、钼/钛(叠层)或者钛/铝(叠层)。遮光部24可吸收来自衬底基板10一侧的外部光线,避免外部光线照射沟道部213后影响开关元件20的工作性能,以及避免外部光线被开关元件20反射后,在显示面板上产生反光,影响显示面板的显示效果。

[0072] 在本申请另一实施例中,请参阅图2,图2是本申请提供的阵列基板的第二结构示意图。与图1所示的阵列基板100的不同之处在于,在本申请实施例提供的阵列基板100中,遮光部24在衬底基板10上的投影完全覆盖第一半导体21在衬底基板10上的投影以及第二半导体31在衬底基板10上的投影。

[0073] 可以理解的是,第二半导体31具有在受到光照的情况下产生光生载流子的特性,因此,第二半导体31接收到来自衬底基板10一侧的外部光线时,也会产生一定的光生电流,从而对感光元件30的精准度产生影响。本申请实施例通过设置遮光部24,以遮挡衬底基板10侧的外部光线,可以保证感光元件30接收的光线仅为屏下光学指纹识别所需的光线,从而提高感光元件30的精准度。

[0074] 在本申请另一实施例中,请参阅图3,图3是本申请提供的阵列基板的第三结构示意图。与图1所示的阵列基板100的不同之处在于,在本申请实施例提供的阵列基板100中,第二半导体31为本征型半导体。

[0075] 具体的,第二半导体31和沟道部213均为本征型半导体。即在对第一半导体21进行离子注入以形成第二掺杂部212和第三掺杂部214时,可增加一道光罩,避免对第二半导体31进行离子掺杂。

[0076] 请参阅图4,图4是本申请提供的阵列基板的第四结构示意图。与图1所示的阵列基板100的不同之处在于,本申请实施例提供的阵列基板100还包括薄膜晶体管层40。开关元件20和感光元件30均设置在薄膜晶体管层40中。且感光电极32通过第四过孔41A与第二半导体31连接。

[0077] 其中,由于开关元件20和感光元件30均设置在薄膜晶体管层40中,因此在利用传统工艺制程制备薄膜晶体管层40时,可以一同制备开关元件20和感光元件30,从而减少工艺制程,节约生产成本。

[0078] 可以理解的是,现有PIN型光学感光器的制作方法是通过在化学气相沉积成膜过程中注入磷烷和硼烷来实现N型区和P型区,以构成二极管,而现有LTPS产线工艺实现半导体的N型或者P型转变是通过离子注入和高温活化工艺,因此,现有PIN型光学感光器的制作方法无法兼容现有的LTPS产线工艺。而本申请实施例提供的开关元件20和感光元件30可兼容LTPS产线的离子注入工艺,从而实现屏内环境光技术的量产。

[0079] 其中,薄膜晶体管层40包括遮光层11、缓冲层12、半导体层15、栅绝缘层13、栅极层16、层间绝缘层14、源漏电极层17、平坦层18、公共电极层19以及钝化层41。

[0080] 具体的,遮光层11设置在衬底基板10上。缓冲层12设置在遮光层11和衬底基板10上。半导体层15设置在缓冲层12上。栅绝缘层13设置在半导体层15和缓冲层12上。栅极层16设置在栅绝缘层13上。层间绝缘层14设置在栅极层16和栅绝缘层13上。源漏电极层17设置在层间绝缘层14上。平坦层18设置在源漏电极层17和层间绝缘层14上。公共电极层19设置在平坦层18上。钝化层41设置在公共电极层19上。

[0081] 进一步的,阵列基板100还包括像素电极层42。像素电极层42设置在钝化层41上。

[0082] 进一步的,源漏电极层17包括输入电极23、源极图案171、漏极图案172、触控电极

173以及指纹信号电极174。公共电极层19包括触控走线191和第一电极192。像素电极层42包括感光电极32、像素电极421、第二电极422以及信号连接线423。遮光层11包括遮光部24。半导体层15包括第一半导体21、第二半导体31以及第三半导体151。栅极层16包括栅极22和栅极图案161。其中，第一电极192和第二电极422分别构成存储电容的两个极板。

[0083] 其中，开关晶体管20包括第一半导体21、栅极22和输入电极23，以将偏置电压传输至感光元件30，使得感光元件30发生反偏。驱动晶体管50包括第三半导体151、栅极图案161、源极图案171和漏极图案172，以驱动阵列基板100中的子像素单元(图中未标示)。

[0084] 具体的，层间绝缘层14具有第一过孔14A。第一过孔14A贯穿层间绝缘层14并延伸至第一半导体21远离衬底基板10的一侧。输入电极23通过第一过孔14A与第一半导体21连接。平坦层18具有第二过孔18A。第二过孔18A贯穿平坦层18并暴露出层间绝缘层14远离衬底基板10的一侧。钝化层41设置在平坦层18上。钝化层41具有第三过孔41A。第三过孔41A贯穿钝化层41，并通过第二过孔18A延伸至第二半导体31远离衬底基板10的一侧。第三过孔41A与第二过孔18A对应设置，且钝化层41覆盖第二过孔18A的内侧壁。感光电极32通过第三过孔41A与第二半导体31连接。

[0085] 进一步的，平坦层18还具有第四过孔18B、第五过孔18C以及第六过孔18D。第四过孔18B暴露出指纹信号电极174远离衬底基板10的一侧。第五过孔18C暴露出漏极图案172远离衬底基板10的一侧。第六过孔18D暴露出触控电极173远离衬底基板10的一侧。

[0086] 钝化层41还具有第七过孔41B和第八过孔41C。第七过孔41B与第四过孔18B对应设置，且钝化层41覆盖第四过孔18B的内侧壁。第八过孔41C对应第五过孔18C设置，且钝化层41覆盖第五过孔18C的内侧壁。

[0087] 其中，感光电极32与信号连接线423连接，信号连接线423通过第七过孔41B与指纹信号电极174连接，以实现指纹信号的传输。像素电极421通过第八过孔41C与漏极图案172连接。触控电极173通过第六过孔18D与触控走线191连接，以实现触控功能。

[0088] 在本申请实施例中，阵列基板100具有显示区VA和连接显示区VA的非显示区NA。开关元件20和感光元件30均位于非显示区NA，从而不影响显示面板的开口率。

[0089] 具体的，在本申请一实施例中，非显示区NA为GOA(Gate Driver on Array,阵列基板栅极驱动技术)电路区。开关元件20和感光元件30均位于GOA电路区，从而不影响显示面板的开口率。

[0090] 其中，本申请实施例可以采用GOA电路区设置在显示区VA两侧的双侧驱动方式，也可以采用GOA电路区设置在显示区VA一侧的单侧驱动方式。

[0091] 在本申请另一实施例中，非显示区NA包括GOA电路区和虚拟像素区，虚拟像素区至少位于显示区VA的一侧。当GOA电路区和虚拟像素区位于显示区VA的同一侧时，GOA电路区位于虚拟像素区远离显示区VA的一侧。

[0092] 其中，虚拟像素区不进行画面显示，仅用于提高显示面板的显示均匀性。则将开关元件20和感光元件30设置于虚拟像素区，从而不影响显示面板的开口率，避免对GOA电路区的线路产生干扰。

[0093] 需要说明的是，开关元件20和感光元件30也可以设置在阵列基板100的显示区VA，本申请对此不作限定。

[0094] 本申请还提供一种阵列基板的制作方法，请同时参阅图1和图5，图5是本申请提供

的阵列基板的制作方法的第一流程示意图,具体步骤包括:

[0095] 101、提供一衬底基板。

[0096] 具体的,可对衬底基板10进行清洗以及预烘烤,以去除衬底基板10表面的油类、油脂等异物微粒。

[0097] 然后,在衬底基板10上形成遮光部24。

[0098] 其中,衬底基板10可以为玻璃基板、石英基板、树脂基板、PI柔性基板或其他类型基板,在此不一一赘述。遮光部24为采用不透光材料制成的单层或叠层结构。不透光材料可为钼、钛、钼/钛(叠层)或者钛/铝(叠层)。

[0099] 102、在所述衬底基板上形成一开关元件,所述开关元件包括第一半导体,所述第一半导体设置在所述衬底基板上。

[0100] 具体的,在衬底基板10和遮光部24上沉积缓冲层12。缓冲层12的材料可以是氧化硅、氮化硅或氮氧化硅中的一种或多种。缓冲层12可采用蒸镀工艺、化学气相沉积工艺、涂覆工艺、溶胶-凝胶工艺或其他工艺形成。

[0101] 在缓冲层12上形成第一半导体21,分两步对第一半导体21进行离子注入处理,以形成第一掺杂部211、第二掺杂部212、沟道部213、第三掺杂部214以及第四掺杂部215。

[0102] 其中,第一半导体21的材料为多晶硅。第一半导体21的厚度为400埃至600埃。第一掺杂部211和第四掺杂部215均为N型重掺杂。第二掺杂部212和第三掺杂部214均为N型轻掺杂。

[0103] 在第一半导体上21和缓冲层12上沉积栅绝缘层13。在栅绝缘层13上形成栅极22。在栅极22和栅绝缘层13上形成层间绝缘层14。对层间绝缘层14进行图案化处理,以形成第一过孔14A。第一过孔14A贯穿层间绝缘层14并延伸至第一半导体21远离衬底基板10的一侧。在层间绝缘层14上形成输入电极23。输入电极23通过第一过孔14A与第一半导体21连接。

[0104] 其中,栅绝缘层13以及层间绝缘层14的材料是氧化硅、氮化硅、氮氧化硅或者氧化硅/氮化硅(叠层)。栅极22的材料是银、铝、铜、钼、钼/铝/钼(叠层)或者钼/铜(叠层)。

[0105] 103、在所述衬底基板上形成一感光元件,所述感光元件与所述开关元件相邻设置在所述衬底基板上,所述感光元件包括第二半导体和感光电极,所述第二半导体与所述第一半导体相连且同层设置,所述感光电极设置在所述第二半导体远离所述衬底基板的一侧,且与所述第二半导体连接。

[0106] 具体的,第二半导体31可以在步骤102中与第一半导体21同时形成。在对第一半导体21进行离子注入时,可同时对第二半导体31进行离子注入,以形成N型轻掺杂的第二半导体31。

[0107] 进一步的,在层间绝缘层14上形成平坦层18。对平坦层18进行图案化处理,以形成第二过孔18A。第二过孔18A贯穿平坦层18并暴露出层间绝缘层14远离衬底基板10的一侧。在平坦层18上形成钝化层41。对钝化层41进行图案化处理,以形成第三过孔41A。钝化层41覆盖第二过孔18A的内侧壁。在钝化层41上沉积感光电极32。感光电极32通过第三过孔41A与第二半导体31连接。

[0108] 其中,第二半导体31的材料为多晶硅。第二半导体31的厚度为400埃至600埃。感光电极32的材料为功函数高的导电材料,以便感光电极32和第二半导体31之间形成肖特基

结。其中,功函数高的导电材料可以是氧化铜锌、氧化锌或者氧化铜镓锌。

[0109] 请同时参阅图4和图6,图6是本申请提供的阵列基板的制作方法的第二流程示意图,具体步骤包括:

[0110] 201、提供一衬底基板,在衬底基板上形成遮光层。

[0111] 具体的,可对衬底基板10进行清洗以及预烘烤,以去除衬底基板10表面的油类、油脂等异物微粒。

[0112] 然后,在衬底基板10上沉积不透光材料,再采用曝光蚀刻等方式将其图案化,形成一遮光层11。遮光层11部分覆盖衬底基板10。遮光层11包括遮光部24。

[0113] 其中,衬底基板10可以为玻璃基板、石英基板、树脂基板、PI柔性基板或其他类型基板,在此不一一赘述。不透光材料可为钼、钛、钼/钛(叠层)或者钛/铝(叠层)。

[0114] 202、在所述衬底基板和所述遮光层上形成缓冲层和半导体层。

[0115] 具体的,在遮光层11上形成一缓冲层12。缓冲层12覆盖遮光层11和衬底基板10。

[0116] 在缓冲层12上沉积非晶硅层,并对非晶硅层进行快速热退火或者激光辐照退火,以形成多晶硅层。对多晶硅层进行图案化处理,以形成半导体层15。半导体层15包括第一半导体21和第二半导体31。

[0117] 其中,半导体层15的厚度为400埃至600埃。

[0118] 203、对所述半导体层进行第一次离子注入。

[0119] 具体的,采用离子注入的方式,对半导体层15进行磷离子掺杂。由此,在第一半导体21中形成第一掺杂部211和第四掺杂部215。第一掺杂部211和第四掺杂部215均为N型重掺杂。

[0120] 204、在所述半导体层和所述缓冲层上形成栅绝缘层和栅极层,并采用自对准方式对所述半导体层进行第二次离子注入。

[0121] 具体的,在半导体层15和缓冲层12上沉积栅绝缘层13。其中,栅绝缘层13可以是氧化硅层或氮化硅层,也可以是氧化硅和氮化硅的叠层结构。

[0122] 在栅绝缘层13上沉积第一金属层,对第一金属层进行图案化处理,以形成栅极层16。栅极层16包括栅极22。其中,第一金属层的材料是银、铝、铜、钼、钼/铝/钼(叠层)或者钼/铜(叠层)。

[0123] 以栅极层16作为遮挡层对半导体层15进行第二次离子注入。由此,在第一半导体21中形成第二掺杂部212和第三掺杂部214。第二掺杂部212和第三掺杂部214均为N型轻掺杂。同时,第二半导体31也可通过第二次离子注入成为N型半导体。

[0124] 205、在所述栅极层和所述栅绝缘层上形成层间绝缘层,并对所述层间绝缘层进行图案化处理。

[0125] 具体的,在栅极层16和栅绝缘层13上沉积层间绝缘层14。采用快速热退火工艺对层间绝缘层14进行氢化和活化,再采用曝光蚀刻等工艺对层间绝缘层14进行图案化处理,以形成多个第一过孔14A。第一过孔14A贯穿层间绝缘层14,并延伸至半导体层15远离衬底基板10的一侧。

[0126] 206、在所述层间绝缘层上形成源漏电极层。

[0127] 在层间绝缘层14上沉积第二金属层,对第二金属层进行图案化处理,以形成源漏电极层17。

[0128] 其中,源漏电极层17包括源极图案171、漏极图案172、触控电极173、指纹信号电极174以及输入电极23。源极图案171和漏极图案172分别通过相应的第一过孔14A与半导体层15连接。输入电极23通过相应的第一过孔14A与第一半导体21连接。

[0129] 207、在所述源漏电极层和所述层间绝缘层上形成平坦层,并对所述平坦层进行图案化处理。

[0130] 具体的,在源漏电极层17和层间绝缘层14上形成平坦层18。对平坦层18进行图案化处理,以形成第二过孔18A、第四过孔18B、第五过孔18C以及第六过孔18D。第二过孔18A贯穿平坦层18,并暴露出层间绝缘层14远离衬底基板10的一侧。第四过孔18B暴露出指纹信号电极174远离衬底基板10的一侧。第五过孔18C暴露出漏极图案172远离衬底基板10的一侧。第六过孔18D暴露出触控电极173远离衬底基板10的一侧。

[0131] 208、在所述平坦层上形成公共电极层。

[0132] 具体的,在平坦层18上沉积第一透明金属层,对第一透明金属层进行图案化处理,以形成公共电极层19。

[0133] 其中,公共电极层19包括触控走线191和第一电极192。触控电极173和触控走线191通过过孔连接以实现触控功能。

[0134] 209、在所述公共电极层和所述平坦层上形成钝化层,并对所述钝化层进行图案化处理。

[0135] 具体的,在公共电极层19和平坦层18上沉积钝化层41,并对钝化层41进行图案化处理,以形成第三过孔41A、第七过孔41B和第八过孔41C。第三过孔41A和第三过孔18A对应设置。且钝化层41覆盖第二过孔18A的内侧壁。第三过孔41A贯穿钝化层41,并延伸至第二半导体31远离衬底基板10的一侧。第七过孔41B与第四过孔18B对应设置,且钝化层41覆盖第四过孔18B的内侧壁。第八过孔41C对应第五过孔18C设置,且钝化层41覆盖第五过孔18C的内侧壁。

[0136] 210、在所述钝化层上形成像素电极层。

[0137] 具体的,在钝化层41上沉积第二透明金属层,并对第二透明金属层进行图案化处理,以形成像素电极层42。

[0138] 其中,像素电极层42包括像素电极421、第二电极422、信号连接线423以及感光电极32。第一电极192和第二电极422分别构成存储电容的两个极板。感光电极32与信号连接线423连接,信号连接线423通过第七过孔41B与指纹信号电极174连接,以实现指纹信号的传输。像素电极421通过第八过孔41C与漏极图案172连接。触控电极173通过第六过孔18D与触控走线191连接,以实现触控功能。感光电极32通过第三过孔41A与第二半导体31连接。

[0139] 在本申请实施例提供的阵列基板的制作方法中,开关元件20和感光元件30能够兼容LTPS制程,实现了屏内环境光技术的量产,同时具有肖特基结的感光元件30能够实现较强的光吸收光能力,提高了感光元件30的灵敏度。

[0140] 需要说明的是,在本申请的描述中,“图案化”是指形成具有特定的图形结构的步骤,其可为光刻工艺,光刻工艺包括形成材料层、涂布光刻胶、曝光、显影、刻蚀、光刻胶剥离等步骤中的一步或多步,此为本技术领域的技术人员所理解的工艺制程,在此不再赘述。

[0141] 相应的,本申请还提供一种显示面板,该显示面板包括以上任一实施例所述的阵列基板,具体可参阅以上内容,在此不再赘述。此外,本申请提供的显示面板可以是有机发

光二极管显示面板、主动矩阵有机发光二极管显示面板、被动矩阵有机发光二极管显示面板、量子点有机发光二极管显示面板或者微发光二极管显示面板,本申请对此不作具体限定。

[0142] 在本申请一实施例中,请参阅图7,图7是本申请提供的显示面板的结构示意图。本申请实施例提供的显示面板1000还包括GOA电路300和其他功能部件。开关元件和感光元件可与GOA电路300设置在同一区域,从而不影响显示面板1000的开口率。此外,本申请实施例中的GOA电路300和其他功能部件是本领域技术人员所熟知的相关技术,在此不再赘述。

[0143] 在本申请另一实施例中,显示面板1000还包括虚拟像素区(图中未标示)。虚拟像素区位于GOA电路300和显示区VA之间。虚拟像素区不进行画面显示。开关元件20和感光元件30位于虚拟像素区,从而不影响显示面板的开口率,同时也可避免对GOA电路区的线路产生干扰。

[0144] 本申请提供的显示面板包括阵列基板,所述阵列基板包括:衬底基板;开关元件,设置在所述衬底基板上,所述开关元件包括第一半导体,所述第一半导体设置在所述衬底基板上;以及感光元件,与所述开关元件相邻设置在所述衬底基板上,所述感光元件包括第二半导体和感光电极,所述第二半导体与所述第一半导体相连且同层设置,所述感光电极设置在所述第二半导体远离所述衬底基板的一侧,且与所述第二半导体连接;其中,第二半导体和感光电极之间形成肖特基结,增大了感光元件的有效光敏面积,从而提高了感光元件的灵敏度,进而提高了显示面板的品质。

[0145] 以上对本申请提供的阵列基板、阵列基板的制作方法以及显示面板进行了详细介绍,本文中应用了具体个例对本申请的原理及实施方式进行了阐述,以上实施例的说明只是用于帮助理解本申请的方法及其核心思想;同时,对于本领域的一般技术人员,依据本申请的思想,在具体实施方式及应用范围上均会有改变之处,综上所述,本说明书内容不应理解为对本申请的限制。

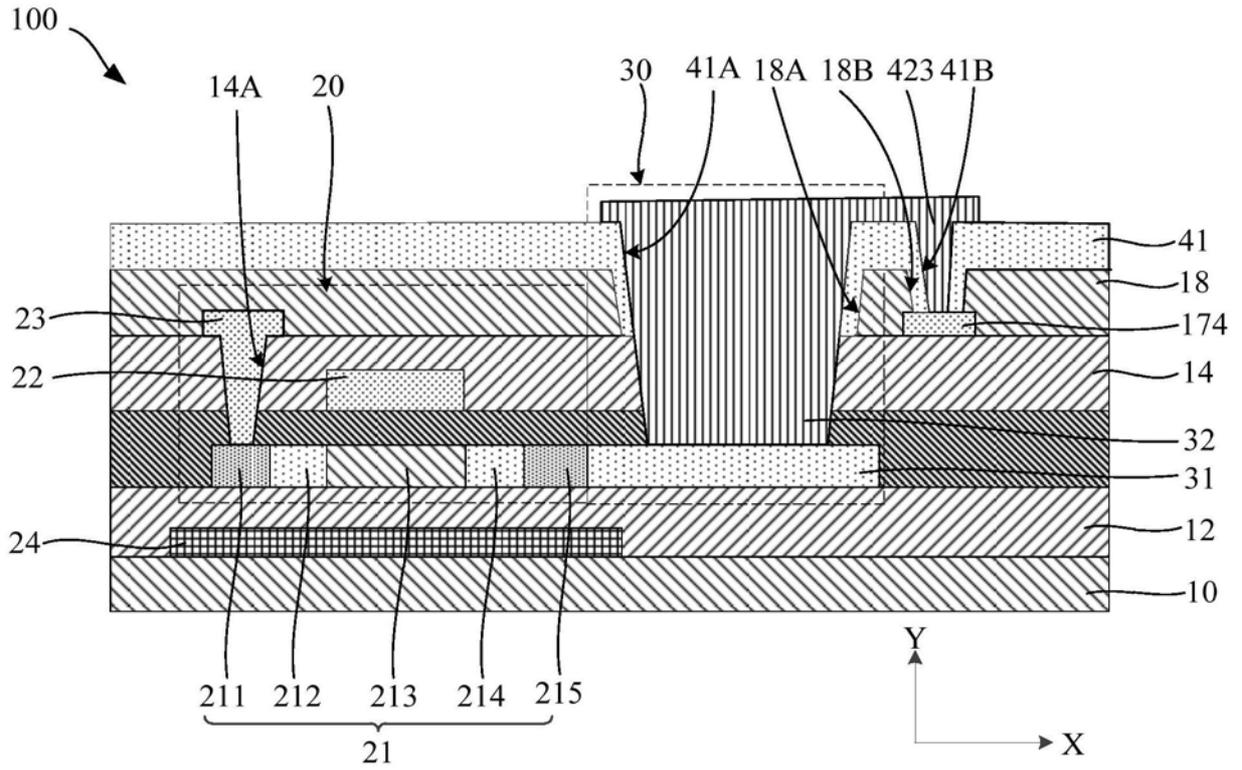


图1

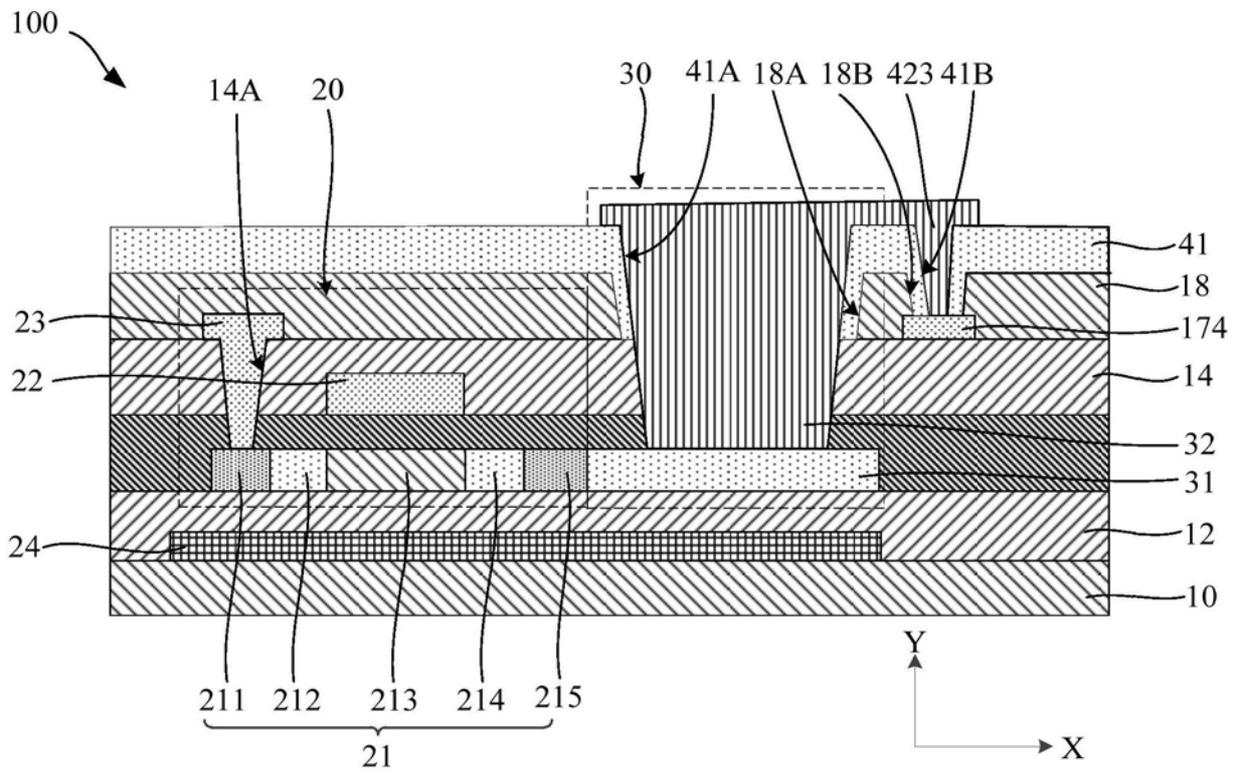


图2

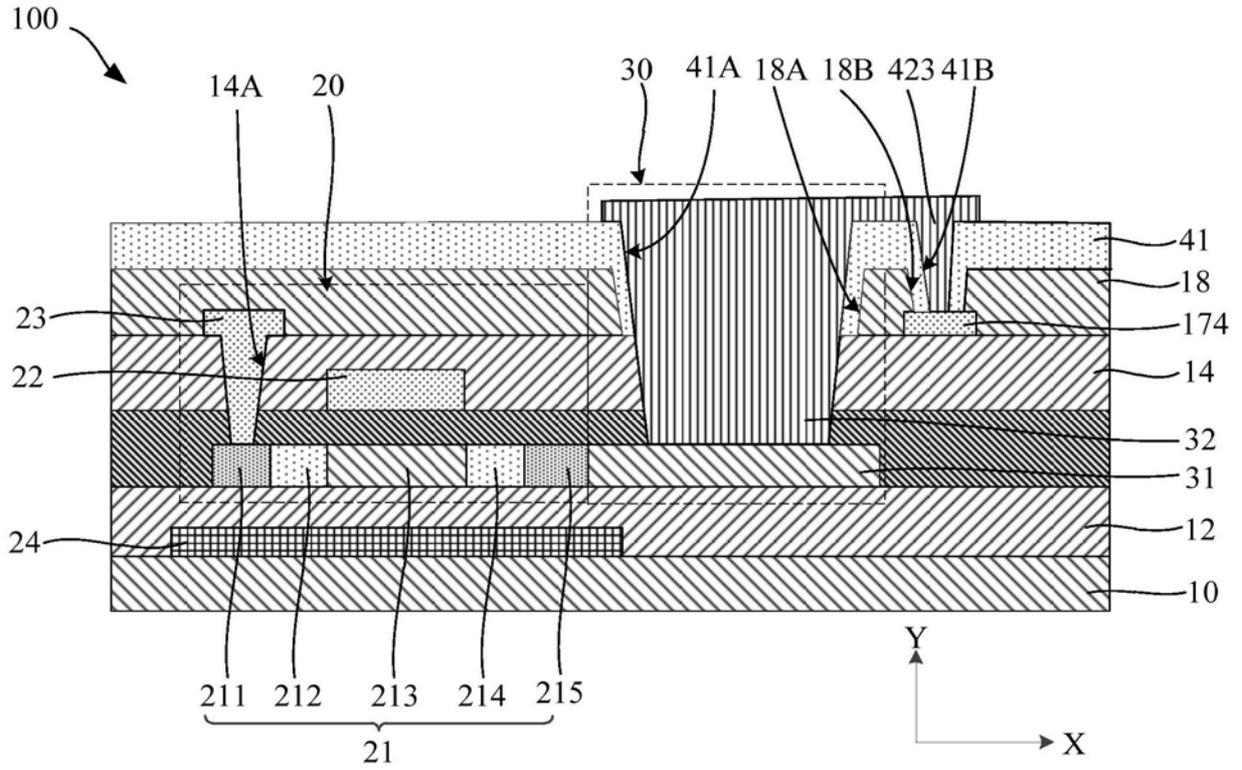


图3

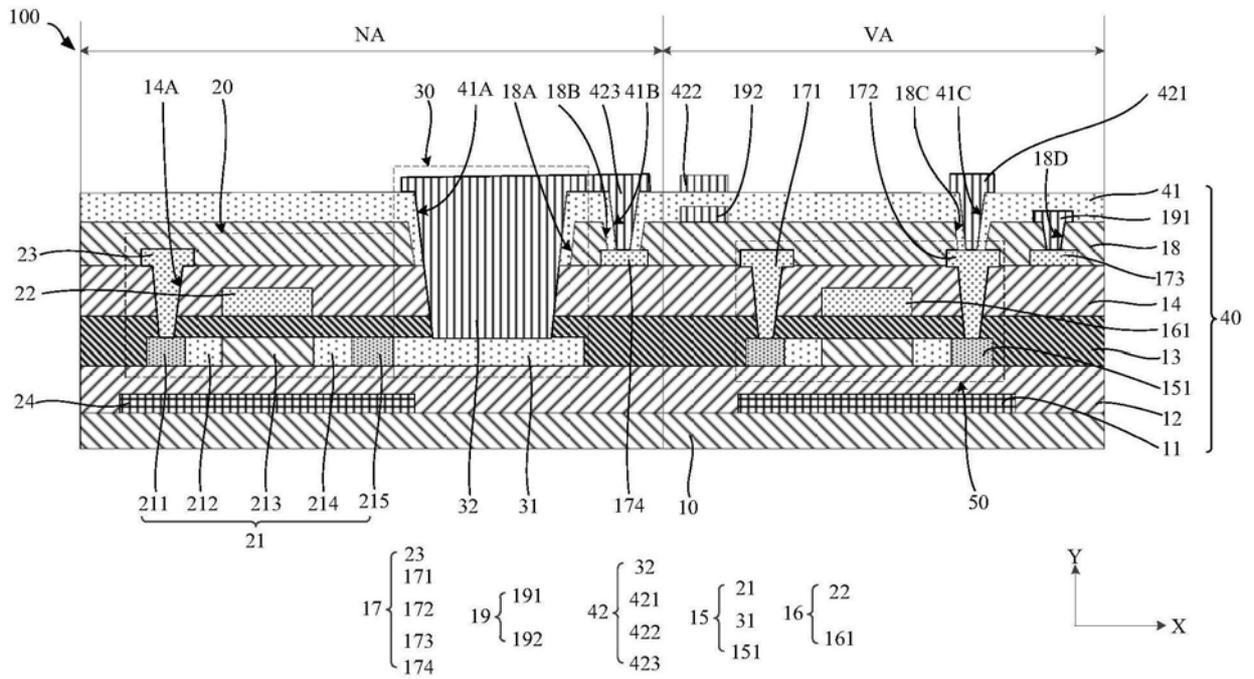


图4

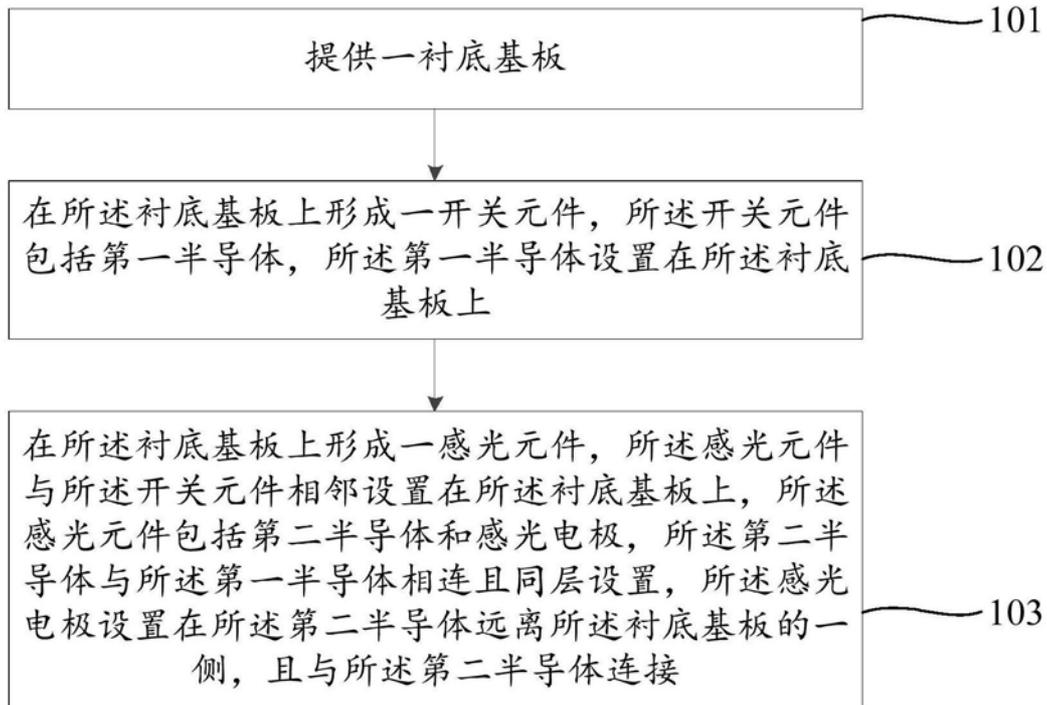


图5

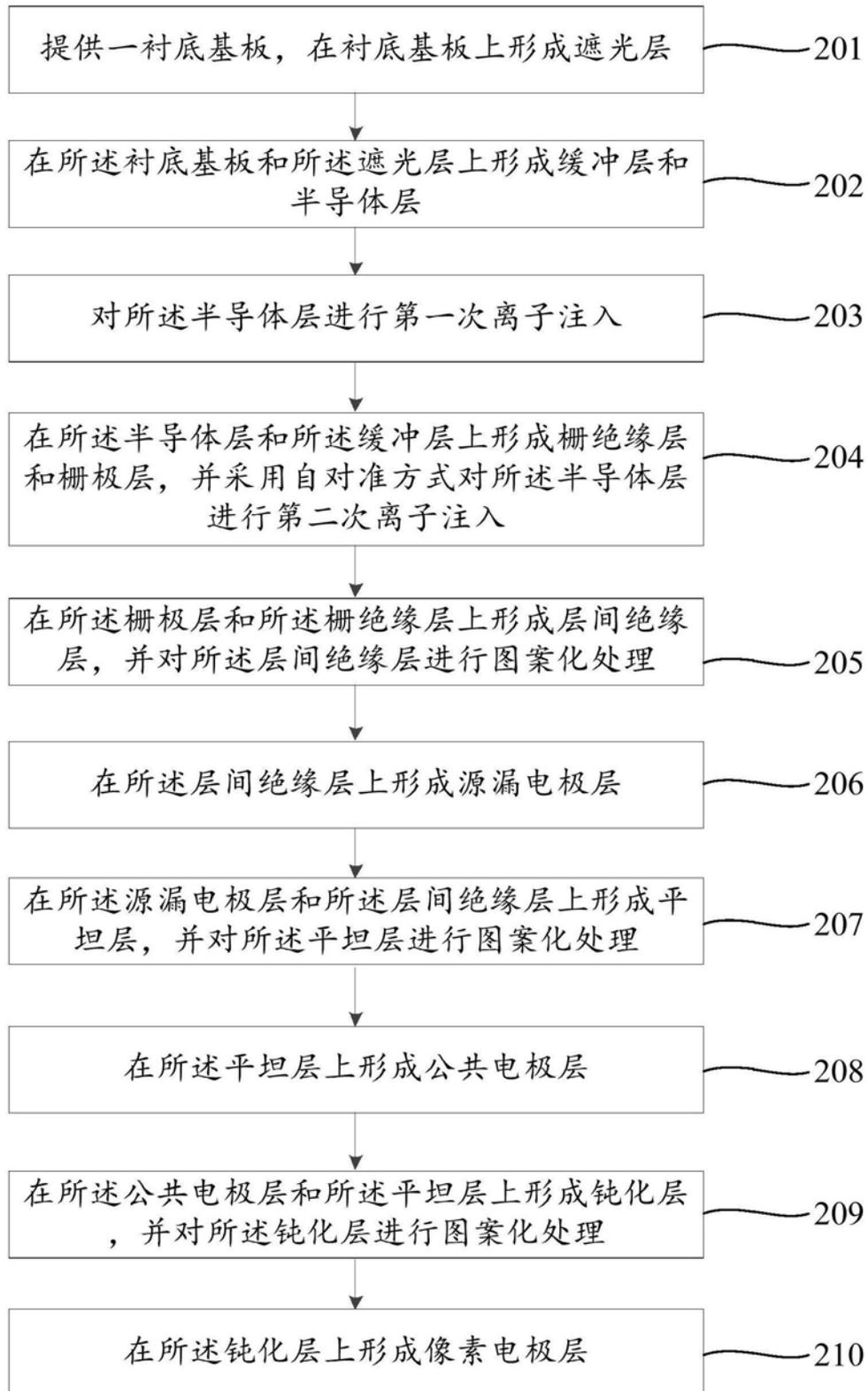


图6

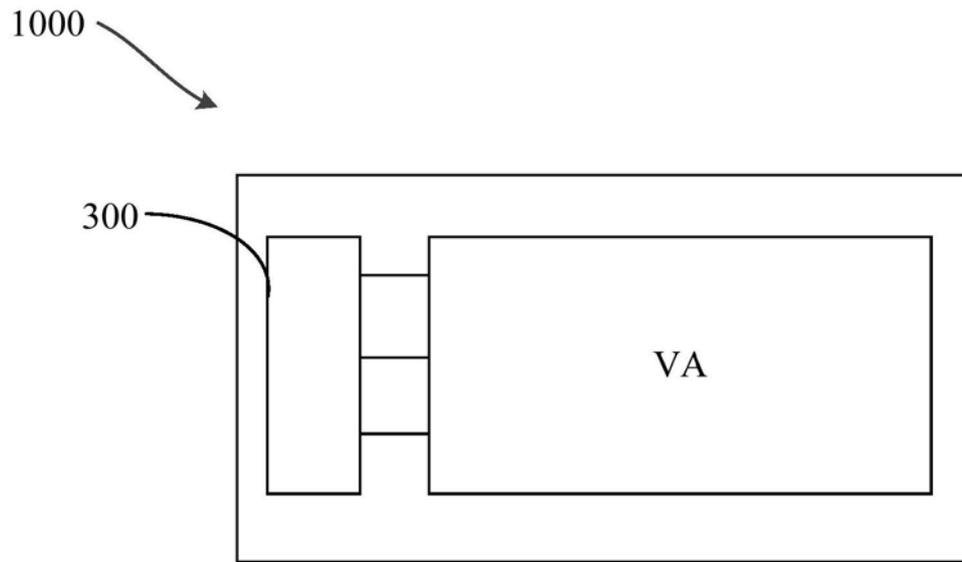


图7