



(19)  
**Bundesrepublik Deutschland**  
**Deutsches Patent- und Markenamt**

(10) **DE 10 2006 030 264 B4 2008.08.28**

(12)

## Patentschrift

(21) Aktenzeichen: **10 2006 030 264.8**  
 (22) Anmeldetag: **30.06.2006**  
 (43) Offenlegungstag: **03.01.2008**  
 (45) Veröffentlichungstag  
 der Patenterteilung: **28.08.2008**

(51) Int Cl.<sup>8</sup>: **H01L 21/8234 (2006.01)**  
**H01L 27/092 (2006.01)**  
**H01L 29/78 (2006.01)**  
**H01L 21/336 (2006.01)**

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(73) Patentinhaber:  
**Advanced Micro Devices, Inc., Sunnyvale, Calif.,  
 US**

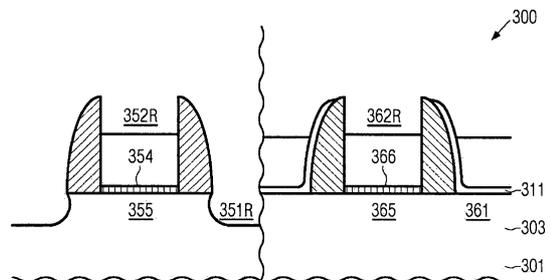
(74) Vertreter:  
**Grünecker, Kinkeldey, Stockmair &  
 Schwanhäusser, 80802 München**

(72) Erfinder:  
**Gehring, Andreas, 01109 Dresden, DE; Bentum,  
 Ralf van, 01445 Radebeul, DE; Lenski, Markus,  
 01129 Dresden, DE**

(56) Für die Beurteilung der Patentfähigkeit in Betracht  
 gezogene Druckschriften:  
**US2005/02 85 187 A1**  
**US2005/02 36 668 A1**  
**US2005/02 24 798 A1**  
**US2005/00 64 646 A1**  
**US 61 65 826 A**

(54) Bezeichnung: **Verfahren zur Herstellung von Transistoren mit einem Kanal mit biaxialer Verformung, die durch Silizium/Germanium in der Gateelektrode hervorgerufen wird**

(57) Hauptanspruch: Verfahren mit:  
 Bilden einer ersten Vertiefung in einer Gateelektrode eines ersten Transistors und eines zweiten Transistors und einer zweiten Vertiefung in einem Drain- und Sourcegebiet des ersten Transistors in einem gemeinsamen Prozess, während ein Draingebiet und ein Sourcegebiet des zweiten Transistors maskiert sind; und  
 Bilden eines Silizium/Germanium-Materials in der ersten und der zweiten Vertiefung durch einen selektiven epitaktischen Wachstumsprozess.



## Beschreibung

**[0001]** Im Allgemeinen betrifft die vorliegende Erfindung die Herstellung integrierter Schaltungen und betrifft insbesondere die Herstellung von Transistoren mit verformten Kanalgebieten, wobei verformungsinduzierende Quellen eingesetzt werden, etwa eine eingebettete verformte Schicht in den Drain- und Sourcegebieten, um damit die Ladungsträgerbeweglichkeit in dem Kanalgebiet eines MOS-Transistors zu erhöhen.

**[0002]** Die Herstellung integrierter Schaltungen erfordert das Ausbilden einer großen Anzahl an Transistorelementen auf einer vorgegebenen Chipfläche gemäß einer spezifizierten Schaltungsanordnung. Im Allgemeinen werden mehrere Prozesstechnologien gegenwärtig eingesetzt, wobei für komplexe Schaltungen, etwa Mikroprozessoren, Speicherchips und dergleichen die CMOS-Technologie gegenwärtig eine der vielversprechendsten Lösungen ist auf Grund der guten Eigenschaften im Hinblick auf die Arbeitsgeschwindigkeit und/der Leistungsaufnahme und/oder Kosteneffizienz. Während der Herstellung komplexer integrierter Schaltungen unter Anwendung der CMOS-Technologie werden Millionen Transistoren, d. h. n-Kanaltransistoren und p-Kanaltransistoren, auf einem Substrat hergestellt, das eine kristalline Halbleiterschicht aufweist. Ein MOS-Transistor enthält, unabhängig davon, ob ein n-Kanaltransistor oder ein p-Kanaltransistor betrachtet wird, sogenannte pn-Übergänge, die durch eine Grenzfläche stark dotierter Drain- und Source-Gebiete mit einem invers dotierten Kanalgebiet gebildet sind, das zwischen dem Draingebiet und dem Sourcegebiet angeordnet ist. Die Leitfähigkeit des Kanalgebiets, d. h. das Durchlassstromvermögen des leitenden Kanals, wird durch eine Gateelektrode gesteuert, die in der Nähe des Kanalgebiets ausgebildet und davon durch eine dünne isolierende Schicht getrennt ist. Die Leitfähigkeit des Kanalgebiets beim Erzeugen eines leitenden Kanals auf Grund des Anlegens einer geeigneten Steuerspannung an die Gateelektrode hängt von der Dotierstoffkonzentration, der Beweglichkeit der Majoritätsladungsträger und – für eine gegebene Ausdehnung des Kanalgebiets in der Transistorbreitenrichtung – von dem Abstand zwischen dem Sourcegebiet und dem Draingebiet ab, der auch als Kanallänge bezeichnet wird. Somit bestimmt in Verbindung mit der Fähigkeit, rasch einen leitenden Kanal unterhalb der isolierenden Schicht beim Anlegen der Steuerspannung an der Gateelektrode aufzubauen, die Gesamtleitfähigkeit des Kanalgebiets im Wesentlichen das Leistungsverhalten der MOS-Transistoren. Somit ist die Verringerung der Kanallänge – und damit verknüpft die Verringerung des Kanalwiderstands – ein wesentliches Entwurfskriterium, um eine Zunahme der Arbeitsgeschwindigkeit integrierter Schaltungen zu erreichen.

**[0003]** Die ständige Reduzierung der Transistorabmessungen zieht jedoch eine Reihe von damit verknüpften Problemen nach sich, etwa die geringere Steuerbarkeit des Kanals, was auch als Kurzkanaleffekt bezeichnet wird, und dergleichen, die es zu lösen gilt, um nicht in unerwünschter Weise die Vorteile aufzuheben, die durch das stete Verringern der Kanallänge von MOS-Transistoren erreicht werden. Da die ständige Verringerung der Größe der kritischen Abmessungen, d. h. der Gatelänge der Transistoren, die Anpassung und möglicherweise die Entwicklung neuer äußerst komplexer Prozessverfahren beispielsweise zum Kompensieren der Kurzkanaleffekte erfordert, wurde auch vorgeschlagen, die Kanalleitfähigkeit der Transistorelemente durch Verbessern der Ladungsträgerbeweglichkeit in dem Kanalgebiet für eine vorgegebene Kanallänge zu erhöhen, wodurch die Möglichkeit geschaffen wird, eine Leistungssteigerung zu erreichen, die vergleichbar mit dem Weitergehen zu einem künftigen Technologiestandard ist, wobei viele der Probleme vermieden oder zeitlich verzögert werden, die bei Prozessanpassungen, die mit der Größenreduzierung verknüpft sind, angetroffen werden. Des weiteren kann eine höhere Ladungsträgerbeweglichkeit auch andere Mechanismen kompensieren, die zum Reduzieren von Kurzkanaleffekten, etwa die Erhöhung der Dotierstoffkonzentrationen im Kanalgebiet, und dergleichen, erfordern.

**[0004]** Ein effizienter Mechanismus zum Erhöhen der Ladungsträgerbeweglichkeit ist die Modifizierung der Gitterstruktur in dem Kanalgebiet, indem beispielsweise eine Druckverspannung oder Zugverspannung in der Nähe des Kanalgebiets erzeugt wird, um damit eine entsprechende Verformung in dem Kanalgebiet zu erzeugen, die zu einer modifizierten Beweglichkeit für Elektronen bzw. Löcher führt. Beispielsweise kann für eine typische Transistorkonfiguration, d. h. mit einem Siliziumkristall mit einer (100) Oberflächenorientierung, in der die Kanallänge entlang der <110> Orientierung ausgerichtet ist, eine uniaxiale kompressive Verformung entlang der Kanallängenrichtung in dem Kanalgebiet die Beweglichkeit von Löchern erhöhen, wodurch die Möglichkeit geschaffen wird, die Leistungsfähigkeit von p-Transistoren zu verbessern. Andererseits kann das Erzeugen einer Zugverformung in dem Kanalgebiet eines n-Kanaltransistors die Elektronenbeweglichkeit erhöhen. Die Einführung einer Verspannungs- oder Verformungstechnologie in den Herstellungsablauf für integrierte Schaltungen ist ein äußerst vielversprechender Ansatz für künftige Bauteilgenerationen, da beispielsweise verformtes Silizium als eine „neue“ Art an Halbleitermaterial betrachtet werden kann, die die Herstellung schneller und leistungsfähiger Halbleiterbauelemente ermöglicht, ohne dass teure Halbleitermaterialien erforderlich sind, während viele der gut etablierten Fertigungsverfahren weiterhin eingesetzt werden können.

**[0005]** Daher wird in einigen Lösungsansätzen die Löcherbeweglichkeit von PMOS-Transistoren verbessert, indem eine verformte Silizium/Germanium-Schicht in den Drain- und Sourcegebieten der Transistoren ausgebildet wird, wobei die kompressiv verformten Drain- und Source-Gebiete eine Verformung in dem benachbarten Siliziumkanalgebiet hervorrufen. Dazu werden entsprechende Seitenwandabstandshalter an der Gateelektrode ausgebildet, wie dies für die Definition der Silizium/Germanium-Gebiete erforderlich ist, während die Gateelektrode durch eine Deckschicht abgedeckt ist. In ähnlicher Weise werden die NMOS-Transistoren vollständig mittels einer Deckschicht abgedeckt. Anschließend werden die Gebiete der PMOS-Transistoren, die durch die Seitenwandabstandshalter freigelegt sind, selektiv vertieft, während die Gateelektrode und die NMOS-Transistoren maskiert sind. Danach wird eine stark dotierte Silizium/Germanium-Schicht in dem PMOS-Transistor durch epitaktische Wachstumsverfahren gebildet. Da die natürliche Gitterkonstante von Silizium/Germanium größer ist als jene von Silizium, wächst die epitaktisch gewachsene Silizium/Germanium-Schicht, die den Gitterabstand des Siliziums annimmt, unter kompressiver Verformung auf, die effizient in das Kanalgebiet übertragen wird, wodurch das Silizium darin im Wesentlichen entlang der Kanallängenrichtung kompressiv verformt wird. Dieses Integrationsschema führt zu einer deutlichen Leistungssteigerung der p-Kanaltransistoren.

**[0006]** Da die weitere Bauteilgrößenreduzierung weitere, die Leistung reduzierende Mechanismen zur Verringerung der Kurzkanaleffekte erfordern kann, etwa erhöhte Dotierstoffpegel in dem Kanalgebiet, Dielektrika mit großem  $\epsilon$  in der Gateisolationsschicht und dergleichen, ist es jedoch äußerst wichtig, effiziente Verfahren zur Kompensierung oder Überkompensierung derartiger, der die Beweglichkeit beeinträchtigender Lösungsansätze zu kompensieren, indem die Ladungsträgerbeweglichkeit für p- und n-Kanaltransistoren effizient erhöht wird, indem verformungsinduzierende Mechanismen effizienter eingesetzt und/oder miteinander kombiniert werden, etwa verformtes Silizium/Germanium-Material, verformtes Silizium/Kohlenstoffmaterial, und dergleichen.

**[0007]** US 2005/0236668 A1 beschreibt ein Verfahren und Bauelemente, wobei in einer Gateelektrode eines p- und n-Kanaltransistors eine verspannungsinduzierende Si:C-Schicht bzw. eine SiGe-Schicht als nahezu einkristallines Material zusammen mit Silizium vorgesehen ist.

**[0008]** US 2005/0224798 A1 beschreibt einen p-Kanaltransistor mit Drain- und Sourcegebieten aus Silizium/Germanium, die in einer zugverformten Siliziumschicht ausgebildet sind, wobei die zugverformte Siliziumschicht auf einer Silizium/Germaniumschicht gebildet ist.

**[0009]** US 6165826 A zeigt einen Transistor und ein Verfahren zu dessen Herstellung, wobei sehr flache pn-Übergänge hergestellt werden, indem in einem p-Kanaltransistor flache Gräben benachbart zu der Gateelektrode geätzt werden und anschließend mit einem Halbleitermaterial, etwa Silizium/Germanium aufgefüllt und dabei auch überfüllt werden. Gleichzeitig wird auch eine entsprechende Vertiefung in der Gateelektrode aufgefüllt.

**[0010]** US 2005/0285187 A1 beschreibt Transistoren und Verfahren zu deren Herstellung, wobei diverse verformungsinduzierende Mechanismen eingesetzt werden, um eine gewünschte Verformung in den Kanalgebieten der jeweiligen Transistoren zu erhalten. U. a. wird eine verspannte Schicht über der Gateelektrode der Transistoren vorgesehen.

**[0011]** Mit Bezug zu den [Fig. 1a](#) bis [Fig. 1f](#) sei im Weiteren auf Beispiele verwiesen, wie sie in ähnlicher Form auch in US 6165826 A beschrieben sind, um einen allgemeinen Hintergrund der Erfindung darzustellen.

**[0012]** [Fig. 1a](#) zeigt schematisch eine Draufsicht eines Halbleiterbauelements **100** mit einem Transistor **150**, der einen n-Kanaltransistor oder einen p-Kanaltransistor repräsentiert. In der in [Fig. 1](#) gezeigten Ausführungsform repräsentiert der Transistor **150** einen p-Kanaltransistor, in welchem ein verformungsinduzierender Mechanismus, der durch ein verformtes Halbleitermaterial bereitgestellt wird, das in entsprechenden Drain- und Sourcegebieten **151** zu bilden ist, mit einer verspannten Gateelektrode **152** kombiniert wird. In dieser Fertigungsphase kann die Gateelektrode **152** an ihren Seitenwänden eine Seitenwandabstandshalterstruktur **153** aufweisen, die aus einem beliebigen geeigneten dielektrischen Material aufgebaut ist, um damit die Seitenwände der Gateelektrode **152** während nachfolgender Prozessschritte zuverlässig zu schützen, wie dies detaillierter später beschrieben ist. Des Weiteren definieren die Drain- und Sourcegebiete **151** und die Gateelektrode **152** eine Längenrichtung, die im Wesentlichen der horizontalen Richtung in [Fig. 1a](#) entspricht, die auch als eine Längenrichtung eines Kanalgebiets betrachtet werden kann, das unter der Gateelektrode **152** angeordnet ist. In ähnlicher Weise ist eine Breitenrichtung senkrecht zu der Längenrichtung definiert.

**[0013]** [Fig. 1b](#) zeigt schematisch das Halbleiterbauelement **100** in einer Querschnittsansicht. Das Bauelement **100** enthält ein Substrat **101**, das ein beliebiges geeignetes Trägermaterial repräsentiert, um darauf eine geeignete im Wesentlichen kristalline Halbleiterschicht **103** zu bilden, etwa ein Material auf Siliziumbasis oder ein anderes geeignetes Halbleitermaterial. Beispielsweise repräsentiert die Halbleiterschicht **103** ein Material auf Siliziumbasis, d. h. ein kristallines Halbleitermaterial mit zumindest ungefähr

50 Atomprozent Silizium und mehr, wobei andere Komponenten, etwa Germanium, Kohlenstoff, Dotiermittel und dergleichen ebenfalls in der Halbleiterschicht **103** eingebaut sein können. In anderen anschaulichen Ausführungsformen ist eine vergrabene isolierende Schicht **102**, die durch die gestrichelte Linie angedeutet ist, vorgesehen, zumindest an speziellen Bereichen des Substrats **101**, um damit eine SOI-artige (Silizium-auf-Isolator) Konfiguration bereitzustellen. Die vergrabene isolierende Schicht **102**, falls diese vorgesehen ist, ist aus einem geeigneten Material aufgebaut, etwa Siliziumdioxid, Siliziumnitrid, und dergleichen. Eine Gateisolationsschicht **154** ist auf der Halbleiterschicht **103** gebildet, um damit die Gateelektrode **152** von einem entsprechenden Kanalgebiet **155** zu trennen. Es sollte beachtet werden, dass in der in [Fig. 1b](#) gezeigten Fertigungsphase die Drain- und Sourcegebiete **151** und das Kanalgebiet **155** im Wesentlichen die gleiche Konfiguration im Hinblick auf darin vorgesehene Dotiermittel aufweisen können, so dass die Drain- und Sourcegebiete **151** Bereiche repräsentieren, in denen ein geeignetes Dotierstoffprofil noch herzustellen ist, um damit die erforderlichen pn-Übergänge mit dem Kanalgebiet **155** zu bilden. Folglich ist der Begriff „Drain- und Source-Gebiete“ sowie „Kanalgebiet“ so zu verstehen, dass entsprechende Bereiche beschrieben werden, in denen die entsprechenden Dotierstoffprofile herzustellen sind, unabhängig davon, ob diese Dotiermittel bereits eingeführt sind oder noch in die entsprechenden Bereiche einzubauen sind.

**[0014]** Das Halbleiterbauelement **100**, wie es in den [Fig. 1a](#) und [Fig. 1b](#) gezeigt ist, kann auf der Grundlage der folgenden Prozesse hergestellt werden. Nach dem Bereitstellen des Substrats **101** mit der darauf ausgebildeten Halbleiterschicht **103** werden entsprechende Isolationsstrukturen (nicht gezeigt) beispielsweise in Form von flachen Grabenisolationen auf der Grundlage gut etablierter Verfahren hergestellt, wozu können Lithographie-, Ätz-, Abscheide- und Planarisierungstechniken gehören. Auf der Grundlage dieser entsprechenden Isolationsstrukturen werden die Abmessungen der entsprechenden Drain- und Sourcegebiete **151** innerhalb der Halbleiterschicht **103** definiert. Anschließend werden Dotierstoffprofile in der Halbleiterschicht **103** zum Einstellen spezieller Transistoreigenschaften, etwa der Art der Leitfähigkeit, der Schwellwertspannung, und dergleichen hergestellt. Nachfolgend werden die Gateisolationsschicht **154** und die Gateelektrode **152** durch Ausbilden eines entsprechenden isolierenden Materials mittels Oxidation und/oder Abscheidung gefolgt von der Abscheidung eines geeigneten Gateelektrodenmaterials mit einem nachfolgenden Strukturierungsprozess auf der Grundlage moderner Lithographie- und Ätzverfahren hergestellt. Anschließend wird die Seitenwandabstandshalterstruktur **153** gebildet, in dem beispielsweise ein geeignetes Material, etwa Siliziumnitrid, Siliziumdioxid, und derglei-

chen abgeschieden wird und die Materialschicht auf der Grundlage gut etablierter anisotroper Ätztechniken strukturiert wird, wobei eine Breite **153a** der Abstandshalterstruktur **153** verwendet wird, um einen Abstand eines verformten Halbleitermaterials einzustellen, das in den Drain- und Sourcegebieten **151** in nachfolgenden Prozessschritten herzustellen ist. In anderen Prozessstrategien wird eine geeignete Ionenimplantationssequenz vor dem Bilden der Abstandshalterstruktur **153** ausgeführt, um damit entsprechende Erweiterungsgebiete in den Drain- und Sourcegebieten **151** auf der Grundlage geeignet gestalteter Versatzabstandshalter (nicht gezeigt) zu bilden. Nach der Herstellung der Abstandshalterstruktur **153**, die in zuverlässiger Weise Seitenwände der Gateelektrode **152** abdeckt, kann eine entsprechende Deckschicht (nicht gezeigt) über den Transistorelementen, etwa n-Kanaltransistoren, wenn der Transistor **150** einen p-Kanaltransistor repräsentiert, gebildet werden, um die entsprechenden abgedeckten Transistorelemente vor einem Ätzprozess **104** zu schützen, der so gestaltet ist, das Material aus der Gateelektrode **152** selektiv zu der Abstandshalterstruktur **153** abgetragen wird. In der in [Fig. 1b](#) gezeigten anschaulichen Ausführungsform kann der Ätzprozess **104** auch Material aus den Drain- und Sourcegebieten **151** entfernen. Andere Prozessstrategien, in denen die Gateelektrode **152** selektiv vertieft wird, ohne dass im Wesentlichen Material aus den Drain- und Sourcegebieten **151** abgetragen wird, werden später mit Bezug zu den [Fig. 2a](#) bis [2e](#) beschrieben. Der Ätzprozess **104** kann als ein isotroper Ätzprozess, als ein im Wesentlichen anisotroper Ätzprozess oder als ein Ätzprozess mit einem Zwischenmaß an Isotropie gestaltet sein, abhängig von den Bauteilerfordernissen. Wenn beispielsweise ein gewisses Maß an Unterätzung der Abstandshalterstruktur **153** gewünscht ist, können die entsprechenden Prozessparameter und Prozessgase des Ätzprozesses **104** auf der Grundlage gut etablierter Verfahren ausgewählt werden, um ein isotropes Verhalten zu erreichen. In noch weiteren anschaulichen Ausführungsformen kann der Ätzprozess zumindest teilweise einen nasschemischen Ätzschritt auf der Grundlage geeigneter Chemikalien enthalten. Beispielsweise können äußerst selektive Ätzprozesse für Silizium in Bezug auf Siliziumnitrid, Siliziumdioxid und dergleichen aus dem Stand der Technik eingesetzt werden.

**[0015]** [Fig. 1c](#) zeigt schematisch das Halbleiterbauelement **100** nach dem Ende des Ätzprozesses **104**. Folglich enthält der Transistor **150** eine erste Vertiefung **152r**, die in der Gateelektrode **152** gebildet ist, und eine zweite Vertiefung **151r**, die in den Drain- und Sourcegebieten **151** gebildet ist. Es sollte beachtet werden, dass eine entsprechende Tiefe der ersten und der zweiten Vertiefung **152r**, **151r** sich auf Grund der Unterschiede in der Kristallstruktur der Materialien der Gateelektrode **152** im Vergleich zu dem im Wesentlichen kristallinen Material der Drain- und

Sourcegebiete **151** unterscheiden kann. Beispielsweise kann ein Polysiliziummaterial der Gateelektrode **152** eine geringfügig erhöhte Ätzrate während des Prozesses **154** im Vergleich zu dem Material der Drain- und Sourcegebiete **151** aufweisen. Danach können entsprechende Reinigungsprozesse ausgeführt werden, um Kontaminationsstoffe oder andere Reste aus dem vorhergehenden Ätzprozess zu entfernen, um damit die freigelegten Oberflächenbereiche der Gateelektrode **152** und der Drain- und Sourcegebiete **151** für einen selektiven epitaktischen Wachstumsprozess **150** vorzubereiten. Während des epitaktischen Wachstumsprozesses **105** wird ein geeignetes Halbleitermaterial auf den freiliegenden Oberflächenbereichen abgeschieden, wobei entsprechende Prozessparameter, etwa Temperatur, Druck, Vorstufen- und Trägergase, und dergleichen in geeigneter Weise so ausgewählt werden, dass die Anhaftung des Halbleitermaterials im Wesentlichen auf die freiliegenden Halbleiteroberflächen beschränkt wird, während eine merkliche Anhaftung von Material an den dielektrischen Bereichen, etwa der Abstandshalterstruktur **153** und anderen Deckschichten, unterdrückt ist. Wenn die Drain- und Sourcegebiete **151** und die Gateelektrode **152** im Wesentlichen aus Silizium aufgebaut sind, d. h. im Wesentlichen kristallines Silizium und Polysilizium, kann eine Silizium/Germanium-Mischung während des epitaktischen Wachstumsprozesses **105** abgeschieden werden, um ein entsprechend verformtes Halbleitermaterial in der Vertiefung **151r** zu bilden, während das Silizium/Germanium-Material in der Vertiefung **152r**, das auf dem Polysiliziummaterial gebildet wird, zu einem zugverspannten Material führt, das seine Zugverspannung auf das darunter liegende Polysiliziummaterial überträgt. In einigen Beispielen kann das Silizium/Germanium-Material zusätzlich als ein stark dotiertes Material abgeschieden werden, wodurch die erforderliche Dotierstoffkonzentration in den Drain- und Sourcegebieten **151** nach dem Auffüllen der Vertiefung **151r** bereitgestellt wird. In anderen anschaulichen Ausführungsformen wird das Silizium/Germanium-Material als ein im Wesentlichen intrinsisches Material, d. h. ein nicht dotiertes Material, abgeschieden, wodurch die Steuerbarkeit des entsprechenden Wachstumsprozesses **105** verbessert wird, und die erforderliche Dotierstoffkonzentration in den Drain- und Sourcegebieten **151** sowie in der Gateelektrode **152** wird in einer späteren Fertigungsphase auf der Grundlage von Implantationsverfahren erhalten.

[0016] [Fig. 1d](#) zeigt schematisch eine perspektivische Ansicht des Halbleiterbauelements **100** nach dem Ende des epitaktischen Wachstumsprozesses **105**. Somit enthält der Transistor **150** ein verformtes Halbleitermaterial **156** in den Drain- und Sourcegebieten **151**, wobei das verformte Halbleitermaterial **156** eine im Wesentlichen uniaxiale kompressive Verformung in Bezug auf die lateralen Abmessungen, d. h. die Kanallänge- und Breitenrichtung bereitstellt,

wobei die Verformung in der Kanallängenrichtung ausgerichtet ist, wie dies durch **156i** angedeutet ist, da beide Gebiete **151** auf das Kanalgebiet **155** in der Längenrichtung „über“ das Kanalgebiet **155** „hinweg“ in einer überlagernden Weise „einwirken“. In der Breitenrichtung und der Tiefenrichtung wird eine deutlich reduzierte Wirkung erreicht, da das verformte Material **156** lediglich „tangential“ wirkt. Ferner ist ein verspanntes Silizium/Germanium-Material **157** über dem Polysiliziummaterial der Gateelektrode **152** gebildet und ruft eine entsprechende biaxiale Verformung in dem Kanalgebiet **155** hervor, so dass eine Verformungskomponente, die als **157w** bezeichnet ist, in der Transistorbreitenrichtung erhalten wird. Eine entsprechende Verformungskomponente entlang der Längenrichtung (nicht gezeigt), die durch das verspannte Material **157** hervorgerufen wird, ist ebenso vorhanden, die jedoch effizient durch die entsprechende uniaxiale Verformung **156i** überkompensiert wird. Somit wird für die Standardtransistorkonfiguration, in der die Längenrichtung entlang der  $\langle 110 \rangle$  Orientierung ausgerichtet ist, eine deutliche Verbesserung des Transistorleistungsverhaltens des p-Kanaltransistors **150** erreicht, da beide Verformungskomponenten **156i**, **157w** zu einer entsprechenden Zunahme der Löcherbeweglichkeit führen.

[0017] [Fig. 1e](#) zeigt schematisch das Halbleiterbauelement **100** in einer weiter fortgeschrittenen Herstellungsphase. In dieser Prozessstrategie wird die Abstandshalterstruktur **153** entfernt, beispielsweise auf der Grundlage gut etablierter äußerst selektiver Ätzrezepte, wobei dies beispielsweise zusammen mit der Entfernung der Deckschicht einhergeht, die andere Transistoren, etwa n-Kanaltransistoren, während der vorhergehenden Fertigungsprozesse abdeckt, und nachfolgend kann eine geeignete Versatzabstandshalterstruktur **106** auf der Grundlage gut etablierter Abstandshalterverfahren hergestellt werden. Auf der Grundlage der Versatzabstandshalter **106** kann ein weiterer Implantationsprozess **107** ausgeführt werden, um damit entsprechende Erweiterungsgebiete **158** in den Drain- und Sourcegebieten **151** zu definieren. Es sollte beachtet werden, dass die Versatzabstandshalterstruktur **106** vor dem Herstellen der entsprechenden Halbleitermaterialien **156** und **157** gebildet werden kann, um damit durch Implantation hervorgerufene Schäden in den epitaktisch aufgewachsenen Materialien **157** und **156** zu verringern. Nach der Ausbildung der Erweiterungsgebiete **158** und abhängig davon, ob die Materialien **156** und **157** mit hoch dotiertem Halbleitermaterial hergestellt sind, können weitere Implantationsprozesse ausgeführt werden, um das Dotierstoffprofil in den Drain- und Sourcegebieten **151** entsprechend den Bauteilerfordernissen zu bilden. Ferner kann ein geeignet gestalteter Ausheizprozess ausgeführt werden, um damit durch Implantation eingeführte Dotiermittel zu aktivieren und um auch durch Implantation hervorgerufene Gitterschäden zu rekristallisieren.

**[0018]** [Fig. 1f](#) zeigt schematisch das Halbleiterbauelement **100** in einer weiter fortgeschrittenen Fertigungsphase. Eine weitere Seitenwandabstandshalterstruktur **108** kann benachbart zu der Gateelektrode **152** ausgebildet sein, wobei, wie zuvor erläutert ist, die Seitenwandabstandshalterstruktur **108** für eine weitere Implantationssequenz verwendet werden kann, wenn das Dotierstoffprofil in den Drain- und Sourcegebieten **151** auf der Grundlage eines Implantationsprozesses einzustellen ist. In anderen Varianten wird eine Abstandshalterstruktur **108** im Hinblick auf eine Abstandsbreite in Bezug auf die Erfordernisse für Metallsilizidgebiete **109** hergestellt, die in den Drain- und Sourcegebieten **151** und in der Gateelektrode **152** auszubilden sind. Die Abstandshalterstruktur **108** kann auf der Grundlage gut etablierter Verfahren abgestellt werden, die das Abscheiden eines Beschichtungsmaterials **110** und das Bilden eines geeigneten dielektrischen Materials darauf, etwa Siliziumnitrid, beinhalten, das dann mittels anisotroper Verfahren strukturiert wird, um die Abstandshalterstruktur **108** bereitzustellen. Danach wird ein geeigneter Silizidierungsprozess ausgeführt, um die Gebiete **109** bereitzustellen, wobei ein Abstand von dem Kanalgebiet **155** im Wesentlichen durch die Breite der Abstandshalterstruktur **108** definiert ist. Es wird ein geeignetes Zwischenschichtdielektrikumsmaterial über dem Transistor **150** gebildet, wobei in einigen Fällen das dielektrische Material eine gespannte Schicht aufweisen kann, um die Verformung in dem Kanalgebiet **155** weiter zu erhöhen, wie dies nachfolgend detaillierter beschrieben ist. Somit umfasst der Transistor **150** die Gateelektrode **152** mit einer biaxialen Zugverspannung, die eine entsprechende Verformung in dem Kanalgebiet **155** hervorruft, wodurch die Ladungsträgerbeweglichkeit von Löchern in p-Kanaltransistoren erhöht wird, insbesondere, wenn dies mit einer zusätzlichen verformungsinduzierenden Quelle kombiniert wird, etwa dem verformten Halbleitermaterial **156** in den Drain- und Sourcegebieten **151**. In diesem Falle kann die Gesamtleistungsfähigkeit des Transistors **150** deutlich im Vergleich zu konventionellen Bauelemente, die beispielsweise ein verformtes Silizium/Germanium-Material als eine verformungsinduzierende Quelle enthalten, verbessert werden, wobei gemäß der vorliegenden Erfindung ein hohes Maß an Kompatibilität mit konventionellen Fertigungsverfahren erreicht wird. Des Weiteren kann eine zusätzliche Steigerung des Leistungsvermögens erreicht werden, ohne zusätzlich zu der Prozesskomplexität beizutragen, da zusätzliche Prozessschritte im Vergleich zu einem Prozessablauf zur Herstellung des verformten Halbleitermaterials **156** in diesem Falle nicht notwendig sind. Es sollte jedoch beachtet werden, dass die Gateelektrode **152** mit der biaxialen Zugverspannung auch vorteilhafterweise in n-Kanaltransistoren eingesetzt werden kann, möglicherweise in Verbindung mit anderen verformungshervorrufenden Mechanismen, da in dem n-Kanaltransistor die Zugverformung ent-

lang der Transistorbreitenrichtung und der Längsrichtung jeweils die Elektronenbeweglichkeit erhöhen, wodurch eine effiziente verformungsinduzierende Quelle bereitgestellt wird.

**[0019]** Angesichts der zuvor beschriebenen Situation besteht ein Bedarf für eine verbesserte Technik, die eine effiziente Zunahme der Leistungsfähigkeit von n-Kanaltransistoren und p-Kanaltransistoren ermöglicht, während eines oder mehrere der zuvor genannten Probleme vermieden oder zumindest in ihrer Auswirkung reduziert werden.

**[0020]** Im Allgemeinen richtet sich die vorliegende Erfindung an eine Technik zum Verbessern der Verformung in einem Kanalgebiet von Transistorelementen durch Vorsehen eines verspannten Materials in der Gateelektrode, um damit eine biaxiale Verformung in dem Kanalgebiet hervorzurufen. Folglich kann zusätzlich zu anderen verformungsinduzierenden Quellen, etwa verformten Halbleitermaterialien in den Drain- und Sourcegebieten, Verspannungsschichten, die über den Transistoren ausgebildet sind, und dergleichen, eine spezielle Art einer biaxialen Verspannung in der Gateelektrode zu einer deutlich erhöhten Leistungssteigerung entsprechender Transistorelemente beitragen. Beispielsweise wird in siliziumbasierten CMOS-Technologien häufig eine Standardkonfiguration eingesetzt, in der das siliziumbasierte Halbleitermaterial eine Oberflächenorientierung (**100**) aufweist, während die Längsrichtung der entsprechenden Kanalgebiete häufig entlang der **<110>** Orientierung angeordnet ist. In diesem Falle kann eine uniaxiale Zugverformung in dem Kanalgebiet entlang der Kanallängsrichtung deutlich die Elektronenbeweglichkeit verbessern, während eine uniaxiale Druckverformung die Löcherbeweglichkeit verbessern kann. Andererseits kann eine uniaxiale Verformung in der Kanalbreitenrichtung ebenso deutlich die Ladungsträgerbeweglichkeit beeinflussen, wobei für die oben beschriebene Konfiguration eine Zugverformung die Löcherbeweglichkeit sowie die Elektronenbeweglichkeit erhöhen kann, wodurch die Möglichkeit geschaffen wird, das Leistungsverhalten einer oder beider Transistorarten in einem CMOS-Bauelement deutlich zu verbessern.

**[0021]** Erfindungsgemäß wird die Aufgabe durch ein Verfahren gemäß dem Anspruch 1 gelöst.

#### Kurze Beschreibung der Zeichnungen

**[0022]** Weitere Ausführungsformen der vorliegenden Erfindung sind in den angefügten Patentansprüchen definiert und gehen deutlicher aus der folgenden detaillierten Beschreibung hervor, wenn diese mit Bezug zu den **Fig. 3** und **4** studiert wird, während die **Fig. 1** und **2** zum besseren Verständnis der Erfindung dienen, in denen:

[0023] [Fig. 1a](#) schematisch eine Draufsicht eines Transistors zeigt, der eine Gateelektrode aufweist, die eine biaxiale zugverformungshervorrufendes Material erhält;

[0024] [Fig. 1b](#) und [Fig. 1c](#) schematisch Querschnittsansichten des Transistors aus [Fig. 1a](#) in weiter fortgeschrittenen Fertigungsphasen zeigen;

[0025] [Fig. 1d](#) schematisch eine perspektivische Ansicht eines Transistors mit einer biaxial verspannten Gateelektrode und einer zusätzlichen verformungsinduzierenden Quelle zeigt;

[0026] [Fig. 1e](#) bis [Fig. 1f](#) schematisch Querschnittsansichten des Transistors aus [Fig. 1d](#) in weiter fortgeschrittenen Fertigungsphasen zeigen;

[0027] [Fig. 2a](#) und [Fig. 2b](#) schematisch Querschnittsansichten eines Halbleiterbauelements mit unterschiedlichen Arten an Transistoren zeigen, die in einer weiteren Fertigungsphase eine biaxial verspannte Gateelektrode in Verbindung mit einer Verspannungsschicht erhalten;

[0028] [Fig. 3a](#) bis [Fig. 3d](#) schematisch Querschnittsansichten eines Halbleiterbauelements in einer weiter fortgeschrittenen Fertigungsphase gegenüber den [Fig. 2a](#) und [Fig. 2b](#) mit zwei Transistoren zeigen, wovon einer zusätzlich zu einer biaxial verspannten Gateelektrode ein verformtes Halbleitermaterial selektiv zu dem anderen Transistor gemäß anschaulicher Ausführungsformen der vorliegenden Erfindung erhält; und

[0029] [Fig. 4a](#) bis [Fig. 4d](#) schematisch Querschnittsansichten eines Halbleiterbauelements mit zwei Transistorbauelementen zeigen, die biaxial verspannte Gateelektroden und unterschiedliche Arten eines verformtes Halbleitermaterials in den entsprechenden Drain- und Source-Gebieten gemäß noch anderer anschaulicher Ausführungsformen der vorliegenden Erfindung erhalten.

[0030] Im Allgemeinen betrifft die vorliegende Erfindung eine Technik zur Verbesserung des Transistorleistungsvermögens, indem eine geeignete Verformung in entsprechenden Kanalgebieten von Transistorelementen hervorgerufen wird. Wie zuvor erläutert ist, werden eine Vielzahl von Prozesstechnologien eingesetzt, um eine geeignete Verformung, d. h. eine Zugverformung oder eine Druckverformung für ein geeignetes Verbessern der entsprechenden Ladungsträgerbeweglichkeit zu schaffen. In einigen Lösungsvorschlägen wird eine im Wesentlichen uniaxiale Verformung hervorgerufen, beispielsweise indem ein geeignetes verformtes Halbleitermaterial, etwa Silizium/Germanium eingebaut wird, um damit die Löcherbeweglichkeit von p-Kanaltransistoren zu erhöhen.

[0031] Gemäß der vorliegenden Erfindung wird die Gateelektrode als eine verformungshervorrufende Quelle für verschiedene Transistoren benutzt, wobei zumindest einer der Transistoren ein verformtes Halbleitermaterial gemeinsam mit einem Silizium/Germaniummaterial der Gateelektroden erhält, wodurch eine biaxiale Verformung in dem darunter liegenden Kanalgebiet bereitgestellt wird, die, wenn sie geeignet an die entsprechende kristallographische Konfiguration des Kanalgebiets angepasst ist, für den gewünschten Zuwachs an Ladungsträgerbeweglichkeit sorgen kann. Gemäß der vorliegenden Erfindung wird ein entsprechend verspanntes Material in der Gateelektrode und den Drain- und Sourcegebieten eines Transistors bei Maskierung der Drain- und Sourcegebiete eines zweiten Transistors gebildet, indem zunächst eine geeignete Vertiefung in den nicht maskierten Drain- und Sourcegebieten und den Gateelektroden hergestellt wird und diese nachfolgend mit dem verspannten leitenden Material gefüllt wird, wobei dieses in Form eines Silizium/Germanium-Materials bereitgestellt wird, das über einem siliziumbasierten Material hergestellt wird.

[0032] In einem Aspekt der vorliegenden Erfindung wird eine standardmäßige Kristallkonfiguration des kristallinen Basishalbleitermaterials benutzt, in der eine Oberflächenorientierung (100) verwendet wird, wobei Transistoren typischerweise so ausgebildet werden, dass die Kanallängenrichtung im Wesentlichen zu der  $\langle 110 \rangle$  Orientierung ausgerichtet ist. In diesem Falle kann eine Zugverformungskomponente entlang der Kanallängenrichtung die Ladungsträgerbeweglichkeit von Elektronen und Löchern erhöhen, während eine Zugverformungskomponente entlang der Kanallängenrichtung die Beweglichkeit von Elektronen erhöht, wohingegen eine kompressive Verformungskomponente entlang der Kanallängenrichtung die Löcherbeweglichkeit erhöht. Durch Verwenden der Gateelektrode als eine Quelle einer biaxialen Verspannung kann somit eine deutliche Verbesserung der Leistungsfähigkeit erreicht werden, indem die verspannte Gateelektrode geeignet mit einer oder mehreren zusätzlichen verformungsinduzierenden Quellen in dem Transistorelement kombiniert wird. Es sollte beachtet werden, dass das Ersetzen eines Teils des Gateelektrodenmaterials durch ein geeignetes verspanntes leitendes Material in effizienter Weise auf eine spezielle kristalline Konfiguration des Basismaterials angepasst werden kann, um damit die gewünschte Leistungsverbesserung zu erreichen. Daher sollte die vorliegende Erfindung nicht als auf eine spezielle kristallographische Orientierung oder spezialisierte Halbleitermaterialien eingeschränkt gesehen werden, sofern derartige Einschränkungen nicht speziell in der Beschreibung oder in den angefügten Patentansprüchen aufgeführt sind.

[0033] Mit Bezug zu den [Fig. 3](#) und [4](#) werden weitere Ausführungsbeispiele beschrieben, wobei in den

[Fig. 2a](#) und [Fig. 2b](#) Fertigungsschritte zur Erzeugung der Transistoren gezeigt sind.

[0034] Mit Bezug zu den [Fig. 2a](#) und [Fig. 2b](#) und [Fig. 3](#) und [4](#) werden nunmehr weitere Ausführungsformen detaillierter beschrieben, in denen eine biaxial verspannte Gateelektrode in einem oder mehreren Transistorarten hergestellt werden, ohne dass entsprechende Vertiefungen in den Drain- und Sourcegebieten gebildet werden, so dass der verformungsinduzierende Mechanismus, der durch die verspannte Gateelektrode bereitgestellt wird, mit anderen verformungsinduzierenden Quellen kombiniert oder auch nicht kombiniert werden kann, ohne dass ein selektives epitaktisches Aufwachsen in den Drain- und Sourcegebieten erforderlich ist.

[0035] [Fig. 2a](#) zeigt schematisch eine Querschnittsansicht eines Halbleiterbauelements **200** mit einem ersten Transistor **250** und einem zweiten Transistor **260**. Der erste und der zweite Transistor **250** und **260** sind in und auf entsprechenden Bereichen einer Halbleiterschicht **203** gebildet, die wiederum über einem Substrat **201** angeordnet ist. Im Hinblick auf das Substrat **210** und die Halbleiterschicht **203** gelten die gleichen Kriterien, wie sie zuvor für die Komponenten **101** und **103** erläutert sind. Des Weiteren sollte beachtet werden, dass einer oder beide Transistoren **250**, **260** SOI-artige Transistoren repräsentieren können, wobei entsprechende vergrabene isolierende Schichten (nicht gezeigt) vorgesehen sind, wie dies zuvor auch mit Bezug zu dem Bauelement **100** erläutert ist. Des Weiteren besitzen die Transistoren **250**, **260** entsprechende Gateelektroden **252**, **262**, die auf entsprechenden Gateisolationsschichten **254**, **264** ausgebildet sind. Des Weiteren sind entsprechende Abstandshalter **253**, **263** an den entsprechenden Seitenwänden der Gateelektroden **252**, **262** gebildet. In ähnlicher Weise sind entsprechende Drain- und Sourcegebiete **251**, **261**, die die entsprechenden Kanalgebiete **255**, **265** einschließen, vorgesehen. Es sollte beachtet werden, dass die Transistoren **250**, **260** Transistoren der gleichen Leitfähigkeitsart jedoch mit einer unterschiedlichen Konfiguration im Hinblick auf ein oder mehrere Entwurfsanfordernisse, etwa eine Dicke der entsprechenden Gateisolationsschichten **254**, **264**, der Gatelänge, der Transistorbreite, und dergleichen repräsentieren können. In anderen anschaulichen Ausführungsformen repräsentieren die Transistoren **250**, **260** Transistoren unterschiedlicher Leitfähigkeitsart. Beispielsweise repräsentiert der Transistor **250** einen p-Kanaltransistor, während der Transistor **260** einen n-Kanaltransistor darstellt. In diesem Falle besitzen die entsprechenden Drain- und Sourcegebiete **251**, **261** und die Kanalgebiete **255**, **265** darin ausgebildet unterschiedliche Arten an Dotiermitteln oder diese sind noch darin zu bilden, gemäß gut etablierter CMOS-Verfahren. Hinsichtlich der diversen Komponenten der Transistoren **250**, **260**, die bislang beschrieben sind, gelten

die gleichen Kriterien, wie sie zuvor mit Bezug zu dem Bauelement **200** erläutert sind. Des Weiteren weist das Bauelement **200** eine Maskenschicht **211** auf, die über dem ersten und dem zweiten Transistor **250**, **260** ausgebildet ist, wobei die Schicht **211** aus einem beliebigen geeigneten Material, etwa Siliziumdioxid, Siliziumnitrid, und dergleichen hergestellt sein kann. Des Weiteren ist eine Füllschicht **212**, die aus einem beliebigen geeigneten Material aufgebaut ist, etwa einem Lackmaterial, einem Polymermaterial, und dergleichen, in dem Bauelement **200** so gebildet, dass eine im Wesentlichen ebene Oberflächentopographie für das Bauelement **200** geschaffen wird.

[0036] Das Halbleiterbauelement **200**, wie es in [Fig. 2a](#) gezeigt ist, kann auf der Grundlage der folgenden Prozesse hergestellt werden. Die Transistoren **250**, **260** können durch Prozessverfahren hergestellt werden, wie sie zuvor mit Bezug zu dem Transistor **150** beschrieben sind, wobei zu beachten ist, dass jedoch unterschiedlichen Implantationsverfahren und dergleichen eingesetzt werden, um Unterschiede im Hinblick auf die Leitfähigkeitsart zu berücksichtigen, wenn ein n-Kanaltransistor und ein p-Kanaltransistor betrachtet werden. Entsprechende Unterschiede bei der Bereitstellung der geeigneten Dotiermittel innerhalb der Kanalgebiete **255**, **265** sind im Stand der Technik gut bekannt. Folglich wird nach der Herstellung der Gateelektroden **252**, **262** und der Abstandshalterstrukturen **253**, **263** die Maskenschicht **211** durch eine beliebige geeignete Abscheidetechnik, etwa plasmagestützte CVD (chemische Dampfabcheidung), thermische CVD, Oxidation, wenn die Maskenschicht **211** in Form eines Oxidmaterials bereitgestellt wird, und dergleichen hergestellt. Danach wird die Füllschicht **212** in einer äußerst nicht konformen Abscheidetechnik, etwa Aufschleuderverfahren, CVD-Verfahren auf der Grundlage geeignet eingestellter Prozessparameter und dergleichen gebildet. Z. B. wird die Füllschicht **212** als ein Lackmaterial oder ein Polymermaterial vorgesehen, das in einem Zustand mit geringer Viskosität durch Aufschleuderverfahren aufgebracht wird. Bei Bedarf kann ein weiterer Einebnungsschritt ausgeführt werden, beispielsweise durch chemisch-mechanisches Polieren, wodurch auch ein Oberflächenbereich **211s** der Maskenschicht **211** freigelegt werden kann. In anderen Fällen wird ein entsprechendes Abtragen von überschüssigem Material der Füllschicht **212** mittels geeignet gestalteter Ätzprozesse ausgeführt. Z. B. wird das Abtragen eines überschüssigen Materials der Schicht **212** fortgesetzt, bis die entsprechenden Gateelektroden **252** und **262** freigelegt sind, was auf der Grundlage von CMP, Ätzen, und dergleichen bewerkstelligt werden kann. Nach dem Freilegen der Oberflächenbereichen **211s** kann auch ein geeignet gestalteter Ätzprozess ausgeführt werden, um selektiv Material der Maskenschicht **211** in Bezug auf die darunter liegende Gateelektrode **252**, **262** zu ätzen.

[0037] [Fig. 2b](#) zeigt schematisch das Halbleiterbauelement **200** nach der zuvor beschriebenen Prozesssequenz. Somit sind entsprechende Oberflächenbereiche **252s**, **262s** der Gateelektroden **252**, **262** freigelegt.

[0038] Mit Bezug zu den [Fig. 3a](#) bis [Fig. 3d](#) und [Fig. 4a](#) bis [Fig. 4d](#) werden anschauliche Ausführungsformen der vorliegenden Erfindung detaillierter beschrieben, in denen eine verspannte Gateelektrode in unterschiedlichen Transistorarten effizient mit der Herstellung verformten Halbleitermaterials in zumindest einer der unterschiedlichen Transistorarten kombiniert wird.

[0039] [Fig. 3a](#) zeigt schematisch ein Halbleiterbauelement **300**, das eine ähnliche Konfiguration wie das Bauelement **200** aufweisen kann, das in [Fig. 2b](#) gezeigt ist. Folglich enthalten Transistoren **350**, **360** entsprechende Gateelektroden **352**, **362**, die über entsprechenden Gateisolationsschichten **354**, **364** ausgebildet sind. Des Weiteren sind entsprechende Abstandshalter **353**, **363** an Seitenwänden der Gateelektroden **352**, **362** gebildet. Ferner ist eine Maskenschicht **311** über den Transistoren **350**, **360** gebildet, während eine Füllschicht **312** so ausgebildet ist, dass eine im Wesentlichen ebene Oberflächenkonfiguration erhalten wird. Des Weiteren sind in dieser Fertigungsphase entsprechende Oberflächenbereiche **352s**, **362s** der Gateelektroden **352**, **362** freigelegt.

[0040] Die Transistoren **350**, **360**, wie sie bislang beschrieben sind, können auf der Grundlage der Prozesse hergestellt werden, wie sie zuvor mit Bezug zu den [Fig. 2a](#) und [Fig. 2b](#) beschrieben sind, wenn auf das Halbleiterbauelement **200** verwiesen wird. Nach dem Freilegen der entsprechenden Oberflächenbereiche **352s**, **362s** wird eine entsprechende Ätzmaske **313**, die beispielsweise aus Photolack oder dergleichen aufgebaut ist, so gebildet, dass der Transistor **350** freiliegt, während der Transistor **360** abgedeckt ist. Des Weiteren wird das Bauelement **300** einem Ätzprozess **314** unterzogen, während welchem der freigelegte Bereich der Füllschicht **312** und der Maskenschicht **311** selektiv entfernt wird in Bezug auf die Materialien der Gateelektrode **352** und der Abstandshalter **353**. Beispielsweise kann das Füllmaterial **312** aus einem geeigneten Polymermaterial, einem Lackmaterial, und dergleichen aufgebaut sein, das auf der Grundlage geeignet ausgewählter Ätzrezepte entfernt werden kann. Nach dem Freilegen der Maskenschicht **311** wird der Ätzprozess **314** so gestaltet, dass die Schicht **311** selektiv abgetragen wird.

[0041] Beispielsweise sind gut selektive Ätzrezepte für Siliziumdioxid bei Vorhandensein von Silizium und Siliziumnitrid im Stand der Technik bekannt. Danach wird die Ätzmaske **313** abgetragen, beispielsweise auf der Grundlage von sauerstoffbasierten Plasma-behandlungen, und dergleichen.

[0042] [Fig. 3b](#) zeigt schematisch das Halbleiterbauelement **300** nach dem Ende der zuvor beschriebenen Prozesssequenz und während eines Ätzprozesses **304**, der so gestaltet ist, dass selektiv Material von den Gateelektroden **352**, **362** und von den Drain- und Sourcegebieten **351** des Transistors **350** abgetragen wird. Während des Ätzprozesses **304** sind die entsprechenden Drain- und Sourcegebiete **361** des Transistors **360** durch die Füllschicht **312** und die Maskenschicht **311** abgedeckt.

[0043] [Fig. 3c](#) zeigt schematisch das Halbleiterbauelement **300** nach dem Ende des Ätzprozesses **304**. Somit sind eine Vertiefung **352r** und eine Vertiefung **351r** in der Gateelektrode **352** und in den Drain- und Sourcegebieten **351** des Transistors **350** gebildet, wohingegen eine Vertiefung **362r** in der Gateelektrode **362** des Transistors **360** hergestellt ist. Als nächstes werden Reste des Füllmaterials **312** zusammen mit anderen Resten entfernt, wodurch das Bauelement **300** für einen nachfolgenden epitaktischen Wachstumsprozess vorbereitet wird.

[0044] [Fig. 3d](#) zeigt schematisch das Halbleiterbauelement **300** mit entsprechend verspannten Halbleitermaterialien **357** und **367** in den entsprechenden Gateelektroden **352**, **362**, während ein entsprechendes verformtes Halbleitermaterial **356**, etwa Silizium/Germanium, in den Drain- und Sourcegebieten **351** des Transistors **350** ausgebildet ist. Folglich kann eine biaxiale Verformung mit einer Zugkomponente in der Transistorbreitenrichtung und einer kompressiven Komponente in der Transistorlängenrichtung in dem Transistor **350** bereitgestellt werden, wodurch die Löcherbeweglichkeit deutlich verbessert wird, während eine biaxiale Zugverformung in dem Transistor **360** hervorgerufen wird, wodurch die Elektronenbeweglichkeit verbessert wird. Die weitere Bearbeitung kann auf der Grundlage von Prozessstrategien fortgesetzt werden, wie sie zuvor beschrieben sind, wobei abhängig von den Erfordernissen zusätzliche dielektrische Spannungsschichten, etwa die Schichten **259**, **269**, in geeigneter Weise für das Halbleiterbauelement **300** vorgesehen werden können.

[0045] [Fig. 4a](#) zeigt schematisch ein Halbleiterbauelement **400** mit einem ersten Transistor **450** und einem zweiten Transistor **460**, die entsprechende Gateelektroden **452**, **462** aufweisen, an deren Seitenwänden entsprechende Abstandshalter **453**, **463** ausgebildet sind. In Bezug auf diese Komponenten sowie andere Komponenten, etwa Drain- und Sourcegebieten, Gateisolationsschichten, und dergleichen, gelten die gleichen Kriterien, wie sie zuvor mit Bezug zu den Bauelementen **100**, **200** und **300** erläutert sind. Ferner ist eine Implantationsmaske **413** so gebildet, dass der Transistor **450** abgedeckt ist, während der Transistor **460** freiliegt. Die Implantationsmaske **413** kann aus einem beliebigen geeigneten

Material, etwa Photolack, und dergleichen aufgebaut sein. Des weiteren unterliegt das Bauelement **400** einer Prozesssequenz **414** zum Einführen von Kohlenstoffmaterial in Drain- und Sourcegebiete **461** des Transistors **460**. In einer anschaulichen Ausführungsform umfasst die Prozesssequenz **414** eine Amorphisierungsimplantation, beispielsweise auf der Grundlage von Silizium, um einen im Wesentlichen amorphisierten Bereich in den Drain- und Sourcegebieten **461** zu schaffen. Danach kann die Sequenz **414** einen geeignet konfigurierten Implantationsprozess beinhalten, um eine gewünschte Konzentration an Kohlenstoffatome in den zuvor amorphisierten Bereich einzuführen, wobei beispielsweise eine Implantationsdosis von ungefähr  $5 \times 10^{15}$  bis  $5 \times 10^{16}$  Ionen/cm<sup>2</sup> geeignet ist, um eine Konzentration von ungefähr 1,5 bis 4,0 Atomprozent Kohlenstoff einzubauen. Folglich können entsprechende kohlenstoffhaltende Gebiete **461c** in den Drain- und Sourcegebieten **461** hergestellt werden, wobei zu beachten ist, dass ein entsprechendes kohlenstoffhaltendes Gebiet **462c** auch in der Gateelektrode **462** gebildet wird.

[0046] [Fig. 4b](#) zeigt schematisch das Halbleiterbauelement **400** nach dem Entfernen der Implantationsmaske **413** und während eines modernen Ausheizprozesses **415**, der lasergestützte oder blitzlichtgestützte Ausheizverfahren umfassen kann. Während der blitzlichtgestützten oder lasergestützten Ausheizprozesse wird ein beschränkter Bereich des Bauelements **400** oder des gesamten Bauelements **400** einer Strahlung für eine extrem kurze Zeitdauer ausgesetzt, in der ausreichend Energie abgeschieden wird, um die Rekristallisierung und Aktivierung von Kohlenstoffatomen zu initiieren, während im Wesentlichen ein Diffundieren von Dotierstoffgattungen, die in dem betrachteten Bauteilbereich eingebaut sind, unterdrückt oder im Wesentlichen vermieden wird. Folglich können die kohlenstoffhaltenden Gebiete **461c**, **462c** in effizienter Weise in kristallines bzw. polykristallines Material umgewandelt werden, während Dotierstoffprofile, die zuvor in dem Halbleiterbauelement **400** geschaffen wurden, im Wesentlichen beibehalten werden. Danach kann die weitere Bearbeitung fortgesetzt werden, wie dies beispielsweise mit Bezug zu dem Bauelement **300** beschrieben ist, in denen entsprechende Vertiefungen gemeinsam in den Gateelektroden und in einem der Transistor-Drain- und Sourcebereiche des Bauelements **300** hergestellt werden.

[0047] [Fig. 4c](#) zeigt schematisch das Halbleiterbauelement **400**, wobei der Transistor **450** einem Ätzprozess **404** unterliegt, während der zweite Transistor **460** lediglich mit seiner Gateelektrode **462** freigelegt ist, d. h. dem kohlenstoffhaltenden Gebiet **462c**. Zu diesem Zweck wird eine entsprechende Maskenschicht **411**, die beispielsweise als Siliziumdioxid und dergleichen aufgebaut ist, und eine Füllschicht **412**

selektiv in dem zweiten Transistor **460** hergestellt, um damit zuverlässig die kohlenstoffhaltenden Gebiete **461c** in den Drain- und Sourcegebieten **461** abzudecken, wie dies zuvor für das Bauelement **200** beschrieben ist.

[0048] [Fig. 4d](#) zeigt schematisch das Halbleiterbauelement **400** nach dem Ende des Ätzprozesses **404**. Folglich weist das Bauelement **400** entsprechende Vertiefungen **452r** und **451r** in der Gateelektrode und in den Drain- und Sourcegebieten des Transistors **450** auf, während eine Vertiefung **462r** in der Gateelektrode **462** gebildet ist, wobei die kohlenstoffhaltenden Gebiete **461c** beibehalten werden. In einigen anschaulichen Ausführungsformen kann die zuvor ausgeführte Prozesssequenz **414** in Verbindung mit dem Ätzprozess **404** so gestaltet sein, dass zumindest ein wesentlicher Anteil des kohlenstoffhaltenden Gebiets **462c** entfernt wird, so dass ein gewünschter Betrag an Zugverspannung in der verbleibenden Vertiefung **462r** in einem nachfolgenden epitaktischen Wachstumsprozess erzeugt werden kann. In einigen anschaulichen Ausführungsformen werden entsprechende Sollwerte für Prozessparameter so ausgewählt, dass im Wesentlichen das gesamte kohlenstoffhaltende Gebiet **462c** während des Ätzprozesses **404** entfernt wird. Danach werden die Maskenschicht **411** und Reste der Füllschicht **412** entfernt und anschließend wird ein selektiver epitaktischer Wachstumsprozess ausgeführt, wie dies zuvor beschrieben ist. Folglich wird ein verformtes Silizium/Germanium-Material in der Vertiefung **451r** gebildet, wodurch für eine gewünschte uniaxiale kompressive Verformung in dem Transistor **450** gesorgt wird, wenn dieser einen p-Kanaltransistor repräsentiert, während ein verspanntes Silizium/Germanium-Material in den Vertiefungen **452r**, **462r** gebildet wird, wodurch eine biaxiale Verformung in den Transistoren **450**, **460** erzeugt wird, wie dies zuvor erläutert ist. Somit kann in Verbindung mit dem zuvor hergestellten Silizium/Kohlenstoff-Material in dem Transistor **460** eine äußerst effizient Erhöhung der Elektronenbeweglichkeit erreicht werden. Danach kann die weitere Bearbeitung in der zuvor beschriebenen Weise fortgesetzt werden, wobei beispielsweise zusätzlich unterschiedlich verspannte dielektrische Schichten über den Transistoren **450**, **460** in Abhängigkeit von den Prozess- und Bauteilerfordernissen hergestellt werden können.

[0049] Es gilt also: Die vorliegende Erfindung stellt eine Technik zum effizienten Erzeugen einer biaxialen Verformung in einem Kanalgebiet von unterschiedlichen Transistors bereit, indem eine Vertiefung in den Gateelektroden und in Drain- und Sourcegebieten eines der Transistoren erzeugt wird und die Vertiefung zumindest teilweise mit einem verspannten Halbleitermaterial aufgefüllt wird, das dann die gewünschte biaxiale Verformung erzeugt. Abhängig von den kristallographischen Konfigurationen des

Basismaterials kann die biaxiale Verspannung so gewählt werden, dass eine Verbesserung der Ladungsträgerbeweglichkeit erreicht wird, insbesondere in Kombination verformungsinduzierenden Material in den Drain- und Sourcegebieten des einen Transistors, wobei ein weiterer Zuwachs des Leistungsvermögens auf Grund der biaxialen Verformung erreicht wird, die durch die darüber liegende verspannte Gateelektrode hervorgerufen wird. Beispielsweise kann Silizium/Germanium in den Drain- und Sourcegebieten eine im Wesentlichen uniaxiale kompressive Verformung hervorrufen, die positiv mit der biaxialen Verformung in Wechselwirkung tritt, die von der Gateelektrode bereitgestellt wird, wodurch das Durchlassstromvermögen von p-Kanaltransistoren deutlich verbessert wird. In ähnlicher Weise kann für geeignete Kristallkonfigurationen die biaxiale Verformung, die durch die verspannte Gateelektrode hervorgerufen wird, auch die Elektronenbeweglichkeit verbessern, wodurch ein effizientes Mittel zum gleichzeitigen Verbessern der Ladungsträgerbeweglichkeit von p-Kanaltransistoren und n-Kanaltransistoren bereitgestellt wird. In einigen anschaulichen Ausführungsformen kann das zusätzliche Herstellen eines epitaktisch aufgewachsenen Halbleitermaterials ohne zusätzliche Prozessschritte im Hinblick auf konventionelle Strategie für die Herstellung eingebetteter Halbleitermaterialien in den Drain- und Sourcegebieten bewerkstelligt werden, wodurch ein verbessertes Bauteilverhalten ohne Beitrag zur Prozesskomplexität erreicht wird. In noch weiteren anschaulichen Ausführungsformen wird ein hohes Maß an Kompatibilität mit konventionellen Prozessstrategien zur Ausbildung verformter Kanalgebiete erreicht, wobei dennoch eine deutlich Leistungssteigerung möglich ist.

### Patentansprüche

#### 1. Verfahren mit:

Bilden einer ersten Vertiefung in einer Gateelektrode eines ersten Transistors und eines zweiten Transistors und einer zweiten Vertiefung in einem Drain- und Sourcegebiet des ersten Transistors in einem gemeinsamen Prozess, während ein Draingebiet und ein Sourcegebiet des zweiten Transistors maskiert sind; und

Bilden eines Silizium/Germanium-Materials in der ersten und der zweiten Vertiefung durch einen selektiven epitaktischen Wachstumsprozess.

2. Verfahren nach Anspruch 1, wobei Bilden der ersten Vertiefung in dem ersten und dem zweiten Transistor umfasst: Bilden einer Maskenschicht über dem ersten und dem zweiten Transistor, Freilegen einer oberen Fläche der Gateelektrode des ersten und des zweiten Transistors und selektives Entfernen der Maskenschicht von dem ersten Transistor.

3. Verfahren nach Anspruch 2, das ferner umfasst: Bilden eines zweiten von dem ersten verform-

ten Halbleitermaterial verschiedenen verformten Halbleitermaterials in dem Draingebiet und dem Sourcegebiet des zweiten Transistors.

4. Verfahren nach Anspruch einem der Ansprüche 1 bis 3, wobei der erste Transistor ein p-Kanaltransistor und der zweite Transistor ein n-Kanaltransistor ist.

Es folgen 9 Blatt Zeichnungen

Anhängende Zeichnungen

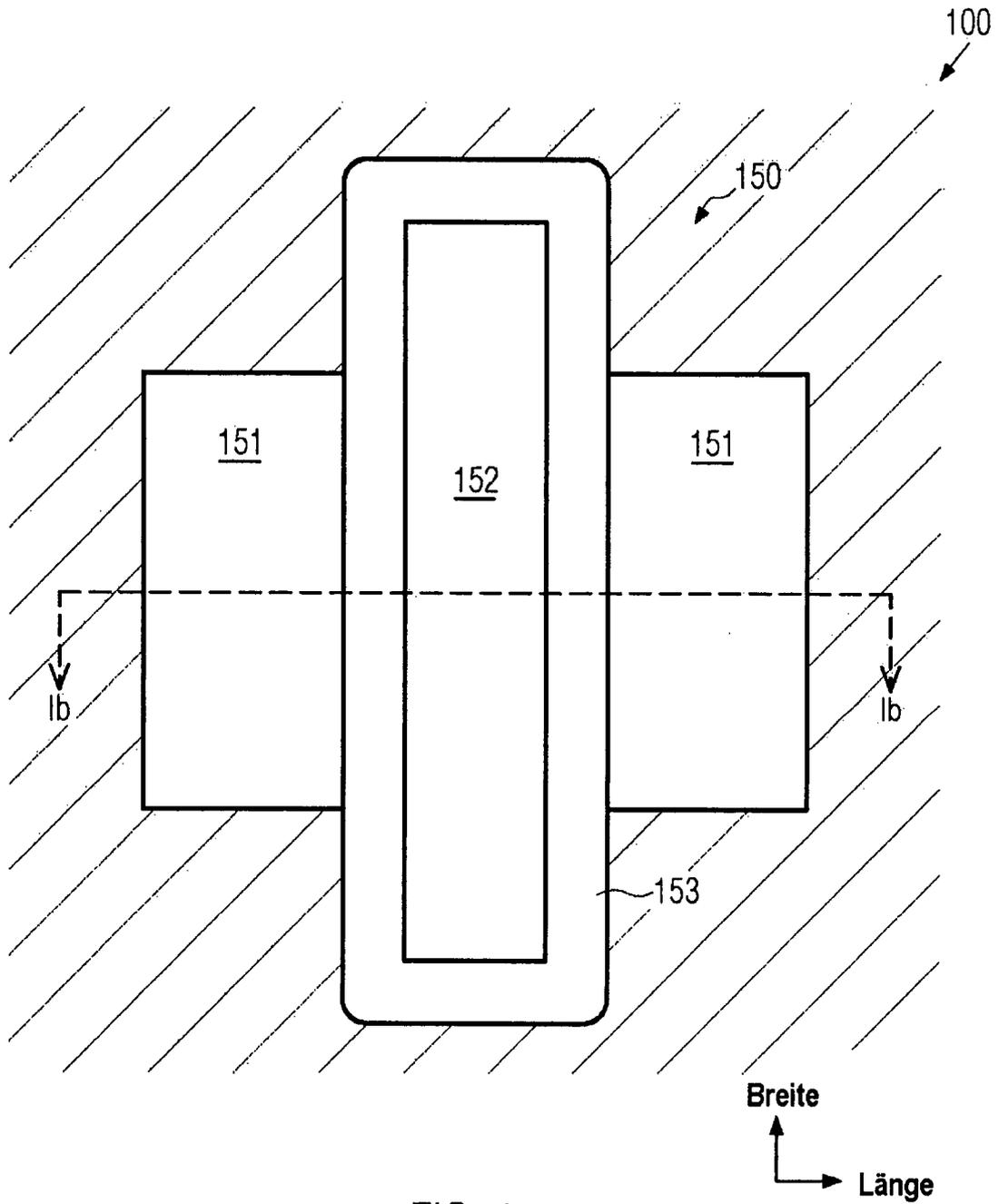


FIG. 1a

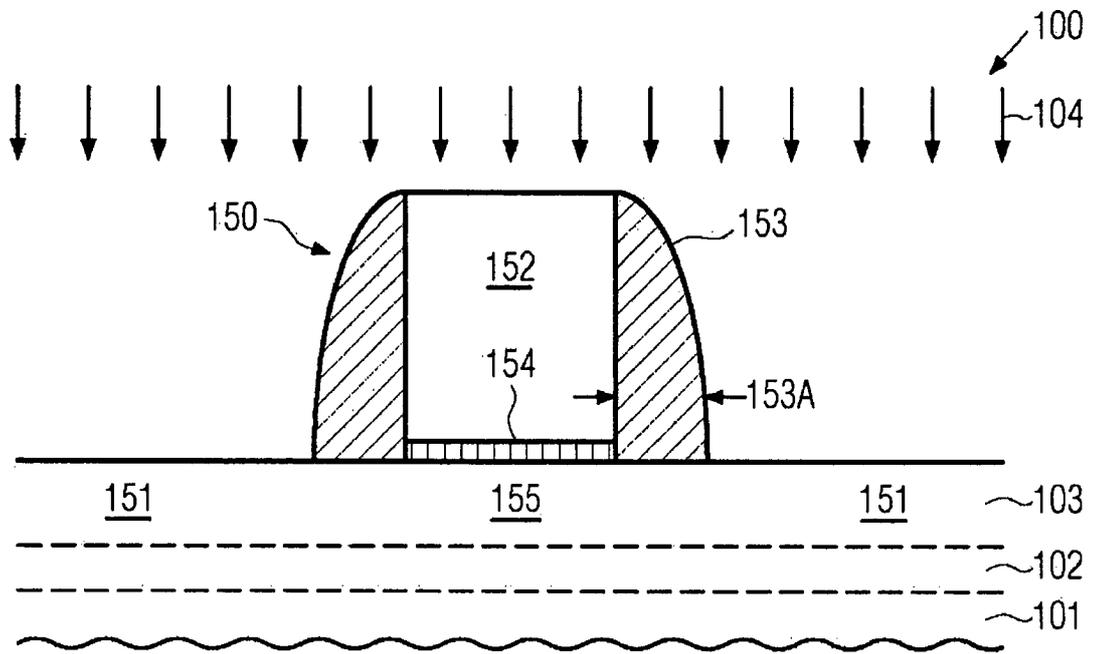


FIG. 1b

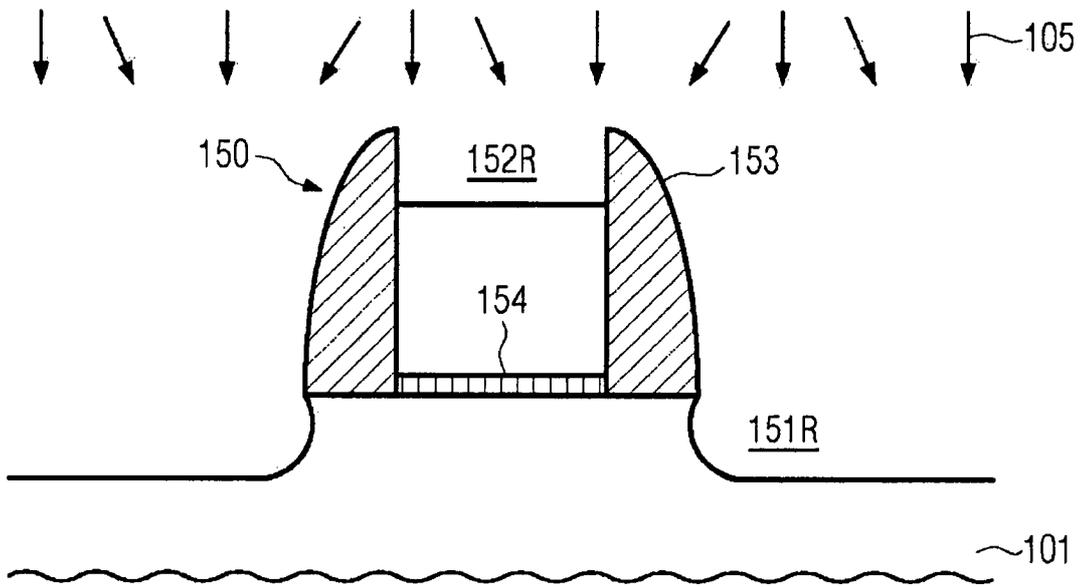


FIG. 1c

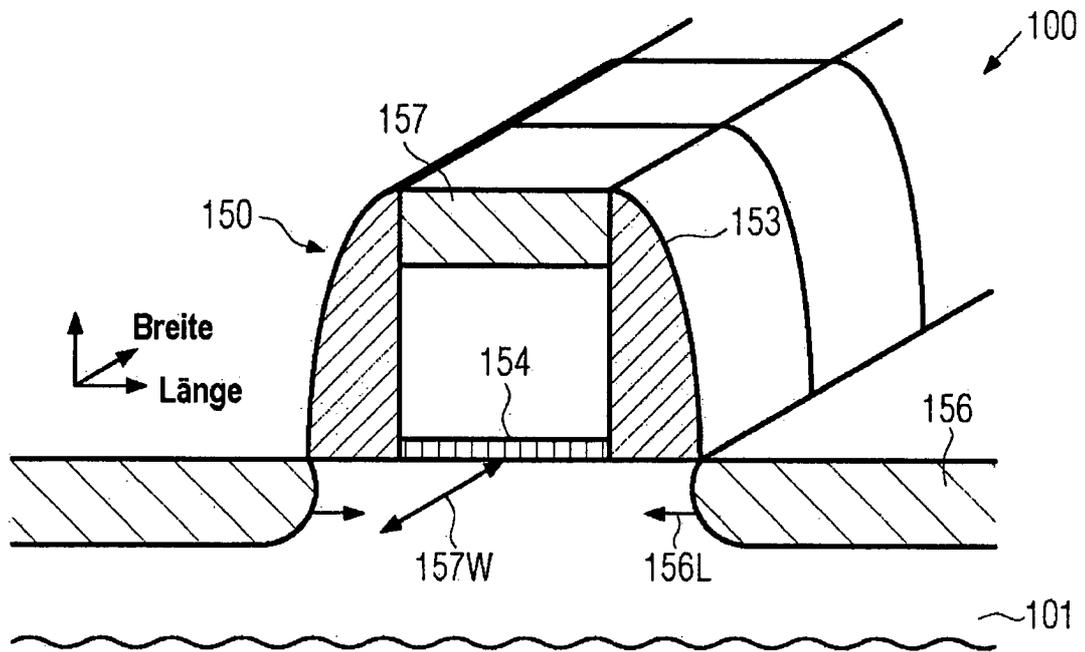


FIG. 1d

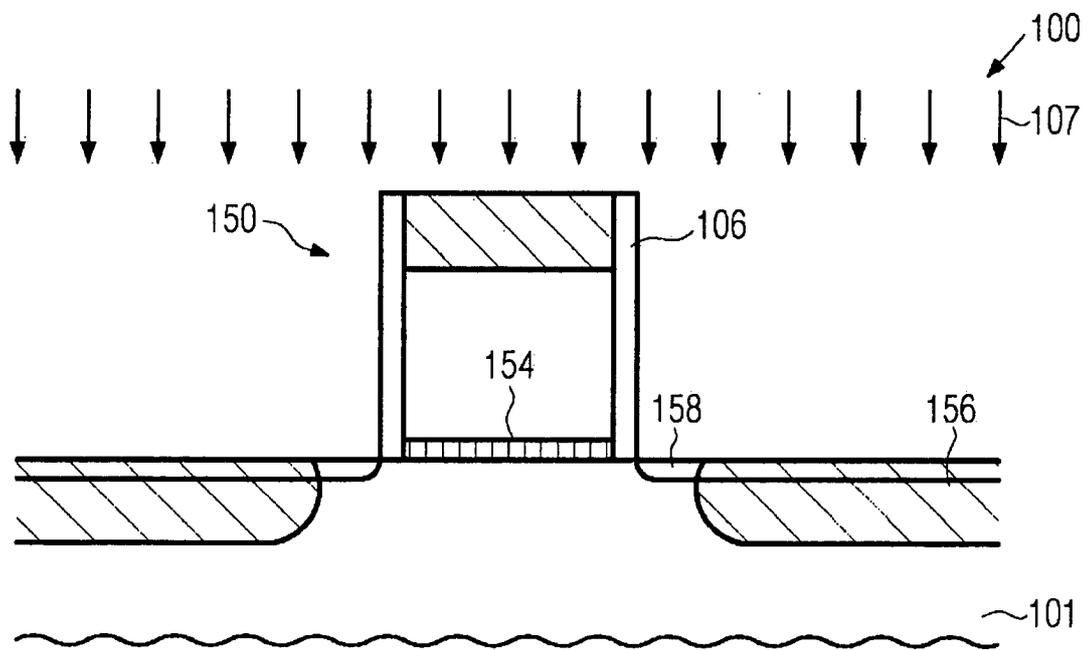


FIG. 1e

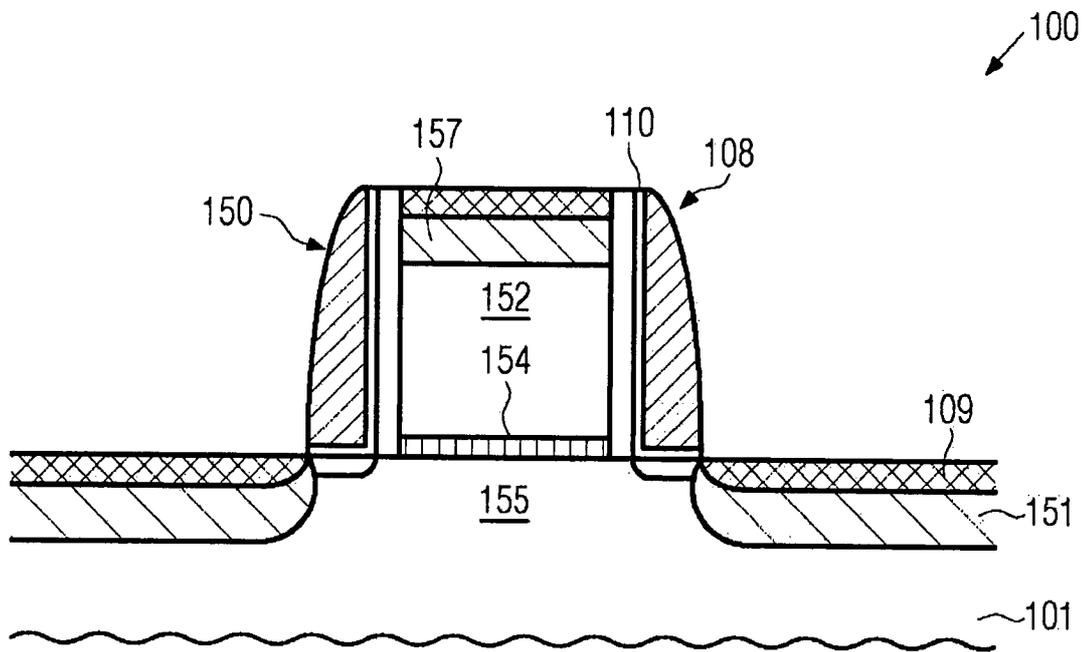


FIG. 1f

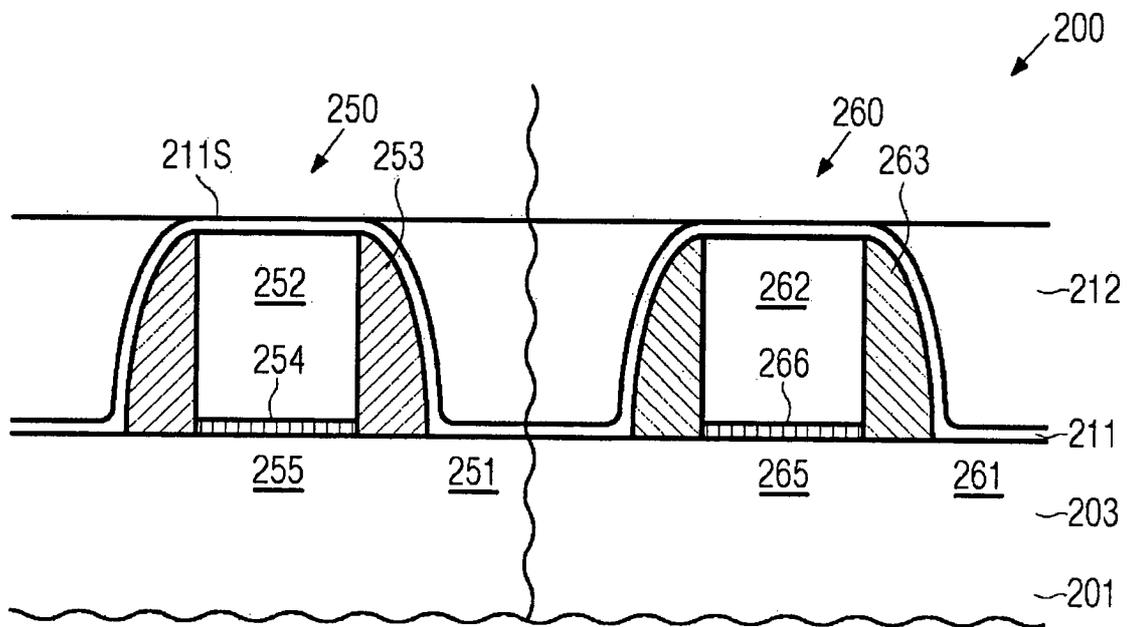


FIG. 2a

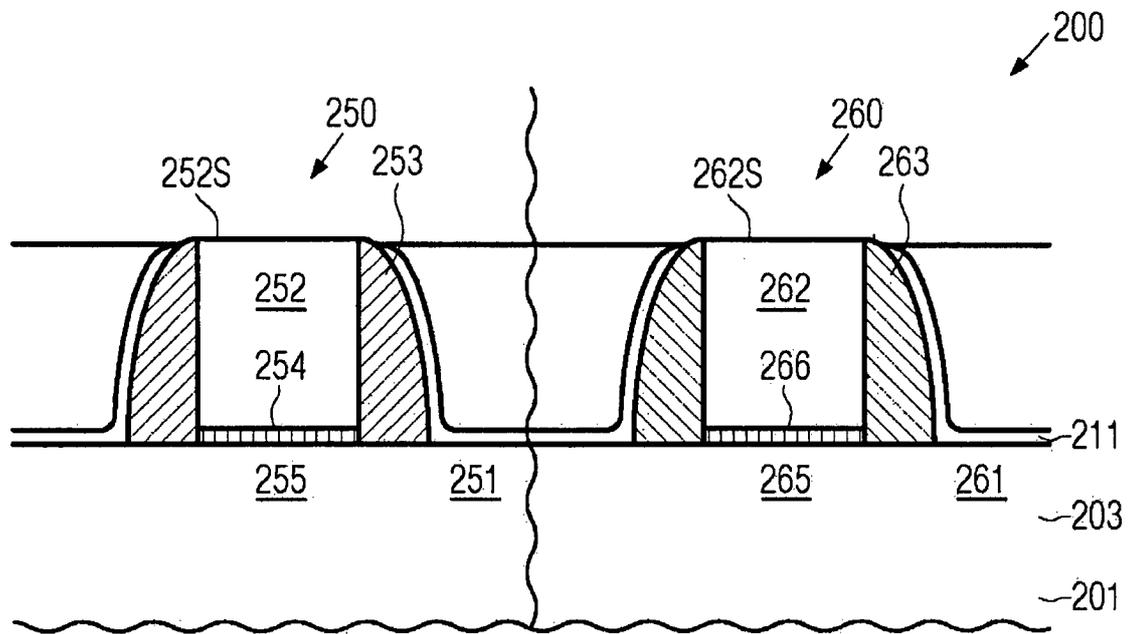


FIG. 2b

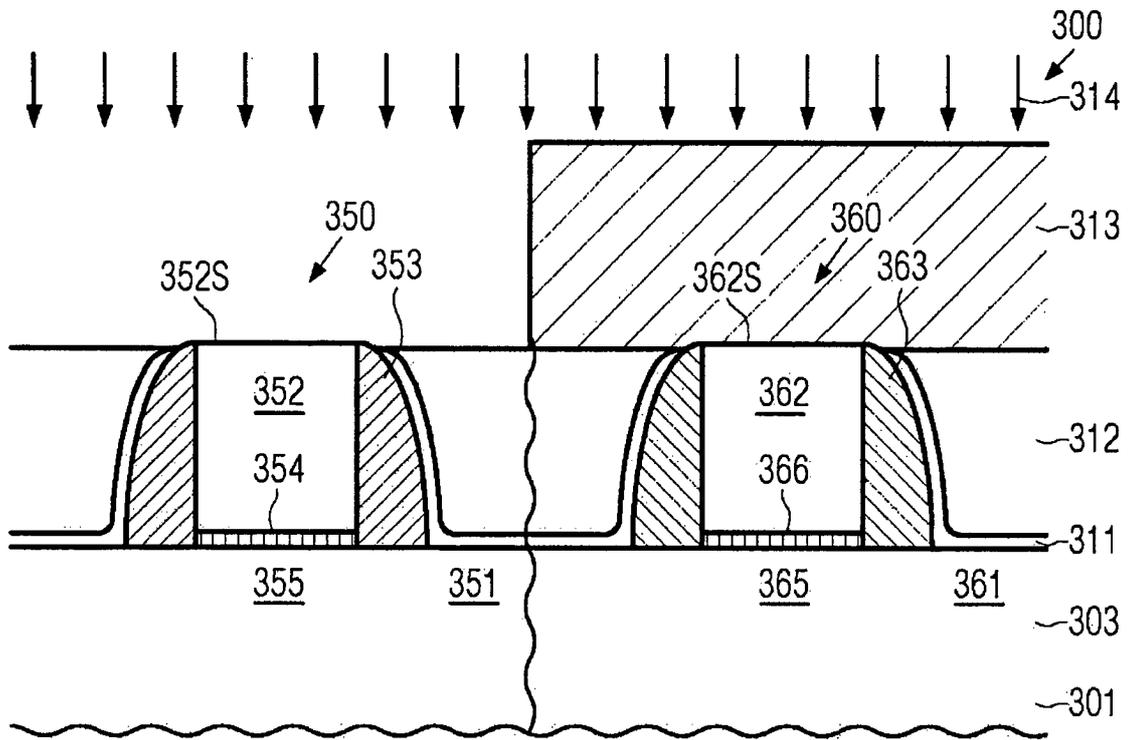


FIG. 3a

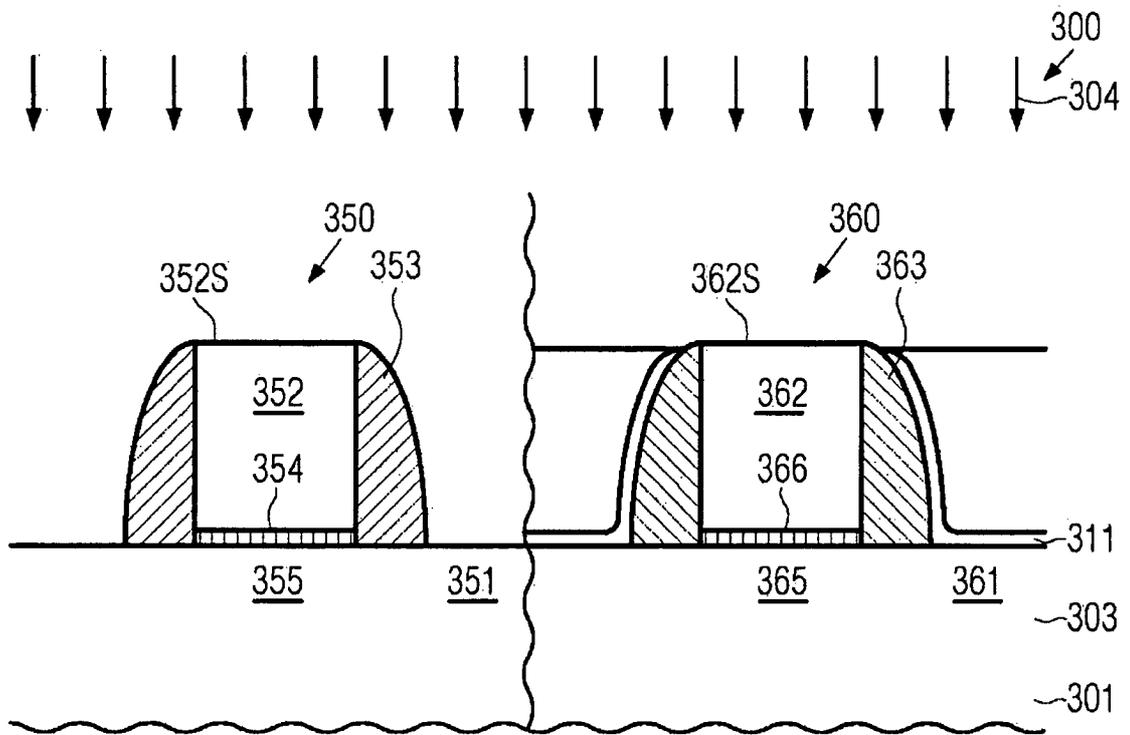


FIG. 3b

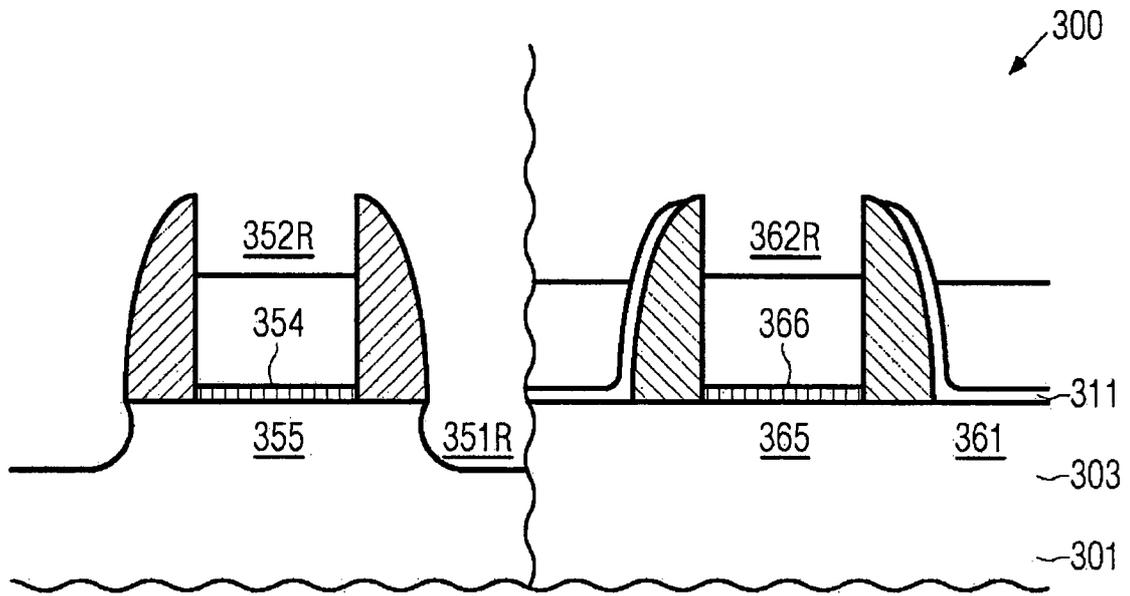


FIG. 3c

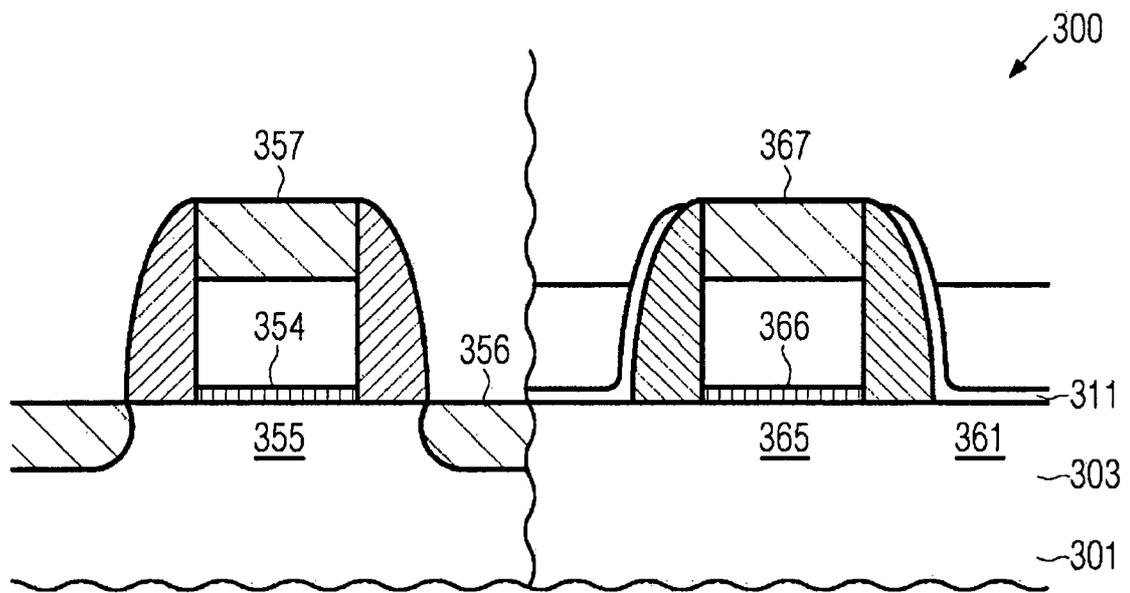


FIG. 3d

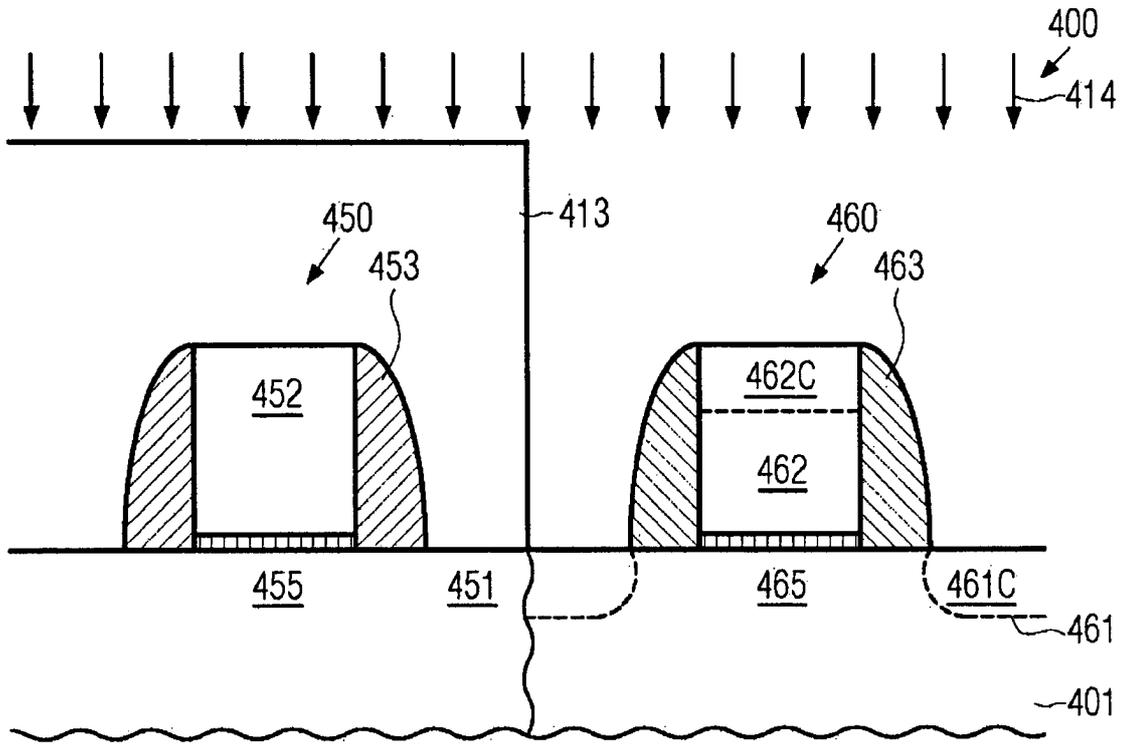


FIG. 4a

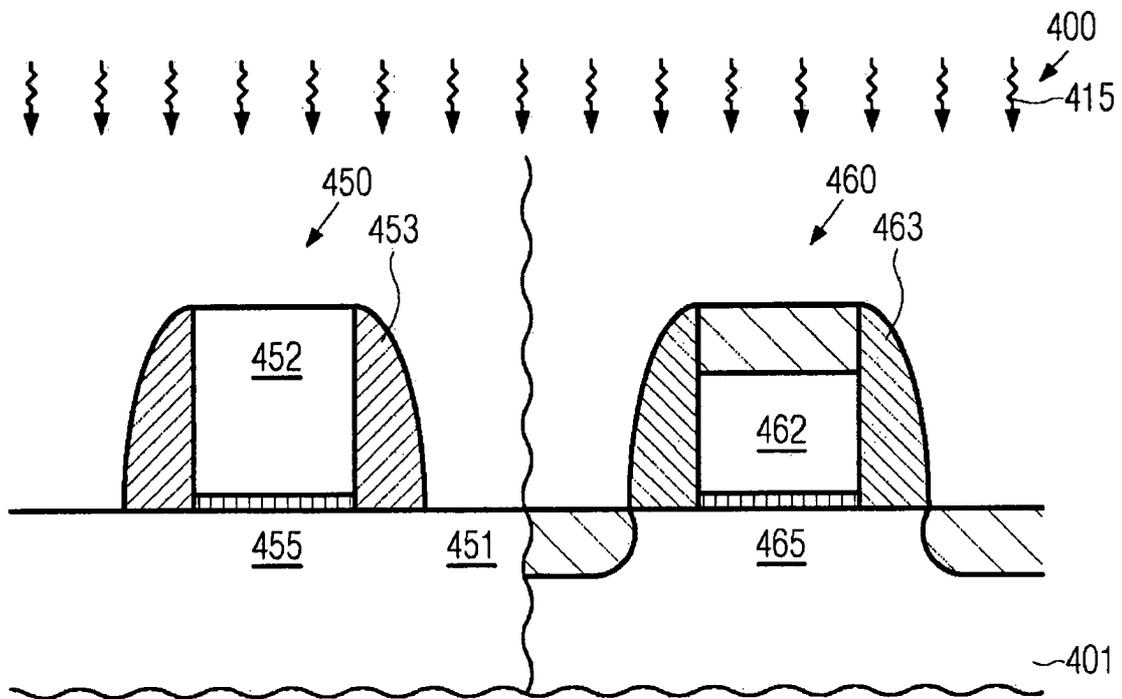


FIG. 4b

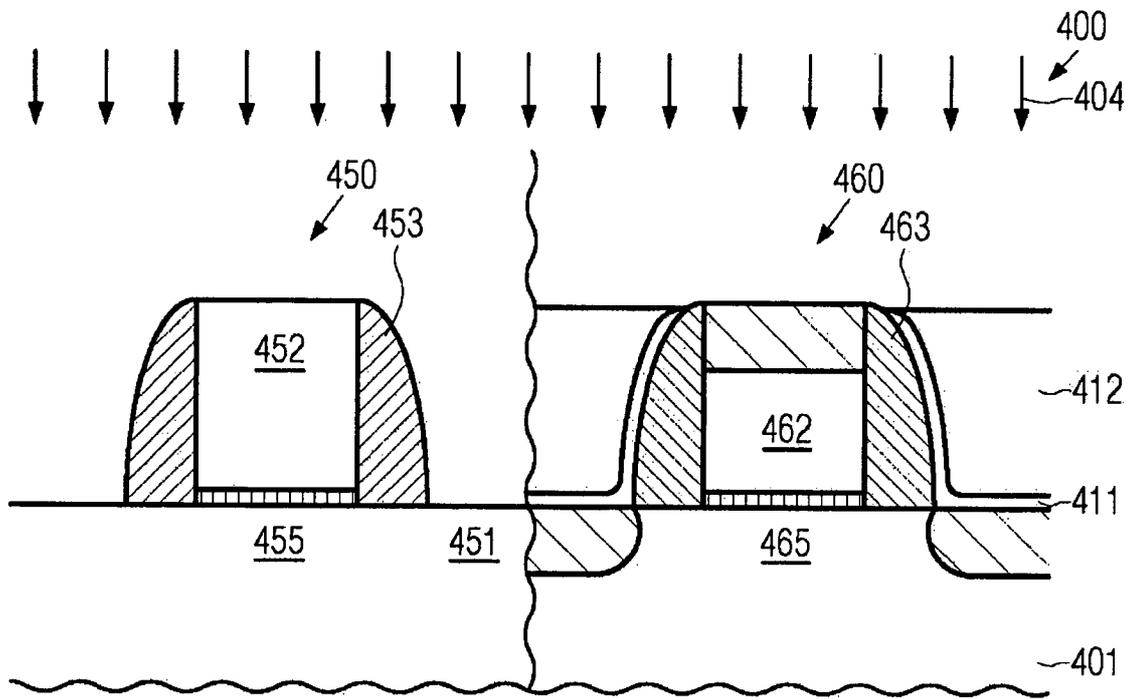


FIG. 4c

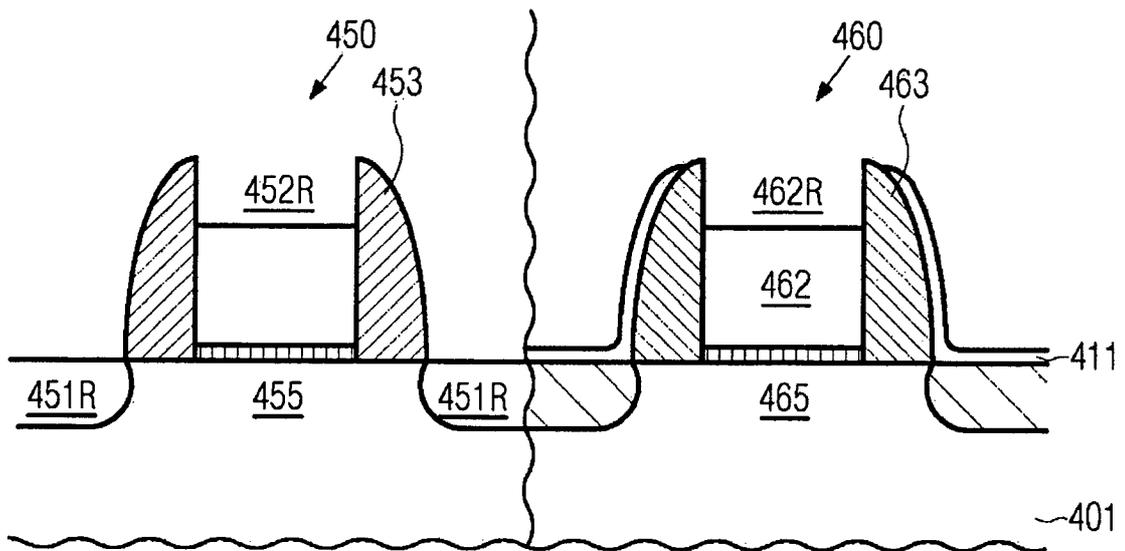


FIG. 4d