

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-171999

(P2008-171999A)

(43) 公開日 平成20年7月24日(2008.7.24)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 X	4 M 1 0 4
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 O 1 Y	5 F 0 3 2
HO 1 L 21/28 (2006.01)	HO 1 L 29/78 3 O 1 S	5 F 1 4 0
HO 1 L 29/417 (2006.01)	HO 1 L 29/78 3 O 1 R	
HO 1 L 21/76 (2006.01)	HO 1 L 21/28 3 O 1 D	

審査請求 未請求 請求項の数 5 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2007-3496 (P2007-3496)  
 (22) 出願日 平成19年1月11日 (2007.1.11)

(71) 出願人 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (74) 代理人 100071526  
 弁理士 平田 忠雄  
 (74) 代理人 100099597  
 弁理士 角田 賢二  
 (74) 代理人 100124235  
 弁理士 中村 恵子  
 (74) 代理人 100124246  
 弁理士 遠藤 和光  
 (72) 発明者 安武 信昭  
 東京都港区芝浦一丁目1番1号 株式会社  
 東芝内

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 接合リーク電流の発生を抑えつつ、効果的に歪みシリコン技術の導入を図り得る半導体装置およびその製造方法を提供する。

【解決手段】 本発明の一態様に係る半導体装置は、半導体基板と、前記半導体基板内に形成されて素子形成領域を画定する素子分離領域と、前記素子形成領域における半導体基板の一部の上にゲート絶縁膜を介して形成されたゲート電極と、前記半導体基板の前記ゲート電極の下方に形成されたチャネル領域と、前記チャネル領域と前記素子分離領域との間の素子形成領域にエピタキシャル成長され、前記チャネル領域に歪みを付与する歪み付与層と、前記歪み付与層上に形成されたシリサイド層と、前記素子分離領域近傍で前記シリサイド層と前記半導体基板との間に介在するように、前記素子分離領域に隣接する前記歪み付与層の底面下に形成された前記半導体基板の改質層と、少なくとも前記歪み付与層内および前記素子分離領域近傍の前記改質層内に形成されたソース・ドレイン領域と、を有する。

【選択図】 図1

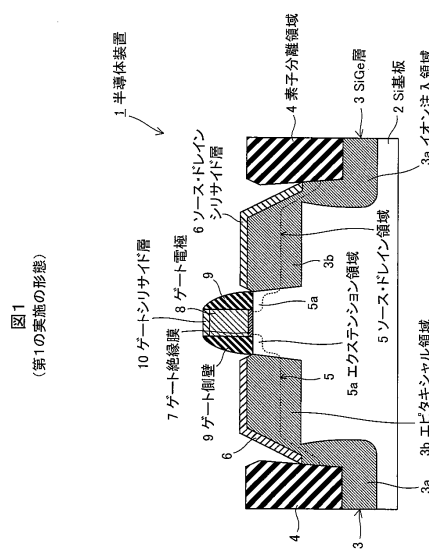


図1 (第1の実施の形態)

## 【特許請求の範囲】

## 【請求項 1】

半導体基板と、  
 前記半導体基板内に形成されて素子形成領域を画定する素子分離領域と、  
 前記素子形成領域における半導体基板の一部の上にゲート絶縁膜を介して形成されたゲート電極と、  
 前記半導体基板の前記ゲート電極の下方に形成されたチャンネル領域と、  
 前記チャンネル領域と前記素子分離領域との間の素子形成領域にエピタキシャル成長され、  
 前記チャンネル領域に歪みを付与する歪み付与層と、  
 前記歪み付与層上に形成されたシリサイド層と、  
 前記素子分離領域近傍で前記シリサイド層と前記半導体基板との間に介在するように、  
 前記素子分離領域に隣接する前記歪み付与層の底面下に形成された前記半導体基板の改質層と、  
 少なくとも前記歪み付与層内および前記素子分離領域近傍の前記改質層内に形成されたソース・ドレイン領域と、  
 を有することを特徴とする半導体装置。

10

## 【請求項 2】

前記歪み付与層は、SiGe、またはSiCを含むことを特徴とする請求項 1 に記載の半導体装置。

20

## 【請求項 3】

前記改質層は、SiGe、またはSiCを含むことを特徴とする請求項 2 に記載の半導体装置。

## 【請求項 4】

前記ソース・ドレイン領域は、前記歪み付与層の直下の前記半導体基板内に達する深さで形成されたことを特徴とする請求項 1 に記載の半導体装置。

## 【請求項 5】

半導体基板に素子分離領域を形成するための第 1 の溝を形成する工程と、  
 前記第 1 の溝の内面に不純物をイオン注入してイオン注入領域を形成する工程と、  
 前記イオン注入の後、前記第 1 の溝内に素子分離領域を形成する工程と、  
 前記素子分離領域により画定された前記半導体基板の素子形成領域上にゲート絶縁膜を介してゲート電極を選択的に形成する工程と、  
 前記ゲート電極および素子分離領域と自己整合的に、前記半導体基板および前記イオン注入領域の一部を除去して、前記ゲート電極と前記素子分離領域との間の領域に第 2 の溝を形成する工程と、  
 前記第 2 の溝内に結晶をエピタキシャル成長させて前記ゲート電極の下方の前記半導体基板に歪みを付与する歪み付与層を形成する工程と、  
 前記ゲート電極を挟み、且つ前記歪み付与層と前記歪み付与層下の前記イオン注入領域の少なくとも一部を含む領域にソース・ドレイン領域を形成する工程と、  
 金属膜を少なくとも前記歪み付与層上に堆積させ、シリサイド化反応により少なくとも前記歪み付与層の表面にシリサイド層を形成する工程と、  
 を含むことを特徴とする半導体装置の製造方法。

30

40

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、表面をシリサイド化したエピタキシャル層をソース・ドレイン領域に含む半導体装置およびその製造方法に関する。

## 【背景技術】

## 【0002】

近年、選択エピタキシャル結晶成長技術を用いた歪みシリコン技術を導入した半導体装置が報告されている。

50

## 【0003】

従来の半導体装置によれば、Si基板に凹部を形成するエッチングを行い、凹部に基板のSiとは異なる格子定数を有するSiGe結晶を選択エピタキシャル成長させてソース・ドレイン領域の一部とすることにより、ソース・ドレイン間のチャンネル領域に応力を加えて歪みを生じさせる。Siの結晶格子に歪み（圧縮歪み、あるいは引っ張り歪み）を生じさせることにより、チャンネル領域中の電荷の移動度を向上させることができる。

## 【0004】

しかし、SiGe層を形成する際に、選択エピタキシャル結晶成長の特性上、結晶が所定の方向にのみ成長し、また、素子分離領域等のSi以外の材料からなる部材からは結晶成長が起こらないため、素子分離領域とSiGe層との間に隙間が生じる。

10

## 【0005】

そのため、SiGe層表面をシリサイド化させると、その素子分離領域との隙間に沿って深い位置にまでシリサイド層が形成され、シリサイド層がSi基板に接触するおそれがある。シリサイド層がSi基板に接触すると、シリサイド層に含まれるNi等の金属元素とSiGeの三元化合物SiGeNiが熱力学的に不安定であるため、その接触部分からシリサイド化反応がSi基板内部に向かって急激に進行し、シリサイド層がソース・ドレイン領域下のSi基板内にまで形成されることがある。その結果、シリサイド層からSi基板への接合リーク電流が増加するという問題が生じる。

## 【0006】

一方、従来の他の半導体装置として、半導体基板上に形成されたSiGe層と、SiGe層上に形成されたSi層と、Si層の表面領域に形成されたシリサイド層と、を備えた半導体装置が知られている（例えば、特許文献1参照）。この特許文献1に記載の半導体装置によれば、シリサイド層とSiGe層との間にSi層が形成されるため、熱力学的に不安定なシリサイド層、すなわちNi等の金属元素とSiGeの三元化合物SiGeNiが形成されず、上述のような問題が生じない。

20

## 【0007】

しかし、この特許文献1に記載の半導体装置によれば、半導体装置の製造過程においてSiGe層中のGeがSi層中に拡散するおそれがあるため、Si層をSiGe層に対してある程度厚く形成する必要があり、SiGe層を用いることによる歪みシリコン等の効果が薄くなる。また、SiGe層中のGeがSi層中へ拡散するため、Geの濃度調整が

30

【特許文献1】特開2005-353831号

【発明の開示】

【発明が解決しようとする課題】

## 【0008】

本発明の目的は、接合リーク電流の発生を抑えつつ、効果的に歪みシリコン技術の導入を図り得る半導体装置およびその製造方法を提供することにある。

【課題を解決するための手段】

## 【0009】

本発明の一態様は、半導体基板と、前記半導体基板内に形成されて素子形成領域を画定する素子分離領域と、前記素子形成領域における半導体基板の一部の上にゲート絶縁膜を介して形成されたゲート電極と、前記半導体基板の前記ゲート電極の下方に形成されたチャンネル領域と、前記チャンネル領域と前記素子分離領域との間の素子形成領域にエピタキシャル成長され、前記チャンネル領域に歪みを付与する歪み付与層と、前記歪み付与層上に形成されたシリサイド層と、前記素子分離領域近傍で前記シリサイド層と前記半導体基板との間に介在するように、前記素子分離領域に隣接する前記歪み付与層の底面下に形成された前記半導体基板の改質層と、少なくとも前記歪み付与層内および前記素子分離領域近傍の前記改質層内に形成されたソース・ドレイン領域と、を有することを特徴とする半導体装置を提供する。

40

## 【0010】

50

また、本発明の他の一態様は、半導体基板に素子分離領域を形成するための第1の溝を形成する工程と、前記第1の溝の内面に不純物をイオン注入してイオン注入領域を形成する工程と、前記イオン注入の後、前記第1の溝内に素子分離領域を形成する工程と、前記素子分離領域により画定された前記半導体基板の素子形成領域上にゲート絶縁膜を介してゲート電極を選択的に形成する工程と、前記ゲート電極および素子分離領域と自己整合的に、前記半導体基板および前記イオン注入領域の一部を除去して、前記ゲート電極と前記素子分離領域との間の領域に第2の溝を形成する工程と、前記第2の溝内に結晶をエピタキシャル成長させて前記ゲート電極の下方の前記半導体基板に歪みを付与する歪み付与層を形成する工程と、前記ゲート電極を挟み、且つ前記歪み付与層と前記歪み付与層下の前記イオン注入領域の少なくとも一部を含む領域にソース・ドレイン領域を形成する工程と、金属膜を少なくとも前記歪み付与層上に堆積させ、シリサイド化反応により少なくとも前記歪み付与層の表面にシリサイド層を形成する工程と、を含むことを特徴とする半導体装置の製造方法を提供する。

【発明の効果】

【0011】

本発明によれば、接合リーク電流の発生を抑えつつ、効果的に歪みシリコン技術の導入を図り得る半導体装置およびその製造方法を提供することができる。

【発明を実施するための最良の形態】

【0012】

〔第1の実施の形態〕

(半導体装置の構成)

図1は、本発明の第1の実施の形態に係る半導体装置の断面図である。半導体装置1は、素子分離領域4により画定された半導体基板の素子形成領域上に形成されたトランジスタを有する。

【0013】

トランジスタは、p型トランジスタであり、Si基板2上にゲート絶縁膜7を介して形成されたゲート電極8と、ゲート電極8の側面に形成されたゲート側壁9と、Si基板2内に形成されたSiGe層3と、Si基板2およびSiGe層3の表面近傍に形成されたエクステンション領域5aを含むソース・ドレイン領域5と、ゲート電極8の表面に形成されたゲートシリサイド層10と、SiGe層3の表面に形成されたソース・ドレインシリサイド層6と、を有して概略構成される。

【0014】

素子分離領域4は、例えば、SiO<sub>2</sub>等の絶縁材料からなり、STI(Shallow Trench Isolation)構造を有する。

【0015】

ゲート電極8は、例えばポリシリコンからなり、その表面には、例えばNi、Pt、Co、Er、NiPt、CoNi等の金属とシリコンとの化合物であるゲートシリサイド層10が形成されている。

【0016】

ゲート絶縁膜7は、例えばSiO<sub>2</sub>、SiONや、高誘電材料(例えば、HfSiON、HfSiO、HfO等のHf系材料、ZrSiON、ZrSiO、ZrO等のZr系材料、Y<sub>2</sub>O<sub>3</sub>等のY系材料)からなる。

【0017】

ゲート側壁9は、それぞれ例えばSiNからなる単層構造や、例えばSiNとSiO<sub>2</sub>からなる2層構造、更には3層以上の構造であってもよい。また、ゲート電極8とゲート側壁9の間に、オフセットスペーサが設けられてもよい。

【0018】

ソース・ドレイン領域5およびエクステンション領域5aは、B、BF<sub>2</sub>等のp型不純物イオンをSi基板2およびSiGe層3の表面から注入することにより形成される。

【0019】

10

20

30

40

50

S i G e 層 3 は、S i 基板 2 に G e をイオン注入して形成される、素子分離領域 4 に隣接したイオン注入領域 3 a と、S i 基板 2 およびイオン注入領域 3 a 上に S i G e 結晶をエピタキシャル成長させて形成されるエピタキシャル領域 3 b と、を有する。なお、イオン注入領域 3 a およびエピタキシャル領域 3 b における G e 濃度は、例えば 10 ~ 30 原子%であることが好ましい。すなわち、10 原子%未満では G e 含有による効果が小さく、30 原子%を超えると結晶欠陥が大きくなる傾向があるからである。

【0020】

S i G e 結晶と S i 結晶は異なる格子定数を有するため、S i G e 層 3 は、S i 基板 2 に歪みを与える。特に、エピタキシャル領域 3 b は、ゲート電極 8 下の S i 基板 2 中のチャンネル領域に圧縮歪みを与えて電荷の移動度を向上させる。ここで、エピタキシャル領域 3 b の深さは、100 nm 以下であることが好ましい。これは、100 nm を超えてエピタキシャル領域 3 b を形成しても、チャンネル領域に与えられる歪みの大きさは、もはやさほど増加せず、かえって工程の長時間化や歩留まりの低下等を招くことになるからである。また、エピタキシャル領域 3 b は素子分離領域 4 と隣接する領域に傾斜を有し、エピタキシャル領域 3 b (エピタキシャル領域 3 b 上のソース・ドレインシリサイド層 6) と素子分離領域 4 との間には隙間がある。

10

【0021】

ソース・ドレインシリサイド層 6 は、N i、P t、C o、E r、N i P t 等の金属と S i G e との化合物からなる。また、ソース・ドレインシリサイド層 6 は、S i G e 層 3 上に形成され、S i 基板 2 には接していない。また、ソース・ドレインシリサイド層 6 の全ての部分は、ソース・ドレイン領域 5 よりも深い位置には形成されない。

20

【0022】

(半導体装置の製造)

図 2 A ( a ) ~ ( d )、図 2 B ( e ) ~ ( g )、図 2 C ( h ) ~ ( j )、図 2 D ( k ) ~ ( m ) は、本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す断面図である。

【0023】

まず、図 2 A ( a ) に示すように、S i 基板 2 上にフォトリソ工程によりレジスト 1 1 を形成する。

【0024】

次に、図 2 A ( b ) に示すように、レジスト 1 1 をマスク材として S i 基板 2 にエッチングを施し、第 1 の溝 1 2 を形成する。

30

【0025】

次に、図 2 A ( c ) に示すように、イオン注入法により G e を第 1 の溝 1 2 の内面に注入し、S i G e 層 3 のイオン注入領域 3 a を形成する。

【0026】

次に、図 2 A ( d ) に示すように、第 1 の溝 1 2 内を埋めるように絶縁材料を堆積させた後に平坦化処理を行い、素子分離領域 4 を形成する。

【0027】

次に、図 2 B ( e ) に示すように、エッチングによりレジスト 1 1 を除去する。

40

【0028】

次に、図 2 B ( f ) に示すように、S i 基板 2 の一部の上にゲート絶縁膜 7、ゲート絶縁膜 7 上にゲート電極 8、ゲート電極 8 の側面にダミー側壁 1 3 を選択的に形成する。

【0029】

次に、図 2 B ( g ) に示すように、ダミー側壁 1 3 をマスクエッジとして用いてゲート電極 8 および素子分離領域 4 と自己整合的に S i 基板 2 にエッチングを施し、第 2 の溝 1 4 を形成する。

【0030】

次に、図 2 C ( h ) に示すように、第 2 の溝 1 4 により露出した S i 基板 2 および S i G e 層 3 の表面を下地として、S i G e 結晶をエピタキシャル成長させ、S i G e 層 3 の

50

エピタキシャル領域 3 b を形成する。エピタキシャル成長は化学蒸着チャンバー内で行い、例えば、モノシラン ( $\text{SiH}_4$ ) またはジクロロシラン ( $\text{SiHCl}_2$ )、水素化ゲルマニウム ( $\text{GeH}_4$ )、水素ガス等の雰囲気中で 700 ~ 750 の温度条件で行う。

【0031】

このとき、SiGe 結晶は結晶固有の性質による所定の方向にのみ成長し、また、素子分離領域 4 からは成長が起きないため、エピタキシャル領域 3 b の素子分離領域 4 と隣接する領域には Si 基板 2 の主面に対して傾斜したファセット 3 c が形成され、エピタキシャル領域 3 b と素子分離領域 4 との間には隙間が生じる。

【0032】

次に、図 2 C ( i ) に示すように、エッチングによりダミー側壁 1 3 を除去した後、ゲート電極 8 をマスクとして用いてイオン注入法により B 等の不純物を Si 基板 2 および SiGe 層 3 に注入し、ソース・ドレイン領域 5 のエクステンション領域 5 a を形成する。

10

【0033】

次に、図 2 C ( j ) に示すように、ゲート電極 8 の側面にゲート側壁 9 を形成する。

【0034】

次に、図 2 D ( k ) に示すように、ゲート側壁 9 をマスクエッジとして用いてイオン注入法により B 等の不純物を Si 基板 2 および SiGe 層 3 にエクステンション領域 5 a よりも深い位置まで注入し、ソース・ドレイン領域 5 を形成する。このとき、ソース・ドレイン領域 5 は、SiGe 層 3 の形状を反映して、素子分離領域 4 に隣接した領域においてファセット 3 c の形に沿って深い位置まで形成される。

20

【0035】

次に、図 2 D ( l ) に示すように、ゲート電極 8 および SiGe 3 の表面を覆うように Ni 等からなる金属膜 1 5 をスパッタリングにより堆積させる。

【0036】

次に、図 2 D ( m ) に示すように、熱処理を施して金属膜 1 5 とゲート電極 8 ならびに SiGe 層 3 をシリサイド化反応させ、ゲート電極 8 ならびに SiGe 層 3 の表面にそれぞれゲートシリサイド層 1 0、ソース・ドレインシリサイド層 6 を形成する。金属膜 1 5 の未反応部分は、エッチングにより除去される。

【0037】

このとき、SiGe 層 3 のイオン注入領域 3 a が無く、エピタキシャル領域 3 b だけであった場合、シリサイド化反応により形成されるソース・ドレインシリサイド層 6 が Si 基板 2 に接触するおそれがある。ソース・ドレインシリサイド層 6 が Si 基板 2 に接触すると、その接触部分からシリサイド化反応が Si 基板 2 内部に向かって急激に進行し、ソース・ドレインシリサイド層 6 がソース・ドレイン領域 5 下の Si 基板 2 内にまで形成される。その結果、ソース・ドレインシリサイド層 6 から Si 基板 2 への接合リーク電流が増加する。

30

【0038】

具体的には、例えばソース・ドレインシリサイド層 6 が Ni シリサイドであった場合、NiSiGe の三元化合物が熱力学的に不安定であるため、安定な NiSi を形成するためにソース・ドレインシリサイド層 6 内の Ni が Si 基板 2 の Si の方向に凝集し、シリサイド化反応が Si 基板 2 に進む。また、Ni の凝集に伴ってソース・ドレインシリサイド層 6 の界面モフォロジーの劣化が生じ、ソース・ドレイン領域 5 の抵抗値のばらつきが増大する。

40

【0039】

一方、本実施の形態によれば、SiGe 層 3 のエピタキシャル領域 3 b 下に Si 基板 2 の改質層であるイオン注入領域 3 a が存在するため、ソース・ドレインシリサイド層 6 が Si 基板 2 に接触することが無く、シリサイド化反応が Si 基板 2 にまで及ぶことがない。すなわち、イオン注入領域 3 a はソース・ドレインシリサイド層 6 と Si 基板 2 との間に介在する介在層として働く。

【0040】

50

(第1の実施の形態の効果)

本発明の第1の実施の形態によれば、ソース・ドレインシリサイド層6がSi基板2に接触しないため、ソース・ドレインシリサイド層6からSi基板2への接合リーク電流、およびソース・ドレイン領域5の抵抗値のばらつきを抑制することができる。

【0041】

〔第2の実施の形態〕

本発明の第2の実施の形態に係る半導体装置1は、ソース・ドレイン領域5の深さにおいて、第1の実施の形態と異なる。その他の構成等、第1の実施の形態と同様の点については、説明を省略する。

【0042】

(半導体装置の構成)

図3は、本発明の第2の実施の形態に係る半導体装置の断面図である。ソース・ドレイン領域5は、SiGe層3のエピタキシャル領域3bよりも深く、エピタキシャル領域3bの直下のSi基板2内に達する位置まで形成されている。

【0043】

ソース・ドレインシリサイド層6は、SiGe層3上に形成され、Si基板2には接していない。また、ソース・ドレインシリサイド層6の全ての部分は、ソース・ドレイン領域5よりも深い位置には形成されない。

【0044】

(半導体装置の製造)

第1の実施の形態において図2D(k)に示したソース・ドレイン領域5を形成する工程で、不純物をSiGe層3のエピタキシャル領域3bよりも深い位置まで注入する。その他の前後の工程は第1の実施の形態と同様であるので、説明を省略する。

【0045】

(第2の実施の形態の効果)

本発明の第1の実施の形態に係る半導体装置1のように、ソース・ドレインシリサイド層6がSi基板2に接触しない構造であっても、もしソース・ドレインシリサイド層6がソース・ドレイン領域5よりも深い位置にまで形成されてしまうと、ソース・ドレインシリサイド層6のソース・ドレイン領域5の外に出た部分から電流がリークしてしまう。本発明の第2の実施の形態によれば、ソース・ドレイン領域5を十分に深く形成するため、ソース・ドレインシリサイド層6がソース・ドレイン領域5よりも深い位置にまで形成されることをより確実に抑えることができる。

【0046】

〔第3の実施の形態〕

本発明の第3の実施の形態に係る半導体装置1は、ソース・ドレイン領域5の形状および形成方法において、第1の実施の形態と異なる。その他の構成等、第1の実施の形態と同様の点については、説明を省略する。

【0047】

(半導体装置の構成)

図4は、本発明の第3の実施の形態に係る半導体装置の断面図である。ソース・ドレイン領域5は、SiGe層3のエピタキシャル領域3bよりも深く、エピタキシャル領域3bの直下のSi基板2内に達する位置まで形成されている。また、ソース・ドレイン領域5は、第1の実施の形態と異なり、素子分離領域4に隣接した領域において特にエピタキシャル領域3b(エピタキシャル領域3b上のソース・ドレインシリサイド層6)と素子分離領域4の間の隙間に沿った形を有さない。

【0048】

すなわち、ソース・ドレイン領域5は、SiGe層3のエピタキシャル領域3bに含まれる、例えばB、BF<sub>2</sub>等のp型不純物イオンを熱処理により拡散、活性化させることにより形成される。

【0049】

10

20

30

40

50

ソース・ドレインシリサイド層 6 は、S i G e 層 3 上に形成され、S i 基板 2 には接していない。また、ソース・ドレインシリサイド層 6 の全ての部分は、ソース・ドレイン領域 5 よりも深い位置には形成されない。

【0050】

(半導体装置の製造)

図 5 A ( a ) ~ ( c )、図 5 B ( d ) ~ ( f ) は、本発明の第 3 の実施の形態に係る半導体装置の製造工程を示す断面図である。

【0051】

まず、第 1 の実施の形態において図 2 B ( g ) で示した、ダミー側壁 1 3 をマスクエッジとして用いて S i 基板 2 にエッチングを施し、第 2 の溝 1 4 を形成する工程までの工程を行う。

10

【0052】

次に、図 5 A ( a ) に示すように、第 2 の溝 1 4 により露出した S i 基板 2 および S i G e 層 3 の表面を下地として、B 等の p 型不純物イオンを含む S i G e 結晶をエピタキシャル成長させ、S i G e 層 3 のエピタキシャル領域 3 b を形成する。エピタキシャル成長は化学蒸着チャンパー内で行い、例えば、モノシラン ( S i H <sub>4</sub> ) またはジクロロシラン ( S i H C l <sub>2</sub> )、水素化ゲルマニウム ( G e H <sub>4</sub> )、ジボラン ( B <sub>2</sub> H <sub>6</sub> )、水素ガス等の雰囲気中で 7 0 0 ~ 7 5 0 の温度条件で行う。

【0053】

このとき、S i G e 結晶は結晶固有の性質による所定の方向にのみ成長し、また、素子分離領域 4 からは成長が起きないため、エピタキシャル領域 3 b の素子分離領域 4 と隣接する領域には S i 基板 2 の主面に対して傾斜したファセット 3 c が形成され、エピタキシャル領域 3 b と素子分離領域 4 との間には隙間が生じる。

20

【0054】

次に、図 5 A ( b ) に示すように、エッチングによりダミー側壁 1 3 を除去した後、ゲート電極 8 をマスクとして用いてイオン注入法により B 等の不純物を S i 基板 2 および S i G e 層 3 に注入し、ソース・ドレイン領域 5 のエクステンション領域 5 a を形成する。

【0055】

次に、図 5 A ( c ) に示すように、ゲート電極 8 の側面にゲート側壁 9 を形成する。

【0056】

次に、図 5 B ( d ) に示すように、熱処理を施すことにより、S i G e 層 3 のエピタキシャル領域 3 b に含まれる B 等の p 型不純物イオンを S i 基板 2 内に拡散させ、ソース・ドレイン領域 5 を形成する。具体的には、例えば約 9 0 0 ~ 1 1 0 0 の熱処理を施すことにより、p 型不純物イオンをエピタキシャル領域 3 b よりも外側まで 1 0 n m 以下の距離だけソース・ドレイン領域 5 として有効な濃度で拡散させる。なお、イオン注入によりソース・ドレイン領域 5 を形成する場合と異なり、ソース・ドレイン領域 5 は、素子分離領域 4 に隣接した領域において特にファセット 3 c の形に沿った形を有さない。

30

【0057】

次に、図 5 B ( e ) に示すように、ゲート電極 8 および S i G e 3 の表面を覆うように N i 等からなる金属膜 1 5 をスパッタリングにより堆積させる。

40

【0058】

次に、図 5 B ( f ) に示すように、熱処理を施して金属膜 1 5 とゲート電極 8 ならびに S i G e 層 3 をシリサイド化反応させ、ゲート電極 8 ならびに S i G e 層 3 の表面にそれぞれゲートシリサイド層 1 0、ソース・ドレインシリサイド層 6 を形成する。金属膜 1 5 の未反応部分は、エッチングにより除去される。

【0059】

(第 3 の実施の形態の効果)

本発明の第 3 の実施の形態によれば、第 1 の実施の形態と異なる方法でソース・ドレイン領域 5 を形成し、第 1 の実施の形態と同様の効果を得ることができる。

【0060】

50



なお、ソース・ドレイン領域 5 の形成方法は、第 1 の実施の形態において示したようなイオン注入法と、第 3 の実施の形態において示したようなエピタキシャル領域 3 b から拡散させる方法を併用することができる。

【0061】

〔他の実施の形態〕

本発明は、上記各実施の形態に限定されず、発明の主旨を逸脱しない範囲内において種々変形実施が可能である。例えば、SiGe層 3 の代わりに、他の Si を含む層を用いてもよい。例えば、SiGe層 3 と同様の方法で形成した SiC 層を用いることができる。SiC 層はチャンネル領域に引っ張り歪みを与えて電子の移動度を向上させるため、通常、n 型トランジスタに用いられる。n 型トランジスタ場合は、ソース・ドレイン領域 5 の形成に、As、P 等の n 型不純物イオンを用いる。

10

【0062】

また、上記各実施の形態に係る半導体装置 1 は、ソース・ドレイン領域 5 の表面がゲート絶縁膜 7 の底部よりも高い位置に存在するレイズド・ソース・ドレイン構造を有するものであってもよい。

【0063】

また、発明の主旨を逸脱しない範囲内において上記各実施の形態の構成要素を任意に組み合わせることができる。

【図面の簡単な説明】

【0064】

20

【図 1】本発明の第 1 の実施の形態に係る半導体装置の断面図である。

【図 2 A】(a) ~ (d) は、本発明の第 1 の実施の形態に係る半導体装置の各製造工程を示す断面図である。

【図 2 B】(e) ~ (g) は、本発明の第 1 の実施の形態に係る半導体装置の各製造工程を示す断面図である。

【図 2 C】(h) ~ (j) は、本発明の第 1 の実施の形態に係る半導体装置の各製造工程を示す断面図である。

【図 2 D】(k) ~ (m) は、本発明の第 1 の実施の形態に係る半導体装置の各製造工程を示す断面図である。

【図 3】本発明の第 2 の実施の形態に係る半導体装置の断面図である。

30

【図 4】本発明の第 3 の実施の形態に係る半導体装置の断面図である。

【図 5 A】(a) ~ (c) は、本発明の第 3 の実施の形態に係る半導体装置の各製造工程を示す断面図である。

【図 5 B】(d) ~ (f) は、本発明の第 3 の実施の形態に係る半導体装置の各製造工程を示す断面図である。

【符号の説明】

【0065】

- 1 半導体装置
- 2 Si 基板
- 3 SiGe 層
- 3 a イオン注入領域
- 3 b エピタキシャル領域
- 4 素子分離領域
- 5 ソース・ドレイン領域
- 6 ソース・ドレインシリサイド層
- 7 ゲート絶縁膜
- 8 ゲート電極
- 1 2 第 1 の溝
- 1 4 第 2 の溝
- 1 5 金属膜

40

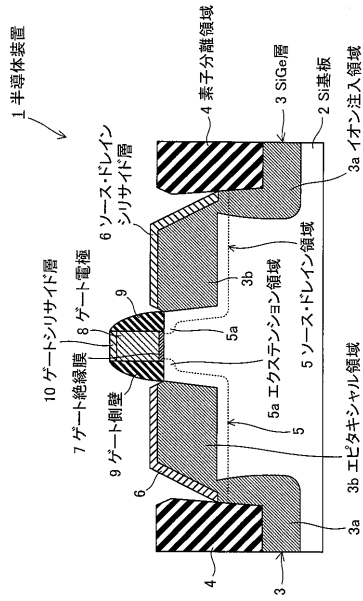
50





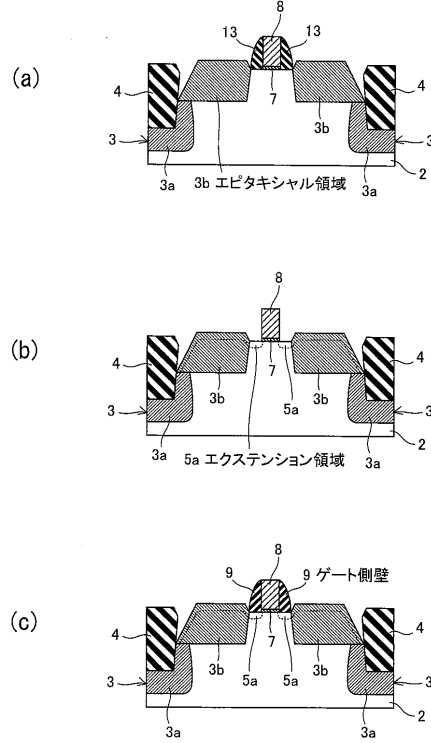
【 図 4 】

図4  
(第3の実施の形態)



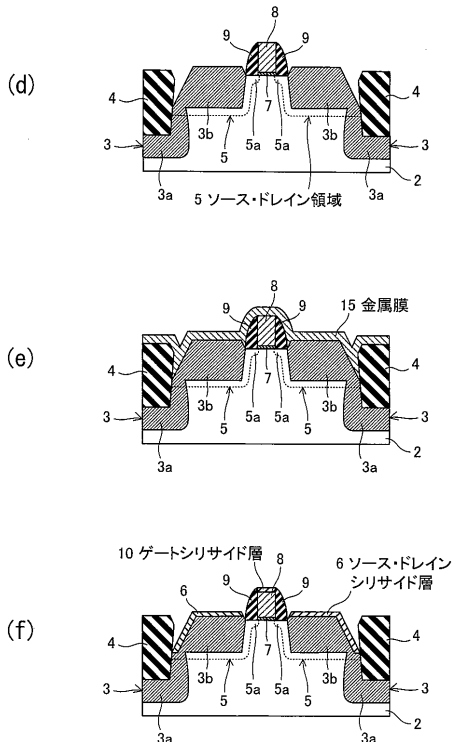
【 図 5 A 】

図5A  
(第3の実施の形態)



【 図 5 B 】

図5B  
(第3の実施の形態)



---

 フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	H 0 1 L 29/50	M
	H 0 1 L 21/76	L

Fターム(参考)	4M104	AA01	BB01	BB19	BB20	BB21	BB22	CC01	DD02	DD50	DD79
		DD84	FF31	GG09	GG10	GG14	HH20				
	5F032	AA34	AA36	AA44	BA01	CA17	DA02	DA13	DA44	DA78	
	5F140	AA05	AA24	AB03	AC01	AC28	BA01	BD04	BD09	BD11	BD13
		BF04	BF11	BF18	BF19	BG08	BG09	BG12	BG14	BG30	BG34
		BG45	BG54	BH06	BH14	BH27	BJ01	BJ08	BJ09	BK02	BK09
		BK13	BK18	BK21	BK34	BK39	CB04	CB10	CE05	CF04	