

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4307322号
(P4307322)

(45) 発行日 平成21年8月5日(2009.8.5)

(24) 登録日 平成21年5月15日(2009.5.15)

(51) Int. Cl.	F I
HO4N 5/30 (2006.01)	HO4N 5/30
A61B 6/00 (2006.01)	A61B 6/00 300S
GO1T 1/20 (2006.01)	GO1T 1/20 E
GO1T 1/202 (2006.01)	GO1T 1/20 G
GO1T 1/24 (2006.01)	GO1T 1/202

請求項の数 10 (全 26 頁) 最終頁に続く

(21) 出願番号	特願2004-148051 (P2004-148051)	(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成16年5月18日(2004.5.18)	(74) 代理人	100090273 弁理士 園分 孝悦
(65) 公開番号	特開2005-333250 (P2005-333250A)	(72) 発明者	遠藤 忠夫 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
(43) 公開日	平成17年12月2日(2005.12.2)	(72) 発明者	亀島 登志男 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
審査請求日	平成19年5月8日(2007.5.8)	(72) 発明者	八木 朋之 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

最終頁に続く

(54) 【発明の名称】放射線撮像装置及び放射線撮像システム

(57) 【特許請求の範囲】

【請求項1】

複数の画素が基板上にアレー状に配置された光電変換回路部と、
前記光電変換回路部を駆動させる駆動用回路部と、
前記光電変換回路部から信号を読み出す読み出し用回路部と、
を有し、
前記画素は、
第1及び第2の電極を有して入射した放射線を電気信号に変換する光電変換素子と、
前記第1の電極に接続されるゲート電極を有して前記光電変換素子が生成した電気信号を前記読み出し用回路部へ出力するソースフォロア型の第1の電界効果トランジスタと、
前記駆動用回路部により行単位で選択された画素から電気信号を前記読み出し用回路部へ出力する際に導通状態となる第2の電界効果トランジスタと、
前記駆動用回路部により行単位で選択された画素に設けられた光電変換素子をリセットする際に導通状態となる第3の電界効果トランジスタと、
を有し、
前記読み出し用回路部は集積回路が用いられて前記光電変換回路部の近傍に実装され、
前記光電変換素子に光電変換用バイアスを与えるために複数の前記画素の前記第2の電極に共通に接続されるバイアス電源及び前記光電変換素子にリセット用バイアスを与えるために複数の前記画素の前記第3の電界効果トランジスタに共通に接続されるリセット電源の少なくとも一方の電源が、前記読み出し用回路部の内部に配置されていることを特徴

10

20

とする放射線撮像装置。

【請求項 2】

前記読み出し用回路部は、複数のブロックに分割されており、

前記バイアス電源と前記リセット電源の少なくとも一方の電源が、複数のブロックに分割された前記読み出し用回路部の内部に配置されていることを特徴とする請求項 1 に記載の放射線撮像装置。

【請求項 3】

前記バイアス電源及び前記リセット電源は、オペアンプを介してバイアスを出力することを特徴とする請求項 1 又は 2 に記載の放射線撮像装置。

【請求項 4】

前記光電変換素子は、M I S 型光電変換素子であり、

前記バイアス電源は、前記 M I S 型光電変換素子の前記第 2 の電極に与えるバイアスを、光電変換用バイアスと第 1 のリフレッシュ用バイアスとの間で切り替える第 1 のバイアス切り替え手段を有し、

前記リセット電源は、前記 M I S 型光電変換素子の前記第 1 の電極に与えるバイアスを、リセット用バイアスと第 2 のリフレッシュ用バイアスとの間で切り替える第 2 のバイアス切り替え手段を有することを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の放射線撮像装置。

【請求項 5】

前記第 1 のリフレッシュバイアスは、動画画像を取得する際の前記 M I S 型変換素子のリフレッシュに用いられ、

前記第 2 のリフレッシュバイアスは、静止画画像を取得する際の前記 M I S 型変換素子のリフレッシュに用いられることを特徴とする請求項 4 に記載の放射線撮像装置。

【請求項 6】

前記 M I S 型光電変換素子は、

前記基板上に形成された金属薄膜層と、

前記金属薄膜層上に形成され、電子及び正孔の通過を阻止するアモルファス窒化シリコンからなる絶縁層と、

前記絶縁層上に形成された水素化アモルファスシリコンからなる光電変換層と、

前記光電変換層上に形成され、正孔の注入を阻止する N 型の注入阻止層と、

前記注入阻止層上に形成された導電層と、

を有し、

リフレッシュモードでは、前記 M I S 型光電変換素子に対して、正孔を前記光電変換層から前記導電層に導く方向に電界を与え、

光電変換モードでは、前記 M I S 型光電変換素子に対して、前記光電変換層に入射した放射線により発生した正孔を当該光電変換層に留まらせて電子を前記導電層に導く方向に電界を与え、

前記読み出し用回路部は、前記光電変換モードにおいて前記光電変換層に蓄積された正孔及び前記導電層に導かれた電子のいずれか一方の量を光信号として検出することを特徴とする請求項 4 又は 5 に記載の放射線撮像装置。

【請求項 7】

前記読み出し用回路部は、

前記光電変換回路部からの出力信号を増幅する増幅手段と、

前記増幅手段によって増幅された出力信号を一時的に蓄積する蓄積手段と、

前記蓄積手段によって蓄積された出力信号をシリアル変換するシリアル変換手段と、

を有することを特徴する請求項 1 乃至 6 のいずれか 1 項に記載の放射線撮像装置。

【請求項 8】

前記光電変換素子、前記第 1 の電界効果トランジスタ、前記第 2 の電界効果トランジスタ及び前記第 3 の電界効果トランジスタの主材料として、アモルファスシリコン半導体を用いられていることを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の放射線撮像装置

10

20

30

40

50

【請求項 9】

照射された放射線の波長を変換する波長変換体を有することを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の放射線撮像装置。

【請求項 10】

請求項 1 乃至 9 のいずれか 1 項に記載の放射線撮像装置と、
前記光電変換回路部に向けて被写体を介して放射線を発生させる放射線発生手段と、
を有することを特徴とする放射線撮像システム。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、医療用の診断や工業用の非破壊検査等に用いて好適な放射線撮像装置及び放射線撮像システムに関する。なお、本発明においては、X線、線などの電磁波や 線、線も放射線に含めるものとする。

【背景技術】

【0002】

従来、病院内などに設置されているX線撮影システムには、患者にX線を照射し、患者を透過したX線をフィルムに露光するフィルム撮影方式と、患者を透過したX線を電気信号に変換してデジタル画像処理を行う画像処理方式とがある。画像処理方式を実現するひとつの装置として、X線を可視光に変換する蛍光体と可視光を電気信号に変換する光電変換装置とを備えた放射線撮像装置がある。患者を透過したX線が蛍光体に照射され、蛍光体で可視光に変換された患者の体内情報を光電変換装置により電気信号として出力する。患者の体内情報が電気信号に変換されれば、その電気信号をA/Dコンバータでデジタル変換し、記録、表示、印刷、診断などを行うためのX線画像情報をデジタル値として扱うことができる。

20

【0003】

最近では、光電変換装置にアモルファスシリコン半導体薄膜を用いた放射線撮像装置が実用化されている。

【0004】

図11は、例えば特開平8-116044号公報(特許文献1)に開示されたMIS型光電変換素子とスイッチ素子の材料にアモルファスシリコン半導体薄膜を用いて構成した従来の光電変換基板を示す上面図であり、それらを結線する配線を含めて表している。図12は、図11中のI-I線に沿った断面図である。

30

【0005】

光電変換素子101及びスイッチ素子102(アモルファスシリコンTFT、以下単にTFTと記す)は同一基板103上に形成されており、光電変換素子の下部電極は、TFTの下部電極(ゲート電極)と同一の第1の金属薄膜層104で共有されており、光電変換素子の上部電極は、TFTの上部電極(ソース電極、ドレイン電極)と同一の第2の金属薄膜層105で共有されている。また、第1及び第2の金属薄膜層は、光電変換回路部内の、ゲート駆動用配線106、マトリクス信号配線107も共有している。図12においては、画素数として2×2の計4画素分が記載されている。図12のハッチング部は、光電変換素子の受光面である。109は光電変換素子にバイアスを与える電源ラインである。また、110は光電変換素子とTFTを接続するためのコンタクトホールである。

40

【0006】

アモルファスシリコン半導体を主たる材料にした図11で示されるような構成を用いれば、光電変換素子、スイッチ素子、ゲート駆動用配線、マトリクス信号配線を、同一基板上に同時に作製することができ、大面積の光電変換回路部が容易に、しかも安価に提供することができる。

【0007】

次に、光電変換素子単体のデバイス動作について説明する。図13(a)~(c)は、

50

図 1 1 及び図 1 2 に示す光電変換素子のデバイス動作を説明するためのエネルギーバンド図である。本光電変換素子には、第 1 及び第 2 の金属薄膜層 1 0 4 及び 1 0 5 への電圧の印加の仕方によりリフレッシュモードと光電変換モードという 2 種類の動作モードがある。

【 0 0 0 8 】

図 1 3 (a)、(b) は、それぞれリフレッシュモード、光電変換モードの動作を示しており、図 1 2 で示される各層の膜厚方向の状態を表している。M 1 は第 1 の金属薄膜層 1 0 4 (例えば Cr) で形成された下部電極 (G 電極) である。アモルファス窒化シリコン (a - Si N x) 層 1 1 1 は、電子、ホール共にその通過を阻止する絶縁層であり、トンネル効果をもたらさない程度の厚さが必要であり、通常 5 0 0 オングストローム以上に設定される。水素化アモルファスシリコン (a - Si : H) 層 1 1 2 は意図的にドーパントをドーピングしていない真性半導体層 (i 層) で形成された光電変換半導体層である。N⁺層 1 1 3 は、a - Si : H 層 1 1 2 へのホールの注入を阻止するために形成された N 型 a - Si : H 層等の非単結晶半導体からなる単一導電型キャリアの注入阻止層である。また、M 2 は第 2 金属薄膜層 1 0 5 (例えば Al) で形成される上部電極 (D 電極) である。

10

【 0 0 0 9 】

図 1 4 は、光電変換素子及びスイッチ素子の材料にアモルファスシリコン半導体薄膜を用いて構成した従来の光電変換基板の 2 次元的構成を示す回路図である。但し、説明を簡単化するために 3 × 3 = 9 画素分で記載してある。

【 0 0 1 0 】

図 1 4 において、S 1 - 1 ~ S 3 - 3 は光電変換素子、T 1 - 1 ~ T 3 - 3 はスイッチ素子 (T F T : Thin Film Transistor)、G 1 ~ G 3 は T F T をオン / オフさせるためのゲート配線、M 1 ~ M 3 は信号配線、V s 線は光電変換素子に蓄積バイアスを与えるための配線である。各光電変換素子 S 1 - 1 ~ S 3 - 3 の黒く塗りつぶされた側の電極は G 電極であり、対向側は D 電極である。D 電極は、V s 線の一部と接続されているが、光を入射させる都合上、例えば、薄い N⁺層が D 電極として使用される。この従来例では、光電変換素子 S 1 - 1 ~ S 3 - 3、スイッチ素子 T 1 - 1 ~ T 3 - 3、ゲート配線 G 1 ~ G 3、信号配線 M 1 ~ M 3 及び V s 線が光電変換回路部 7 0 1 に含まれている。V s 線は、電源 V s によりバイアスされる。S R 1 はゲート配線 G 1 ~ G 3 に駆動用のパルス電圧を与えるシフトレジスタであり、T F T をオンさせる電圧 V c o m は外部から供給される。また、制御信号 V S C は、光電変換素子の V s 線、即ち光電変換素子の D 電極に、2 種類のバイアスを与えるためのものである。D 電極は、制御信号 V S C が “ H i ” の時に V r e f (V) になり、“ L o ” の時に V s (V) になる。読み取り用電源 V s (V)、リフレッシュ用電源 V r e f (V) は、夫々直流電源であり、例えば、V s は 9 V、V r e f は 3 V とする。

20

30

【 0 0 1 1 】

読み出し用回路部 7 0 2 は、光電変換回路部内の信号配線 M 1 ~ M 3 の並列信号出力を増幅し、直列変換して出力する。R E S 1 ~ R E S 3 は信号配線 M 1 ~ M 3 をリセットするスイッチ、A 1 ~ A 3 は信号配線 M 1 ~ M 3 の信号を増幅するアンプ、C L 1 ~ C L 3 はアンプ A 1 ~ A 3 により増幅された信号を一時的に記憶するサンプルホールド容量、S n 1 ~ S n 3 はサンプルホールドするためのスイッチ、B 1 ~ B 3 はバッファアンプ、S r 1 ~ S r 3 は並列信号を直列変換するためのスイッチ、S R 2 はスイッチ S r 1 ~ S r 3 に直列変換するためのパルスを与えるシフトレジスタ、A b は直列変換された信号を出力するバッファアンプである。

40

【 0 0 1 2 】

次に、図 1 4 に示す光電変換装置の動作について説明する。図 1 5 は、図 1 4 に示す従来の光電変換装置の動作を示すタイムチャートである。

【 0 0 1 3 】

制御信号 V S C は、V s 線、すなわち光電変換素子 (S 1 - 1 ~ S 3 - 3) の D 電極に、2 種類のバイアスを与えるためのものである。D 電極は、制御信号 V S C が “ H i ” の

50

時に $V_{ref}(V)$ になり、制御信号 V_{SC} が “Lo” の時に $V_s(V)$ になる。読み取り用電源 $V_s(V)$ 、リフレッシュ用電源 $V_{ref}(V)$ は、それぞれ直流電源である。

【0014】

まず、リフレッシュ期間の動作について説明する。シフトレジスタ SR_1 の信号をすべて “Hi” で、かつ読み出し用回路部 702 の $CRES$ 信号を “Hi” の状態にする。このようにすると、スイッチング用の全 $TFT(T_1-1 \sim T_3-3)$ が導通し、かつ読み出し用回路 702 内のスイッチ素子 $RES_1 \sim RES_3$ も導通し、全光電変換素子 ($S_1-1 \sim S_3-3$) の G 電極が GND 電位になる。そして、制御信号 V_{SC} が “Hi” になると、全光電変換素子 ($S_1-1 \sim S_3-3$) の D 電極がリフレッシュ用電源 $V_{ref}(V)$ にバイアスされた状態 (負電位) になる。これにより、全光電変換素子 ($S_1-1 \sim S_3-3$) はリフレッシュモードとなり、リフレッシュが行われる。

10

【0015】

次に、光電変換期間について説明する。制御信号 V_{SC} が “Lo” の状態に切り替わると、全光電変換素子 ($S_1-1 \sim S_3-3$) の D 電極は読み取り用電源 V_s にバイアスされた状態 (正電位) になる。このようにすると光電変換素子 ($S_1-1 \sim S_3-3$) は光電変換モードになる。この状態でシフトレジスタ SR_1 の信号をすべて “Lo” で、かつ読み出し用回路部 702 の $CRES$ 信号を “Lo” の状態にする。これにより、スイッチング用の全 $TFT(T_1-1 \sim T_3-3)$ がオフし、かつ読み出し用回路 702 内のスイッチ素子 $RES_1 \sim RES_3$ もオフし、全光電変換素子 ($S_1-1 \sim S_3-3$) の G 電極は、直流的にはオープン状態になるが、光電変換素子 ($S_1-1 \sim S_3-3$) は容量成分も構成要素として有しているため電位は保持される。

20

【0016】

この時点では、光電変換素子 ($S_1-1 \sim S_3-3$) に光が入射されていないために電荷は発生しない。すなわち電流は流れない。この状態で、光源がパルス状にオンすると、それぞれの光電変換素子 ($S_1-1 \sim S_3-3$) の D 電極 (N^+ 電極) に光が照射され、いわゆる光電流が流れる。光源については、図 14 中に特に記載はしていないが、例えば、複写機であれば蛍光灯、LED、ハロゲン灯等である。X線撮影装置であれば文字通り X線源であり、この場合は X線可視変換用のシンチレータを用いればよい。また、光によって流れた光電流は、電荷としてそれぞれの光電変換素子 ($S_1-1 \sim S_3-3$) 内に蓄積され、光源がオフ後も保持される。

30

【0017】

次に、読み出し期間について説明する。読み出し動作は、1行目の光電変換素子 ($S_1-1 \sim S_1-3$)、続いて、2行目の光電変換素子 ($S_2-1 \sim S_2-3$)、続いて、3行目の光電変換素子 ($S_3-1 \sim S_3-3$) の順で行われる。

【0018】

まず、1行目の光電変換素子 ($S_1-1 \sim S_1-3$) を読み出すためにスイッチ素子の $TFT(T_1-1 \sim T_1-3)$ のゲート配線 G_1 に SR_1 からゲートパルスを与える。この時、ゲートパルスのハイレベルは、外部から供給されている電圧 $V(on)$ である。これにより、 $TFT(T_1-1 \sim T_1-3)$ がオン状態になり、1行目の光電変換素子 ($S_1-1 \sim S_1-3$) に蓄積されていた信号電荷が、信号配線 $M_1 \sim M_3$ に転送される。

40

【0019】

信号配線 $M_1 \sim M_3$ には、特に図 14 中には記載していないが読み出し容量が付加されており、信号電荷は $TFT(T_1-1 \sim T_1-3)$ を介し、読み出し容量に転送されることになる。例えば、信号配線 M_1 の付加されている読み出し容量は、信号配線 M_1 に接続されている各 $TFT(T_1-1 \sim T_3-1)$ のゲート/ソース間の電極間容量 (C_{gs}) の総和 (3個分) である。また、信号配線 $M_1 \sim M_3$ に転送された信号電荷は、アンプ $A_1 \sim A_3$ で増幅される。そして、 SMP_L 信号をオンさせることにより、サンプルホールド容量 $CL_1 \sim CL_3$ に転送され、 SMP_L 信号をオフするとともにホールドされる。

【0020】

続いて、シフトレジスタ SR_2 からスイッチ Sr_1 、 Sr_2 、 Sr_3 の順番で、パルス

50

を印加することにより、サンプルホールド容量 $C_{L1} \sim C_{L3}$ にホールドされていた信号が、サンプルホールド容量 C_{L1} 、 C_{L2} 、 C_{L3} の順でアンプ A_b から出力される。結果として、光電変換素子 ($S_{1-1} \sim S_{1-3}$) の 1 行分の光電変換信号が順次出力される。2 行目の光電変換素子 ($S_{2-1} \sim S_{2-3}$) の読み出し動作、3 行目の光電変換素子 ($S_{3-1} \sim S_{3-3}$) の読み出し動作も同様に行われる。

【0021】

1 行目の SMP_L 信号により信号配線 $M_1 \sim M_3$ の信号をサンプルホールド容量 $C_{L1} \sim C_{L3}$ にサンプルホールドすれば、信号配線 $M_1 \sim M_3$ を $CRES$ 信号により GND 電位にリセットし、その後、ゲート配線 G_2 にゲートパルスを印加することができる。すなわち、1 行目の信号を、シフトレジスタ SR_2 にて直列変換動作をする間に、同時に 2 行目の光電変換素子 ($S_{2-1} \sim S_{2-3}$) の信号電荷をシフトレジスタ SR_1 にて転送することができる。

10

【0022】

以上の動作により、第 1 行から第 3 行までの全ての光電変換素子 ($S_{1-1} \sim S_{3-3}$) の信号電荷を出力することができる。

【0023】

前述した X 線撮像装置の動作は、リフレッシュ動作を行い、 X 線を照射し、そして読み出し動作を行うことにより、いわば 1 枚の静止画像を取得するための動作である。また、連続した動画像を取得する場合には、図 15 で記載したタイムチャートを取得したい動画の枚数分だけ繰り返して動作させればよい。

20

【0024】

光電変換素子として、 MIS 型光電変換素子ではなく PIN 型光電変換素子を用いた光電変換装置の 2 次元的な回路構成は、図 16 のようになる。図 16 においても図 14 と同様に、 $3 \times 3 = 9$ 画素分のみを記載している。

【0025】

PIN 型光電変換素子の場合、 P 層を構成する。これは図 11 で示すスイッチ素子 (TFT) には含まれない。すなわち図 11 に示されるように、光電変換素子とスイッチ素子とを同一基板上に、同時に作成することはできない。そのため、図 11 と比べ、作成方法が複雑になるため、製造コストも高くなる可能性がある。

【0026】

この反面、 PIN 型光電変換素子は、 MIS 型光電変換素子と違って絶縁層 (注入素子層) がないため、電子と正孔とが、双方移動できるために上記 MIS 型光電変換素子で説明したリフレッシュ動作を行う必要がない。

30

【0027】

図 17 は、図 16 に示す従来の光電変換装置の動作を示すタイムチャートである。図 17 と図 15 とを比べてみると判るように、図 17 の PIN 型光電変換素子の場合、リフレッシュ動作がない。この読み取りタイミングを繰り返して動作させることにより、動画画像を得る場合、スピードの点では、 PIN 型光電変換素子の方が、 MIS 型光電変換素子に比べて有利になる可能性が高い。

【0028】

但し、特に医療用の放射線撮像装置の場合、人間の胸部を撮影する目的で、撮影領域が 40 cm 角と非常に大面積な仕様が求められる。この場合、 MIS 型光電変換素子又は PIN 型光電変換素子のいずれを用いても、信号配線 $M_1 \sim M_3$ に寄生する容量は、設計にもよるが、 $50\text{ pF} \sim 200\text{ pF}$ にも及ぶ。これらの寄生容量は、主に、 TFT 電極の上下間の容量、駆動配線と信号配線との交差部に寄生する容量、信号配線と光電変換素子のバイアス配線 (V_s 線) との間に寄生する容量等である。

40

【0029】

一方、撮影画素が $200\text{ }\mu\text{m}$ ピッチで配列されたとすると、その画素容量は $1\text{ pF} \sim 3\text{ pF}$ 程度である。仮に、信号配線の容量が 100 pF 、画素容量が 2 pF であるとして、 TFT を介して転送動作を行うと、その前後で信号電圧が $2\text{ pF} / (2\text{ pF} + 100\text{ pF})$

50

) 1/50に減少することになる。この場合、信号配線に接続される後段の読み出し用回路部の雑音成分、例えば抵抗の熱雑音及びトランジスタのショット雑音等の、所謂回路雑音が零ではないために、S/Nの低下が低下するという問題点がある。この問題点は、光電変換素子がMIS型であろうとPIN型であろうと生じてしまう。

【0030】

そこで、一般には、設計において、読み出し用回路部702の回路ノイズを低下させるべく、各信号配線にオペアンプを配置させ、そのオペアンプ初段部の差動トランジスタのサイズを大きくしている。しかし、このような構造では、オペアンプの数が増え、チップサイズが大きくなるという問題点がある。さらに、消費電流が増大して発熱量が増加するという問題点、ひいては冷却機構を搭載しなければならず装置が複雑化するという問題点を誘発する。

10

【0031】

また、S/Nの低下を解決するための1つの方法として、光電変換素子からの信号電位をTFTのゲートに入力させ、このTFTをソースフォロアとして出力する方法が特許文献2(特開平11-307756号公報)に開示されている。この場合、光電変換素子の出力信号は低下することなく、読み出し用回路に入力されるため、S/Nにとって有利となると考えられる。

【0032】

但し、この場合、センサバイアス配線に重畳しているノイズ、即ちバイアス電源によるノイズが、信号成分と同様にソースフォロアのTFTを介して出力される。このノイズは、図14又は図16に示すようなソースフォロアとして出力しない従来の回路に含まれるが、後段の読み出し用回路部のノイズに埋もれているために画像として比較的目立たない傾向がある。

20

【0033】

しかしながら、特許文献2に開示された装置においては、このバイアス電源によるノイズ成分は、信号と同様に行単位で、撮像回路部内でスキャン走査したり、読み出し回路部内でサンプルホールドしたりするため、横線状のノイズ(ラインノイズと呼ぶ)を誘発するという問題点がある。ラインノイズは、画素単位でランダムに発生するノイズ(ランダムノイズと呼ぶ)に比べて、画品位を劣化させるという問題点がある。

【0034】

30

また、センサバイアス配線に重畳するノイズには、バイアス電源によるノイズの他に、バイアス配線に外から空間的に混入してくる外来ノイズも含まれる。特許文献2に開示されている方式は、光電変換素子の信号をロスなく読み出し用回路部に出力することができる反面、光電変換素子、特にそのバイアス配線に飛来する外来性のノイズに対して耐性がないという問題点を含んでいる。

【0035】

また、特許文献2に開示された光電変換素子としては、PIN型フォトダイオードが用いられている。PIN型フォトダイオードは、MIS型光電変換素子において必要なリフレッシュ動作が必要ないため、リフレッシュ動作に付随した動画撮影への適用が困難であるといった問題は少ないものと思われる。

40

【0036】

しかしながら、PIN型フォトダイオードには、PI接合とIN接合という2つの接合が必要であるため、ダーク電流が増大してしまうという問題点がある。特に、P層は光電変換素子に特有の層であり、同一基板上に作り込む他のTFTの作製プロセスとは全く別である。このことは、TFTと光電変換素子とを別々に作製しなければならないために積層構造となってしまう、歩留まりやコストの点で不利となるという問題点があることを意味する。

【0037】

一方、MIS型光電変換素子を用いた場合は、上述のように、連続的に読み出し動作を繰り返すことにより動画画像を取得することができる。しかしながら、光電変換素子のバ

50

イアス電源を切り替えることによってリフレッシュ動作を行う必要があり、その時間の分だけスピードが遅くなるという問題点がある。

【0038】

特に、医療用撮像装置の場合、面積が大きくなり必然的に画素数が多くなる。例えば、撮影領域を40cm角、画素ピッチを200 μ mとしてX線撮像装置を作製した場合、光電変換素子の数が4百万個にも及ぶ。こういった多数の画素を、図14及び図15に示す例のように、バイアス配線を介して一括でリフレッシュするためには、リフレッシュ時に流れる過渡的に流れる電流も大きくなるため、X線撮像装置のGND及び電源ラインの電圧変動が大きくなり、その変動の収束を待って、X線を照射する必要がある。即ち、バイアス配線を一括でリフレッシュするような方式には、動画として早いフレームレートを達成できないという問題点がある。

10

【0039】

このように、1フレームの読み出し動作毎に、1回の全光電変換素子のリフレッシュ動作を行う従来技術においては、動画撮影が困難となっている。

【0040】

【特許文献1】特開平8-116044号公報

【特許文献2】特開平11-307756号公報

【発明の開示】

【発明が解決しようとする課題】

【0041】

20

本発明は、上述の課題を解決するためになされたものであり、ノイズを抑制しながらS/N比が高めることができ、好ましくは安定かつ高速な動画撮影を行うことができ、またダーク電流を抑制することができる放射線撮像装置及び放射線撮像システムを提供することを目的とする。

【課題を解決するための手段】

【0042】

本願発明者は、前記課題を解決すべく鋭意検討を重ねた結果、以下に示す発明の諸態様に想到した。

【0043】

本発明に係る放射線撮像装置は、複数の画素が基板上にアレー状に配置された光電変換回路部と、前記光電変換回路部を駆動させる駆動用回路部と、前記光電変換回路部から信号を読み出す読み出し用回路部と、を有し、前記画素は、第1及び第2の電極を有して入射した放射線を電気信号に変換する光電変換素子と、前記第1の電極に接続されるゲート電極を有して前記光電変換素子が生成した電気信号を前記読み出し用回路部に出力するソースフォロア型の第1の電界効果トランジスタと、前記駆動用回路部により行単位で選択された画素から電気信号を前記読み出し用回路部に出力する際に導通状態となる第2の電界効果トランジスタと、前記駆動用回路部により行単位で選択された画素に設けられた光電変換素子をリセットする際に導通状態となる第3の電界効果トランジスタと、を有し、前記読み出し用回路部は集積回路が用いられて前記光電変換回路部の近傍に実装されており、前記光電変換素子に光電変換用バイアスを与えるために複数の前記画素の前記第2の電極に共通に接続されるバイアス電源及び前記光電変換素子にリセット用バイアスを与えるために複数の前記画素の前記第3の電界効果トランジスタに共通に接続されるリセット電源の少なくとも一方の電源が、前記読み出し用回路部の内部に配置されていることを特徴とする。

30

40

【0044】

本願発明に係る放射線撮像システムは、上記の放射線撮像装置と、前記光電変換回路部に向けて被写体を介して放射線を発生させる放射線発生手段と、を有することを特徴とする。

【発明の効果】

【0047】

50

本発明によれば、信号配線とバイアス電源又はリセット電源の少なくとも一方との距離を短くすることができ、空間又は配線を介して混入する外来ノイズ成分を小さくすることができる。このため、ランダムノイズ及びラインノイズ等のノイズ成分を小さくできる。また、第1の電界効果トランジスタをソースフォロア型としているため、信号配線に寄生する容量による信号の減衰を抑制することができる。従って、S/N比を高めることができる。更に、各信号配線にオペアンプを接続するような回路構成を回避することができるため、消費電流を少なくすることも可能である。そして、特に将来の高齢化社会において現在よりも更に質の高い医療環境を作ることができる。

【0048】

また、読み出し用回路部内に設けたバイアス電源及びノ又はリセット電源に、読み出し用回路部と同様の材料や同様の設計を採用することが可能となる。このため、例えばオペアンプを用いてバイアス電源又はリセット電源のノイズを低く抑えることも可能である。この点によっても、ランダムノイズ及びラインノイズ等のノイズ成分を抑制することができる。

10

【0049】

また、MIS型変換素子を用い、かつ電気信号が読み出された変換素子を行単位でリフレッシュ（又はリセット）する場合には、GNDや電源ラインの電圧変動を抑え、かつフレーム毎の待機時間を省略することが可能となり、安定かつ高速な動画撮影を行うこともできる。更に、MIS型変換素子を用いる場合には、PIN型変換素子を用いる場合と比較して、ダーク電流を抑えることができると共に、低コストで放射線撮像装置を製造することができる。

20

【0050】

更に、第1の電界効果トランジスタ、第2の電界効果トランジスタ及び第3の電界効果トランジスタを、アモルファスシリコン半導体を主材料として形成する場合には、変換素子と各電界効果トランジスタとを同一基板上に作製することができる。従って、製造における放射線撮像装置の歩留まりを向上させることができる。

【発明を実施するための最良の形態】

【0051】

以下、本発明の実施形態について添付の図面を参照して具体的に説明する。

【0052】

30

（第1の実施形態）

先ず、本発明の第1の実施形態について説明する。図1は、本発明の第1の実施形態に係るX線撮像装置（放射線撮像装置）の2次元的な回路構成を示す図である。但し、図1には、説明を簡単化するために $3 \times 3 = 9$ 画素分を記載している。

【0053】

図1において、 $S(1-1) \sim S(3-3)$ は、X線を波長変換体により変換された可視光を電気信号に変換する光電変換素子であり、本実施形態ではPIN型光電変換素子である。PIN型光電変換素子は、回路記号上ダイオードで示している。 $T1(1-1) \sim T1(3-3)$ は、光電変換素子のアノード側（P側）の電極がゲート端子に接続された第1のTFETである。 $T2(1-1) \sim T2(3-3)$ は、走査において光電変換素子の電気信号を行単位に選択的に読み出しするために設けられた第2のTFETである。 $T3(1-1) \sim T3(3-3)$ は、電気信号を読み出された光電変換素子をリセットするために設けられた第3のTFETである。

40

【0054】

$G1 \sim G4$ は、第2のTFETである $T2(1-1) \sim T2(3-3)$ 及び第3のTFETである $T3(1-1) \sim T3(3-3)$ をオン/オフさせるためのゲート配線であり、 $M1 \sim M3$ は信号配線である。 Vs 共通配線は、光電変換素子 $S(1-1) \sim S(3-3)$ のカソード（N側）の電極に正のバイアスを与えるための全画素に共通の配線である。また、 Vr 共通配線は、光電変換素子 $S(1-1) \sim S(3-3)$ のアノード電極にリセットバイアスを与えるための全画素に共通の配線である。

50

【 0 0 5 5 】

本実施形態では、光電変換素子 $S(1-1) \sim S(3-3)$ 、第1のTFT ($T1(1-1) \sim T1(3-3)$)、第2のTFT ($T2(1-1) \sim T2(3-3)$)、第3のTFT ($T3(1-1) \sim T3(3-3)$)、ゲート配線 $G1 \sim G3$ 、信号配線 $M1 \sim M3$ 、 V_s 共通配線及び V_r 共通配線が光電変換回路部 (放射線検出回路部) 1 に含まれている。

【 0 0 5 6 】

また、シフトレジスタ $SR1$ は、ゲート配線 $G1 \sim G4$ に駆動用のパルス電圧を与え、光電変換素子 $S(1-1) \sim S(3-3)$ の電気信号を行単位で第1のTFT ($T1(1-1) \sim T1(3-3)$) から読み出すために、第2のTFT ($T2(1-1) \sim T2(3-3)$) 及び第3のTFT ($T3(1-1) \sim T3(3-3)$) をオン/オフさせる駆動用回路部である。

【 0 0 5 7 】

読み出し用回路部2は、光電変換回路部1からの並列の出力信号を読み取り、直列変換して出力する。 $A1 \sim A3$ は、信号配線 $M1 \sim M3$ に反転端子 (-) が接続されたオペアンプである。この反転端子 (-) と出力端子の間には、夫々容量素子 $Cf1 \sim Cf3$ が接続されている。また、信号配線 $M1 \sim M3$ には、夫々電流源 $I1 \sim I3$ が接続されている。容量素子 $Cf1 \sim Cf3$ は、第2のTFT ($T2(1-1) \sim T2(3-3)$) がオンしたときに、光電変換素子 $S(1-1) \sim S(3-3)$ の電気信号を蓄積する。 $RES1 \sim RES3$ は、容量素子 $Cf1 \sim Cf3$ をリセットするスイッチであり、容量素子 $Cf1 \sim Cf3$ と並列に接続されている。図1では、リセットバイアスは、 GND で表記している。 $CL1 \sim CL3$ は、容量素子 $Cf1 \sim Cf3$ に蓄積された信号を一時的に記憶するサンプルホールド容量である。また、 $Sn1 \sim Sn3$ は、サンプルホールド容量 $CL1 \sim CL3$ でサンプルホールドを行うためのスイッチ、 $B1 \sim B3$ はバッファアンプ、 $Sr1 \sim Sr3$ は、並列信号を直列変換するためのスイッチ、 $SR2$ は $Sr1 \sim Sr3$ に直列変換するためのパルスを与えるシフトレジスタ、 1000 は直列変換された信号を出力するアンプである。

【 0 0 5 8 】

読み出し用回路部2には、更に、光電変換回路部1内の V_s 共通配線を介し光電変換素子の電極にバイアスを与えるためのバイアス電源3、及び光電変換回路部1内の V_r 共通配線を介し光電変換素子の他方の電極にリセットバイアスを与えるためのリセット電源4が形成されている。

【 0 0 5 9 】

バイアス電源3には、バイアス電圧を出力するためのオペアンプ Ab が設けられ、リセット電源4には、リセット電圧を出力するためのオペアンプ Ar が設けられている。図1において、バイアス電源3又はリセット電源4の点線部内に記載した直流電源は一定電位を与える規準電源であり、例えば、バンドギャップ法により作成された電源である。オペアンプ Ab 及び Ar はバッファとして記載されているが、必要に応じて倍率を与えてもよい。また、バイアス電源3及びリセット電源4内の抵抗及びコンデンサは、電源の高周波数領域のノイズ成分を遮断するためのローパスフィルタを構成する。遮断周波数をできるだけ小さくするためには、コンデンサの容量を大きくすればよい。容量を読み出し用回路部2内に形成できない場合には、容量を外部に実装してもよい。

【 0 0 6 0 】

次に、上述のように構成された第1の実施形態の動作について説明する。図2は、本発明の第1の実施形態に係るX線撮像装置の動作を示すタイムチャートであり、2フレーム分の動作を表している。図2のタイムチャートには、光電変換期間及び読み出し期間の2つの動作期間を示してある。

【 0 0 6 1 】

先ず、光電変換期間について説明する。全光電変換素子 $S(1-1) \sim S(3-3)$ のカソード側電極 (N 電極) は、バイアス電源により正電位にバイアスされた状態にある

10

20

30

40

50

。シフトレジスタSR1の信号はすべて“Lo”であり、第2のTFTであるT2(1-1)~T2(3-3)及び第3のTFTであるT3(1-1)~T3(3-3)はオフとなっている。この状態でX線がパルス的に入射すると、蛍光体(図1には図示せず)を介して各光電変換素子に可視光が照射され、PIN型光電変換素子のI層内で電子及びホールのキャリアが生成される。このとき、電子はセンサバイアスVsによりカソード側電極(N電極)、即ちバイアス電源側に移動する。一方、ホールは反対方向の第1のTFT側に移動し、主に光電変換素子内の容量に蓄えられる。この電荷は、X線の照射を停止した後においても保持される。

【0062】

次に、読み出し期間について説明する。読み出し動作は、第1行目の光電変換素子(S1-1~S1-3)、続いて、第2行目の光電変換素子(S2-1~S2-3)、続いて、第3行目の光電変換素子(S3-1~S3-3)の順で行われる。

【0063】

まず、第1行目の光電変換素子(S1-1~S1-3)を読み出すために、シフトレジスタSR1からゲート配線G1にゲートパルスを与え、第1行目の第2のTFT(T2(1-1)~T2(1-3))をオンさせる。これにより、第1行目の光電変換素子(S1-1~S1-3)の信号電荷に応じた電位がゲート端子に印加された第1行目の第1のTFT(T1(1-1)~T1(1-3))にドレイン電流が流れ、読み出し用回路部2の初段部のオペアンプA1~A3に接続されている容量素子Cf1~Cf3に当該電流が流入して積分される。

【0064】

オペアンプA1~A3の出力端子の電位は、光電変換素子の信号量に応じて、図2に示すように、負側へ変化する。第1行目の第2のTFT(T2(1-1)~T2(1-3))が同時にオンするため、オペアンプA1~A3の出力は同時に変化する。即ち、並列出力である。その状態で、SMP L信号をオンさせることにより、オペアンプA1~A3の出力信号はサンプルホールド容量CL1~CL3に転送され、SMP L信号をオフすると、一旦ホールドされる。続いて、シフトレジスタSR2からスイッチSr1、Sr2、Sr3の順番でパルスを印加すると、CL1、CL2、CL3の順で、ホールドされていた信号がアンプ1000を介して出力される。この結果、第1行目の光電変換素子(S1-1~S1-3)の光電変換信号が順次、直列変換されて出力される。第2行目の光電変換素子(S2-1~S2-3)の読み出し動作、第3行目の光電変換素子(S3-1~S3-3)の読み出し動作も同様に行われる。

【0065】

第1行目の読み出しにおいて、SMP L信号の変化によりオペアンプA1~A3の信号をサンプルホールド容量CL1~CL3にサンプルホールドすれば、第1行目の光電変換素子(S1-1~S1-3)の信号は光電変換回路部1から出力されたことになる。従って、読み出し用回路部2内でスイッチSr1~Sr3により直列変換されて出力されている最中に、光電変換回路部1内の第1行目の光電変換素子(S1-1~S1-3)のリセット動作及び容量素子Cf1~Cf3のリセット動作を行うことができる。

【0066】

そこで、本実施形態では、第1行目の光電変換素子(S1-1~S1-3)のリセット動作は、第2行目の光電変換素子(S2-1~S2-3)の読み出し動作と同時に行う。これを実現するために、第1行目の第3のTFT(T3(1-1)~T3(1-3))を制御するゲート配線と、第2行目の第2のTFT(T2(2-1)~T2(2-3))を制御するゲート配線とを同じゲート配線G2で共有としている。即ち、本実施形態では、第n行目の光電変換素子の読み出し動作と、第(n-1)行目の光電変換素子のリセット動作とを同時に行う。

【0067】

そして、このような光電変換期間と読み出し期間とを繰り返すことにより、連続した動画像を取得することができる。

10

20

30

40

50

【 0 0 6 8 】

このような第 1 の実施形態によれば、バイアス電源 3 及びリセット電源 4 を、読み出し用回路部 2 内に配置しているため、 V_s 共通配線及び V_r 共通配線を、信号配線と同様に短くすることができる。従って、空間を介して飛び込んでくる外来ノイズを小さく抑えることができる。外来ノイズとは、主に、空間を介して飛び込んでくるノイズである。例えば、X 線を発生させる X 線源は、高圧電源を用いるがその高圧電源からのノイズや、自動車のイグニッションコイルからのノイズ、または他の電波機器からのノイズ、落雷によるノイズもこれに該当する。

【 0 0 6 9 】

一般に、第 2 の T F T がシフトレジスタ (S R 1) により行単位でオン/オフする時等の V_s 共通配線に何らかの要因でノイズが加わっている時や、S M P L 信号により読み出し用回路部内で行単位の信号が C L 1 ~ C L 3 に転送する時のような光電変換素子の読み出し動作が行われている時に、出力信号にノイズが混入しやすい。これらは、画像上で、横スジ状の模様となり、画像品位を著しく劣化させる。これらの横スジ状のノイズは横ラインノイズ又は単にラインノイズとよばれる。また、第 3 の T F T がシフトレジスタ (S R 1) により行単位でリセットが行われる時等の V_r 共通配線に何らかの要因でノイズが加わっている時にも、出力信号にノイズが混入しやすい。この場合にも、横ラインノイズが発生する。

【 0 0 7 0 】

従来、読み出し用回路部は、光電変換回路部の近傍に実装されている。その理由は、光電変換素子の信号は信号配線を介して読み出し用回路部内に転送されるため、配線をできるだけ短くすることが外来ノイズの抑制に効果的だからである。

【 0 0 7 1 】

そして、本実施形態では、バイアス電源 3 及びリセット電源 4 を構成するオペアンプ A b 及び A r を読み出し用回路部 2 内に配置しているため、 V_s 共通配線及び V_r 共通配線を短くできるだけでなく、出力インピーダンスを低くすることができる。従って、外来ノイズが非常に混入しにくくなる。

【 0 0 7 2 】

また、オペアンプ A b 及び A r を読み出し用回路部 2 内に配置しているため、それら自身を低ノイズなものに設計することも可能である。つまり、オペアンプそのものがもつ有限のノイズ、即ちオペアンプを構成する個々の部品のジョンソンノイズ及びショットノイズのようなホワイトノイズ並びにフリッカノイズ (f 分の 1 ノイズ) 等に関して設計段階において最適化を図ることが可能である。

【 0 0 7 3 】

なお、一般に、読み出し用回路部としては、シリコンを主たる材料にした集積回路 (I C) が用いられている。例えば、M O S トランジスタやバイポーラトランジスタを用いて、オペアンプやアナログスイッチ素子などを設計し、読み出し用回路部を I C チップとして作製することができる。バイアス電源 3 及びリセット電源 4 も、同様の設計技法を用いれば、図 1 に示すように読み出し用回路部 2 内に作製することが可能である。

【 0 0 7 4 】

また、本実施形態では、バイアス電源 3 及びリセット電源 4 の双方を読み出し用回路部 2 内に形成しているが、いずれか一方のみを形成してもよい。

【 0 0 7 5 】

更に、本実施形態では、X 線をパルス状に照射した光電変換期間を設けているが、X 線を常時照射させて読み出し期間だけを繰り返すことにより連続した動画像を取得することもできる。この場合、各行単位で光電変換素子の蓄積期間がずれていくために、画像を観察時に違和感になることがある。

【 0 0 7 6 】

また、本実施形態では、P I N 型光電変換素子のカソード側 (P 側) に V_s 共通配線を介してバイアス電源から正バイアスに与えているが、反対のアノード側 (N 側) を V_s 共

10

20

30

40

50

通配線として、バイアス電源から負バイアスに与えてもよい。この場合、図2のタイミングチャートにおいて、A1-out、A2-out、A3-out及びVoutの極性が反対になる。

【0077】

(第2の実施形態)

次に、本発明の第2の実施形態について説明する。図3は、本発明の第2の実施形態に係るX線撮像装置(放射線撮像装置)の2次元な回路構成を示す図である。但し、図3には、説明を簡単化するために $3 \times 3 = 9$ 画素分を記載している。

【0078】

図3において、S(1-1)~S(3-3)は、X線を波長変換体により変換された可視光を電気信号に変換する光電変換素子であり、本実施形態ではMIS型光電変換素子である。T1(1-1)~T1(3-3)は、光電変換素子のG電極がゲート端子に接続された第1のTFTである。T2(1-1)~T2(3-3)は、走査において光電変換素子の電気信号を行単位に選択的に読み出しするために設けられた第2のTFTである。T3(1-1)~T3(3-3)は、電気信号を読み出された光電変換素子をリフレッシュ又はリセットするために設けられた第3のTFTである。

【0079】

G1~G4は、第2のTFTであるT2(1-1)~T2(3-3)及び第3のTFTであるT3(1-1)~T3(3-3)をオン/オフさせるためのゲート配線であり、M1~M3は信号配線である。Vs共通配線は、光電変換素子S(1-1)~S(3-3)のD電極にセンサバイアス(Vs)又は第2のリフレッシュバイアス(Vref2)を与えるための全画素に共通の配線である。また、Vr共通配線は、光電変換素子S(1-1)~S(3-3)のG電極にリセットバイアス(Vrst)又は第1のリフレッシュバイアス(Vref1)を与えるための全画素に共通の配線である。

【0080】

光電変換素子S(1-1)~S(3-3)の黒く塗りつぶされた側の電極はG電極であり、対向側はD電極である。D電極は、Vs共通配線の一部と共有しているが、光を入射させる都合上、薄いN⁺層をD電極として利用している。本実施形態では、光電変換素子S(1-1)~S(3-3)、第1のTFT(T1(1-1)~T1(3-3))、第2のTFT(T2(1-1)~T2(3-3))、第3のTFT(T3(1-1)~T3(3-3))、ゲート配線G1~G3、信号配線M1~M3、Vs共通配線及びVr共通配線が光電変換回路部(放射線検出回路部)31に含まれている。

【0081】

また、シフトレジスタSR1は、ゲート配線G1~G4に駆動用のパルス電圧を与え、光電変換素子S(1-1)~S(3-3)の電気信号を行単位で第1のTFT(T1(1-1)~T1(3-3))から読み出すために、第2のTFT(T2(1-1)~T2(3-3))や第3のTFT(T3(1-1)~T3(3-3))をオン/オフさせる駆動用回路部である。

【0082】

読み出し用回路部32は、光電変換回路部31からの並列の出力信号を読み取り、直列変換して出力する。A1~A3は、信号配線M1~M3に反転端子(-)が接続されたオペアンプである。この反転端子(-)と出力端子の間には、夫々容量素子Cf1~Cf3が接続されている。また、信号配線M1~M3には、夫々電流源I1~I3が接続されている。容量素子Cf1~Cf3は、第2のTFT(T2(1-1)~T2(3-3))がオンしたときに、光電変換素子S(1-1)~S(3-3)の電気信号を蓄積する。RES1~RES3は、容量素子Cf1~Cf3をリセットするスイッチであり、容量素子Cf1~Cf3と並列に接続されている。図3では、リセットバイアスは、GNDで表記している。CL1~CL3は、容量素子Cf1~Cf3に蓄積された信号を一時的に記憶するサンプルホールド容量である。また、Sn1~Sn3は、サンプルホールド容量CL1~CL3でサンプルホールドを行うためのスイッチ、B1~B3はバッファアンプ、Sr

10

20

30

40

50

1 ~ S r 3 は、並列信号を直列変換するためのスイッチ、S R 2 は S r 1 ~ S r 3 に直列変換するためのパルスを与えるシフトレジスタ、1 0 0 0 は直列変換された信号を出力するアンプである。

【 0 0 8 3 】

読み出し用回路部 3 2 には、更に、光電変換回路部 3 1 内の V s 共通配線を介し光電変換素子の D 電極にセンサバイアス (V s) 又はリフレッシュバイアス (V r e f 2) を与えるためのバイアス電源 3 3、及び光電変換回路部 1 内の V r 共通配線を介し光電変換素子の他方の G 電極にリセットバイアス (V r s t) 又はリフレッシュバイアス (V r e f 1) を与えるためのリセット電源 3 4 が形成されている。

【 0 0 8 4 】

バイアス電源 3 3 は、光電変換回路部 3 1 内の V s 共通配線を介し光電変換素子の D 電極に供給するバイアスを、V s / X V r e f 2 制御信号でセンサバイアス (V s) 又はリフレッシュバイアス (V r e f 2) に切り替えることができるように構成されている。V s / X V r e f 2 制御信号が “ H i ” の時には V s を供給し、“ L o ” の時には V r e f 2 を供給する。なお、本実施形態では、V s > V r e f 2 の関係がある。

【 0 0 8 5 】

また、リセット電源 3 4 は、光電変換回路部 3 1 内の V r 共通配線を介し光電変換素子の G 電極に供給するバイアスを、V r e f 1 / X V r s t 制御信号でリセットバイアス (V r s t) 又はリフレッシュバイアス (V r e f 1) に切り替えることができるように構成されている。V r e f 1 / X V r s t 制御信号が “ H i ” の時には V r e f 1 を供給し、“ L o ” の時には V r s t を供給する。なお、本実施形態では、V r e f 1 > V r s t の関係がある。

【 0 0 8 6 】

なお、本実施形態では、M I S 型光電変換素子のリフレッシュ動作を、V s 共通配線を介して一括に行う方式と V r 共通配線を介し行単位で行う方式とを選択できる。例えば、前者を静止画撮影モードとして、後者を動画撮影モードとして使用する放射線撮像装置ができる。

【 0 0 8 7 】

次に、上述のように構成された第 2 の実施形態の動作について説明する。図 4 は、本発明の第 2 の実施形態に係る X 線撮像装置の動作を示すタイムチャートであり、2 フレーム分の動作を表している。図 4 のタイムチャートには、光電変換期間及び読み出し期間の 2 つの動作期間を示してある。

【 0 0 8 8 】

まず、光電変換期間について説明する。全光電変換素子 S (1 - 1) ~ S (3 - 3) の D 電極は、読み取り用電源 V s (正電位) にバイアスされた状態にある。シフトレジスタ S R 1 の信号はすべて “ L o ” であり、第 2 の T F T である T 2 (1 - 1) ~ T 2 (3 - 3) 及び第 3 の T F T である T 3 (1 - 1) ~ T 3 (3 - 3) はオフとなっている。この状態で X 線がパルスのように入射すると、蛍光体を介して各光電変換素子の D 電極 (N ⁺ 電極) に可視光が照射され、各光電変換素子の i 層内で電子とホールキャリアが生成される。このとき、電子はセンサバイアス V s により D 電極に移動するが、ホールは光電変換素子内の i 層と絶縁層の界面に蓄えられ、X 線の照射を停止した後においても保持される。

【 0 0 8 9 】

次に、読み出し期間について説明する。読み出し動作は、第 1 行目の光電変換素子 (S 1 - 1 ~ S 1 - 3)、続いて、第 2 行目の光電変換素子 (S 2 - 1 ~ S 2 - 3)、続いて、第 3 行目の光電変換素子 (S 3 - 1 ~ S 3 - 3) の順で行われる。

【 0 0 9 0 】

まず、第 1 行目の光電変換素子 (S 1 - 1 ~ S 1 - 3) を読み出すために、シフトレジスタ S R 1 からゲート配線 G 1 にゲートパルスを与え、第 1 行目の第 2 の T F T (T 2 (1 - 1) ~ T 2 (1 - 3)) をオンさせる。これにより、第 1 行目の光電変換素子 (S 1 - 1 ~ S 1 - 3) の信号電荷に応じた電位がゲート端子に印加された第 1 行目の第 1 の T

10

20

30

40

50

FT (T1(1-1) ~ T1(1-3)) にドレイン電流が流れ、読み出し用回路部2の初段部のオペアンプA1 ~ A3に接続されている容量素子Cf1 ~ Cf3に当該電流が流入して積分される。

【0091】

オペアンプA1 ~ A3の出力端子の電位は、光電変換素子の信号量に応じて、図4に示すように、負側に変化する。第1行目の第2のFT (T2(1-1) ~ T2(1-3)) が同時にオンするため、オペアンプA1 ~ A3の出力は同時に変化する。即ち、並列出力である。その状態で、SMP L信号をオンさせることにより、オペアンプA1 ~ A3の出力信号はサンプルホールド容量CL1 ~ CL3に転送され、SMP L信号をオフすると、一旦ホールドされる。続いて、シフトレジスタSR2からスイッチSr1、Sr2、Sr3の順番でパルスを印加すると、CL1、CL2、CL3の順で、ホールドされていた信号がアンプ1000を介して出力される。この結果、第1行目の光電変換素子(S1-1 ~ S1-3)の光電変換信号が順次、直列変換されて出力される。第2行目の光電変換素子(S2-1 ~ S2-3)の読み出し動作、第3行目の光電変換素子(S3-1 ~ S3-3)の読み出し動作も同様に行われる。

10

【0092】

第1行目の読み出しにおいて、SMP L信号の変化によりオペアンプA1 ~ A3の信号をサンプルホールド容量CL1 ~ CL3にサンプルホールドすれば、第1行目の光電変換素子(S1-1 ~ S1-3)の信号は光電変換回路部31から出力されたことになる。従って、読み出し用回路部32内でスイッチSr1 ~ Sr3により直列変換されて出力されている最中に、光電変換回路部31内の第1行目の光電変換素子(S1-1 ~ S1-3)のリフレッシュ動作及びリセット動作並びに容量素子Cf1 ~ Cf3のリセット動作を行うことができる。

20

【0093】

そこで、本実施形態では、第1行目の光電変換素子(S1-1 ~ S1-3)のリフレッシュ動作は、第2行目の光電変換素子(S2-1 ~ S2-3)の読み出し動作と同時に進行。これを実現するために、第1行目の第3のFT (T3(1-1) ~ T3(1-3)) を制御するゲート配線と、第2行目の第2のFT (T2(2-1) ~ T2(2-3)) を制御するゲート配線は同じゲート配線G2で共有としている。

【0094】

ゲート配線G2がオンしている間に、Vref1 / XVrst制御信号が“Hi”になることにより、Vr共通配線がVref1にバイアスされ、第1行目の光電変換素子(S1-1 ~ S1-3)がリフレッシュされる。その後、同様に、ゲート配線G2がオンしている間に、Vref1 / XVrst制御信号が“Lo”になることにより、Vr共通配線がリセットバイアスVrstにバイアスされ、第1行目の光電変換素子(S1-1 ~ S1-3)のG電極がリセットバイアスVrstによりリセットされる。このゲート配線G2がオンしている間は、同時に、第2行目の第2のFT (T2(2-1) ~ T2(2-3)) がオン状態になっており、第2行目の光電変換素子(S2-1 ~ S2-3)の信号電荷に応じた電位が読み出される。このように、本実施形態では、第n行目の光電変換素子の読み出し動作と、第(n-1)行目の光電変換素子のリフレッシュ動作及びリセット動作とを同時に行う。

30

【0095】

そして、以上の動作を行うことにより、第1行目から第3行目のすべての光電変換素子S(1-1) ~ S(3-3)の信号電荷を出力することができる。即ち、このような光電変換期間と読み出し期間とを繰り返すことにより、連続した動画像を取得することができる。

40

【0096】

このような第2の実施形態によれば、第1の実施形態と同様に、バイアス電源33及びリセット電源34を読み出し回路部32内に配置しているため、Vs共通配線及びVr共通配線の配線を、信号配線と同様に短くすることができる。従って、空間を介して飛び込

50

んでくる外来ノイズを小さく抑えることができる。また、第1の実施形態と同様に、出力インピーダンスを低くすることができ、外来ノイズが非常に混入しにくくなる。更に、第1の実施形態と同様に、オペアンプA_b及びA_rを読み出し用回路部32内に配置しているため、それら自身を低ノイズなものに設計することも可能である。

【0097】

更に、本実施形態では、すべての光電変換素子を一括でリフレッシュせず、各行単位でリフレッシュを行うため、リフレッシュ時の暗電流成分によるGND電位及び電源電位等の変動を少なくでき、動画のフレーム周波数を大きくすることができる。光電変換素子のリフレッシュ動作を全光電変換素子に共通のV_s共通配線を介して行うことにより動画画像を得る場合、1フレームに1回のリフレッシュ期間を設けることが必須である。このことは、特に、動画画像を取得する際、フレーム周波数が小さくなる、即ち動作スピードが遅くなるという問題を生じる。特に人体胸部を撮影する医療用のX線撮像装置の場合、大多数の画素を一括でリフレッシュすることは、リフレッシュ時に流れる電流も大きくなり、そしてGNDや電源ラインの電圧変動が大きくなり、すぐに画像を読み取ることは安定せず、良好な画像を得られない。これに対し、本実施形態のように、V_r共通配線を介して第3のTF_T(T₃(1-1)~T₃(3-3))をオンさせることによりリフレッシュ動作を行う場合には、行単位でリフレッシュ動作を行うことができるため、1度にリフレッシュされる画素数が少なく、リフレッシュ時に流れる電流を小さく抑えることができる。

10

【0098】

なお、本実施形態では、バイアス電源33及びリセット電源34の双方を読み出し用回路部32内に形成しているが、いずれか一方のみを形成してもよい。

20

【0099】

(第3の実施形態)

次に、本発明の第3の実施形態について説明する。第3の実施形態では、第2の実施形態に係るX線撮像装置を透視モード(動画モード)で動作させている状態から、撮影者の静止画の撮影要求により、撮影モード(静止画モード)へ遷移させる。図5は、本発明の第3の実施形態におけるX線撮像装置の撮影シーケンスを示す図である。また、図6は、透視モード(動画モード)でのX線撮像装置の動作を示すタイムチャートであり、図7は、撮影モード(静止画モード)でのX線撮像装置の動作を示すタイムチャートである。

30

【0100】

透視モードでは、図6に示すタイミング動作を繰り返す。透視モードの期間では、撮影者は、静止画像を撮影のための被写体(患者)の位置及び角度を決めるために、患者の透視画像をモニタする。また、一般的に、この期間中のX線量は弱めに照射する。そして、被写体(患者)の位置及び角度が決まると、撮影者がX線撮像装置に、静止画像を撮影する意思信号として曝射要求信号(撮影要求)を発令する。X線撮像装置は、この曝射要求信号を受けると、その動作モードを透視モードから撮影モードに遷移する。撮影モードでは、図8に示すタイミング動作を行う。

【0101】

なお、透視モード及び撮影モードの組み合わせ(流れ)は、図5に示すような撮影モードが1回だけのものに限定されない。例えば、撮影する被写体の撮影構図に応じて、透視モード 撮影モード 透視モード 撮影モード・・・と複数回、繰り返してもよい。

40

【0102】

また、透視モード(動画モード)においてX線をパルス状ではなく連続して照射してもよい。X線を連続して照射した場合の透視モードでのX線撮像装置の動作を示すタイムチャートを図8に示す。

【0103】

X線を連続して照射した場合には、読み出し期間と光電変換期間とを単一の期間(光電変換及び読み出し期間)とすることができるため、透視モードにおける動作周波数を大きくすることができるという利点がある。また、X線をパルス状に入射させないため、X線

50

発生源に対する負荷を軽減できる利点もある。

【0104】

第2の実施形態に係るX線撮像装置を透視装置に応用した場合、透視モードにおいては第3のTFT(T3(1-1)~T3(3-3))を介して第1のリフレッシュバイアス(Vref1)を与え、透視撮影によって被写体の位置及び角度等を決定し、静止画撮影モードに遷移した際には、Vs共通配線から第2のリフレッシュバイアス(Vref2)を与える。Vs共通配線からのリフレッシュは、全画素一括で行うため、リフレッシュ動作後のGND電位及び系の基準電位の変動が大きくなり、その電位変動を待たなければ読み出し動作を行えない。従って、必ずしも、動画撮影(透視)には適しているとはいえない。

10

【0105】

しかし、この反面、バイアス電源33と光電変換素子S(1-1)~S(3-3)との間に、従来の装置では必要とされているTFTが存在しないため、Vs共通配線と第2のリフレッシュバイアス(Vref2)の電位差を大きくすることが可能である。従って、飽和電荷を大きく設定できるという長所がある。つまり、診断画像を得るような静止画撮影には高いS/Nが求められ、第2のリフレッシュバイアス(Vref2)で共通配線Vs側からリフレッシュした方が好適である。

【0106】

(第4の実施形態)

次に、本発明の第4の実施形態について説明する。図9は、本発明の第4の実施形態に係るX線撮像装置(放射線撮像装置)の構造を示す模式図である。

20

【0107】

本実施形態では、読み出し用回路部及び駆動用回路部が、夫々複数ブロックに分割されて光電変換回路部に接続されている。図9内の黒い四角()は一画素を表しており、図内中央の円()内にその一画素分の回路を示している。本実施形態では、第2の実施形態と同様に、画素内に、MIS型光電変換素子、第1のTFT、第2のTFT及び第3のTFTが含まれているが、光電変換素子として、第1の実施形態と同様に、PIN型光電変換素子が用いられてもよい。

読み出し用回路部の各ブロックは、夫々AMP-IC1~AMP-IC10と表示しており、駆動用回路部の各ブロックは、夫々DR-IC1~DR-IC10と表示している。特に医療用X線撮像装置には、人体胸部の撮影に用いられるため、一般に、40cm×40cm以上の大面積撮影領域が要求されている。また、画素の解像度は100μm~200μm程度必要といわれている。例えば、解像度が160μmで40cm×40cmの撮影領域をカバーするためには、2500画素×2500画素が必要となる。

30

【0108】

読み出し用回路部及び駆動用回路部は、一般にシリコンテクノロジーを用いて集積回路(IC)として製造される。シリコンウェハは、一般には、用途に応じて複数個のチップに切り出されて、ICとして製造される。本実施形態においては、一つの読み出し用回路部を256列の画素分を読み出しするブロックとしている。また一つの駆動用回路部は256行分の画素を駆動するブロックとしている。このように分配することにより、読み出し用回路部及び駆動用回路部は、夫々10ブロックに分割することができる。読み出し回路部における余りのチャンネル、即ち(256×10)-2500=60チャンネル分は、GND電位を入力するかオープンにしておく。第1の実施形態1及び第2の実施形態のようなN行目のリセットと(N+1)行目の読み出しとを同時に行う構成の場合、1チャンネル多く使用するために、駆動用回路部における余りのチャンネル数は、59チャンネルとなり、このチャンネルはオープンにしておく。

40

【0109】

また、本実施形態では、読み出し回路部の各ブロックに、Vs共通配線に電位を与えるためのバイアス電源とVr共通配線の電位を与えるリセット電源が接続されているが、いずれか一方のみが接続されていてもよい。図9に示す構成とすることにより、バイアス電

50

源又はリセット電源が光電変換回路部の近傍に配置され、 V_s 共通配線及び V_r 共通配線のインピーダンスが低減し、 S/N が有利になる。

【0110】

バイアス電源は、光電変換素子がMIS型の場合、 V_s 共通配線を介してセンサの一方の電極にセンサバイアス(V_s)又は第2のリフレッシュバイアス(V_{ref2})を印加するためのものであるが、PIN型の場合は、センサバイアス(V_s)を印加するためのものである。また、リセット電源は、光電変換素子がMIS型の場合 V_r 、共通配線を介してセンサの反対側の電極にリセットバイアス(V_{rst})又は第1のリフレッシュバイアス(V_{ref1})を印加するためのものであるが、PIN型の場合は、リセットバイアス(V_{rst})を印加するためのものである。

10

【0111】

なお、本実施形態では読み出し回路部及び駆動用回路部の一つのブロックを256チャンネルとしているが、チャンネル数はこれに限るものではなく、製造時の簡便性及びウェハから切り出せる良品チップの歩留まり等に基づいて選択することができる。

【0112】

(第5の実施形態)

次に、本発明の第5の実施形態について説明する。第5の実施形態は、本発明に係るX線撮像装置(放射線撮像装置)をX線診断システムに応用したものである。図10は、本発明の第5の実施形態に係るX線診断システムを示す模式図である。

【0113】

X線ルーム(撮影室)内において、X線チューブ(X線発生装置)6050で発生したX線6060は患者又は被験者6061の胸部6062を透過し、イメージセンサ6040に入射する。この入射したX線には患者6061の内部の情報が含まれている。X線の入射に対応してシンチレータ(蛍光体)は発光し、これをセンサーパネルの光電変換素子が光電変換して、電気的情報を得る。イメージセンサ6040は、この情報を電気信号(デジタル信号)としてイメージプロセッサ6070に出力する。画像処理手段としてのイメージプロセッサ6070は、受信した信号に対して画像処理を施して、コントロールルーム(操作室)の表示手段であるディスプレイ6080に出力する。ユーザは、ディスプレイ6080に表示された画像を観察して、患者6061の内部の情報を得ることができる。なお、イメージプロセッサ6070は、制御手段の機能も有しており、動画/静止画の撮影モードを切り換えたり、X線チューブ6050の制御を行ったりすることも可能である。

20

30

【0114】

また、イメージプロセッサ6070は、イメージセンサ6040から出力された電気信号を電話回線6090等の伝送処理手段を介して遠隔地へ転送し、ドクタールーム等の別の場所にある表示手段(ディスプレイ)6081に表示することもできる。また、イメージセンサ6040から出力された電気信号を光ディスク等の記録手段に保存し、この記録手段を用いて遠隔地の医師が診断することも可能である。また、記録手段となるフィルムプロセッサ6100によりフィルム6110に記録することもできる。

【0115】

なお、光電変換素子の構造は特に限定されるものではない。例えば、アモルファスシリコンを主原料とし、放射線を可視光に変換する波長変換体からの可視光を吸収し電気信号に変換する光電変換素子が用いられてもよい。このような素子としては、例えば、アクセプタ不純物をドーブしたP層と、真性半導体層であるI層と、ドナー不純物をドーブしたN層と、を有するPIN型光電変換素子、及び、基板上に形成された金属薄膜層と、この金属薄膜層上に形成され、電子及び正孔の通過を阻止するアモルファス窒化シリコンからなる絶縁層と、この絶縁層上に形成された水素化アモルファスシリコンからなる光電変換層と、この光電変換層上に形成され、正孔の注入を阻止するN型の注入阻止層と、この注入阻止層上に形成された導電層と、を有するMIS型光電変換素子等が挙げられる。MIS型光電変換素子では、導電層は透明導電層であってもよく、また、導電層が注入阻止層

40

50

上の一部に形成されていてもよい。これらの光電変換素子が用いられ、波長変換体が必要とされる場合、波長変換体としては、例えば Gd_2O_2S 、 Gd_2O_3 又は CsI を主成分とするものを用いることができる。更に、光電変換素子として、アモルファスセレン、ガリウム砒素、ヨウ化鉛又はヨウ化水銀を含有し、照射された放射線を吸収し直接電気信号に変換する素子を用いてもよい。

【0116】

また、読み出し用回路部の構造も特に限定されるものではなく、例えば、光電変換回路部から読み出した信号を増幅する増幅手段と、この増幅手段により増幅された信号を蓄積する蓄積手段と、この蓄積手段により蓄積された信号をシリアル変換するシリアル変換手段と、を有するものを用いることができる。

10

【0117】

なお、本発明の実施形態は、例えばコンピュータがプログラムを実行することによって実現することができる。また、プログラムをコンピュータに供給するための手段、例えばかかるプログラムを記録した CD-ROM 等のコンピュータ読み取り可能な記録媒体又はかかるプログラムを伝送するインターネット等の伝送媒体も本発明の実施形態として適用することができる。また、上記のプログラムも本発明の実施形態として適用することができる。上記のプログラム、記録媒体、伝送媒体及びプログラムプロダクトは、本発明の範疇に含まれる。

【図面の簡単な説明】

【0118】

20

【図1】本発明の第1の実施形態に係る X 線撮像装置（放射線撮像装置）の 2 次元的な回路構成を示す図である。

【図2】本発明の第1の実施形態に係る X 線撮像装置の動作を示すタイムチャートである。

【図3】本発明の第2の実施形態に係る X 線撮像装置（放射線撮像装置）の 2 次元的な回路構成を示す図である。

【図4】本発明の第2の実施形態に係る X 線撮像装置の動作を示すタイムチャートである。

【図5】本発明の第3の実施形態における X 線撮像装置の撮影シーケンスを示す図である。

30

【図6】透視モード（動画モード）での X 線撮像装置の動作を示すタイムチャートである。

【図7】撮影モード（静止画モード）での X 線撮像装置の動作を示すタイムチャートである。

【図8】X 線を連続して照射した場合の透視モードでの X 線撮像装置の動作を示すタイムチャートである。

【図9】本発明の第4の実施形態に係る X 線撮像装置（放射線撮像装置）の構造を示す模式図である。

【図10】本発明の第5の実施形態に係る X 線診断システムを示す模式図である。

【図11】MIS 型光電変換素子を備えた従来の光電変換基板を示す上面図である。

40

【図12】図11中の I-I 線に沿った断面図である。

【図13】図11及び図12に示す光電変換素子のデバイス動作を説明するためのエネルギーバンド図である。

【図14】MIS 型光電変換素子を備えた従来の光電変換基板の 2 次元的な構成を示す回路図である。

【図15】図14に示す従来の光電変換装置の動作を示すタイムチャートである。

【図16】PIN 型光電変換素子を用いた光電変換装置の 2 次元的な構成を示す回路図である。

【図17】図16に示す従来の光電変換装置の動作を示すタイムチャートである。

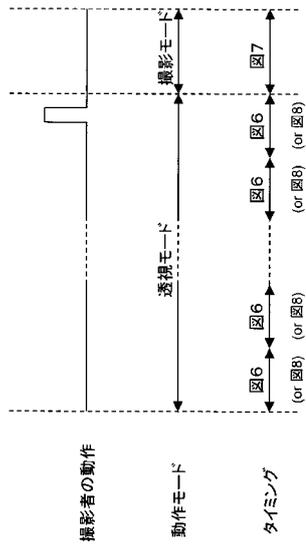
【符号の説明】

50

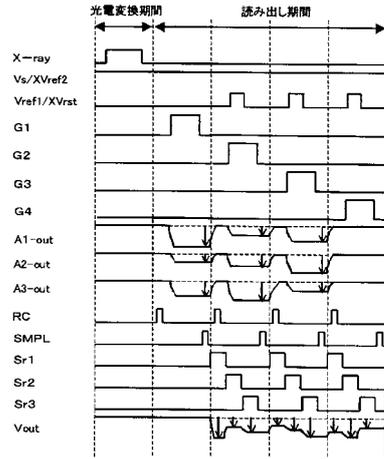
【 0 1 1 9 】

S (1 - 1) ~ S (3 - 3) : 光電変換素子	
T 1 (1 - 1) ~ T 1 (3 - 3) : 第 1 の T F T (ソースフォロア接続)	
T 2 (1 - 1) ~ T 2 (3 - 3) : 第 2 の T F T (スイッチ機能)	
T 3 (1 - 1) ~ T 3 (3 - 3) : 第 3 の T F T (スイッチ機能)	
S R 1 : シフトレジスタ	
S R 2 : シフトレジスタ	
A 1 ~ A 3 : オペアンプ	
B 1 ~ B 3 : オペアンプ	
A b : オペアンプ	10
A r : オペアンプ	
1 0 0 0 : オペアンプ	
C f 1 ~ C f 3 : 容量素子	
C L 1 ~ C L 3 : 容量素子	
R E S 1 ~ R E S 3 : スイッチ	
S n 1 ~ S n 3 : 転送スイッチ	
S r 1 ~ S r 3 : 読み出し用スイッチ	
I 1 ~ I 3 : 電流源	
1 : 光電変換回路部 (放射線検出回路部)	
2 : 読み出し用回路部	20
G 1 ~ G 3 : ゲート駆動配線	
M 1 ~ M 3 : マトリクス信号配線	
V r e f 1 : 第 1 のリフレッシュバイアス	
V r e f 2 : 第 2 のリフレッシュバイアス	
V s : 光電変換素子のセンサバイアス	
V r s t : リセットバイアス	
6 0 4 0 : イメージセンサ	
6 0 5 0 : X 線チューブ	
6 0 6 0 : X 線	
6 0 6 1 : 被験者	30
6 0 7 0 : イメージプロセッサ	
6 0 8 0 : ディスプレイ	
6 0 8 1 : ディスプレイ	
6 1 0 0 : フィルムプロセッサ	
6 1 1 0 : フィルム	

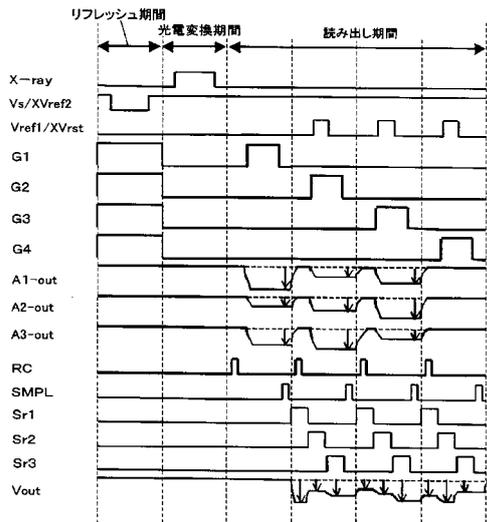
【図5】



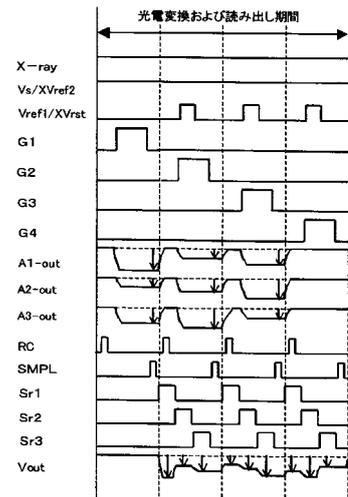
【図6】



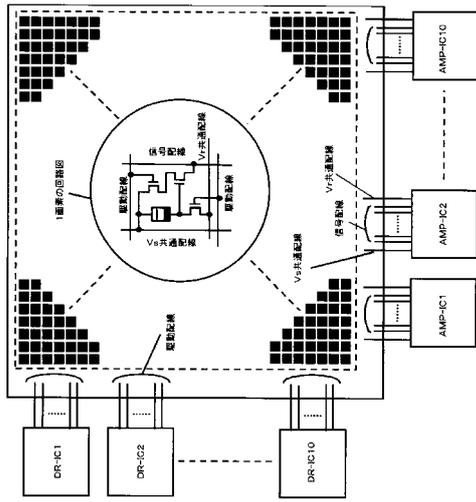
【図7】



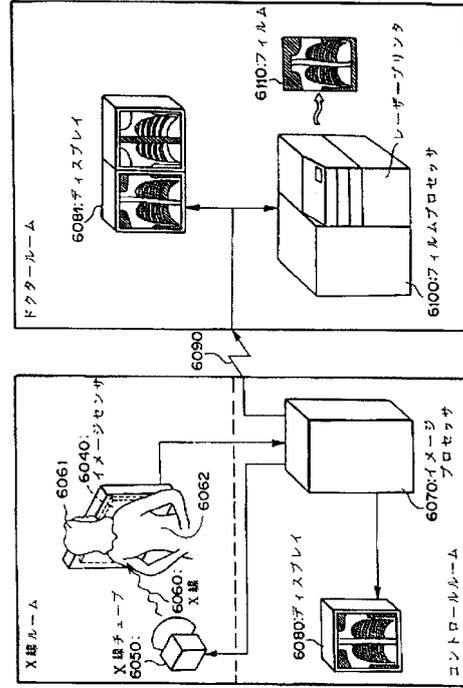
【図8】



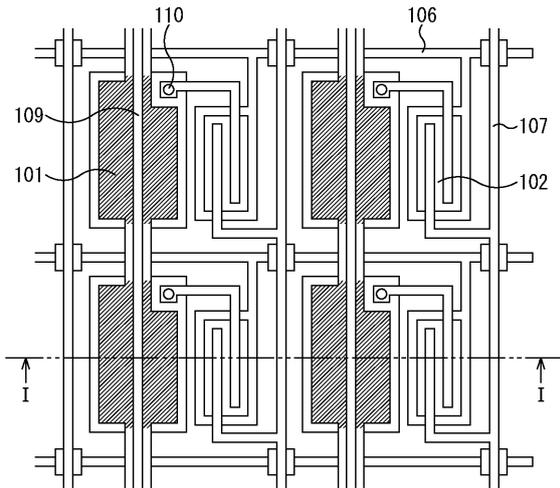
【図9】



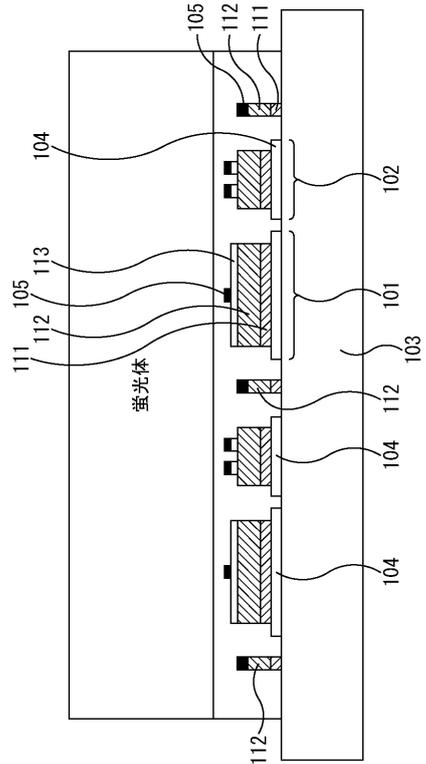
【図10】



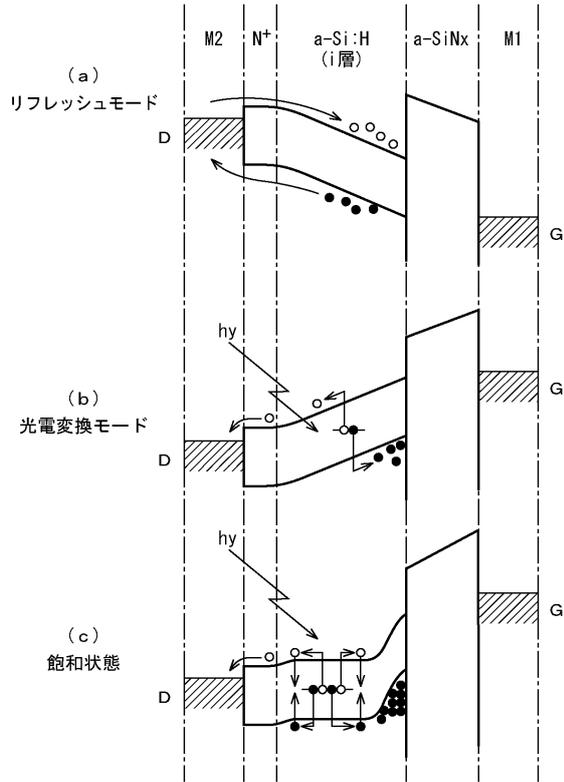
【図11】



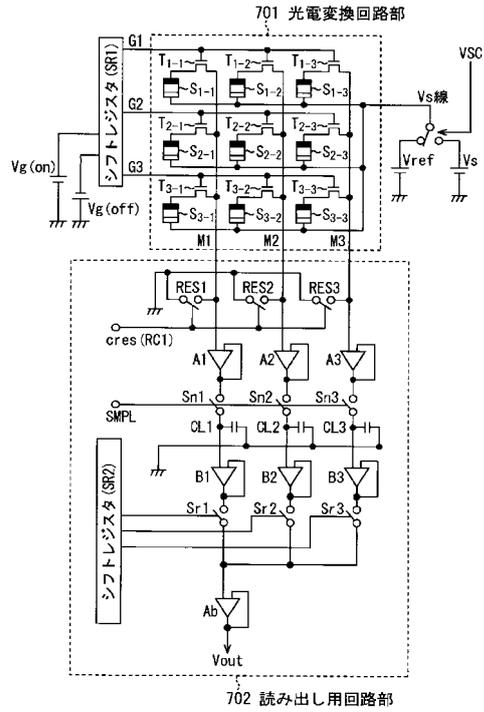
【図12】



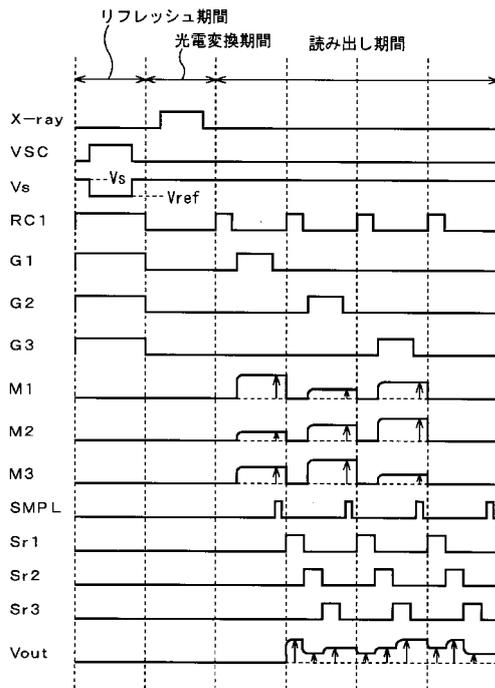
【図13】



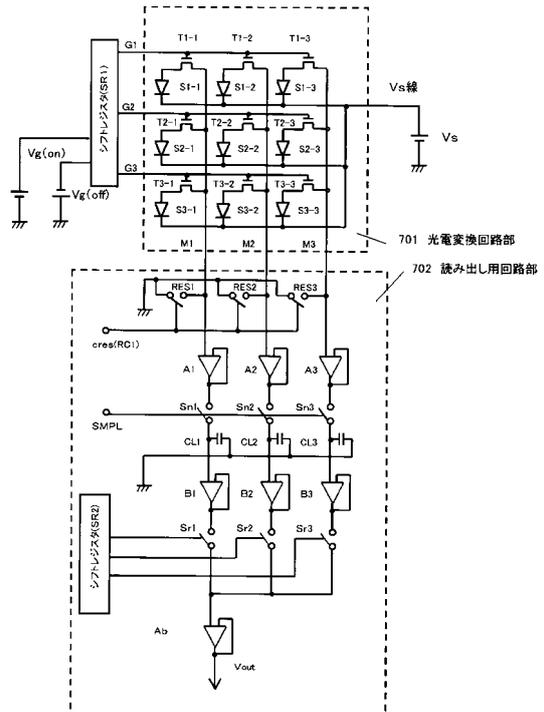
【図14】



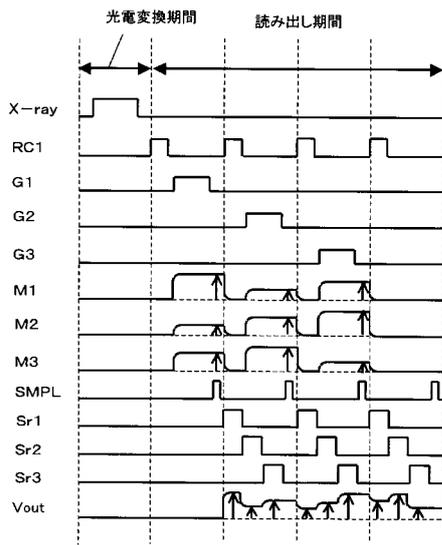
【図15】



【図16】



【図 17】



フロントページの続き

(51)Int.Cl.		F I	
<i>H 0 1 L 27/14 (2006.01)</i>		G 0 1 T 1/24	
<i>H 0 1 L 27/146 (2006.01)</i>		H 0 1 L 27/14	K
<i>H 0 1 L 31/09 (2006.01)</i>		H 0 1 L 27/14	C
<i>H 0 4 N 5/335 (2006.01)</i>		H 0 1 L 31/00	A
		H 0 4 N 5/335	E

(72)発明者 竹中 克郎
 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 吉川 潤

(56)参考文献 特開2003-078124(JP,A)
 特開2003-324213(JP,A)
 特開2004-073450(JP,A)
 特開2000-323699(JP,A)
 特開平08-116044(JP,A)
 特開平09-064332(JP,A)
 特開平10-150182(JP,A)
 特開2000-004399(JP,A)
 特開2001-196572(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 4 N	5 / 3 0	-	5 / 3 3 5
A 6 1 B	6 / 0 0		
G 0 1 T	1 / 2 0	-	1 / 2 4
H 0 1 L	2 7 / 1 4	-	2 7 / 1 4 6
H 0 1 L	3 1 / 0 9		