

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4110389号  
(P4110389)

(45) 発行日 平成20年7月2日(2008.7.2)

(24) 登録日 平成20年4月18日(2008.4.18)

(51) Int.Cl. F I  
**G 1 1 B 20/14 (2006.01)** G 1 1 B 20/14 3 4 1 A  
**H 0 3 M 7/14 (2006.01)** H 0 3 M 7/14 B

請求項の数 15 (全 62 頁)

|   |   |
|---|---|
| <p>(21) 出願番号 特願2003-6925 (P2003-6925)<br/>                 (22) 出願日 平成15年1月15日(2003.1.15)<br/>                 (65) 公開番号 特開2004-220698 (P2004-220698A)<br/>                 (43) 公開日 平成16年8月5日(2004.8.5)<br/>                 審査請求日 平成17年10月5日(2005.10.5)</p> | <p>(73) 特許権者 000002185<br/>                 ソニー株式会社<br/>                 東京都港区港南1丁目7番1号<br/>                 (74) 代理人 100082131<br/>                 弁理士 稲本 義雄<br/>                 (72) 発明者 中川 俊之<br/>                 東京都品川区北品川6丁目7番35号 ソ<br/>                 ニー株式会社内<br/>                 審査官 小林 大介</p> |
|---|---|

最終頁に続く

(54) 【発明の名称】 変調装置および変調方法、記録媒体、並びにプログラム

(57) 【特許請求の範囲】

【請求項1】

( d , k ; m , n ; r ) の可変長符号の変換規則に基づいて入力ビット列からチャンネルビット列を生成し、さらに前記チャンネルビット列から出力符号列を生成する変調装置において、

前記出力符号列のDSVを制御するために、前記入力ビット列に挿入されるDSV制御ビットを決定する制御ビット決定手段を備え、

前記制御ビット決定手段は、

前記入力ビット列の所定位置に、前記DSV制御ビットの第1の候補ビットを挿入して、第1のビット列候補を生成する第1のビット列候補生成手段と、

前記入力ビット列の所定位置に、前記DSV制御ビットの第2の候補ビットを挿入して、第2のビット列候補を生成する第2のビット列候補生成手段と、

前記第1のビット列候補をシフトさせながら、少なくとも前記変換規則に基づいて変換するために必要なビット数分保持する第1の保持手段と、

前記第2のビット列候補をシフトさせながら、少なくとも前記変換規則に基づいて変換するために必要なビット数分保持する第2の保持手段と、

前記第1の保持手段の全てのビットに前記第1のビット列候補が保持されている状態において、前記第1の保持手段により保持されている前記第1のビット列候補を、時間的に最も先に入力されたデータから後に入力された方向に順番に参照して、前記変換規則を用いて変換することにより、第1のチャンネルビット列候補を生成する第1の変調手段と、

10

20

前記第2の保持手段の全てのビットに前記第2のビット列候補が保持されている状態において、前記第2の保持手段により保持されている前記第2のビット列候補を、時間的に最も先に入力されたデータから後に入力された方向に順番に参照して、前記変換規則を用いて変調することにより、第2のチャンネルビット列候補を生成する第2の変調手段と、  
前記第1のチャンネルビット列候補に基づいて、第1のDSV値を演算する第1のDSV演算手段と、

前記第2のチャンネルビット列候補に基づいて、第2のDSV値を演算する第2のDSV演算手段と、

前記第1のチャンネルビット列候補に基づいて、前記DSV制御ビットを決定するために必要な第1のタイミング情報を生成する第1の情報生成手段と、

前記第2のチャンネルビット列候補に基づいて、前記DSV制御ビットを決定するために必要な第2のタイミング情報を生成する第2の情報生成手段と、

前記第1のタイミング情報および前記第2のタイミング情報のうち、先に入力されたタイミング情報に基づいたタイミングで、前記第1のDSV値および前記第2のDSV値に基づいて、前記第1の候補ビットまたは前記第2の候補ビットのいずれかを前記DSV制御ビットと判定する判定手段と

を備えることを特徴とする変調装置。

#### 【請求項2】

前記第1の情報生成手段は、前記変換規則に基づいて、拘束長が4の符号語変換に対して、1箇所または2箇所の変調切れ目を検出することにより、前記第1のタイミング情報を生成し、

前記第2の情報生成手段は、前記変換規則に基づいて、拘束長が4の符号語変換に対して、1箇所または2箇所の変調切れ目を検出することにより、前記第2のタイミング情報を生成する

ことを特徴とする請求項1に記載の変調装置。

#### 【請求項3】

前記判定手段は、

前記第1の候補ビットを前記DSV制御ビットと判定した場合、前記第2の保持手段に保持されている情報を、前記第1の保持手段に保持されている情報に置き換えさせるための処理を更に行い、

前記第2の候補ビットを前記DSV制御ビットと判定した場合、前記第1の保持手段に保持されている情報を、前記第2の保持手段に保持されている情報に置き換えさせるための処理を更に行う

ことを特徴とする請求項1に記載の変調装置。

#### 【請求項4】

前記第1のDSV値演算手段は、

前記第1のチャンネルビット列候補をNRZI化する第1のNRZI化手段と、

前記第1のNRZI化手段によりNRZI化された第1のチャンネルビット列候補を基に、第1の区間DSVを演算する第1の区間DSV演算手段と、

前記判定手段による前記DSV制御ビットの判定結果に基づいて、第1の累積DSVを演算する第1の累積DSV演算手段と、

前記第1の区間DSV演算手段により演算された前記第1の区間DSVと、前記第1の累積DSV演算手段により演算された前記第1の累積DSVを加算する第1の加算手段と

を備え、

前記第2のDSV値演算手段は、

前記第2のチャンネルビット列候補をNRZI化する第2のNRZI化手段と、

前記第2のNRZI化手段によりNRZI化された第2のチャンネルビット列候補を基に、第2の区間DSVを演算する第2の区間DSV演算手段と、

前記判定手段による前記DSV制御ビットの判定結果に基づいて、第2の累積DSVを演算する第2の累積DSV演算手段と、

10

20

30

40

50

前記第 2 の区間DSV演算手段により演算された前記第 2 の区間DSVと、前記第 2 の累積DSV演算手段により演算された前記第 2 の累積DSVを加算する第 2 の加算手段と

を備え、

前記判定手段は、前記第 1 の加算手段の加算結果である前記第 1 のDSV値および前記第 2 の加算手段の加算結果である前記第 2 のDSV値に基づいて、前記第 1 の候補ビットまたは前記第 2 の候補ビットのいずれかを前記DSV制御ビットと判定する

ことを特徴とする請求項 1に記載の変調装置。

【請求項 5】

前記第 1 のDSV値演算手段は、

前記第 1 のチャンネルビット列候補に、予め設定されたユニークなパターンを含む同期パターンを挿入する第 1 の同期信号挿入手段を

更に備え、

前記第 2 のDSV値演算手段は、

前記第 2 のチャンネルビット列候補に、前記同期パターンを挿入する、第 2 の同期信号挿入手段を

更に備え、

前記第 1 のNRZI化手段は、前記第 1 の同期信号挿入手段により前記同期信号が挿入された前記第 1 のチャンネルビット列候補をNRZI化し、

前記第 2 のNRZI化手段は、前記第 2 の同期信号挿入手段により前記同期信号が挿入された前記第 2 のチャンネルビット列候補をNRZI化する

ことを特徴とする請求項 4に記載の変調装置。

【請求項 6】

前記第 1 の同期信号挿入手段、前記第 2 の同期信号挿入手段、前記第 1 のNRZI化手段、前記第 2 のNRZI化手段、前記第 1 の区間DSV演算手段、および、前記第 2 の区間DSV演算手段は、その内部に、第 3 の保持手段をそれぞれ備え、

前記判定手段は、

前記第 1 の候補ビットを前記DSV制御ビットと判定した場合、前記第 2 の同期信号挿入手段に含まれている前記第 3 の保持手段に保持されている情報を、前記第 1 の同期信号挿入手段に含まれている前記第 3 の保持手段に保持されている情報に置き換えさせ、前記第 2 のNRZI化手段に含まれている前記第 3 の保持手段に保持されている情報を、前記第 1 のNRZI化手段に含まれている前記第 3 の保持手段に保持されている情報に置き換えさせ、前記第 2 の区間DSV演算手段に含まれている前記第 3 の保持手段に保持されている情報を、前記第 1 の区間DSV演算手段に含まれている前記第 3 の保持手段に保持されている情報に置き換えさせるための処理を更に実行し、

前記第 2 の候補ビットを前記DSV制御ビットと判定した場合、前記第 1 の同期信号挿入手段に含まれている前記第 3 の保持手段に保持されている情報を、前記第 2 の同期信号挿入手段に含まれている前記第 3 の保持手段に保持されている情報に置き換えさせ、前記第 1 のNRZI化手段に含まれている前記第 3 の保持手段に保持されている情報を、前記第 2 のNRZI化手段に含まれている前記第 3 の保持手段に保持されている情報に置き換えさせ、前記第 1 の区間DSV演算手段に含まれている前記第 3 の保持手段に保持されている情報を、前記第 2 の区間DSV演算手段に含まれている前記第 3 の保持手段に保持されている情報に置き換えさせるための処理を更に実行する

ことを特徴とする請求項 5に記載の変調装置。

【請求項 7】

前記制御ビット決定手段により決定された前記DSV制御ビットを、前記入力ビット列の所定位置に挿入するDSV制御ビット挿入手段と、

前記DSV制御ビット挿入手段により、前記DSV制御ビットが挿入された前記入力ビット列を、所定のビット数だけ保持する第 3 の保持手段と、

前記変換規則に基づき、前記第 3 の保持手段により保持されている、前記DSV制御ビットが挿入された前記ビット列を前記チャンネルビット列に変調する第 3 の変調手段と

10

20

30

40

50

を更に備え、

前記第3の変調手段は、前記第3の保持手段により保持されている前記ビット列のうち、時間的に入力された前記入力ビットから後に入力された入力ビットの方向に順番に、前記チャンネルビット列に変調する

ことを特徴とする請求項1に記載の変調装置。

【請求項8】

前記第1乃至第3の変調手段は、基本データ長であるmビットのデータの入力を受ける時間に、基本チャンネルビット長であるnビットの前記チャンネルビット列を出力する

ことを特徴とする請求項7に記載の変調装置。

【請求項9】

前記第3の変調手段により変調された前記チャンネルビット列をNRZI化することにより、前記出力符号列を生成するNRZI化手段

を更に備えることを特徴とする請求項7に記載の変調装置。

【請求項10】

前記変換規則では、前記入力ビット列または前記挿入後ビット列の1ブロック内の「1」の個数を2で割った余りが、前記チャンネルビット列の対応する1ブロック内の「1」の個数を2で割った余りと一致する

ことを特徴とする請求項1に記載の変調装置。

【請求項11】

前記変換規則では、前記チャンネルビット列における最小ラン d の連続が所定の回数以下に制限される

ことを特徴とする請求項1に記載の変調装置。

【請求項12】

前記変換規則では、最小ラン d = 1、最大ラン k = 7、変換前の基本データ長 m = 2、および変換後の基本チャンネルビット長 n = 3である

ことを特徴とする、請求項1に記載の変調装置。

【請求項13】

第1および第2の保持手段を用いて、(d, k; m, n; r)の可変長符号の変換規則に基づいて入力ビット列からチャンネルビット列を生成し、更に前記チャンネルビット列から出力符号列を生成する変調装置の変調方法において、

前記入力ビット列の所定位置に、前記DSV制御ビットの第1の候補ビットを挿入して、第1のビット列候補を生成する第1のビット列候補生成ステップと、

前記入力ビット列の所定位置に、前記DSV制御ビットの第2の候補ビットを挿入して、第2のビット列候補を生成する第2のビット列候補生成ステップと、

前記第1のビット列候補をシフトさせながら、少なくとも前記変換規則に基づいて変換するために必要なビット数分前記第1の保持手段に保持するように制御する第1の保持制御ステップと、

前記第2のビット列候補をシフトさせながら、少なくとも前記変換規則に基づいて変換するために必要なビット数分前記第1の保持手段に保持するように制御する第2の保持制御ステップと、

前記第1の保持手段の全てのビットに前記第1のビット列候補が保持されている状態において、前記第1の保持手段により保持されている前記第1のビット列候補を、時間的に最も先に入力されたデータから後に入力された方向に順番に参照して、前記変換規則を用いて変調することにより、第1のチャンネルビット列候補を生成する第1の変調ステップと

前記第2の保持手段の全てのビットに前記第2のビット列候補が保持されている状態において、前記第2の保持手段により保持されている前記第2のビット列候補を、時間的に最も先に入力されたデータから後に入力された方向に順番に参照して、前記変換規則を用いて変調することにより、第2のチャンネルビット列候補を生成する第2の変調ステップと

10

20

30

40

50

前記第1のチャンネルビット列候補に基づいて、第1のDSV値を演算する第1のDSV演算ステップと、

前記第2のチャンネルビット列候補に基づいて、第2のDSV値を演算する第2のDSV演算ステップと、

前記第1のチャンネルビット列候補に基づいて、前記DSV制御ビットを決定するために必要な第1のタイミング情報を生成する第1の情報生成ステップと、

前記第2のチャンネルビット列候補に基づいて、前記DSV制御ビットを決定するために必要な第2のタイミング情報を生成する第2の情報生成ステップと、

前記第1のタイミング情報および前記第2のタイミング情報のうち、先に入力されたタイミング情報に基づいたタイミングで、前記第1のDSV値および前記第2のDSV値に基づいて、前記第1の候補ビットまたは前記第2の候補ビットのいずれかを前記DSV制御ビットと判定する判定ステップと

10

を含むことを特徴とする変調方法。

【請求項14】

第1および第2の保持手段を用いて、(d, k; m, n; r)の可変長符号の変換規則に基づいて入力ビット列からチャンネルビット列を生成し、更に前記チャンネルビット列から出力符号列を生成する処理をコンピュータに実行させるプログラムであって、

前記入力ビット列の所定位置に、前記DSV制御ビットの第1の候補ビットを挿入して、第1のビット列候補を生成する第1のビット列候補生成ステップと、

前記入力ビット列の所定位置に、前記DSV制御ビットの第2の候補ビットを挿入して、第2のビット列候補を生成する第2のビット列候補生成ステップと、

20

前記第1のビット列候補をシフトさせながら、少なくとも前記変換規則に基づいて変換するために必要なビット数分前記第1の保持手段に保持するように制御する第1の保持制御ステップと、

前記第2のビット列候補をシフトさせながら、少なくとも前記変換規則に基づいて変換するために必要なビット数分前記第1の保持手段に保持するように制御する第2の保持制御ステップと、

前記第1の保持手段の全てのビットに前記第1のビット列候補が保持されている状態において、前記第1の保持手段により保持されている前記第1のビット列候補を、時間的に最も先に入力されたデータから後に入力された方向に順番に参照して、前記変換規則を用いて変調することにより、第1のチャンネルビット列候補を生成する第1の変調ステップと

30

前記第2の保持手段の全てのビットに前記第2のビット列候補が保持されている状態において、前記第2の保持手段により保持されている前記第2のビット列候補を、時間的に最も先に入力されたデータから後に入力された方向に順番に参照して、前記変換規則を用いて変調することにより、第2のチャンネルビット列候補を生成する第2の変調ステップと

前記第1のチャンネルビット列候補に基づいて、第1のDSV値を演算する第1のDSV演算ステップと、

前記第2のチャンネルビット列候補に基づいて、第2のDSV値を演算する第2のDSV演算ステップと、

40

前記第1のチャンネルビット列候補に基づいて、前記DSV制御ビットを決定するために必要な第1のタイミング情報を生成する第1の情報生成ステップと、

前記第2のチャンネルビット列候補に基づいて、前記DSV制御ビットを決定するために必要な第2のタイミング情報を生成する第2の情報生成ステップと、

前記第1のタイミング情報および前記第2のタイミング情報のうち、先に入力されたタイミング情報に基づいたタイミングで、前記第1のDSV値および前記第2のDSV値に基づいて、前記第1の候補ビットまたは前記第2の候補ビットのいずれかを前記DSV制御ビットと判定する判定ステップと

を含むことを特徴とするコンピュータが読み取り可能なプログラムが記録されている記

50

録媒体。

【請求項 15】

第1および第2の保持手段を用いて、(d, k; m, n; r)の可変長符号の変換規則に基づいて入力ビット列からチャンネルビット列を生成し、更に前記チャンネルビット列から出力符号列を生成する処理をコンピュータに実行させるプログラムであって、

前記入力ビット列の所定位置に、前記DSV制御ビットの第1の候補ビットを挿入して、第1のビット列候補を生成する第1のビット列候補生成ステップと、

前記入力ビット列の所定位置に、前記DSV制御ビットの第2の候補ビットを挿入して、第2のビット列候補を生成する第2のビット列候補生成ステップと、

前記第1のビット列候補をシフトさせながら、少なくとも前記変換規則に基づいて変換するために必要なビット数分前記第1の保持手段に保持するように制御する第1の保持制御ステップと、

前記第2のビット列候補をシフトさせながら、少なくとも前記変換規則に基づいて変換するために必要なビット数分前記第1の保持手段に保持するように制御する第2の保持制御ステップと、

前記第1の保持手段の全てのビットに前記第1のビット列候補が保持されている状態において、前記第1の保持手段により保持されている前記第1のビット列候補を、時間的に最も先に入力されたデータから後に入力された方向に順番に参照して、前記変換規則を用いて変調することにより、第1のチャンネルビット列候補を生成する第1の変調ステップと

、  
前記第2の保持手段の全てのビットに前記第2のビット列候補が保持されている状態において、前記第2の保持手段により保持されている前記第2のビット列候補を、時間的に最も先に入力されたデータから後に入力された方向に順番に参照して、前記変換規則を用いて変調することにより、第2のチャンネルビット列候補を生成する第2の変調ステップと

、  
前記第1のチャンネルビット列候補に基づいて、第1のDSV値を演算する第1のDSV演算ステップと、

前記第2のチャンネルビット列候補に基づいて、第2のDSV値を演算する第2のDSV演算ステップと、

前記第1のチャンネルビット列候補に基づいて、前記DSV制御ビットを決定するために必要な第1のタイミング情報を生成する第1の情報生成ステップと、

前記第2のチャンネルビット列候補に基づいて、前記DSV制御ビットを決定するために必要な第2のタイミング情報を生成する第2の情報生成ステップと、

前記第1のタイミング情報および前記第2のタイミング情報のうち、先に入力されたタイミング情報に基づいたタイミングで、前記第1のDSV値および前記第2のDSV値に基づいて、前記第1の候補ビットまたは前記第2の候補ビットのいずれかを前記DSV制御ビットと判定する判定ステップと

を含むことを特徴とするプログラム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は変調装置および変調方法、記録媒体、並びにプログラムに関し、特に、データ伝送や記録媒体への記録に用いて好適な変調装置および変調方法、記録媒体、並びにプログラムに関する。

【0002】

【従来の技術】

データを所定の伝送路に伝送したり、または例えば磁気ディスク、光ディスク、光磁気ディスク等の記録媒体に記録したりする際、伝送路や記録媒体に適するように、データの変調が行われる。

【0003】

10

20

30

40

50

このような変調方法の1つとして、ブロック符号が知られている。このブロック符号は、データ列を  $m \times i$  ビットからなる単位（以下データ語という）にブロック化し、このデータ語を適当な符号則に従って、 $n \times i$  ビットからなる符号語に変換するものである。そしてこの符号は、 $i = 1$  のときには固定長符号となり、また  $i$  が複数個選べるとき、すなわち、1乃至  $i_{\max}$ （最大の  $i$ ）の範囲の所定の  $i$  を選択して変換したときには可変長符号となる。このブロック符号化された符号は可変長符号  $(d, k; m, n; r)$  と表される。

#### 【0004】

ここで、 $i$  は拘束長と称され、 $i_{\max}$  は  $r$ （最大拘束長）となる。また  $d$  は、連続する "1" の間に入る、"0" の最小連続個数、例えば "0" の最小ランを示し、 $k$  は連続する "1" の間に入る、"0" の最大連続個数、例えば "0" の最大ランを示している。

10

#### 【0005】

ところで、上述のようにして得られる可変長符号を、光ディスクや光磁気ディスク等に記録する場合、例えば、コンパクトディスクやミニディスクでは、可変長符号において、"1" を反転とし、"0" を無反転として、NRZI (Non Return to Zero Inverted) 変調し、NRZI変調された可変長符号（以下、記録波形列とも称する）に基づいて、記録が行なわれている。この他に、記録密度のあまり大きくなかった初期のISO (International Standards Organization / 国際標準化機構) 規格のMO (Magnet-Optical Disk / 光磁気ディスク) では、記録変調されたビット列をNRZI変調せずに、そのまま記録した。

#### 【0006】

記録波形列の最小反転間隔を  $T_{\min}$  とし、最大反転間隔を  $T_{\max}$  とするとき、線速方向に高密度に記録を行うためには、最小反転間隔  $T_{\min}$  は長い方が、すなわち、最小ラン  $d$  は大きい方が良く、またクロックの再生の面からは、最大反転間隔  $T_{\max}$  は短い方が、すなわち最大ラン  $k$  は小さい方が望ましく、この条件を満足するために、種々の変調方法が提案されている。

20

#### 【0007】

具体的には、例えば光ディスク、磁気ディスク、または、光磁気ディスク等において、提案もしくは実際に使用されている変調方式として、可変長符号であるRLL (1-7) ( $(1, 7; m, n; r)$  と表記される) やRLL (2-7) ( $(2, 7; m, n; r)$  と表記される)、さらに、ISO規格のMOに用いられている固定長RLL (1-7) ( $(1, 7; m, n; 1)$  と表記される) などがある。

30

#### 【0008】

現在開発研究されている、記録密度の高い光ディスクや光磁気ディスク等のディスク装置では、例えば、可変長RLL (1-7) 符号などの、最小ラン  $d = 1$  のRLL符号 (Run Length Limited Code) がよく用いられている。

#### 【0009】

可変長RLL (1-7) のパラメータは  $(1, 7; 2, 3; 2)$  であり、記録波形列のビット間隔を  $T$  とすると、 $(d+1)T$  で表される最小反転間隔  $T_{\min}$  は  $2 (= 1+1)T$  となる。データ列のビット間隔を  $T_{\text{data}}$  とすると、この  $(m/n) \times 2$  で表される最小反転間隔  $T_{\min}$  は  $1.33 (= (2/3) \times 2) T_{\text{data}}$  となる。また  $(k+1)T$  で表される最大反転間隔  $T_{\max}$  は  $8 (= 7+1)T (= (m/n) \times 8 T_{\text{data}} = (2/3) \times 8 T_{\text{data}} = 5.33 T_{\text{data}})$  である。さらに検出窓幅  $T_w$  は  $(m/n) \times T_{\text{data}}$  で表され、その値は  $0.67 (= 2/3) T_{\text{data}}$  となる。

40

#### 【0010】

RLL (1-7) による変調を行ったチャネルビット列における  $T$  の発生頻度を調べると、 $T_{\min}$  である  $2T$  が一番多く、以下  $3T$ 、 $4T$ 、 $5T$  と続く。エッジ情報が早い周期で多く発生する  $2T$  や  $3T$  などは、クロック再生に有利となる場合が多い。

#### 【0011】

しかしながら、線速方向の記録密度をさらに高くしていくと、今度は逆に、 $T_{\min}$  が問題となってくる。すなわち最小ランである  $2T$  が、連続して発生し続けた時は、記録波形に

50

歪みが生じやすくなって来る。なぜならば、2Tの波形出力は、他の波形出力よりも小さいので、例えばノイズ、デフォーカス、もしくはタンジェンシャル・チルト等による影響を受け易くなるからである。

【0012】

このように、高線密度記録の際には、Tmin(2T)の連続した記録は、ノイズ等の外乱の影響を受けやすくなり、したがって、データ再生時において、誤りが発生し易くなる。この場合における、データ再生誤りのパターンとしては、例えば、連続するTmin(2T)の先頭から最後までのエッジが一斉にシフトして誤るケースがある。すなわち、発生するビットエラー長が長くなってしまふ。

【0013】

ところで、記録媒体へのデータの記録、もしくは、データの伝送の際には、記録媒体もしくは伝送路に適した符号化変調が行われるが、これら変調符号に直流成分および低域成分が含まれていると、例えば、ディスク装置のサーボの制御におけるトラッキングエラーなどの、各種のエラー検出信号に変動が生じ易くなったり、もしくは、ジッターが発生し易くなったりする。従って、変調符号には、直流成分および低域成分をなるべく含めないようにする方が良い。

【0014】

このような課題に対して、一般的に、DSV(Digital Sum Value)制御を行うことが提案されている。DSVとは、チャンネルビット列をNRZI化し(すなわちレベル符号化し)、そのビット列(データのシンボル)の"1"を「+1」、「0」を「-1」として、符号を加算した際の、最大最小のぶれの大きさを示す。また、符号を加算する各時点の値を、RDS(Running Digital Sum)と呼ぶ。DSVを小さくすること、即ち、RDSの絶対値を0に近づけることを、DSV制御という。DSVは、符号列の直流成分および低域成分の目安として用いることが出来る。これより、DSV制御を行うことは、符号列の直流成分および低域成分を抑圧することに相当する。

【0015】

上記、可変長RLL(1-7)による変調符号は、DSV制御が行われていない。変換効率が良いために、例えば、DVD(Digital Versatile Disk)の8-16符号のように、変調時にDSV制御を行うことができない。このような場合のDSV制御は、例えば、変調後の符号化列(チャンネルビット列)において、所定の間隔に区切ってDSV計算を行い、DSV制御ビットを符号化列(チャンネルビット列)内の所定の位置に挿入することによって、実現する。

【0016】

しかしながら、DSV制御ビットは、基本的には冗長ビットである。従って、符号変換の効率から考えれば、DSV制御ビットはなるべく少ない方が良い。

【0017】

またさらに、挿入されるDSV制御ビットによって、最小ランdおよび最大ランkは、変化しない方が良い。(d,k)が変化すると、記録再生特性に影響を及ぼしてしまうからである。

【0018】

ただし、実際のRLL符号は、最小ランは必ず守る必要があるが、最大ランについてはその限りではない。場合によっては最大ランを破るパターンを同期信号に用いるフォーマットも存在する。例えば、DVD(Digital Versatile Disk)の8-16符号における最大ランは11Tだが、同期信号パターン部分において、最大ランを超える14Tを与え、同期信号の検出能力を上げている。

【0019】

従って、高密度化に対応して変換効率の優れたRLL(1-7)方式を用いるためには、高線密度化に対して、より適するように最小ランの連続を制御すること、および、DSV制御をなるべく効率良く行うことは、重要である。

【0020】

以上に対して、データ列に第1のDSV制御ビットを挿入した第1のデータ列と、第2のDSV

10

20

30

40

50



制御ビットを挿入した第2のデータ列を生成するDSV制御ビット挿入手段と、最小ラン d が1とされ、かつ、データ列の要素内の“1”の個数と、変換される符号語列の要素内の“1”の個数を、2で割った時の余りが、どちらも1もしくは0で一致するような変換テーブルを用いて、第1のデータ列と第2のデータ列の両方を変調する変調手段と、変換テーブルを用いて変調された第1のデータ列の第1の区間DSVと第2のデータ列の第2の区間DSVを計算し、それらをそれまでの累積DSVと加算した値から、変換テーブルを用いて変調された第1のデータ列と第2のデータ列の一方を選択して出力するDSV計算手段とを備えることを特徴とする変調装置が開示されている（例えば、特許文献1参照）。

【0021】

【特許文献1】

特開平11-177431号公報

【0022】

図1は、従来の変調装置の構成例を示すブロック図である。

【0023】

図1に示すように、変調装置10は、入力されたデータ列に対して、所定の間隔でDSV制御ビットとして、“1”または“0”を挿入するDSV制御ビット挿入部11を備える。

【0024】

このDSV制御ビット挿入部11では、DSV制御ビット“1”を挿入するデータ列と、DSV制御ビット“0”を挿入するデータ列とが用意される。また、DSV制御ビット挿入部11は、DSV区間の位置を調整し、1つのDSV区間のチャンネルビット列は、1つのDSV制御ビットを含む入力ビット列より変換されたものであるようにする。

【0025】

変調部12は、DSV制御ビット挿入部11でDSV制御ビットの挿入されたデータ列を変調する。DSV制御部13は、変調部12で変調された符号語列をNRZI化してレベルデータとした後にDSV計算を行い、最終的にDSV制御の行われた記録符号列を出力する。

【0026】

また、変換コードとして、 $d = 1$ 、 $k = 7$ 、 $m = 2$ 、 $n = 3$ の基礎コードと、データ列の要素内の「1」の個数を2で割ったときの余りと、変換される符号語列内の「1」の個数を2で割った余りが、どちらも1もしくは0で一致するような変換規則と、最小ラン d の連続を所定の回数以下に制限する第1の置き換えコードと、ラン長制限を守るための第2の置き換えコードを有することを特徴とした変換テーブルが開示されている（例えば、特許文献2参照）。

【0027】

【特許文献2】

特開平11-346154号公報

【0028】

図2は、従来の変調装置の他の構成例を示すブロック図である。

【0029】

図2に示すように、変調装置20は、DSV制御ビットである「1」または「0」を決定し、入力されたデータ列に、任意の間隔で挿入するDSV制御ビット決定・挿入部21、DSV制御ビットが挿入されたデータ列を変調する変調部22、および、変調部22の出力を記録波形列に変換するNRZI化部23を備える。また、変調装置20は、タイミング信号を生成し、各部に供給してタイミングを管理するタイミング管理部24を備える。

【0030】

【発明が解決しようとする課題】

しかしながら、上述したような方法によるDSV制御を実現する場合、具体的な制御信号などについて工夫する必要があるという課題があった。

【0031】

例えば、上述したような方法においては、区間外に存在する次のDSV制御ビットを含んだ変換により生成されたチャンネルビット列により、算出された区間DSVに誤差が生じてしま

10

20

30

40

50

わないように、DSV区間をずらす処理が行われているが、このような処理を実現するためには、各部の動作を制御する制御信号について工夫する必要がある。

【0032】

また、例えば、上述したような方法において、区間DSVの算出に使用したレジスタには、前回の算出に利用した値が全て格納されたままであり、その中の不必要な値により、次に算出された区間DSVに誤差が生じてしまう場合があるので、このような処理を実現するためには、各部の動作を制御する制御信号および各部の動作について工夫する必要がある。

【0033】

本発明はこのような状況に鑑みてなされたものであり、DSV制御を良く行うことによって、直流成分および低域成分を抑圧し、安定したシステムを構成することが出来るようになるものである。

【0034】

【課題を解決するための手段】

本発明の変調装置は、出力符号列のDSVを制御するために、入力ビット列に挿入されるDSV制御ビットを決定する制御ビット決定手段を備え、制御ビット決定手段は、入力ビット列の所定位置に、DSV制御ビットの第1の候補ビットを挿入して、第1のビット列候補を生成する第1のビット列候補生成手段と、入力ビット列の所定位置に、DSV制御ビットの第2の候補ビットを挿入して、第2のビット列候補を生成する第2のビット列候補生成手段と、第1のビット列候補をシフトさせながら、少なくとも変換規則に基づいて変換するために必要なビット数分保持する第1の保持手段と、第2のビット列候補をシフトさせながら、少なくとも変換規則に基づいて変換するために必要なビット数分保持する第2の保持手段と、第1の保持手段の全てのビットに第1のビット列候補が保持されている状態において、第1の保持手段により保持されている第1のビット列候補を、時間的に最も先に入力されたデータから後に入力された方向に順番に参照して、変換規則を用いて変調することにより、第1のチャンネルビット列候補を生成する第1の変調手段と、第2の保持手段の全てのビットに第2のビット列候補が保持されている状態において、第2の保持手段により保持されている第2のビット列候補を、時間的に最も先に入力されたデータから後に入力された方向に順番に参照して、変換規則を用いて変調することにより、第2のチャンネルビット列候補を生成する第2の変調手段と、第1のチャンネルビット列候補に基づいて、第1のDSV値を演算する第1のDSV演算手段と、第2のチャンネルビット列候補に基づいて、第2のDSV値を演算する第2のDSV演算手段と、第1のチャンネルビット列候補に基づいて、DSV制御ビットを決定するために必要な第1のタイミング情報を生成する第1の情報生成手段と、第2のチャンネルビット列候補に基づいて、DSV制御ビットを決定するために必要な第2のタイミング情報を生成する第2の情報生成手段と、第1のタイミング情報および第2のタイミング情報のうち、先に入力されたタイミング情報に基づいたタイミングで、第1のDSV値および第2のDSV値に基づいて、第1の候補ビットまたは第2の候補ビットのいずれかをDSV制御ビットと判定する判定手段とを備えることを特徴とする。

【0036】

第1の情報生成手段には、変換規則に基づいて、拘束長が4の符号語変換に対して、1箇所または2箇所の変調切れ目を検出することにより、第1のタイミング情報を生成させ、第2の情報生成手段には、変換規則に基づいて、拘束長が4の符号語変換に対して、1箇所または2箇所の変調切れ目を検出することにより、第2のタイミング情報を生成させるようにすることができる。

【0041】

判定手段には、第1の候補ビットをDSV制御ビットと判定した場合、第2の保持手段に保持されている情報を、第1の保持手段に保持されている情報に置き換えさせるための処理を更に行うようにすることができ、第2の候補ビットをDSV制御ビットと判定した場合、第1の保持手段に保持されている情報を、第2の保持手段に保持されている情報に置き換えさせるための処理を更に行うようにすることができ、

【0044】

第1のDSV値演算手段には、第1のチャンネルビット列候補をNRZI化する第1のNRZI化手段と、第1のNRZI化手段によりNRZI化された第1のチャンネルビット列候補を基に、第1の区間DSVを演算する第1の区間DSV演算手段と、判定手段によるDSV制御ビットの判定結果に基づいて、第1の累積DSVを演算する第1の累積DSV演算手段と、第1の区間DSV演算手段により演算された第1の区間DSVと、第1の累積DSV演算手段により演算された第1の累積DSVを加算する第1の加算手段とを備えさせるようにすることができ、第2のDSV値演算手段には、第2のチャンネルビット列候補をNRZI化する第2のNRZI化手段と、第2のNRZI化手段によりNRZI化された第2のチャンネルビット列候補を基に、第2の区間DSVを演算する第2の区間DSV演算手段と、判定手段によるDSV制御ビットの判定結果に基づいて、第2の累積DSVを演算する第2の累積DSV演算手段と、第2の区間DSV演算手段により演算された第2の区間DSVと、第2の累積DSV演算手段により演算された第2の累積DSVを加算する第2の加算手段とを備えさせるようにすることができ、判定手段には、第1の加算手段の加算結果である第1のDSV値および第2の加算手段の加算結果である第2のDSV値に基づいて、第1の候補ビットまたは第2の候補ビットのいずれかをDSV制御ビットと判定させるようにすることができる。

10

第1のDSV値演算手段には、第1のチャンネルビット列候補に、予め設定されたユニークなパターンを含む同期パターンを挿入する第1の同期信号挿入手段を更に備えさせるようにすることができ、第2のDSV値演算手段には、第2のチャンネルビット列候補に、同期パターンを挿入する、第2の同期信号挿入手段を更に備えさせるようにすることができ、第1のNRZI化手段には、第1の同期信号挿入手段により同期信号が挿入された第1のチャンネルビット列候補をNRZI化させ、第2のNRZI化手段には、第2の同期信号挿入手段により同期信号が挿入された第2のチャンネルビット列候補をNRZI化させるようにすることができる。

20

#### 【0045】

第1の同期信号挿入手段、第2の同期信号挿入手段、第1のNRZI化手段、第2のNRZI化手段、第1の区間DSV演算手段、および、第2の区間DSV演算手段は、その内部に、第3の保持手段をそれぞれ備えさせるようにすることができ、判定手段には、第1の候補ビットをDSV制御ビットと判定した場合、第2の同期信号挿入手段に含まれている第3の保持手段に保持されている情報を、第1の同期信号挿入手段に含まれている第3の保持手段に保持されている情報に置き換えさせ、第2のNRZI化手段に含まれている第3の保持手段に保持されている情報を、第1のNRZI化手段に含まれている第3の保持手段に保持されている情報に置き換えさせ、第2の区間DSV演算手段に含まれている第3の保持手段に保持されている情報を、第1の区間DSV演算手段に含まれている第3の保持手段に保持されている情報に置き換えさせるための処理を更に実行させるようにすることができ、第2の候補ビットをDSV制御ビットと判定した場合、第1の同期信号挿入手段に含まれている第3の保持手段に保持されている情報を、第2の同期信号挿入手段に含まれている第3の保持手段に保持されている情報に置き換えさせ、第1のNRZI化手段に含まれている第3の保持手段に保持されている情報を、第2のNRZI化手段に含まれている第3の保持手段に保持されている情報に置き換えさせ、第1の区間DSV演算手段に含まれている第3の保持手段に保持されている情報を、第2の区間DSV演算手段に含まれている第3の保持手段に保持されている情報に置き換えさせるための処理を更に実行させるようにすることができる。

30

40

#### 【0046】

制御ビット決定手段により決定されたDSV制御ビットを、入力ビット列の所定位置に挿入するDSV制御ビット挿入手段と、DSV制御ビット挿入手段により、DSV制御ビットが挿入された入力ビット列を、所定のビット数だけ保持する第3の保持手段と、変換規則に基づき、第3の保持手段により保持されている、DSV制御ビットが挿入されたビット列をチャンネルビット列に変調する第3の変調手段とを更に備えさせるようにすることができ、第3の変調手段には、第3の保持手段により保持されているビット列のうち、時間的に入力された入力ビットから後に入力された入力ビットの方向に順番に、チャンネルビット列に変調させるようにすることができる。

50

## 【 0 0 4 7 】

第 1 乃至第 3 の変調手段は、基本データ長である m ビットのデータの入力を受ける時間に、基本チャンネルビット長である n ビットのチャンネルビット列を出力させるようにすることができる。

## 【 0 0 4 8 】

第 3 の変調手段により変調されたチャンネルビット列を NRZI 化することにより、出力符号列を生成する NRZI 化手段 を更に備えさせるようにすることができる。

## 【 0 0 4 9 】

変換規則においては、入力ビット列または挿入後ビット列の 1 ブロック内の「1」の個数を 2 で割った余りが、チャンネルビット列の対応する 1 ブロック内の「1」の個数を 2 で割った余りと一致するものとする ことができる。

## 【 0 0 5 0 】

変換規則では、チャンネルビット列における最小ラン d の連続が所定の回数以下に制限されるもの とすることができる。

## 【 0 0 5 1 】

変換規則では、最小ラン  $d = 1$ 、最大ラン  $k = 7$ 、変換前の基本データ長  $m = 2$ 、および変換後の基本チャンネルビット長  $n = 3$  であるもの とすることができる。

## 【 0 0 5 2 】

本発明の変調方法は、入力ビット列の所定位置に、DSV 制御ビットの第 1 の候補ビットを挿入して、第 1 のビット列候補を生成する第 1 のビット列候補生成ステップと、入力ビット列の所定位置に、DSV 制御ビットの第 2 の候補ビットを挿入して、第 2 のビット列候補を生成する第 2 のビット列候補生成ステップと、第 1 のビット列候補をシフトさせながら、少なくとも変換規則に基づいて変換するために必要なビット数分第 1 の保持手段に保持するように制御する第 1 の保持制御ステップと、第 2 のビット列候補をシフトさせながら、少なくとも変換規則に基づいて変換するために必要なビット数分第 1 の保持手段に保持するように制御する第 2 の保持制御ステップと、第 1 の保持手段の全てのビットに第 1 のビット列候補が保持されている状態において、第 1 の保持手段により保持されている第 1 のビット列候補を、時間的に最も先に入力されたデータから後に入力された方向に順番に参照して、変換規則を用いて変調することにより、第 1 のチャンネルビット列候補を生成する第 1 の変調ステップと、第 2 の保持手段の全てのビットに第 2 のビット列候補が保持されている状態において、第 2 の保持手段により保持されている第 2 のビット列候補を、時間的に最も先に入力されたデータから後に入力された方向に順番に参照して、変換規則を用いて変調することにより、第 2 のチャンネルビット列候補を生成する第 2 の変調ステップと、第 1 のチャンネルビット列候補に基づいて、第 1 の DSV 値を演算する第 1 の DSV 演算ステップと、第 2 のチャンネルビット列候補に基づいて、第 2 の DSV 値を演算する第 2 の DSV 演算ステップと、第 1 のチャンネルビット列候補に基づいて、DSV 制御ビットを決定するために必要な第 1 のタイミング情報を生成する第 1 の情報生成ステップと、第 2 のチャンネルビット列候補に基づいて、DSV 制御ビットを決定するために必要な第 2 のタイミング情報を生成する第 2 の情報生成ステップと、第 1 のタイミング情報および第 2 のタイミング情報のうち、先に入力されたタイミング情報に基づいたタイミングで、第 1 の DSV 値および第 2 の DSV 値に基づいて、第 1 の候補ビットまたは第 2 の候補ビットのいずれかを DSV 制御ビットと判定する判定ステップとを含むことを特徴とする。

## 【 0 0 5 3 】

本発明の記録媒体に記録されているプログラムは、入力ビット列の所定位置に、DSV 制御ビットの第 1 の候補ビットを挿入して、第 1 のビット列候補を生成する第 1 のビット列候補生成ステップと、入力ビット列の所定位置に、DSV 制御ビットの第 2 の候補ビットを挿入して、第 2 のビット列候補を生成する第 2 のビット列候補生成ステップと、第 1 のビット列候補をシフトさせながら、少なくとも変換規則に基づいて変換するために必要なビット数分第 1 の保持手段に保持するように制御する第 1 の保持制御ステップと、第 2 のビット列候補をシフトさせながら、少なくとも変換規則に基づいて変換するために必要なビ

10

20

30

40

50

ット数分第1の保持手段に保持するように制御する第2の保持制御ステップと、第1の保持手段の全てのビットに第1のビット列候補が保持されている状態において、第1の保持手段により保持されている第1のビット列候補を、時間的に最も先に入力されたデータから後に入力された方向に順番に参照して、変換規則を用いて変調することにより、第1のチャンネルビット列候補を生成する第1の変調ステップと、第2の保持手段の全てのビットに第2のビット列候補が保持されている状態において、第2の保持手段により保持されている第2のビット列候補を、時間的に最も先に入力されたデータから後に入力された方向に順番に参照して、変換規則を用いて変調することにより、第2のチャンネルビット列候補を生成する第2の変調ステップと、第1のチャンネルビット列候補に基づいて、第1のDSV値を演算する第1のDSV演算ステップと、第2のチャンネルビット列候補に基づいて、第2のDSV値を演算する第2のDSV演算ステップと、第1のチャンネルビット列候補に基づいて、DSV制御ビットを決定するために必要な第1のタイミング情報を生成する第1の情報生成ステップと、第2のチャンネルビット列候補に基づいて、DSV制御ビットを決定するために必要な第2のタイミング情報を生成する第2の情報生成ステップと、第1のタイミング情報および第2のタイミング情報のうち、先に入力されたタイミング情報に基づいたタイミングで、第1のDSV値および第2のDSV値に基づいて、第1の候補ビットまたは第2の候補ビットのいずれかをDSV制御ビットと判定する判定ステップとを含むことを特徴とする。

【0054】

本発明のプログラムは、入力ビット列の所定位置に、DSV制御ビットの第1の候補ビットを挿入して、第1のビット列候補を生成する第1のビット列候補生成ステップと、入力ビット列の所定位置に、DSV制御ビットの第2の候補ビットを挿入して、第2のビット列候補を生成する第2のビット列候補生成ステップと、第1のビット列候補をシフトさせながら、少なくとも変換規則に基づいて変換するために必要なビット数分第1の保持手段に保持するように制御する第1の保持制御ステップと、第2のビット列候補をシフトさせながら、少なくとも変換規則に基づいて変換するために必要なビット数分第1の保持手段に保持するように制御する第2の保持制御ステップと、第1の保持手段の全てのビットに第1のビット列候補が保持されている状態において、第1の保持手段により保持されている第1のビット列候補を、時間的に最も先に入力されたデータから後に入力された方向に順番に参照して、変換規則を用いて変調することにより、第1のチャンネルビット列候補を生成する第1の変調ステップと、第2の保持手段の全てのビットに第2のビット列候補が保持されている状態において、第2の保持手段により保持されている第2のビット列候補を、時間的に最も先に入力されたデータから後に入力された方向に順番に参照して、変換規則を用いて変調することにより、第2のチャンネルビット列候補を生成する第2の変調ステップと、第1のチャンネルビット列候補に基づいて、第1のDSV値を演算する第1のDSV演算ステップと、第2のチャンネルビット列候補に基づいて、第2のDSV値を演算する第2のDSV演算ステップと、第1のチャンネルビット列候補に基づいて、DSV制御ビットを決定するために必要な第1のタイミング情報を生成する第1の情報生成ステップと、第2のチャンネルビット列候補に基づいて、DSV制御ビットを決定するために必要な第2のタイミング情報を生成する第2の情報生成ステップと、第1のタイミング情報および第2のタイミング情報のうち、先に入力されたタイミング情報に基づいたタイミングで、第1のDSV値および第2のDSV値に基づいて、第1の候補ビットまたは第2の候補ビットのいずれかをDSV制御ビットと判定する判定ステップとを含むことを特徴とする。

【0055】

本発明の変調装置および変調方法、並びにプログラムにおいては、入力ビット列の所定位置に、DSV制御ビットの第1の候補ビットが挿入され、第1のビット列候補が生成され、入力ビット列の所定位置に、DSV制御ビットの第2の候補ビットが挿入され、第2のビット列候補が生成され、第1のビット列候補がシフトされながら、少なくとも変換規則に基づいて変換するために必要なビット数分第1の保持手段に保持されるように制御され、第2のビット列候補がシフトされながら、少なくとも変換規則に基づいて変換するために必要なビット数分第1の保持手段に保持されるように制御され、第1の保持手段の全ての

10

20

30

40

50

ビットに第1のビット列候補が保持されている状態において、第1の保持手段により保持されている第1のビット列候補が、時間的に最も先に入力されたデータから後に入力された方向に順番に参照され、変換規則を用いて変調されることにより、第1のチャンネルビット列候補が生成され、第2の保持手段の全てのビットに第2のビット列候補が保持されている状態において、第2の保持手段により保持されている第2のビット列候補が、時間的に最も先に入力されたデータから後に入力された方向に順番に参照され、変換規則を用いて変調されることにより、第2のチャンネルビット列候補が生成され、第1のチャンネルビット列候補に基づいて、第1のDSV値が演算され、第2のチャンネルビット列候補に基づいて、第2のDSV値が演算され、第1のチャンネルビット列候補に基づいて、DSV制御ビットを決定するために必要な第1のタイミング情報が生成され、第2のチャンネルビット列候補に基づいて、DSV制御ビットを決定するために必要な第2のタイミング情報が生成され、第1のタイミング情報および第2のタイミング情報のうち、先に入力されたタイミング情報に基づいたタイミングで、第1のDSV値および第2のDSV値に基づいて、第1の候補ビットまたは第2の候補ビットのいずれかがDSV制御ビットと判定される。

10

【0056】

【発明の実施の形態】

以下、図を参照して、本発明の実施の形態について説明する。

【0057】

以下においては、説明の便宜上、変換される前のデータの「0」と「1」の並び（変換前のデータ列）を、（000011）のように、（ ）で区切って表し、変換された後の符号の「0」と「1」の並び（符号語列）を、“000100100”のように、“ ”で区切って表すことにする。以下に示す表1は、本発明のデータを符号に変換する変換テーブルの例を表している。

20

【0058】

【表1】

1, 77PP\_table

(d, k; m, n; r) = (1, 7; 2, 3; 4)

| データ        | 符号                               |                              |
|------------|----------------------------------|------------------------------|
| 11         | *0*                              | (Before 0:*=1, Before 1:*=0) |
| 10         | 001                              |                              |
| 01         | 010                              |                              |
| 0011       | 010 100                          |                              |
| 0010       | 010 000                          | 10                           |
| 0001       | 000 100                          |                              |
| 000011     | 000 100 100                      |                              |
| 000001     | 010 100 100                      |                              |
| 00001000   | 000 100 100 100                  |                              |
| 00001001   | 000 100 000 010                  |                              |
| 00001010   | 000 100 000 001                  |                              |
| 00001011   | 000 100 000 101                  |                              |
| 00000000   | 010 100 100 100                  |                              |
| 00000001   | 010 100 000 010                  | 20                           |
| 00000010   | 010 100 000 001                  |                              |
| 00000011   | 010 100 000 101                  |                              |
| #110111-01 | :                                |                              |
|            | 001 :101 010 101→001 000 000     |                              |
|            | 00000:000 010 101 (cbit replace) |                              |
|            | 0000t:                           |                              |

-----  
Termination table

|        |             |
|--------|-------------|
| 00     | 000         |
| 0000   | 010 100     |
| 000010 | 000 100 000 |
| 000000 | 010 100 000 |

-----

【 0 0 5 9 】

表 1 の変換テーブルは、最小ラン d = 1、最大ラン k = 7 で、データと変換されるチャンネルビットの変換比率は、m : n = 2 : 3 である。また、最大拘束長は、r = 4 の可変長テーブルである。この変換テーブルは、変換コードとして、それがないと変換処理ができない基礎コード（データ列（1 1）から（0 0 0 0 0 0 1 1）までのコード）、それがなくても変換処理は可能であるが、それがあると、より効果的な変換処理が可能となる置き換えコード（データ列（1 1 0 1 1 1）のコード）、および、符号を任意の位置で終端させるための終端コード（データ列（0 0）、（0 0 0 0）、（0 0 0 0 1 0）、（0 0 0 0 0 0）のコード）により構成される終端テーブル（termination table）を含んでいる。また、この変換テーブルには、同期信号も規定されている。

【 0 0 6 0 】

また、表 1 は、基礎コードの要素に不確定符号（\*を含む符号）を含んでいる。不確定符号は、直前および直後の符号語列の如何によらず、最小ラン d と最大ラン k を守るように、“0”か“1”に決定される。すなわち表 1 において、変換する 2 ビットのデータ列が

(11)であったとき、その直前の符号語列によって、“000”または“101”が選択され、そのいずれかに変換される。すなわち、直前の符号語列の1チャンネルビットが“1”である場合、最小ラン d を守るために、2ビットのデータ(11)は、符号語“000”に変換され、直前の符号語列の1チャンネルビットが“0”である場合、最大ラン k が守られるように、符号語“101”に変換される。

#### 【0061】

また、表1の変換テーブルは、最小ランの連続を制限する置き換えコードを含んでいる。データ列が(110111)であり、さらに直後のデータ列が(01)、(001)、もしくは(00000)である場合、または、データ列(110111)の直後のデータ列が(0000)と続き、ここで終端される場合、データ列(110111)は、符号語“001000000”に置き換えられる。なお、直後のデータ列が上述したようなデータ列でない場合、このデータ列(110111)は、2ビット単位((11),(01),(11))で符号化され、符号語列“101010101”または“000010101”に変換される。

10

#### 【0062】

さらに、表1の変換コードは、データ列の要素内の「1」の個数を2で割った時の余りと、変換される符号語列の要素内の「1」の個数を2で割った時の余りが、どちらも1または0で同一(対応するいずれの要素も、「1」の個数が奇数または偶数)となるような変換規則を持っている。例えば、変換コードのうちのデータ列の要素(000001)は、“010100100”の符号語列の要素に対応しているが、それぞれの要素の「1」の個数は、データ列では1個、対応する符号語列では3個であり、どちらも2で割ったときの余りが1(奇数)で一致している。同様にして、変換コードのうちのデータ列の要素(0000000)は、“010100100100”の符号語列の要素に対応しているが、それぞれ「1」の個数は、データ列では0個、対応する符号語列では4個であり、どちらも2で割ったときの余りが0(偶数)で一致している。

20

#### 【0063】

次に、図3を参照して、他システムへの応用を容易に行うことができるような、変調のレジスタ構成を有し、より好適なDSV制御を実現するように、変調切れ目を検出して、区間DSVを算出する区間を制御する変調装置について説明する。この変調装置においては、データ列が、表1に従って、可変長符号(d, k; m, n; r) = (1, 7; 2, 3; 4)に変換される。

30

#### 【0064】

図3に示すように、変調装置30は、入力されたデータ列に基づいて、データ列に挿入するDSV制御ビットとして、「1」または「0」を決定するDSV制御ビット決定部31、値が決定されたDSV制御ビットを、入力されたデータ列にタイミングを合わせて挿入するDSV制御ビット指定位置挿入部32、決定されたDSV制御ビットが挿入されたデータ列を所定の変換テーブルを用いてチャンネルビットに変換するデータ変換部33、データ変換部33より供給されたチャンネルビット列の所定の位置に所定の同期信号を挿入する同期信号挿入部34、および、同期信号挿入部34の出力を記録波形列または伝送符号列に変換するNRZI化部35を備える。また、変調装置30は、タイミング信号を生成し、DSV制御ビット決定部31、DSV制御ビット指定位置挿入部32、データ変換部33、同期信号挿入部34、およびNRZI化部35に供給してタイミングを管理するタイミング管理部36を備える。

40

#### 【0065】

なお、図3において、DSV制御ビット指定位置挿入部32は、タイミング管理部36に処理のタイミングを管理されているものとして説明したが、これに限らず、例えば、DSV制御ビット指定位置挿入部32が、入力ビット列の伝送タイミングを調整する機能をさらに有し、DSV制御ビット決定部31より供給されるDSV制御ビットを、伝送タイミングを調整された入力ビット列の所定位置に挿入するようにしてもよい。

#### 【0066】

図4は、図3の変調装置30の処理を説明する図である。データ列には、ユーザデータの

50



他に、例えば、ECC (Error Correcting Code) 等の情報データが含まれている。DSV制御ビット決定部 3 1 の決定に基づき、DSV制御ビット指定位置挿入部 3 2 において、DSV制御ビットである  $x_1$ 、 $x_2$ 、および  $x_3$  が、データ列内に任意の間隔で挿入される。

【 0 0 6 7 】

また、DATA 1 には、フレーム間で同期をとるためのフレーム同期信号 (以下、FS (Frame Sync) と称する) が挿入される。このため、DATA 1 においては、DSV制御ビットを挿入する間隔であるDSV区間は、短く設定される。

【 0 0 6 8 】

すなわち、FSに加えて、DATA 1 に対応するチャンネルビットからなるCbit 1 を含むDSV区間の長さであるspan 1、DATA 2 に対応するチャンネルビットからなるCbit 2 を含むDSV区間の長さであるspan 2、およびDATA 3 に対応するチャンネルビットからなるCbit 3 を含むDSV区間の長さであるspan 3 が、全て同じ長さ (span 1 = span 2 = span 3) となるように、DATA 1 の長さが決定される。

10

【 0 0 6 9 】

従って、挿入されたFSがFS (bit) であり、DATA 2 およびDATA 3 がともに  $x$  (bit) である場合、変換テーブルの変換率が  $m : n = 2 : 3$  であるので、DATA 1 は、 $x - FS * 2 / 3$  (bit) となる。

【 0 0 7 0 】

なお、挿入するDSV制御ビットの値を正確に制御するために、区間DSVspan 1、DSVspan 2、およびDSVspan 3 は、後述するように、実際にDSV制御ビットが挿入されている位置よりも前方に区切られる。この際、各区間内には、1つのDSV制御ビットのみが挿入されている。

20

【 0 0 7 1 】

以上のように、チャンネルビット列 (NRZI化後の記録符号列もしくは伝送符号列などの出力符号列) には、FSが挿入された後において、等しい間隔でDSV制御ビットが挿入されており、DSV制御が行われている。

【 0 0 7 2 】

図 5 は、入力されたデータ列からチャンネルビット列への変換における、レジスタ構成を示す模式図である。

【 0 0 7 3 】

図 5 は、データ列を、表 1 の変換テーブルに基づいてチャンネルビット列へ変換する際に、最低限必要なレジスタの構成例であり、レジスタとしては、変換前のDSV制御ビットを挿入されたデータ列を格納するために、data [ 0 : 1 1 ] の 1 2 ビット、そして、データ変換後のチャンネルビット列を格納するために、cbit [ 0 : 1 7 ] の 1 8 ビットが構成されている。変調装置 3 0 においては、拘束長  $i = 1$  の判定はデータ列 [ 0 : 1 ] において行われる。

30

【 0 0 7 4 】

また、その他にタイミング用レジスタ等も構成されている。なお、後述する変調切れ目位置を示すレジスタ等の、タイミング制御を行うためのレジスタも、チャンネルビット列を格納するレジスタと同数のデータを格納できるように構成されており、互いに同じ位置が対応されている。また、これらタイミング制御のためのレジスタには、例えばアクティブ時において「1」が格納され、それ以外の位置には「0」が格納される。

40

【 0 0 7 5 】

図 6 は、図 5 を用いて説明したレジスタを有するデータ変換部 3 3 において、データからチャンネルビット変換を行う場合の具体例である。

【 0 0 7 6 】

図 6 において、DSV制御ビット付きデータ列が、data [ 0 : 1 1 ] の 1 2 ビットに、data [ 0 ] から順に入力され、レジスタ数字の大きいほうへクロックごとにシフトされていく。そして、data [ 1 1 ] までシフトされたデータは、次のシフト時に捨てられる。

【 0 0 7 7 】

50

data [ 0 , 1 ] に 2 データ入力された時点で、チャンネルビット変換を行うために、まず data [ 0 , 1 ] が参照される。このとき、data [ 0 , 1 ] = [ 1 , 1 ] である場合、( 1 1 ) から、“ 1 0 1 ” または “ 0 0 0 ” に変換が行われる。

【 0 0 7 8 】

また、data [ 0 , 1 ] が、[ 0 , 1 ] または [ 1 , 0 ] である場合、( 1 0 ) から “ 0 0 1 ” に、( 0 1 ) から “ 0 1 0 ” に変換が行われる。そして、data [ 0 , 1 ] = [ 0 , 0 ] である場合、そこが終端位置であれば、( 0 0 ) から、“ 0 0 0 ” に変換が行われ、そうでなければ、( 0 0 ) は、拘束長  $i = 1$  においてパターン変換されず、レジスタには、さらに 2 データが入力される。

【 0 0 7 9 】

新たに 2 データ ( 合計 4 データ ) が入力されると、data [ 0 , 1 , 2 , 3 ] が参照される。このとき、data [ 0 , 1 , 2 , 3 ] が、[ 1 , 1 , 0 , 0 ]、[ 0 , 1 , 0 , 0 ]、または、[ 1 , 0 , 0 , 0 ] である場合、拘束長  $i = 2$  の変換コードが用いられて、( 0 0 1 1 ) から “ 0 1 0 1 0 0 ” に、( 0 0 1 0 ) から “ 0 1 0 0 0 0 ” に、( 0 0 0 1 ) から “ 0 0 0 1 0 0 ” に、それぞれ変換が行われる。

【 0 0 8 0 】

そして、data [ 0 , 1 , 2 , 3 ] = [ 0 , 0 , 0 , 0 ] である場合、そこが終端位置であれば、( 0 0 0 0 ) から、“ 0 1 0 1 0 0 ” に変換が行われ、そうでなければ、( 0 0 0 0 ) は、拘束長  $i = 2$  においてパターン変換されず、さらに 2 データが入力される。

【 0 0 8 1 】

新たに 2 データ ( 合計 6 データ ) が入力されると、data [ 0 , 1 , 2 , 3 , 4 , 5 ] が参照される。このとき、data [ 0 , 1 , 2 , 3 , 4 , 5 ] が、[ 1 , 1 , 0 , 0 , 0 , 0 ]、または、[ 1 , 0 , 0 , 0 , 0 , 0 ] である場合、拘束長  $i = 3$  の変換コードが用いられて、( 0 0 0 0 1 1 ) から “ 0 0 0 1 0 0 1 0 0 ” に、( 0 0 0 0 0 1 ) から “ 0 1 0 1 0 0 1 0 0 ” に、それぞれ変換が行われる。

【 0 0 8 2 】

そして、data [ 0 , 1 , 2 , 3 , 4 , 5 ] が、[ 0 , 0 , 0 , 0 , 0 , 0 ]、または、[ 0 , 1 , 0 , 0 , 0 , 0 ] である場合、そこが終端位置であれば、( 0 0 0 0 0 0 ) から “ 0 1 0 1 0 0 0 0 0 ” に、( 0 0 0 0 1 0 ) から、“ 0 0 0 1 0 0 0 0 0 ” に変換が行われ、そうでなければ、( 0 0 0 0 0 0 ) または ( 0 0 0 0 1 0 ) は、拘束長  $i = 3$  においてパターン変換されず、さらに 2 データが入力される。

【 0 0 8 3 】

新たに 2 データ ( 合計 8 データ ) が入力されると、data [ 0 , 1 , 2 , 3 , 4 , 5 , 6 , 7 ] が参照される。このとき、data [ 0 , 1 , 2 , 3 , 4 , 5 , 6 , 7 ] が、[ 0 , 0 , 0 , 0 , 0 , 0 , 0 , 0 ]、[ 1 , 0 , 0 , 0 , 0 , 0 , 0 , 0 ]、[ 0 , 1 , 0 , 0 , 0 , 0 , 0 , 0 ]、または、[ 1 , 1 , 0 , 0 , 0 , 0 , 0 , 0 ] である場合、拘束長  $i = 4$  の変換コードが用いられて、( 0 0 0 0 0 0 0 0 ) から “ 0 1 0 1 0 0 1 0 0 1 0 0 ” に、( 0 0 0 0 0 0 0 1 ) から “ 0 1 0 1 0 0 0 0 0 0 1 0 ” に、( 0 0 0 0 0 0 1 0 ) から “ 0 1 0 1 0 0 0 0 0 0 0 1 ” に、( 0 0 0 0 0 0 1 1 ) から “ 0 1 0 1 0 0 0 0 0 1 0 1 ” に、それぞれ変換される。

【 0 0 8 4 】

もしくは、data [ 0 , 1 , 2 , 3 , 4 , 5 , 6 , 7 ] が、[ 0 , 0 , 0 , 1 , 0 , 0 , 0 , 0 ]、[ 1 , 0 , 0 , 1 , 0 , 0 , 0 , 0 ]、[ 0 , 1 , 0 , 1 , 0 , 0 , 0 , 0 ]、または、[ 1 , 1 , 0 , 1 , 0 , 0 , 0 , 0 ] である場合、拘束長  $i = 4$  の変換コードが用いられて、( 0 0 0 0 1 0 0 0 ) から “ 0 0 0 1 0 0 1 0 0 1 0 0 ” に、( 0 0 0 0 1 0 0 1 ) から “ 0 0 0 1 0 0 0 0 0 0 1 0 ” に、( 0 0 0 0 1 0 1 0 ) から “ 0 0 0 1 0 0 0 0 0 0 0 1 ” に、( 0 0 0 0 1 0 1 1 ) から “ 0 0 0 1 0 0 0 0 0 1 0 1 ” に、それぞれ変換される。

【 0 0 8 5 】

以上のように、入力された DSV 制御ビット付データ列は、チャンネルビット列に変換される

10

20

30

40

50

。そして、パターンが確定した後、再度、拘束長  $i = 1$  の変換コードから参照されて、次のパターン変換が実行され、上述したような動作が繰り返される。

【 0 0 8 6 】

図 5 に示すように、チャンネルビット列が 18 ビットのレジスタにより供給されるまでに、データ変換は終了しており、この、データ変換が終了したチャンネルビット列が、同期信号挿入部 34 へ供給される。

【 0 0 8 7 】

図 7 は、データ変換部 33 において、データ列から最小ラン連続制限コードを検出する場合の具体例である。

【 0 0 8 8 】

図 7 に示されるように、DSV制御ビット付データ列が、図 6 を用いて説明した場合と同様に、データ変換部 33 内部のデータレジスタの  $data[0 : 11]$  に、 $data[0]$  から順に入力され、レジスタ数字の大きいほうへクロックごとにシフトされていく。そして、 $data[11]$  までシフトされたデータは、次のシフト時に捨てられる。

【 0 0 8 9 】

また、最小ラン連続制限コード検出のために  $data[0 : 11]$  を参照する前に、図 6 を用いて説明したように、データ列のチャンネルビット列へのパターン変換が行われるので、変換されたチャンネルビット列は、図 5 を用いて説明した、変換後のチャンネルビット列  $cbit[0 : 17]$  のレジスタに格納される。

【 0 0 9 0 】

拘束長  $i = 1$  において、 $data[0, 1] = [1, 0]$  であり、直前の 6 データが  $data[2, 3, 4, 5, 6, 7] = [1, 1, 1, 0, 1, 1]$  であって、さらに所定の条件に一致する場合、すなわち、(01) を検出し、その直前の 6 データにおいて (110111) を検出し、さらに所定の条件に一致する場合において、最小ラン連続制限コードを検出したと判定される。

【 0 0 9 1 】

また、拘束長  $i = 2$  において、 $data[0, 1, 2, 3] = [0, 1, 0, 0]$ 、または  $data[0, 1, 2, 3] = [1, 1, 0, 0]$  であり、直前の 6 データが  $data[4, 5, 6, 7, 8, 9] = [1, 1, 1, 0, 1, 1]$  であって、さらに所定の条件に一致する場合、すなわち、(0010) または (0011) を検出し、その直前の 6 データにおいて (110111) を検出し、さらに、所定の条件に一致する場合においても、最小ラン連続制限コードを検出したと判定される。

【 0 0 9 2 】

さらに、拘束長  $i = 2$  において、 $data[0, 1, 2, 3] = [0, 0, 0, 0]$  で終端位置を示しており、直前の 6 データが  $data[4, 5, 6, 7, 8, 9] = [1, 1, 1, 0, 1, 1]$  であって、さらに所定の条件に一致する場合、すなわち、(0000) で終端する終端位置を検出し、その直前の 6 データにおいて (110111) を検出し、さらに、所定の条件に一致する場合においても、最小ラン連続制限コードを検出したと判定される。

【 0 0 9 3 】

さらに、拘束長  $i = 3$  において、 $data[0, 1, 2, 3, 4, 5] = [0, 0, 0, 0, 0, 0]$  または  $data[0, 1, 2, 3, 4, 5] = [1, 0, 0, 0, 0, 0]$  であり、直前の 6 データが  $data[6, 7, 8, 9, 10, 11] = [1, 1, 1, 0, 1, 1]$  であって、さらに、所定の条件に一致する場合、すなわち、(000000) または (000001) を検出し、その直前の 6 データにおいて (110111) を検出し、さらに、所定の条件に一致する場合においても、最小ラン連続制限コードを検出したと判定される。

【 0 0 9 4 】

そして最小ラン連続制限コードが検出されたとき、既に置かれていたチャンネルビット列が、所定のチャンネルビット列に置き換えられる。

10

20

30

40

50

## 【 0 0 9 5 】

例えば、 $\text{data}[2, 3, 4, 5, 6, 7] = [1, 1, 1, 0, 1, 1]$  の場合、すなわち、拘束長  $i = 1$  において最小ラン連続制限コードが検出された場合、置き換えられるチャンネルビット列は、 $\text{cbit}[3, 4, 5, 6, 7, 8, 9, 10, 11]$  である。

## 【 0 0 9 6 】

また、 $\text{data}[4, 5, 6, 7, 8, 9] = [1, 1, 1, 0, 1, 1]$  の場合、すなわち、拘束長  $i = 2$  において最小ラン連続制限コードが検出された場合、置き換えられるチャンネルビット列は、 $\text{cbit}[6, 7, 8, 9, 10, 11, 12, 13, 14]$  である。

## 【 0 0 9 7 】

同様に、 $\text{data}[6, 7, 8, 9, 10, 11] = [1, 1, 1, 0, 1, 1]$  の場合、すなわち、拘束長  $i = 3$  において最小ラン連続制限コードが検出された場合、置き換えられるチャンネルビット列は、 $\text{cbit}[9, 10, 11, 12, 13, 14, 15, 16, 17]$  である。

10

## 【 0 0 9 8 】

以上のようにして、チャンネルビット列からチャンネルビット列への置き換え変換が行われる。また、図 5 に示すように、チャンネルビット列は、置換処理が完了したのち、18ビットのレジスタにより供給され、このようにして置換されたチャンネルビット列が同期信号挿入部 34 へ供給される。

## 【 0 0 9 9 】

図 6 に示されるように、パターン変換は全て同じチャンネルクロックのタイミングにおいて行われず、データが入力されるまで決定しないで待つ場合がある。例えば、“10”の決定と“000001”の決定は、4データ分の入力にかかる時間だけの差がある。

20

## 【 0 1 0 0 】

このような変換形式においては、データレジスタ内に次のDSV制御ビットが入った場合、ただちにパターン変換処理が開始される。

## 【 0 1 0 1 】

図 8 は、変調装置 30 のDSV制御ビット決定部 31 の詳細な構成例を示すブロック図である。図 8 において、データ列は、DSV制御ビット決定部 31 およびDSV制御ビット指定位置挿入部 32 に供給される。

## 【 0 1 0 2 】

DSV制御ビット決定部 31 において、2列のデータ変換およびDSV計算が行われており、値が「0」のDSV制御ビットを挿入されたデータ列を処理する列と、値が「1」のDSV制御ビットを挿入されたデータ列を処理する列とが、それぞれ独立に動作する。すなわち、DSV制御ビット決定部 31 に供給されたデータ列は、入力されたデータ列に所定の間隔で、値が「0」のDSV制御ビットを付加するDSV制御ビット0付加部 51、および、入力されたデータ列に所定の間隔で、値が「1」のDSV制御ビットを付加するDSV制御ビット1付加部 71 に供給される。

30

## 【 0 1 0 3 】

DSV制御ビット0付加部 51により、値が「0」のDSV制御ビットが付加されたデータ列は、1 - 7PPデータ変換部 52 に供給される。1 - 7PPデータ変換部 52 は、供給されたデータを保持するレジスタ、タイミング制御を行うためのレジスタ、および、チャンネルビット列を格納するレジスタを内部に有し、 $(d, k; m, n; r) = (1, 7; 2, 3; 4)$  のパラメータを持つ表 1 の変換テーブルを用いて、DSV制御ビットが付加されたデータ列をチャンネルビット列に変換し、同期信号挿入部 53 に供給する。

40

## 【 0 1 0 4 】

同期信号挿入部 53 は、タイミング制御を行うためのレジスタや、チャンネルビット列を格納するレジスタを内部に有し、1 - 7PPデータ変換部 52 から供給されたチャンネルビット列の所定の位置に、変換テーブルの変換コードとして存在しないユニークなパターンを含む同期信号を挿入し、NRZI化部 54 に供給する。

## 【 0 1 0 5 】

50

なお、同期信号挿入部 5 3 において、チャンネルビット列に同期信号を挿入するために、1 - 7 PPデータ変換部 5 2 は、表 1 の termination table を必要に応じて用いるなどによって、データ列の任意の位置において、変換を終端させる。そして、同期信号挿入部 5 3 は、チャンネルビット列の終端位置に続いて、同期信号を挿入する。

【 0 1 0 6 】

また、チャンネルビット列に同期信号を挿入した同期信号挿入部 5 3 は、挿入した同期信号の最終ビットの情報を 1 - 7 PPデータ変換部 5 2 に供給する。1 - 7 PPデータ変換部 5 2 は、必要に応じて、供給された同期信号の最終ビットの情報を参照し、表 1 の変換テーブルを用いて、データ列を変換する。

【 0 1 0 7 】

NRZI化部 5 4 は、タイミング制御を行うためのレジスタや、チャンネルビット列を格納するレジスタを内部に有し、同期信号挿入部 5 3 より供給された、同期信号を挿入されたチャンネルビット列をNRZI化し、区間DSV計算部 5 5 に供給する。

【 0 1 0 8 】

区間DSV計算部 5 5 は、NRZI化されたチャンネルビット列より、所定のDSV区間におけるDSV計算を行う。DSVは、NRZI化されたチャンネルビットの値が「1」の場合「+1」、チャンネルビットの値が「0」の場合「-1」として演算される。演算結果としては、例えば、所定のDSV区間における最大最小ピークや、所定のDSV区間における最終ビットのRDSなどが与えられる。この結果が、加算器 5 6 に供給される。

【 0 1 0 9 】

積算DSV処理部 6 1 は、これまでに算出されてきた区間DSVを全て加減算した積算DSVを、予め保持している。積算DSVは、例えば、現在実行している所定のDSV区間における直前のRDSである。そして、積算DSV処理部 6 1 は、所定のタイミングで、保持している積算DSVを加算器 5 6 に供給する。

【 0 1 1 0 】

加算器 5 6 は、区間DSV計算部 5 5 により供給された区間DSVに、積算DSV処理部 6 1 により供給された積算DSVを加算して、新しい積算DSVを算出し、DSV制御ビット判定部 6 2 に供給する。新しい積算DSVは、例えば、現在実行している所定のDSV区間における直前のRDSと、所定のDSV区間における最終ビットのRDSとの加算結果である。

【 0 1 1 1 】

また、1 - 7 PPデータ変換部 5 2 は、DSV制御ビットが挿入されたデータ列に対して、表 1 の変換テーブルによる変調の切れ目に関する情報からなる変調切れ目情報を、変調切れ目検出部 8 1 に供給する。さらに 1 - 7 PPデータ変換部 5 2 は、DSV制御ビットが挿入されたデータ列に対して、DSV区間の切れ目位置に関する情報を含むDSV区間切れ目信号を、有効区切れ目検出部 8 2 に供給する。

【 0 1 1 2 】

変調切れ目検出部 8 1 は、供給された変調切れ目情報に基づいて、変調切れ目位置を検出する。変調切れ目位置を検出した変調切れ目検出部 8 1 は、変調切れ目位置に関する情報を含む変調切れ目信号を有効区切れ目検出部 8 2 に供給する。

【 0 1 1 3 】

有効区切れ目検出部 8 2 は、1 - 7 PPデータ変換部 5 2 より供給されたDSV区間の切れ目位置を示すDSV区間切れ目信号に基づいて、変調切れ目検出部 8 1 より供給された変調の切れ目信号が示す変調切れ目位置の中から、対応するDSV区間のDSV制御ビットの判定を行うタイミングを制御する有効区切れ目位置を検出し、有効区切れ目位置を示す有効区切れ目信号を区間DSV計算部 5 5 およびDSV制御ビット判定部 6 2 に供給する。

【 0 1 1 4 】

以上のように、入力されたデータ列に値が「0」のDSV制御ビットを挿入する側のシステムが構成される。また、入力されたデータ列に値が「1」のDSV制御ビットを挿入する側のシステムも、同様に構成される。すなわち、DSV制御ビット 0 付加部 5 1 にはDSV制御ビット 1 付加部 7 1 が対応し、1 - 7 PPデータ変換部 5 2 には 1 - 7 PPデータ変換部 7 2 が

10

20

30

40

50

対応し、同期信号挿入部 5 3 には同期信号挿入部 7 3 が対応し、NRZI化部 5 4 にはNRZI化部 7 4 が対応し、区間DSV計算部 5 5 には区間DSV計算部 7 5 が対応し、加算器 5 6 には加算器 7 6 が対応し、変調切れ目検出部 8 1 には変調切れ目検出部 9 1 が対応し、有効区切れ目検出部 8 2 には有効区切れ目検出部 9 2 が対応し、それぞれ、基本的に同様の処理が行われる。

【 0 1 1 5 】

DSV制御ビット判定部 6 2 は、加算器 5 6 より、値が「 0 」のDSV制御ビットが挿入されたデータ列に基づいた積算DSVの供給を受け、加算器 7 6 より、値が「 1 」のDSV制御ビットが挿入されたデータ列に基づいた積算DSVの供給を受ける。そして、DSV制御ビット判定部 6 2 は、これら 2 つの積算DSVに基づいて、データ列に挿入するDSV制御ビットの値を判定する。すなわち、DSV制御ビット判定部 6 2 は、両者の積算DSVのうち、例えば、絶対値の小さいほうのDSV制御ビットを選択する。

10

【 0 1 1 6 】

なお、DSV制御ビット判定部 6 2 によりデータ列に挿入するDSV制御ビットの値として判定された側の積算DSVは、積算DSV処理部 6 1 に供給される。積算DSV処理部 6 1 は、供給された新しい積算DSVに基づいて、保持している積算DSVを更新する。

【 0 1 1 7 】

DSV制御ビット判定部 6 2 は、データ列に挿入するDSV制御ビットの値を判定すると、その判定結果をDSV制御ビット指定位置挿入部 3 2 に供給する。DSV制御ビット指定位置挿入部 3 2 は、DSV制御ビット判定部 6 2 より供給された判定結果に基づいて、DSV制御ビットをデータ列の所定の位置に挿入し、データ変換部 3 3 に供給する。

20

【 0 1 1 8 】

また、DSV制御ビット判定部 6 2 は、データ列に挿入するDSV制御ビットの値として判定された側を特定する情報を、1 - 7 PPデータ変換部 5 2、同期信号挿入部 5 3、NRZI化部 5 4、区間DSV計算部 5 5、1 - 7 PPデータ変換部 7 2、同期信号挿入部 7 3、NRZI化部 7 4、および、区間DSV計算部 7 5 に供給し、各部が参照するレジスタの内容を必要に応じて更新させる。

【 0 1 1 9 】

すなわち、データ列に挿入するDSV制御ビットの値として判定された側の各部が参照したレジスタの値を、判定されなかった反対側の各部が参照したレジスタの値のそれぞれに対応させて、格納する。結局、値が「 0 」のDSV制御ビットを付加する側が参照する各レジスタの内容と、値が「 1 」のDSV制御ビットを付加する側が参照する各レジスタの内容とを、選択されたDSV制御ビット側が参照する各レジスタの値を用いて、一致させる。

30

【 0 1 2 0 】

データ列に挿入するDSV制御ビットの値を決定するDSV制御ビット決定部 3 1 は、以上のように構成される。

【 0 1 2 1 】

次に、DSV制御ビット決定部 3 1 の動作について説明する。

【 0 1 2 2 】

最初に、入力されたデータ列は、DSV制御ビット決定部 3 1 のDSV制御ビット 0 付加部 5 1 およびDSV制御ビット 1 付加部 7 1 に供給される。入力されたデータ列は、同様に、DSV制御ビット指定位置挿入部 3 2 に供給される。

40

【 0 1 2 3 】

データ列を供給されたDSV制御ビット 0 付加部 5 1 は、値が「 0 」のDSV制御ビットを、所定の間隔でデータ列に付加する。1 - 7 PPデータ変換部 5 2 は、DSV制御ビット 0 付加部 5 1 において値が「 0 」のDSV制御ビットを付加されたデータ列を取得して、図 5 を用いて説明したように、レジスタに順次保持し、表 1 の変換テーブルに基づいて、取得したデータ列を符号語からなるチャンネルビット列に変換する。

【 0 1 2 4 】

また、1 - 7 PPデータ変換部 5 2 は、必要に応じて、同期信号挿入部 5 3 より供給された

50

同期信号の最終ビットに関する情報を参照し、取得したデータ列をチャンネルビット列に変換する。変換されたチャンネルビット列は、同期信号挿入部 5 3 に供給される。また、1 - 7 PPデータ変換部 5 2 は、データ変調の際に、変調切れ目位置にフラグを立てた変調切れ目位置情報を、変調切れ目位置検出部 8 1 に供給し、さらに、DSV区間切れ目信号を、有効区切れ目検出部 8 2 に供給する。

【 0 1 2 5 】

変換されたチャンネルビット列を供給された同期信号挿入部 5 3 は、チャンネルビット列の所定の位置に所定のパターンの同期信号を挿入し、NRZI化部 5 4 に供給する。また、同期信号挿入部 5 3 は、1 - 7 PPデータ変換部 5 2 がデータ変調の際に、直前のチャンネルビット列の最終ビットの値を参照できるように、挿入した同期信号の最終ビットの値に関する情報

10

【 0 1 2 6 】

そして、NRZI化部 5 4 は、同期信号挿入部 5 3 において同期信号を挿入されたチャンネルビット列をNRZI化し、区間DSV計算部 5 5 に供給する。

【 0 1 2 7 】

また、1 - 7 PPデータ変換部 5 2 より変調切れ目位置情報を供給された変調切れ目検出部 8 1 は、変調の切れ目位置を検出し、変調切れ目位置信号を作成し、有効区切れ目検出部 8 2 に供給する。

【 0 1 2 8 】

他方、データ列を供給されたDSV制御ビット 1 付加部 7 1 は、値が「1」のDSV制御ビットを、所定の間隔でデータ列に付加する。1 - 7 PPデータ変換部 7 2 は、1 - 7 PPデータ変換部 5 2 と同様に、DSV制御ビットが付加されたデータ列をチャンネルビット列に変換する

20

【 0 1 2 9 】

また、1 - 7 PPデータ変換部 7 2 は、必要に応じて、同期信号挿入部 7 3 より供給された同期信号の最終ビットに関する情報を参照し、取得したデータ列をチャンネルビット列に変換する。変換されたチャンネルビット列は、同期信号挿入部 7 3 に供給される。また、1 - 7 PPデータ変換部 7 2 は、変調切れ目位置情報を変調切れ目位置検出部 9 1 に供給し、さらに、DSV区間切れ目信号を有効区切れ目検出部 9 2 に供給する。

【 0 1 3 0 】

同期信号挿入部 7 3 は、同期信号を挿入し、NRZI化部 7 4 に供給する。また、同期信号挿入部 7 3 は、挿入した同期信号の最終ビットの値に関する情報を1 - 7 PPデータ変換部 7 2 に供給する。そして、NRZI化部 7 4 は、同期信号挿入部 7 3 において同期信号を挿入されたチャンネルビット列をNRZI化し、区間DSV計算部 7 5 に供給する。

30

【 0 1 3 1 】

また、1 - 7 PPデータ変換部 7 2 より変調切れ目位置情報を供給された変調切れ目検出部 9 1 は、変調の切れ目位置を検出し、変調切れ目位置信号を作成し、有効区切れ目検出部 9 2 に供給する。

【 0 1 3 2 】

図 9 は、1 - 7 PPデータ変換部 5 2 または 7 2 が変調切れ目位置にフラグを立てる様子の具体例を示す図である。以下、1 - 7 PPデータ変換部 5 2 の処理であるものとして説明するが、1 - 7 PPデータ変換部 7 2 も、同様の処理を実行する。

40

【 0 1 3 3 】

図 9 において示されるように、1 - 7 PPデータ変換部 5 2 のDSV制御ビットつきデータ列用のレジスタに、DSV制御ビット付きデータ列が、data [ 0 : 1 1 ] の12ビットのdata [ 0 ] から順に入力され、レジスタ数字の大きいほうへクロックごとにシフトされていく。そして、data [ 1 1 ] までシフトされたデータは、次のシフト時に捨てられる。また、データ列と対応するチャンネルビット列との関係は、図 5 を用いて上述したようになっている。

【 0 1 3 4 】

50

また、上述したように、変調切れ目位置を示すレジスタ等の、タイミング制御を行うためのレジスタは、チャンネルビット列を格納するレジスタと同数のデータを格納できるように構成されており、互いに同じ位置が対応されている。また、これらタイミング制御のためのレジスタには、例えばアクティブ時において「1」が格納され、それ以外の位置には「0」が格納される。

#### 【0135】

データ列は、レジスタのデータ入力順の前方向（すなわち、data[0]側）から、2データ毎に処理される。data[0,1]=[1,1]、data[0,1]=[0,1]、またはdata[0,1]=[1,0]である場合、(11)、(10)、または(01)を検出した1-7PPデータ変換部52は、上述したように、表1の変換テーブルに基づいて、変換パターンを確定する。そして、cbit[0,1,2]に、変換されたチャンネルビット列が格納される。このとき、cbit[2]と同じ位置の変調切れ目位置を示すレジスタに1が格納される。

10

#### 【0136】

data[0,1]=[0,0]の場合、拘束長i=1において変換パターンは確定されず、新たなるデータ列が順に入力される。新たに2データ（合計4データ）が入力されると、1-7PPデータ変換部52は、data[0,1,2,3]を参照する。そして、data[0,1,2,3]=[1,1,0,0]、data[0,1,2,3]=[0,1,0,0]、またはdata[0,1,2,3]=[1,0,0,0]である場合、(0011)、(0010)、または(0001)を検出した1-7PPデータ変換部52は、上述したように、表1の変換テーブルに基づいて、変換パターンを確定する。そして、cbit[0,1,2,3,4,5]に、変換されたチャンネルビット列が格納される。このとき、cbit[5]と同じ位置の変調切れ目位置を示すレジスタに1が格納される。

20

#### 【0137】

data[0,1,2,3]=[0,0,0,0]の場合、拘束長i=2において変換パターンは確定されず、新たなるデータ列が順に入力される。新たに2データ（合計6データ）が入力されると、1-7PPデータ変換部52は、data[0,1,2,3,4,5]を参照する。そして、data[0,1,2,3,4,5]が、[1,1,0,0,0,0]、または[1,0,0,0,0,0]である場合、(000011)、または(000001)を検出した1-7PPデータ変換部52は、上述したように、表1の変換テーブルに基づいて、変換パターンを確定する。そして、cbit[0,1,2,3,4,5,6,7,8]に、変換されたチャンネルビット列が格納される。このとき、cbit[8]と同じ位置の変調切れ目位置を示すレジスタに1が格納される。

30

#### 【0138】

data[0,1,2,3,4,5]が、[0,0,0,0,0,0]、または[0,1,0,0,0,0]の場合、拘束長i=3において変換パターンは確定されず、新たなるデータ列が順に入力される。新たに2データ（合計8データ）が入力されると、1-7PPデータ変換部52は、data[0,1,2,3,4,5,6,7]を参照し、上述したように、表1の変換テーブルに基づいて、変換パターンを確定する。

#### 【0139】

具体的には、data[0,1,2,3,4,5,6,7]が、[0,0,0,0,0,0,0,0]、[1,0,0,0,0,0,0,0]、[0,1,0,0,0,0,0,0]、[1,1,0,0,0,0,0,0]、[0,0,0,1,0,0,0,0]、[1,0,0,1,0,0,0,0]、[0,1,0,1,0,0,0,0]、または、[1,1,0,1,0,0,0,0]である場合、1-7PPデータ変換部52は、表1に示すような変換テーブルの拘束長i=4の変換コードを用いて、(000000)から“010100100100”に、(00000001)から“01010000010”に、(00000010)から“0101000000001”に、(00000011)から“0101000000101”に、(00001000)から“0001000000010”に

40

50



、(00001010)から“000100000001”に、(00001011)から“000100000101”に、それぞれ変換する。そして、変換後のチャンネルビット用のレジスタのcbit[0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11]に、変換されたチャンネルビット列が格納される。

【0140】

このとき、変調切れ目位置を示すレジスタの所定の位置に、1が格納される。

【0141】

具体的には、data[0, 1, 2, 3, 4, 5, 6, 7]が、[0, 0, 0, 1, 0, 0, 0, 0]、または、[0, 0, 0, 0, 0, 0, 0, 0]の場合、変調切れ目位置は1箇所であり、変調切れ目位置を示すレジスタの、cbit[0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11]におけるcbit[11]と同じ位置に、1が格納される。

10

【0142】

また、data[0, 1, 2, 3, 4, 5, 6, 7]が、[1, 0, 0, 1, 0, 0, 0, 0]、[0, 1, 0, 1, 0, 0, 0, 0]、[1, 1, 0, 1, 0, 0, 0, 0]、[1, 0, 0, 0, 0, 0, 0, 0]、[0, 1, 0, 0, 0, 0, 0, 0]、または、[1, 1, 0, 0, 0, 0, 0, 0]の場合、変調切れ目位置は2箇所であり、変調切れ目位置を示すレジスタの、cbit[0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11]におけるcbit[11]およびcbit[2]と同じ位置に、1が格納される。

【0143】

なお、表1においては、上述したパターン以外にtermination tableにおける変換パターンが存在するが、これらのパターンについての動作も、基本的に上記と同様である。すなわち、表1のtermination tableと一致した上で、さらに同期信号の挿入される位置が検出された場合、変換パターンが確定される。この場合の変調切れ目位置については、それぞれ変換されたチャンネルビットに対して1箇所に与えられる。

20

【0144】

さらに、表1においては、最小ラン連続制限を行う変換パターンが存在するが、これらの動作についても、基本的に上記と同様である。すなわち、最小ラン連続制限コードを用いて変換が行われた場合、変調切れ目位置は、変換された9チャンネルビットに対して1箇所に与えられる。

【0145】

以上のように、入力データ列から、チャンネルビット列へ、全てのパターン変換が行われ、変調切れ目情報が与えられる。そして、次のパターン変換は、パターンが確定し、変調切れ目情報が発生した後、再度、拘束長 $i = 1$ から始まり、上述したような動作を繰り返す。このとき、チャンネルビット列および変調切れ目情報は、変換処理が完了したのち、図5における、18ビットのレジスタにより出力され、変換済みのチャンネルビット列および変調切れ目情報が、図8の同期信号挿入部53に供給される。

30

【0146】

図8に戻り、変調切れ目検出部81は、上述したように、1-7PPデータ変換部52の、変調切れ目位置情報が示されているレジスタを参照し、変調切れ目位置を検出する。

【0147】

なお、変調切れ目検出部91も、上述した場合と同様に、変調切れ目位置情報が示されているレジスタを参照し、変調切れ目位置を検出する。この場合、1-7PPデータ変換部52と同様の処理を、1-7PPデータ変換部72が行い、同期信号挿入部53と同様の処理を、同期信号挿入部73が行う。

40

【0148】

ところで、この例においては変換率 $m : n$ は2 : 3とされているので、入力データ列に対する発生符号語列の関係は、符号語のデータ量3に対して、データ語のデータ量は2となる。従って、入力データ列はその中から、2クロックの間に所定の2データ語だけが入力され、その後、1クロック分その入力が停止される。このようにして、入力データと出力符号との変換率に関するずれが調整される。この関係は、図10、図11および図12の

50

データ列、チャンネルビット列において示されている。

【0149】

図10は、図8に示す変調切れ目検出部81による変調切れ目の検出の様子を示す図である。図10において、左から右に時間が経過しており、データ列は、左から順にレジスタに入力され、チャンネルビット列に変換されている。

【0150】

図10Aにおいて、2ビットのデータ列(11)は“101”に変換されており、“101”の先頭の“1”に対応する変調切れ目を示すレジスタの位置に「1」が格納されている。変調切れ目検出部81は、上述したように、このレジスタを参照し、変調切れ目位置を検出し、変調切れ目信号を制御する。

10

【0151】

次に、8ビットのデータ列(00000000)は“010100100100”に変換されており、“010100100100”の先頭の“0”に対応する変調切れ目を示すレジスタの位置に「1」が格納されている。変調切れ目検出部81は、上述したように、このレジスタを参照し、変調切れ目位置を検出し、変調切れ目信号を制御する。

【0152】

同様に、4ビットのデータ列(0011)は、“010100”に変換されており、“010100”の先頭の“0”に対応する変調切れ目を示すレジスタの位置に「1」が格納されている。変調切れ目検出部81は、上述したように、このレジスタを参照し、変調切れ目位置を検出し、変調切れ目信号を制御する。

20

【0153】

同様に、図10Bにおいて、2ビットのデータ列(11)は“101”に変換されており、“101”の先頭の“1”に対応する変調切れ目を示すレジスタの位置に「1」が格納されている。変調切れ目検出部81は、上述したように、このレジスタを参照し、変調切れ目位置を検出し、変調切れ目信号を制御する。

【0154】

次に、8ビットのデータ列(00000001)は“010100000010”に変換されており、“010100000010”の先頭の“0”および右から3番目の“0”に対応する変調切れ目を示すレジスタの位置に「1」が格納されている。変調切れ目検出部81は、上述したように、このレジスタを参照し、変調切れ目位置を検出し、変調切れ目信号を制御する。

30

【0155】

同様に、4ビットのデータ列(0011)は、“010100”の先頭の“0”に対応する変調切れ目を示すレジスタの位置に「1」が格納されている。変調切れ目検出部81は、上述したように、このレジスタを参照し、変調切れ目位置を検出し、変調切れ目信号を制御する。

【0156】

以上のように、拘束長 $i = 4$ における変換のパターンにより、変調切れ目の個数が変化する。

【0157】

なお、変調切れ目検出部81が、上述した、拘束長 $i = 4$ すなわち、8データにおけるパターン変換時の変調切れ目位置を、前方の1ヶ所に統一して、これを変調切れ目信号として出力しても、DSV制御ビット決定部31は動作することができる。この場合、上述した方式とは、区間DSV計算結果に差異を生じることになる。

40

【0158】

変調切れ目検出部81により作成された変調切れ目信号は、有効区切れ目検出部82に供給される。変調切れ目信号を供給された有効区切れ目検出部82は、1-7PPデータ変換部52により供給されたDSV区間切れ目信号に基づいて、有効区切れ目位置を検出し、有効区切れ目信号を区間DSV計算部55およびDSV制御ビット判定部62に供給する。

【0159】

50

なお、変調切れ目検出部 9 1 も変調切れ目検出部 8 1 と同様に動作し、変調切れ目検出部 9 1 により作成された変調切れ目信号は、有効区切れ目検出部 9 2 に供給される。変調切れ目信号を供給された有効区切れ目検出部 9 2 は、1 - 7 PP データ変換部 7 2 により供給された DSV 区間切れ目信号に基づいて、有効区切れ目位置を検出し、有効区切れ目信号を区間 DSV 計算部 7 5 および DSV 制御ビット判定部 6 2 に供給する。

【 0 1 6 0 】

図 1 1 は、有効区切れ目検出部 8 2 または 9 2 による有効区切れ目信号の制御の様子を示す図である。図 1 1 において、左から右に時間が経過しており、データ列は、左から順にレジスタに入力され、チャンネルビット列に変換されている。

【 0 1 6 1 】

図 1 1 の例においては、DSV 制御ビットは、データ列に対して、6 0 データ毎に挿入されている。すなわち、データ列が 5 9 データ続いた後に、DSV 制御ビットが挿入される。また、DSV 区間切れ目位置は、6 0 データの DSV 区間において、5 1 データ目の位置（図 1 1 内のデータ列 5 0）に発生するように制御されている。すなわち、DSV 区間切れ目位置信号は、1 - 7 PP 変換テーブルにおいて、データ列が可変長符号に変換されることを考慮して、DSV 制御ビット位置に対して、9 データだけ前方で、DSV 区間切れ目位置が与えられるように設定されている。

【 0 1 6 2 】

DSV 制御ビットは任意の値であるので、データ列に DSV 制御ビットが挿入されることにより、変換されたチャンネルビット列に差異が生じる。すなわち、1 つの DSV 制御ビットが制御する区間において、区間 DSV の計算時、データ列の変換に次の未決定の DSV 制御ビットが関係しないほうが、より正確に DSV を算出することができる。従って、DSV 区間切れ目位置は、実際の DSV 区間における切れ目位置と異なる位置に与えられる。

【 0 1 6 3 】

表 1 に示した 1 - 7 PP 変換テーブルにおいて、1 度の変調のために参照される最大のデータ列の大きさは、( 1 1 0 1 1 1 0 0 0 0 ) の 1 1 データである。また、2 データ毎に変換処理が行われていることと合わせて、次の DSV 区間の DSV 制御ビットを含まずに変換されるデータ列であること（次の DSV 制御ビットの影響を受けないデータ列であること）を保障できるのは、4 9 データ目における変換までとなる。次の 5 1 データ目における変換では、1 度の変調のために参照される最大のデータ列の中には、次の DSV 区間の DSV 制御ビットが含まれている。従って、6 0 データの DSV 区間における DSV 区間切れ目位置を、5 1 データ目以下の設定とする。

【 0 1 6 4 】

ところで、この DSV 区間切れ目位置は、低域抑圧特性と関係があり、なるべく後方に位置させるほうが、周波数の低域が抑圧され、変調装置としての性能が向上し、望ましい。以上より図 1 1 において、5 1 データ目（図 1 1 内のデータ列 5 0）に、DSV 区間切れ目位置が与えられている。

【 0 1 6 5 】

結局、DSV 制御ブロック切れ目位置信号における DSV 区間において、挿入された DSV 制御ビットは、1 つだけとなるように設定されている。

【 0 1 6 6 】

図 1 1 A において、DSV 区間は 6 0 データであり、6 0 データ目に値が「 0 」の DSV 制御ビットが挿入されている。また、データ列は「 0 」のみで構成され、( 0 0 0 0 0 0 0 0 ) として、繰り返し「 0 1 0 1 0 0 1 0 0 1 0 0 」に変換されている。そして先頭の 6 データは、図示されていない、前の 2 データの ( 0 0 ) とともに、( 0 0 0 0 0 0 0 0 ) の変換が行われているとする。この時、次の変換単位である 8 データの、( 0 0 0 0 0 0 0 0 ) 内には、DSV 制御ビットが含まれている。

【 0 1 6 7 】

上述したように、( 0 0 0 0 0 0 0 0 ) の場合、変調切れ目は、パターン先頭の 1 箇所となる。すなわち、図 1 1 A の場合、5 5 データ目（図 1 1 内のデータ列 5 4）、および、

10

20

30

40

50

次のDSV区間の3データ目となる。従って、変調切れ目検出部81は、55データ目、および、次のDSV区間の3データ目が、「1」となるように制御された変調切れ目信号を有効区切れ目検出部82に供給する。

【0168】

またDSV区間切れ目位置は、上述したように、51データ目となるので、1-7PP変換部52は、51データ目以降より、値が「1」となるDSV区間切れ目信号を有効区切れ目検出部82に供給する。上記DSV区間切れ目信号は、区間DSV制御処理が終了したのち、値を「0」に戻す。例えば、図11Aのように、1データ目において、DSV区間切れ目信号が「1」から「0」に反転される。

【0169】

そして、有効区切れ目検出部82は、供給された変調切れ目信号およびDSV区間切れ目信号に基づいて、DSV切れ目位置が「1」となった後、最初の変調切れ目である、55データ目を有効区切れ目として検出し、55データ目が「1」となるように制御された有効区切れ目信号を作成し、区間DSV計算部55およびDSV制御ビット判定部62に供給する。

【0170】

一方の図11Bは、DSV制御ビット1付加部71において、60データ目に値が「1」のDSV制御ビットが挿入され、他のデータを「0」としている図である。そして先頭の4データは、図示されていない、前の4データの(0000)とともに、(00000000)の変換が行われているとする。

【0171】

この時、次の変換単位である8データの、(00000001)内には、DSV制御ビットが含まれている。

【0172】

DSV制御ビットを含む(00000001)は、“010100000010”に変換されている。この場合、上述したように、53データ目および59データ目の2箇所が変調切れ目となる。

【0173】

そして、有効区切れ目検出部92は、供給された変調切れ目信号およびDSV区間切れ目信号に基づいて、DSV切れ目位置が「1」となった後、最初の変調切れ目である、53データ目を有効区切れ目として検出し、53データ目が「1」となるように制御された有効区切れ目信号を作成し、区間DSV計算部75およびDSV制御ビット判定部62に供給する。

【0174】

図11Bの場合、図11Aの場合と変調切れ目位置がずれている。通常ランダムパターンの入力においては、値が「0」のDSV制御ビットを付加したデータ列と、値が「1」のDSV制御ビットを付加したデータ列とは、速やかに収束し、変調切れ目付近においては、同様な変調切れ目位置となる。しかし、特有なパターンにおいては、上記のように収束せず、変調切れ目付近においても、変調切れ目位置がずれている場合があり、DSV区間に影響を及ぼす場合がある。

【0175】

しかし、有効区切れ目検出部82および92は、この場合においても、通常の場合と同様に、そのまま、互いにずれた有効区切れ目信号を出力する。

【0176】

なお、図11においては、図5に示されるレジスタ分の遅延を考慮せずに、DSV区間を示した。しかしながら、これに限らず、これを例えば、図5のチャンネルビット列を格納するレジスタcbit[0]において、DSV区間のカウンタが行われ、データ列、チャンネルビット列、および変調切れ目情報が、cbit[17]において参照されるようにしても良い。この場合、DSV区間のカウンタに対し、参照するデータ列、チャンネルビット列、および変調切れ目情報は、図5に示すように18bit分遅延されているが、有効区切れ目検出部82および92は、上述した場合と同様にして、有効区切れ目の検出を行う。

【0177】

10

20

30

40

50

以上のように、検出された有効区切れ目のタイミングに基づいて、区間DSV計算部 5 5 は、対象となるDSV区間のチャンネルビット列より区間DSVを算出し、加算器 5 6 に供給する。また、区間DSV計算部 7 5 も同様に区間DSVを算出し、検出された有効区切れ目のタイミングに基づいて、加算器 7 6 に供給する。

**【 0 1 7 8 】**

加算器 5 6 は、供給された区間DSVに、積算DSV処理部 6 1 より供給された積算DSVを加算し、新しく算出された積算DSVをDSV制御ビット判定部 6 2 に供給する。加算器 7 6 も同様に、供給された区間DSVに、積算DSV処理部 6 1 より供給された積算DSVを加算し、新しく算出された積算DSVを、DSV制御ビット判定部 6 2 に供給する。

**【 0 1 7 9 】**

2つの新たな積算DSVの供給を受けたDSV制御ビット判定部 6 2 は、有効区切れ目検出部 8 2 および 9 2 より供給された有効区切れ目信号のタイミングに基づいて、データ列に挿入するDSV制御ビットの値を判定する。DSV制御ビット判定部 6 2 は、加算器 5 6 および 7 6 より供給された、2つの新たに算出された積算DSVのうち、例えば、絶対値が小さい方を選択する。そして、DSV制御ビット判定部 6 2 は、挿入するDSV制御ビットの値が決定されると、その情報をDSV制御ビット指定位置挿入部 3 2 に供給するとともに、選択された方の新たな積算DSVを積算DSV処理部 6 1 に供給する。

**【 0 1 8 0 】**

さらにDSV制御ビット判定部 6 2 は、次のDSV区間の演算のために使用されるレジスタの値を制御するために、スワップ動作の起動を行う。すなわち、選択された側を指定する情報を、1 - 7 PPデータ変換部 5 2、同期信号挿入部 5 3、NRZI化部 5 4、区間DSV計算部 5 5、1 - 7 PPデータ変換部 7 2、同期信号挿入部 7 3、NRZI化部 7 4、および、区間DSV計算部 7 5 に供給する。そして、選択された側の各部が参照したレジスタの値を用いて、選択されなかった反対側の各部が参照したレジスタの値から置き換えて記憶させる。

**【 0 1 8 1 】**

図 1 2 は、DSV制御ビット判定部 6 2 によるスワップタイミングを決定する様子を示す図である。

**【 0 1 8 2 】**

図 1 2 A において、DSV制御ビット判定部 6 2 には、値が「0」のDSV制御ビットを挿入されたデータ列による、有効区切れ目信号が供給されている。また、図 1 2 B において、DSV制御ビット判定部 6 2 には、値が「1」のDSV制御ビットを挿入されたデータ列による、有効区切れ目信号が供給されている。図 1 2 B の場合と、図 1 2 A の場合とでは、有効区切れ目位置が異なっている。図 1 2 B の場合が、図 1 2 A の場合と比較して、先に有効区切れ目信号が供給されている。

**【 0 1 8 3 】**

この場合、DSV制御ビット判定部 6 2 は、両方の有効区切れ目が出現した次のタイミングにおいて、DSV制御ビットの判定を行う。すなわち、図 1 2 の場合、図 1 2 B よりも図 1 2 A のほうが有効区切れ目位置が遅いので、図 1 2 A の有効区切れ目位置の次のタイミングにおいて、判定を行う。すなわち、DSV制御ビット判定部 6 2 は、値が「0」のDSV制御ビットを挿入されたデータ列の有効区切れ目の次のタイミングにおいて、DSV制御ビットの判定を行っている。そして、さらにその次のタイミングにおいて、各レジスタを制御して、選択された側のレジスタの内容に一致させるように、スワップ動作が行われる。

**【 0 1 8 4 】**

ここで、DSV制御ビットが「0」の側が選択されたと仮定すると、DSV制御ビット判定部 6 2 は、加算器 5 6 より供給された、新たなDSV積算値を積算DSV処理部 6 1 へ供給する。さらに、その判定結果をDSV制御ビット指定位置挿入部 3 2 に供給するとともに、1 - 7 PPデータ変換部 5 2、同期信号挿入部 5 3、NRZI化部 5 4、区間DSV計算部 5 5、1 - 7 PPデータ変換部 7 2、同期信号挿入部 7 3、NRZI化部 7 4、および、区間DSV計算部 7 5 に対しても、供給する。

**【 0 1 8 5 】**

そして、選択されたDSV制御ビットが「0」の側である、1 - 7PPデータ変換部52のレジスタ内容を、1 - 7PPデータ変換部72に記憶させる。同様にして、同期信号挿入部53のレジスタ内容を、同期信号挿入部73に記憶させ、またNRZI化部54のレジスタ内容を、NRZI化部74に記憶させ、さらに、区間DSV計算部55のレジスタ内容を、区間DSV計算部75に記憶させる。以上のようなスワップ動作を行い、データの連続性を保つようにする。

【0186】

図12においては、有効区切れ目位置が異なっている場合を示したが、有効区切れ目位置が同じである場合についても、同様に行われる。すなわち、DSV制御ビット判定部62は、両方の有効区切れ目が出現したの次のタイミングにおいて、DSV制御ビットの判定  
10  
を行う。さらにその次のタイミングにおいて、各レジスタを制御して、選択された側のレジスタの内容に一致させるように、スワップ動作を行う。

【0187】

なお、図12に示す例においては、図5に示されるレジスタ分の遅延を考慮せずに有効区切れ目  
が検出されているように説明したが、これに限らず、レジスタ分の遅延を考慮してもよい。その場合も、DSV制御ビット判定部62は、上述した場合と同様の動作を行う。

【0188】

上記のとおり、DSV制御ビット判定部62は、データ列に挿入するDSV制御ビットの値として  
20  
選択された方が参照したレジスタの値を用いて、選択されなかった反対側が参照したレジスタの値を更新し、互いに一致させる（スワップする）ようにした。このとき、DSV制御ビット判定部62は、各レジスタ内において、次のDSVspanに入るべきであるDSV制御ビット、もしくは、次のDSVspanに入るべきDSV制御ビットが含まれた情報を格納しないように、スワップタイミングを制御する。

【0189】

DSV制御ビット判定部62よりDSV制御ビットの値に関する情報を取得したDSV指定位置挿  
30  
入部32は、指定された値のDSV制御ビットをデータ列に挿入し、データ変換部33に供給する。データ変換部33は、DSV制御ビットが挿入されたデータ列を、表1の変換テーブルを参照して、チャンネルビット列に変換し、同期信号挿入部34に供給する。同期信号挿入部34は、チャンネルビット列に所定の同期信号を挿入し、NRZI化部35に供給する。NRZI化部35は、供給されたチャンネルビット列を記録符号列もしくは伝送符号列などの出力符号列に変換し、出力する。

【0190】

以上のようにして、変調装置30は、入力されたデータ列を変調する。これにより、変調  
装置30は、挿入するDSV制御ビットの値をより正確に決定することができる。

【0191】

上述した変調装置30で実行される方法によるDSV制御においては、スワップするタイミ  
40  
ング位置として、データレジスタ内に、次のDSVspanに入るべきであるDSV制御ビットを含まないという制限があった。このため、実際のDSV制御位置が前方にシフトし、DSV制御の効果も制限された。

【0192】

これに対して、DSV区間内のなるべく後方でDSV制御を行うために、スワップ時に、デー  
タレジスタにDSV制御ビットを含んでも良いように構成することができる。

【0193】

図13乃至図26を参照して、スワップ時に、データレジスタにDSV制御ビットを含んで  
も良いように構成した、本発明に係る変調装置111の実施の形態を、図面を参照しなが  
ら説明する。この実施の形態でも、データ列が、表1に従って、可変長符号(d, k; m  
, n; r) = (1, 7; 2, 3; 4)に変換される。

【0194】

図13は、本発明に係る変調装置111の構成を示すブロック図である。なお、図3にお  
ける場合と対応する部分には同一の符号を付してあり、その説明は適宜省略する。  
50

## 【 0 1 9 5 】

図 1 3 に示すように、変調装置 1 1 1 は、入力されたデータ列に基づいて、データ列に挿入する DSV 制御ビットとして、「1」または「0」を決定する DSV 制御ビット決定部 1 2 1、値が決定された DSV 制御ビットを、入力されたデータ列にタイミングを合わせて挿入する DSV 制御ビット指定位置挿入部 3 2、決定された DSV 制御ビットが挿入されたデータ列を所定の変換テーブルを用いてチャンネルビットに変換するチャンネルビット生成部 1 2 2、チャンネルビット生成部 1 2 2 より供給されたチャンネルビット列の所定の位置に所定の同期信号を挿入する同期信号挿入部 3 4、同期信号挿入部 3 4 の出力を記録符号列もしくは伝送符号列などの出力符号列に変換する NRZI 化部 3 5、および、記録符号列もしくは伝送符号列などの出力符号列より得られた積算 DSV より、補正情報を作成する DSV 演算補正情報生成部 1 2 3 を備える。

10

## 【 0 1 9 6 】

また、変調装置 1 1 1 は、タイミング信号を生成し、DSV 制御ビット決定部 1 2 1、DSV 制御ビット指定位置挿入部 3 2、チャンネルビット生成部 1 2 2、同期信号挿入部 3 4、NRZI 化部 3 5、および DSV 演算補正情報生成部 1 2 3 に供給してタイミングを管理するタイミング管理部 3 6 を備える。

## 【 0 1 9 7 】

なお、図 1 3 において、DSV 制御ビット指定位置挿入部 3 2 は、タイミング管理部 3 6 に処理のタイミングを管理されているものとして説明したが、これに限らず、例えば、DSV 制御ビット指定位置挿入部 3 2 が、入力ビット列の伝送タイミングを調整する機能をさら

20

## 【 0 1 9 8 】

なお、図 1 3 の変調装置 1 1 1 においても、生成されるチャンネルビット列（NRZI 化後の記録符号列もしくは伝送符号列などの出力符号列）は、図 4 を用いて説明した場合と同様にして、FS が挿入された後において、等しい間隔で DSV 制御ビットが挿入されており、DSV 制御が行われるようになされている。

## 【 0 1 9 9 】

すなわち、図 1 3 の変調装置 1 1 1 において、供給されるデータ列には、図 4 に示されるように、ユーザデータの他に、例えば、ECC (Error Correcting Code) 等の情報データが含まれており、DSV 制御ビット決定部 1 2 1 の決定に基づき、DSV 制御ビット指定位置挿入部 3 2 において、DSV 制御ビットである  $x_1$ 、 $x_2$ 、および  $x_3$  が、データ列内に任意の間隔で挿入される。

30

## 【 0 2 0 0 】

また、DATA 1 には、フレーム間で同期をとるためのフレーム同期信号 (FS) が挿入される。このため、DATA 1 においては、DSV 制御ビットを挿入する間隔である DSV 区間は、短く設定される。

## 【 0 2 0 1 】

すなわち、FS に加えて、DATA 1 に対応するチャンネルビットからなる Cbit 1 を含む DSV 区間の長さである span 1、DATA 2 に対応するチャンネルビットからなる Cbit 2 を含む DSV 区間の長さである span 2、および DATA 3 に対応するチャンネルビットからなる Cbit 3 を含む DSV 区間の長さである span 3 が、全て同じ長さ (span 1 = span 2 = span 3) となるように、DATA 1 の長さは決定される。

40

## 【 0 2 0 2 】

従って、挿入された FS が FS (bit) であり、DATA 2 および DATA 3 がともに  $x$  (bit) である場合、変換テーブルの変換率が  $m : n = 2 : 3$  であるので、DATA 1 は、 $x - FS * 2 / 3$  (bit) となる。

## 【 0 2 0 3 】

なお、挿入する DSV 制御ビットの値を決定するために、区間 DSVspan 1、区間 DSVspan 2、および区間 DSVspan 3 は、実際に DSV 制御ビットが挿入されている位置よりも前方に区切ら

50

れる。この際、各DSV制御区間内には、1つのDSV制御ビットのみが挿入されている。

【0204】

以上のように、チャンネルビット列（NRZI化後の記録符号列もしくは伝送符号列などの出力符号列）は、FSが挿入された後において、等しい間隔でDSV制御ビットが挿入されており、DSV制御が行われている。

【0205】

図14は、変調装置111の、DSV制御ビット指定位置挿入部32、および、チャンネルビット生成部122の詳細な構成例を示すブロック図である。

【0206】

DSV制御ビット指定位置挿入部32は、入力されたデータ列にDSV制御ビットを挿入する挿入部131、および、供給されたデータをシフトしながら保持するシフトレジスタ132で構成されている。

10

【0207】

図14において、入力されたデータ列は、DSV制御ビット指定位置挿入部32の挿入部131において、後述するDSV制御ビット決定部121の処理により決定されたDSV制御ビットを挿入され、シフトレジスタ132に供給される。

【0208】

シフトレジスタ132は、供給されたデータをシフトさせながら、チャンネルビット生成部122の最小ラン連続制限コード検出部141、終端コード検出部142、変換コード検出部143、および、不確定コード検出処理部144に供給する。このとき、シフトレジスタ132は、最小ラン連続制限コード検出部141、終端コード検出部142、変換コード検出部143、および、不確定コード検出処理部144の各部がその処理を行うのに必要なビット数を、それぞれに供給する。

20

【0209】

チャンネルビット生成部122は、コード検出を行う、最小ラン連続制限コード検出部141、終端コード検出部142、変換コード検出部143、および、不確定コード検出処理部144を備え、更に、表1に示すような変換テーブルの拘束長 $i = 1$ 乃至4における変換テーブルをそれぞれ保持する2-3変換テーブル146、4-6変換テーブル147、6-9変換テーブル148、および、4-12変換テーブル149を備える。また、チャンネルビット生成部122は、更に、2-3変換テーブル146乃至8-12変換テーブル149のうちいずれかに記憶されている変換パターンを選択して取得し、変換パターン確定部145に供給するセレクタ150、不確定コード検出処理部144に供給された情報に基づいて、セレクタ150より供給される2-3変換パターンの不確定符号を決定する不確定ビット決定部151、および、セレクタ150、もしくは、不確定ビット決定部151より供給された変換パターンの中から使用する変換コードを選択し、同期信号挿入部34に供給する変換パターン確定部145で構成されている。

30

【0210】

最小ラン連続制限コード検出部141は、入力されたデータから、表1中の(110111)のパターンを検出する。最小ラン連続制限コード検出部141は、予め所定のビット数のデータ列を記憶しており、入力されたデータから(110111)を検出すると、さらに続く入力データ列を参照する。そして、(110111)の直後に続くパターンが(01)、(001)、または、(00000)である場合、もしくは、(110111)の直後に続くパターンが(0000)であり、さらに入力されたデータがここで終端される場合、最小ラン連続制限コード検出部141は、最小ラン連続制限コードを検出したと判定し、その情報を変換パターン確定部145に供給する。

40

【0211】

なお、最小ラン連続制限コード検出部141は、予め所定のビット数のデータ列を記憶しており、上記とは逆に、入力されたデータから(01)、(001)、もしくは(00000)を検出した場合、または、入力されたデータから(0000)を検出し、さらに入力されたデータがここで終端される場合、その直前の入力データ列を6データ分参照する

50



ようにし、その参照の結果が(110111)である場合、最小ラン連続制限コードを検出したと判定し、その情報を変換パターン確定部145に供給するようにしてもよい。

【0212】

不確定コード検出処理部144は、表1中の拘束長 $i = 1$ における(11)を入力されたデータから検出する。不確定コード検出処理部144は、入力されたデータが(11)である場合、その情報をセレクタ150および変換パターン確定部145に供給する。そして、不確定コード検出処理部144は、直前のパターンの最終チャンネルビットの情報を、変換パターン確定部145または同期信号挿入部34から取得し(すなわち、変調装置111において、直前のパターンの最終チャンネルビットの情報は不確定コード検出処理部144にフィードバックされる)、取得した最終チャンネルビットが0である場合、変換する符号を“101”に決定し、最終チャンネルビットが1である場合、変換する符号を“000”に決定するように、不確定ビット決定部151に情報を供給する。

10

【0213】

変換コード検出部143は、表1中のtermination tableを除いた、(11)および(110111)以外のパターンを検出する。そして、拘束長 $i = 1$ 乃至4に対し、それぞれデータ列パターンが検出された場合、その情報を、変換パターン確定部145へ供給する。

【0214】

終端コード検出部142は、表1中のtermination tableから終端コードのパターンを検出する。すなわち、終端コード検出部142は、入力されたデータから(00)、(0000)、(000010)もしくは(000000)を検出し、さらに、内部に有する終端位置カウンタによって与えられる情報が終端位置を示すと判定した場合、終端コードを検出したと判定し、その情報を変換パターン確定部145に供給する。

20

【0215】

2-3変換テーブル146は、表1に示すような変換テーブルの拘束長 $i = 1$ の変換パターンである2-3変換パターンを記憶し、4-6変換テーブル147は、拘束長 $i = 2$ の変換パターンである4-6変換パターンを記憶し、6-9変換テーブル148は、拘束長 $i = 3$ の変換パターンである6-9変換パターンを記憶し、8-12変換テーブル149は、拘束長 $i = 4$ の変換パターンである8-12変換パターンを記憶している。2-3変換テーブル146乃至8-12変換テーブル149は、それぞれ、記憶している変換パターンを、セレクタ150に供給する。

30

【0216】

なお、上述した、2-3変換パターン、4-6変換パターン、6-9変換パターン、および8-12変換パターンは、不確定コード検出処理部144、変換コード検出部143、終端コード検出部142、または最小ラン連続制限コード検出部141より供給される情報が、例えば、変換されるチャンネルビット列と1対1に対応する識別用の情報を有するなどして、テーブルの各要素に対して個別に識別可能な情報である場合、表1中における、データ列からチャンネルビット列への対応テーブルのような構造以外の構造であっても構成することができる。

【0217】

セレクタ150は、不確定コード検出処理部144から供給された情報に基づいて、2-3変換テーブル146乃至8-12変換テーブル149のうちのいずれかに記憶されている、2-3変換パターン、4-6変換パターン、6-9変換パターン、または、8-12変換パターンの中から、使用する変換パターンを選択して取得し、変換パターン確定部145に供給する。なお、不確定コード検出処理部144が、入力されたデータから(11)を検出した場合、セレクタ150は、不確定コード検出処理部144から供給された情報に基づいて、変換テーブル146から取得した2-3変換パターンを、不確定ビット決定部151に供給する。

40

【0218】

不確定ビット決定部151は、不確定コード検出処理部144から供給された情報に基づ

50

いて、セクタ150より供給される2 - 3変換パターンの不確定符号を決定し、その情報を変換パターン確定部145に供給する。

【0219】

変換パターン確定部145は、最小ラン連続制限コード検出部141、不確定コード検出処理部144、変換コード検出部143、および終端コード検出部142より取得した情報に基づいて、セクタ150、もしくは、不確定ビット決定部151より供給された変換パターンの中から使用する変換コードを選択し、同期信号挿入部34に供給するようになされている。

【0220】

また、変換パターン確定部145は、決定した変換パターンの最終チャンネルビットの情報を不確定コード検出処理部144に供給する。さらに、同期信号挿入部34において、同期信号がチャンネルビット列の所定の位置に挿入される場合、変換パターン確定部145は、必要に応じて、termination table内の所定のパターンが使用されたか否か等の情報からなる終端処理情報を、同期信号挿入部34に供給する。

10

【0221】

同期信号挿入部34は、変換パターン確定部145より供給されたチャンネルビット列に、変換テーブルの変換コードとして存在しないユニークなパターンを含む同期信号を挿入する。同期信号挿入部34は、所定の間隔においてチャンネルビット列の入力を中断し、所定の同期信号パターンを挿入する。同期信号挿入部34によりチャンネルビット列に挿入された同期信号パターンは、他と区別が可能なチャンネルビット列の形式で挿入されており、必要に応じて変換パターン確定部145より供給される終端処理情報を参照し、決定される。同期信号挿入部34は、チャンネルビット列に同期信号を挿入すると、その同期信号を挿入したチャンネルビット列を、NRZI化部35に供給する。また、同期信号挿入部34は、チャンネルビット列に挿入した同期信号の最終チャンネルビットの情報を、不確定コード検出処理部144に供給する。

20

【0222】

終端処理情報は、データ列から表1のtermination tableのうち、(00)または(0000)の終端パターンが検出された場合に、変換パターン確定部145より同期信号挿入部34に供給される。同期信号挿入部34は、復調時の整合性のために、データ列がtermination table内の所定のパターンを用いてチャンネルビット列化されたか否かの情報を含ませた同期信号を作成し、挿入する。

30

【0223】

例えば、同期信号内の先頭チャンネルビットに終端テーブル識別用ビットが設けられ、termination table内の所定のパターンが使用された場合、この終端テーブル識別用ビットに1が挿入され、それ以外の通常テーブル等のパターンが使用された場合、終端テーブル識別用ビットに0が挿入されるようにすることで、データ列がtermination tableの所定のパターンを用いてチャンネルビット列化されたか否かを識別することができる。

【0224】

NRZI化部35は、同期信号挿入部34に供給されたチャンネルビット列を、チャンネルビット列の1を反転、0を非反転として、ビット列を並び直してNRZI化し、記録符号列もしくは伝送符号列などの出力符号列を作成する。換言すると、NRZI化前のチャンネルビット列は、NRZI化後の出力符号列のエッジ位置を示すビット列であり、NRZI化後の出力符号列は、記録データもしくは伝送データのH/Lのレベルを示すビット列に相当する。

40

【0225】

図15には、入力されたデータ列を、上述した表1に基づいてチャンネルビット列へ変換する際に必要なレジスタの構成例が示されている。変換前のDSV制御ビットを挿入されたデータ列を格納するために、data[0:11]の12ビットのレジスタが構成され、チャンネルビット生成部122の処理において変換された後のチャンネルビット列を格納するために、cbt[0:17]の18ビットのレジスタが構成されている。また、その他にタイミング用レジスタ等も構成される。

50

## 【 0 2 2 6 】

なお、変調切れ目位置を示すレジスタ等の、タイミング制御を行うためのレジスタも、チャンネルビット列を格納するレジスタと同数のデータを格納できるように構成されており、互いに同じ位置が対応されている。また、これらタイミング制御のためのレジスタには、例えば、アクティブ時において「1」が格納され、それ以外の位置には「0」が格納される。

## 【 0 2 2 7 】

図15に示されるレジスタにおいて、データ列は、図5を用いて説明した場合とは逆に、12ビット全てが入力された後、レジスタのデータ入力順の後側、換言すれば、時間的に先に入力されたデータ（すなわち、data[11]側）から、2データ毎に処理される。すなわち、例えば、拘束長  $i = 1$  の判定は、データ列 [10 : 11] において行われる。

10

## 【 0 2 2 8 】

図16は、シフトレジスタ132よりDSV制御ビット付きデータ列を供給された不確定コード検出処理部144、変換コード検出部143、および終端コード検出部142の動作の具体例を示す図である。

## 【 0 2 2 9 】

図16に示されるように、DSV制御ビット付きデータ列は、data[0 : 11]の12ビットに、data[0]から順に入力され、レジスタ数字の大きいほうへクロックごとにシフトされていく。そして、data[11]までシフトされたデータは、次のシフト時に捨てられる。

20

## 【 0 2 3 0 】

パターン変換の先頭位置において、不確定コード検出処理部144、変換コード検出部143、および終端コード検出部142は、data[10, 11]を参照する。そして、data[10, 11] = [1, 1]である場合、(11)を検出した不確定コード検出処理部144は、上述したように動作し、その情報をセクタ150および変換パターン確定部145に供給し、変換パターン確定部145または同期信号挿入部34から取得した直前のパターンの最終チャンネルビットに基づいて、“101”または“000”に変換するように、不確定ビット決定部151に情報を供給する。

## 【 0 2 3 1 】

また、data[10, 11]が、[0, 1]または[1, 0]である場合、(10)または(01)を検出した変換コード検出部143は、表1に示すような変換テーブルの拘束長  $i = 1$  の変換コードを用いて、それぞれ“001”または“010”に変換するように、その情報を変換パターン確定部145に供給する。

30

## 【 0 2 3 2 】

そして、data[10, 11] = [0, 0]である場合、(00)を検出した終端コード検出部142は、上述したように、内部に有する終端位置カウンタを参照する。そして、終端コード検出部142は、終端位置カウンタによって与えられる情報が終端位置を示すと判定した場合、(00)を“000”に変換し、終端するように、その情報を変換パターン確定部145に供給する。

## 【 0 2 3 3 】

終端コード検出部142が内部に有する終端位置カウンタによって与えられる情報が終端位置を示さない場合、(00)は、拘束長  $i = 1$  においてパターン変換されない。したがって、data[8, 9, 10, 11]の4データが参照される。

40

## 【 0 2 3 4 】

変換コード検出部143および終端コード検出部142は、data[8, 9, 10, 11]を参照する。そして、data[8, 9, 10, 11]が、[1, 1, 0, 0]、[0, 1, 0, 0]、または、[1, 0, 0, 0]である場合、変換コード検出部143は、表1に示すような変換テーブルの拘束長  $i = 2$  の変換コードを用いて、検出した(0011)を“010100”に、(0010)を“010000”に、または(0001)を“000100”に、それぞれ変換するように、情報を変換パターン確定部145に供給する。

50

## 【 0 2 3 5 】

そして、data [ 8 , 9 , 1 0 , 1 1 ] = [ 0 , 0 , 0 , 0 ] である場合、( 0 0 0 0 ) を検出した終端コード検出部 1 4 2 は、上述したように、内部に有する終端位置カウンタを参照する。そして、終端コード検出部 1 4 2 は、終端位置カウンタによって与えられる情報が終端位置を示すと判定した場合、“ 0 1 0 1 0 0 ” に変換し、終端するように、その情報を変換パターン確定部 1 4 5 に供給する。

## 【 0 2 3 6 】

終端コード検出部 1 4 2 が内部に有する終端位置カウンタによって与えられる情報が終端位置を示さない場合、( 0 0 0 0 ) は、拘束長  $i = 2$  においてパターン変換されない。したがって、続いて 6 データが参照される。

10

## 【 0 2 3 7 】

なお、以上で説明した拘束長  $i = 2$  の場合において、data [ 1 0 , 1 1 ] = [ 0 , 0 ] であることは、すでに拘束長  $i = 1$  において判定済みであるので、data [ 8 , 9 ] についてのみ判定が行われるようにしてもよい。

## 【 0 2 3 8 】

変換コード検出部 1 4 3 および終端コード検出部 1 4 2 は、data [ 6 , 7 , 8 , 9 , 1 0 , 1 1 ] を参照する。そして、data [ 6 , 7 , 8 , 9 , 1 0 , 1 1 ] が、[ 1 , 1 , 0 , 0 , 0 , 0 ]、または、[ 1 , 0 , 0 , 0 , 0 , 0 ] である場合、変換コード検出部 1 4 3 は、表 1 に示すような変換テーブルの拘束長  $i = 3$  の変換コードを用いて、検出した ( 0 0 0 0 1 1 ) を “ 0 0 0 1 0 0 1 0 0 ” に、または ( 0 0 0 0 0 1 ) を “ 0 1 0 1 0 0 1 0 0 ” に、それぞれ変換するように、情報を変換パターン確定部 1 4 5 に供給する。

20

## 【 0 2 3 9 】

そして、data [ 6 , 7 , 8 , 9 , 1 0 , 1 1 ] が、[ 0 , 0 , 0 , 0 , 0 , 0 ] または [ 0 , 1 , 0 , 0 , 0 , 0 ] である場合、終端コード検出部 1 4 2 は、内部に有する終端位置カウンタを参照する。そして、終端コード検出部 1 4 2 は、終端位置カウンタによって与えられる情報が終端位置を示すと判定した場合、検出した ( 0 0 0 0 0 0 ) を “ 0 1 0 1 0 0 0 0 0 ” に、( 0 0 0 0 1 0 ) を “ 0 0 0 1 0 0 0 0 0 ” に、それぞれ変換し、終端するように、その情報を変換パターン確定部 1 4 5 に供給する。

## 【 0 2 4 0 】

終端コード検出部 1 4 2 の内部に有する終端位置カウンタによって与えられる情報が終端位置を示さない場合、( 0 0 0 0 0 0 ) または ( 0 0 0 0 1 0 ) は、拘束長  $i = 3$  においてパターン変換されない。したがって、続いて 8 データが参照される。

30

## 【 0 2 4 1 】

なお、以上で説明した拘束長  $i = 3$  の場合において、data [ 8 , 9 , 1 0 , 1 1 ] = [ 0 , 0 , 0 , 0 ] であることは、すでに拘束長  $i = 2$  において判定済みであるので、data [ 6 , 7 ] についてのみ判定が行われるようにしてもよい。

## 【 0 2 4 2 】

変換コード検出部 1 4 3 は、data [ 4 , 5 , 6 , 7 , 8 , 9 , 1 0 , 1 1 ] を参照する。そして、data [ 4 , 5 , 6 , 7 , 8 , 9 , 1 0 , 1 1 ] が、[ 0 , 0 , 0 , 0 , 0 , 0 , 0 , 0 ]、[ 1 , 0 , 0 , 0 , 0 , 0 , 0 , 0 ]、[ 0 , 1 , 0 , 0 , 0 , 0 , 0 , 0 ]、または、[ 1 , 1 , 0 , 0 , 0 , 0 , 0 , 0 ] である場合、変換コード検出部 1 4 3 は、表 1 に示すような変換テーブルの拘束長  $i = 4$  の変換コードを用いて、検出した ( 0 0 0 0 0 0 0 0 ) を “ 0 1 0 1 0 0 1 0 0 1 0 0 ” に、( 0 0 0 0 0 0 0 1 ) を “ 0 1 0 1 0 0 0 0 0 0 0 1 ” に、( 0 0 0 0 0 0 1 0 ) を “ 0 1 0 1 0 0 0 0 0 0 0 0 0 1 ” に、または、( 0 0 0 0 0 0 1 1 ) を “ 0 1 0 1 0 0 0 0 0 0 1 0 1 ” に、それぞれ変換するように、情報を変換パターン確定部 1 4 5 に供給する。

40

## 【 0 2 4 3 】

また、data [ 4 , 5 , 6 , 7 , 8 , 9 , 1 0 , 1 1 ] が、[ 0 , 0 , 0 , 1 , 0 , 0 , 0 , 0 ]、[ 1 , 0 , 0 , 1 , 0 , 0 , 0 , 0 ]、[ 0 , 1 , 0 , 1 , 0 , 0 , 0 , 0 ]、または、[ 1 , 1 , 0 , 1 , 0 , 0 , 0 , 0 ] である場合、変換コード検出部 1 4 3 は

50

、表 1 に示すような変換テーブルの拘束長  $i = 4$  の変換コードを用いて、検出した (00001000) を “000100100100” に、(00001001) を “000100000010” に、(00001010) を “000100000001” に、(00001011) を “000100000101” に、それぞれ変換するように、情報を変換パターン確定部 145 に供給する。

【0244】

以上で説明した拘束長  $i = 4$  の場合において、 $data[8, 9, 10, 11] = [0, 0, 0, 0]$  であることは、すでに拘束長  $i = 2$  において判定済みであるので、 $data[4, 5, 6, 7]$  についてのみ判定が行われるようにしてもよい。

【0245】

以上のように、入力された DSV 制御ビット付データ列は、チャンネルビット列に変換される。そして、パターンが確定した後、再度、拘束長  $i = 1$  から、次のパターン変換動作が繰り返される。図 15 に示すように、チャンネルビット列が 18 ビットのレジスタにより供給されるまでに、データ変換は終了しており、データ変換が終了したのち、チャンネルビット列が同期信号挿入部 34 へ供給される。

【0246】

なお、これらの動作は、最大参照データは 8 データであるから、上述の動作を、レジスタの前方にシフトさせても良い。例えば、 $data[4, 5, 6, 7, 8, 9, 10, 11]$  を用いて実行していたデータの検出位置を、4 ビット前方にシフトさせ、 $data[0, 1, 2, 3, 4, 5, 6, 7]$  としても良い。

【0247】

最小ラン連続制限コード検出部 141 は、DSV 制御ビット付データ列が入力されたシフトレジスタ 132 を参照し、最小ラン連続制限コードを検出する。

【0248】

図 17 は、データ列から最小ラン連続制限コードを検出する最小ラン連続制限コード検出部 141 の動作の具体例を示す図である。

【0249】

図 17 において、DSV 制御ビット付データ列が、図 16 の場合と同様に、 $data[0:11]$  に、 $data[0]$  から順に入力され、レジスタ数字の大きいほうへ、クロックごとにシフトされていく。そして、 $data[11]$  までシフトされたデータは、次のシフト時に捨てられる。

【0250】

また、最小ラン連続制限コード検出部 141 によって、 $data[0:11]$  より最小ラン連続制限コードが検出された場合、図 16 を用いて説明したデータ列のチャンネルビット列へのパターン変換結果ではなく、最小ラン連続制限コード変換に基づいて変換されたチャンネルビット列が選択されて、図 15 を用いて説明した変換後のチャンネルビット列  $cbit[0:17]$  のレジスタに格納される。

【0251】

$data[6, 7, 8, 9, 10, 11] = [1, 1, 1, 0, 1, 1]$  であり、 $data[4, 5] = [1, 0]$  であって、さらに、後述する変調情報レジスタが条件に一致する場合、すなわち、(110111) が検出され、その直後 2 データにおいて (01) が検出され、さらに、変調情報レジスタが条件に一致する場合、最小ラン連続制限コード検出部 141 は、最小ラン連続制限コードを検出したと判定し、その情報を変換パターン確定部 145 に供給する。

【0252】

また、 $data[6, 7, 8, 9, 10, 11] = [1, 1, 1, 0, 1, 1]$  であり、 $data[3, 4, 5] = [1, 0, 0]$  であって、さらに、後述する変調情報レジスタが条件に一致する場合、すなわち、(110111) が検出され、その直後 3 データにおいて (001) が検出され、さらに、変調情報レジスタが条件に一致する場合、最小ラン連続制限コード検出部 141 は、最小ラン連続制限コードを検出したと判定し、その情報を変換パ

10

20

30

40

50

ターン確定部 1 4 5 に供給する。

【 0 2 5 3 】

また、data [ 6 , 7 , 8 , 9 , 1 0 , 1 1 ] = [ 1 , 1 , 1 , 0 , 1 , 1 ] であり、data [ 2 , 3 , 4 , 5 ] = [ 0 , 0 , 0 , 0 ] で終端位置を示しており、さらに、後述する変調情報レジスタが条件に一致する場合、すなわち、( 1 1 0 1 1 1 ) が検出され、その直後 4 データにおいて ( 0 0 0 0 ) で終端する終端位置が検出され、さらに、変調情報レジスタが条件に一致する場合、最小ラン連続制限コード検出部 1 4 1 は、最小ラン連続制限コードを検出したと判定し、その情報を変換パターン確定部 1 4 5 に供給する。

【 0 2 5 4 】

また、data [ 6 , 7 , 8 , 9 , 1 0 , 1 1 ] = [ 1 , 1 , 1 , 0 , 1 , 1 ] であり、data [ 1 , 2 , 3 , 4 , 5 ] = [ 0 , 0 , 0 , 0 , 0 ] であって、さらに、後述する変調情報レジスタが条件に一致する場合、すなわち、( 1 1 0 1 1 1 ) が検出され、その直後 5 データにおいて ( 0 0 0 0 0 ) が検出され、さらに、変調情報レジスタが条件に一致する場合、最小ラン連続制限コード検出部 1 4 1 は、最小ラン連続制限コードを検出したと判定し、その情報を変換パターン確定部 1 4 5 に供給する。

【 0 2 5 5 】

変換パターン確定部 1 4 5 は、最小ラン連続制限コード検出部 1 4 1 より供給された情報に基づいて、データ列を所定のチャンネルビット列に置き換える。このとき、置き換えられるチャンネルビット列は、cbit [ 9 , 1 0 , 1 1 , 1 2 , 1 3 , 1 4 , 1 5 , 1 6 , 1 7 ] である。

【 0 2 5 6 】

このようにして、データ変換が終了して、生成されたチャンネルビット列が、データ変換が終了したチャンネルビット列を保持するための 1 8 ビットのレジスタに保持され、同期信号挿入部 3 4 に供給される。

【 0 2 5 7 】

なお、( 1 1 0 1 1 1 ) が検出された場合、その直後の参照データは最大で 5 データであるから、上述の動作を、1 レジスタ前方にシフトさせても良い。すなわち、( 1 1 0 1 1 1 ) の検出位置を、data [ 5 , 6 , 7 , 8 , 9 , 1 0 ] としても良い。この場合、変換コード検出部 1 4 3 および終端コード検出部 1 4 2 が検出のために参照するレジスタの位置を、同様なだけ、または、さらに前方にシフトさせておく。

【 0 2 5 8 】

図 1 8 は、変調装置の DSV 制御ビット決定部 1 2 1 の詳細な構成例を示すブロック図である。データ列は、DSV 制御ビット決定部 1 2 1 に供給されるとともに、DSV 制御ビット指定位置挿入部 3 2 に供給される。

【 0 2 5 9 】

なお、図 1 8 においては、図 8 における場合と応する部分には同一の符号を付してあり、その説明は適宜省略する。

【 0 2 6 0 】

すなわち、図 1 8 の DSV 制御ビット決定部 1 2 1 は、1 - 7 P P データ変換部 5 2 および 7 2 に変わって、1 - 7 P P チャンネルビット変換部 1 6 1 および 1 6 3 が設けられ、変調切れ目検出部 8 2 および有効区切れ目検出部 8 3 に変わって有効区切れ目検出処理部 1 6 2 が、変調切れ目検出部 9 2 および有効区切れ目検出部 9 3 に変わって有効区切れ目検出処理部 1 6 4 が、それぞれ設けられ、DSV 制御ビット判定部 6 2 に変わって、DSV 比較・DSV 制御ビット判定部 1 6 5 が設けられている以外は、図 8 の DSV 制御ビット決定部 3 1 と同様の構成を有するものである。

【 0 2 6 1 】

DSV 制御ビット決定部 1 2 1 においては、2 列のデータ変換および DSV 計算が行われており、値が「0」の DSV 制御ビットを挿入されたデータ列を処理する列と、値が「1」の DSV 制御ビットを挿入されたデータ列を処理する列とが、それぞれ独立に動作する。すなわち、DSV 制御ビット決定部 1 2 1 に供給されたデータ列は、入力されたデータ列に所定の間隔

10

20

30

40

50

で、値が「0」のDSV制御ビットを付加するDSV制御ビット0付加部51、および、入力されたデータ列に所定の間隔で、値が「1」のDSV制御ビットを付加するDSV制御ビット1付加部71に供給される。

【0262】

DSV制御ビット0付加部51により、値が「0」のDSV制御ビットが付加されたデータ列は、1-7PPチャンネルビット変換部161に供給される。1-7PPチャンネルビット変換部161は、データ列を格納するレジスタのほかに、チャンネルビット列を格納するレジスタや、タイミング制御を行うためのレジスタを内部に有し、 $(d, k; m, n; r) = (1, 7; 2, 3; 4)$ のパラメータを持つ表1の変換テーブルを用いて、DSV制御ビットが付加されたデータ列をチャンネルビット列に変換し、同期信号挿入部53に供給する。

10

【0263】

同期信号挿入部53は、タイミング制御を行うためのレジスタや、チャンネルビット列を格納するレジスタであるレジスタ171を内部に有し、1-7PPチャンネルビット変換部161から供給されたチャンネルビット列の所定の位置に、変換テーブルの変換コードとして存在しないユニークなパターンを含む同期信号を挿入し、NRZI化部54に供給する。

【0264】

なお、同期信号挿入部53において、チャンネルビット列に同期信号を挿入するために、1-7PPチャンネルビット変換部161は、表1のtermination tableを必要に応じて用いるなどによって、データ列の任意の位置において、変換を終端させる。そして、同期信号挿入部53は、チャンネルビット列の終端位置に続いて、同期信号を挿入する。

20

【0265】

また、チャンネルビット列に同期信号を挿入した同期信号挿入部53は、挿入した同期信号の最終ビットの情報を、1-7PPチャンネルビット変換部161に供給する。1-7PPチャンネルビット変換部161は、必要に応じて、供給された同期信号の最終ビットの情報を参照し、表1の変換テーブルを用いて、データ列を変換する。

【0266】

NRZI化部54は、タイミング制御を行うためのレジスタや、チャンネルビット列を格納するレジスタであるレジスタ172を内部に有し、同期信号挿入部53より供給された、同期信号が挿入されたチャンネルビット列をNRZI化し、区間DSV計算部55に供給する。

【0267】

区間DSV計算部55は、タイミング制御を行うためのレジスタや、チャンネルビット列を格納するレジスタであるレジスタ173を内部に有し、NRZI化されたチャンネルビット列より、所定のDSV区間におけるDSV計算を行う。DSVは、NRZI化されたチャンネルビットの値が「1」の場合「+1」とし、値が「0」の場合「-1」として演算される。演算結果としては、例えば、所定のDSV区間における最大最小ピークや、もしくは、所定のDSV区間における最終ビットのRDSなどが与えられる。この結果が加算器56に供給される。

30

【0268】

積算DSV処理部61は、これまでに算出されてきた区間DSVを全て加減算した積算DSVを、予め保持している。積算DSVは、例えば、現在実行している所定のDSV区間における、その直前のRDSである。そして、積算DSV処理部61は、所定のタイミングで、保持している積算DSVを加算器56および加算器76に供給する。

40

【0269】

加算器56は、区間DSV計算部55により供給された区間DSVに、積算DSV処理部61により供給された積算DSVを加算して、新しい積算DSVを算出し、DSV比較・DSVビット判定部165に供給する。新しい積算DSVは、例えば、現在実行している所定のDSV区間におけるその直前のRDSと、実行中の所定のDSV区間における最終ビットのRDSとの加算結果である。

【0270】

有効区切れ目検出処理部162は、供給されたデータ列から、フレームシンク(FS)位置を抽出し、変調区切れ位置およびDSV区間の切れ目位置を検出することにより、対応するDSV区間のDSV制御ビットの判定を行うタイミングを制御する有効区切れ目位置を検出し

50

、有効区切れ目位置を示す有効区切れ目信号を区間DSV計算部 5 5 およびDSV比較・DSVビット判定部 1 6 5 に供給する。

【 0 2 7 1 】

以上のように、入力されたデータ列に値が「 0 」のDSV制御ビットを挿入する側のシステムが構成される。また、入力されたデータ列に値が「 1 」のDSV制御ビットを挿入する側のシステムも、同様に構成される。

【 0 2 7 2 】

すなわち、DSV制御ビット 0 付加部 5 1 にはDSV制御ビット 1 付加部 7 1 が対応し、 1 - 7 PPチャンネルビット変換部 1 6 1 には 1 - 7 PPチャンネルビット変換部 1 6 3 が対応し、同期信号挿入部 5 3 には同期信号挿入部 7 3 が対応し、NRZI化部 5 4 にはNRZI化部 7 4 が対応し、区間DSV計算部 5 5 には区間DSV計算部 7 5 が対応し、加算器 5 6 には加算器 7 6 が対応し、有効区切れ目検出処理部 1 6 2 には有効区切れ目検出処理部 1 6 4 が対応し、それぞれ、基本的に同様の処理を行う。

【 0 2 7 3 】

また、同期信号挿入部 7 3 には、レジスタ 1 7 4 が、NRZI化部 7 4 には、レジスタ 1 7 5 が、区間DSV計算部 7 5 には、レジスタ 1 7 6 が、それぞれ設けられている。

【 0 2 7 4 】

次に、DSV制御ビット決定部 1 2 1 の動作について説明する。

【 0 2 7 5 】

最初に、入力されたデータ列は、DSV制御ビット決定部 1 2 1 のDSV制御ビット 0 付加部 5 1 およびDSV制御ビット 1 付加部 7 1 に供給される。入力されたデータ列は、同様にして、DSV制御ビット指定位置挿入部 3 2 に供給される。

【 0 2 7 6 】

データ列を供給されたDSV制御ビット 0 付加部 5 1 は、データ列に、値が「 0 」のDSV制御ビットを所定の間隔で付加する。 1 - 7 P Pチャンネルビット変換部 1 6 1 は、DSV制御ビット 0 付加部 5 1 において値が「 0 」のDSV制御ビットを付加されたデータ列を取得し、表 1 の変換テーブルに基づいて、取得したデータ列を符号語からなるチャンネルビット列に変換する。

【 0 2 7 7 】

また、 1 - 7 PPチャンネルビット変換部 1 6 1 は、必要に応じて、同期信号挿入部 5 3 より供給された同期信号の最終ビットに関する情報を参照し、取得したデータ列をチャンネルビット列に変換する。変換されたチャンネルビット列は、同期信号挿入部 5 3 に供給される。

【 0 2 7 8 】

変換されたチャンネルビット列を供給された同期信号挿入部 5 3 は、チャンネルビット列の所定の位置に所定のパターンの同期信号を挿入し、NRZI化部 5 4 に供給する。また、同期信号挿入部 5 3 は、 1 - 7 P Pチャンネルビット変換部 1 6 1 がデータ変換の際に、直前のチャンネルビット列の最終ビットの値を参照できるように、挿入した同期信号の最終ビットの値に関する情報を 1 - 7 P Pチャンネルビット変換部 1 6 1 に供給する。

【 0 2 7 9 】

そして、NRZI化部 5 4 は、同期信号挿入部 5 3 において同期信号が挿入されたチャンネルビット列の入力を受けてNRZI化し、区間DSV計算部 5 5 に供給する。

【 0 2 8 0 】

また、有効区切れ目検出処理部 1 6 2 は、変調の切れ目位置およびDSVブロックの切れ目位置を検出することにより、有効区切れ目を検出し、区間DSV計算部 5 5 およびDSV比較・DSV制御ビット判定部 1 6 5 に供給する。

【 0 2 8 1 】

他方、データ列を供給されたDSV制御ビット 1 付加部 7 1 は、値が「 1 」のDSV制御ビットをデータ列に所定の間隔で付加する。 1 - 7 P Pチャンネルビット変換部 1 6 3 は、 1 - 7 P Pチャンネルビット変換部 1 6 1 と同様に、DSV制御ビットが付加されたデータ列をチャンネルビット列に変換する。

10

20

30

40

50



## 【 0 2 8 2 】

また、1 - 7PPチャンネルビット変換部 1 6 3 は、必要に応じて、同期信号挿入部 7 3 より供給された同期信号の最終ビットに関する情報を参照し、取得したデータ列をチャンネルビット列に変換する。変換されたチャンネルビット列は、同期信号挿入部 7 3 に供給される。

## 【 0 2 8 3 】

同期信号挿入部 7 3 は、チャンネルビット列の所定の位置に所定のパターンの同期信号を挿入し、NRZI化部 7 4 に供給する。また、同期信号挿入部 7 3 は、挿入した同期信号の最終ビットの値に関する情報を 1 - 7 P P チャンネルビット変換部 1 6 3 に供給する。そして、NRZI化部 7 4 は、同期信号挿入部 7 3 において同期信号が挿入されたチャンネルビット列の入力を受けて、NRZI化し、区間DSV計算部 7 5 に供給する。

10

## 【 0 2 8 4 】

また、有効区切れ目検出処理部 1 6 4 は、変調の切れ目位置およびDSVブロックの切れ目位置を検出することにより、有効区切れ目を検出し、区間DSV計算部 5 5 およびDSV比較・DSV制御ビット判定部 1 6 5 に供給する。

## 【 0 2 8 5 】

DSV比較・DSVビット判定部 1 6 5 は、加算器 5 6 から、値が「0」のDSV制御ビットを挿入されたデータ列に基づいた積算DSVの供給を受け、加算器 7 6 から、値が「1」のDSV制御ビットが挿入されたデータ列に基づいた積算DSVの供給を受ける。そして、DSV比較・DSVビット判定部 1 6 5 は、これら2つの積算DSVに基づいて、データ列に挿入するDSV制御ビットの値を判定する。すなわち、DSV比較・DSVビット判定部 1 6 5 は、例えば、両者のうち、絶対値の小さいほうのDSV制御ビットを選択する。

20

## 【 0 2 8 6 】

なお、DSV比較・DSVビット判定部 1 6 5 によりデータ列に挿入するDSV制御ビットの値として判定された側の積算DSVは、積算DSV処理部 6 1 に供給され、積算DSV処理部 6 1 は、供給された新たな積算DSVに基づいて、保持している積算DSVを更新する。

## 【 0 2 8 7 】

DSV比較・DSVビット判定部 1 6 5 は、データ列に挿入するDSV制御ビットの値を判定すると、その判定結果をDSV制御ビット指定位置挿入部 3 2 に供給する。DSV制御ビット指定位置挿入部 3 2 は、DSV比較・DSVビット判定部 1 6 5 より供給された判定結果に基づいて、DSV制御ビットをデータ列の所定の位置に挿入し、チャンネルビット生成部 1 2 2 に供給する。

30

## 【 0 2 8 8 】

また、DSV比較・DSVビット判定部 1 6 5 は、データ列に挿入するDSV制御ビットの値として判定された側を特定する情報を、1 - 7 P P チャンネルビット変換部 1 6 1、同期信号挿入部 5 3、NRZI化部 5 4、区間DSV計算部 5 5、1 - 7 P P チャンネルビット変換部 1 6 3、同期信号挿入部 7 3、NRZI化部 7 4、および、区間DSV計算部 7 5 に供給し、各部が参照するレジスタの内容を必要に応じて更新させる。

## 【 0 2 8 9 】

すなわち、データ列に挿入するDSV制御ビットの値として判定された側の各部が参照したレジスタの値を、判定されなかった反対側の各部が参照したレジスタの値のそれぞれに対応させて、格納する。結局、値が「0」のDSV制御ビットを付加する側が参照する各レジスタの内容と、値が「1」のDSV制御ビットを付加する側が参照する各レジスタの内容とを、選択されたDSV制御ビット側が参照する各レジスタの値を用いて、一致させる。

40

## 【 0 2 9 0 】

データ列に挿入するDSV制御ビットの値を決定するDSV制御ビット決定部 1 2 1 は、以上のように構成される。

## 【 0 2 9 1 】

そして、DSV演算補正情報生成部 1 2 3 は、DSV制御ビット決定部 1 2 1 で決定したDSV制御ビットが挿入された、確定データ列による記録符号列もしくは伝送符号列などの出力符号列を基に、実際の累積DSVを作成し、これよりDSV演算補正情報を生成し、補正情報とし

50

てDSV制御ビット決定部121へ供給する。DSV制御ビット決定部121の積算DSV処理部61は、例えば、累積DSVが、所定の範囲内であるか否かを判定し、その判定結果によって、DSV制御ビット決定部121内の積算DSVの補正を行う。

【0292】

図19は、図18の1-7PPチャンネルビット変換部161、および有効区切れ目検出処理部162の更に詳細な構成を示すブロック図である。また、図18の1-7PPチャンネルビット変換部163は、1-7PPチャンネルビット変換部161と同様の構成を有し、有効区切れ目検出処理部164は、有効区切れ目検出処理部162と同様の構成を有しているため、その説明は省略する。

【0293】

1-7PPチャンネルビット変換部161のレジスタ181は、チャンネルビット変換前のDSV制御ビット付きデータ列の供給を受け、図15を用いて説明したように、data[0]から順に入力され、レジスタ数字の大きいほうへクロックごとにシフトされ、供給されたデータを蓄積する。そして、data[11]までシフトされたデータは、次のシフト時に捨てられる。1-7PP変換部182は、図16を用いて説明した場合と同様にして、レジスタ181に保持されている12ビットのデータを、表1に示すような変換テーブルの変換コードに基づいて、データ入力順の後ろ側（時間的に先に入力されたデータ、すなわち、data[10, 11]）から2データ毎に処理して、チャンネルビットに変換する。そして、1-7PP変換部182は、チャンネルビット変換した情報を、変調切れ目検出部192に供給する。

【0294】

有効区切れ目検出処理部162のFS（フレームシンク）抽出部193は、チャンネルビット変換前のDSV制御ビット付きデータ列の供給を受けて、フレームシンク位置を検出し、1-7PP変換部182、変調切れ目検出部192、および、カウンタ195に供給する。

【0295】

変調切れ目検出部192は、FS抽出部193から供給される、フレームシンクの供給タイミングに基づいて、テーブル保持部191に保持されている、表1に示す変換テーブルの変換コードのうち、変調切れ目が2箇所のパターンに関する情報と、1-7PP変換部182からのチャンネルビット変換情報を参照して、変調切れ目情報を生成し、有効区切れ目検出部196に供給する。

【0296】

図20は、有効区切れ目検出処理部162または有効区切れ目検出処理部164の変調切れ目検出部192が、変調切れ目位置にフラグを立てる様子の具体例を示す図である。

【0297】

図20において、1-7PPチャンネルビット変換部161のレジスタ181のdata[0:11]の12ビットに、制御ビット付きデータ列がdata[0]から順に入力され、レジスタ数字の大きいほうへ、クロックごとにシフトされていく。そして、data[11]までシフトされたデータは、次のシフト時に捨てられる。また、データ列と対応するチャンネルビット列との関係は、図15における場合と同様になっている。

【0298】

なお、図15において説明したように、変調切れ目位置を示すレジスタ等の、タイミング制御を行うためのレジスタは、チャンネルビット列を格納するレジスタと同数のデータを格納できるように構成されており、互いに同じ位置が対応されている。また、これらタイミング制御のためのレジスタには、例えばアクティブ時において「1」が格納され、それ以外の位置には「0」が格納される。

【0299】

データ列は、データ入力順において後ろ側（時間的に先に入力されたデータ、すなわち、data[10, 11]から）から2データ毎に処理される。data[10, 11]が、[1, 1]、[0, 1]、または、[1, 0]である場合、(11)、(10)、または(01)を検出した1-7PP変換部182は、表1の変換テーブルに基づいて、変換パターン

10

20

30

40

50

を確定し、内部に有するチャンネルビット変換後のデータを保持するレジスタのcbit [ 1 5 , 1 6 , 1 7 ] に、変換されたチャンネルビット列を格納する。そして変調切れ目検出部 1 9 2 は、1 - 7 P P 変換部 1 8 2 からの変換チャンネルビット情報と、テーブル保持部 1 9 1 に保持されている情報に基づいて、変調切れ目位置として、図 1 5 を用いて説明した 1 8 ビットのチャンネルビットレジスタと同様に構成された、タイミング制御用の内部のレジスタのcbit [ 1 7 ] と同じ位置に「1」を格納する。

【 0 3 0 0 】

data [ 1 0 , 1 1 ] = [ 0 , 0 ] の場合、1 - 7 P P 変換部 1 8 2 は、拘束長  $i = 1$  において変換パターンを確定しない。従って、1 - 7 P P 変換部 1 8 2 は、さらに、data [ 8 , 9 , 1 0 , 1 1 ] を参照する。

10

【 0 3 0 1 】

そして、data [ 8 , 9 , 1 0 , 1 1 ] が、[ 1 , 1 , 0 , 0 ]、[ 0 , 1 , 0 , 0 ]、または、[ 1 , 0 , 0 , 0 ] である場合、( 0 0 1 1 )、( 0 0 1 0 )、または ( 0 0 0 1 ) を検出した 1 - 7 P P 変換部 1 8 2 は、表 1 の変換テーブルに基づいて、変換パターンを確定し、内部に有するチャンネルビット変換後のデータを保持するレジスタのcbit [ 1 2 , 1 3 , 1 4 , 1 5 , 1 6 , 1 7 ] に、変換されたチャンネルビット列を格納する。そして、変調切れ目検出部 1 9 2 は、1 - 7 P P 変換部 1 8 2 からの変換チャンネルビット情報と、テーブル保持部 1 9 1 に保持されている情報に基づいて、変調切れ目位置として、内部のレジスタのcbit [ 1 7 ] と同じ位置に「1」を格納する。

20

【 0 3 0 2 】

data [ 8 , 9 , 1 0 , 1 1 ] = [ 0 , 0 , 0 , 0 ] の場合、1 - 7 P P 変換部 1 8 2 は、拘束長  $i = 2$  において変換パターンを確定しない。従って、1 - 7 P P 変換部 1 8 2 は、さらに、data [ 6 , 7 , 8 , 9 , 1 0 , 1 1 ] を参照する。

【 0 3 0 3 】

そして、data [ 6 , 7 , 8 , 9 , 1 0 , 1 1 ] が、[ 1 , 1 , 0 , 0 , 0 , 0 ]、または、[ 1 , 0 , 0 , 0 , 0 , 0 ] である場合、( 0 0 0 0 1 1 )、または ( 0 0 0 0 0 1 ) を検出した 1 - 7 P P 変換部 1 8 2 は、表 1 の変換テーブルに基づいて、変換パターンを確定し、内部に有するチャンネルビット変換後のデータを保持するレジスタのcbit [ 9 , 1 0 , 1 1 , 1 2 , 1 3 , 1 4 , 1 5 , 1 6 , 1 7 ] に、変換されたチャンネルビット列を格納する。そして、変調切れ目検出部 1 9 2 は、1 - 7 P P 変換部 1 8 2 からの変換チャンネルビット情報と、テーブル保持部 1 9 1 に保持されている情報に基づいて、変調切れ目位置として、内部のレジスタのcbit [ 1 7 ] と同じ位置に「1」を格納する。

30

【 0 3 0 4 】

data [ 6 , 7 , 8 , 9 , 1 0 , 1 1 ] が、[ 0 , 0 , 0 , 0 , 0 , 0 ]、または、[ 0 , 1 , 0 , 0 , 0 , 0 ] の場合、1 - 7 P P 変換部 1 8 2 は、拘束長  $i = 3$  において変換パターンを確定しない。従って、1 - 7 P P 変換部 1 8 2 は、さらに、data [ 4 , 5 , 6 , 7 , 8 , 9 , 1 0 , 1 1 ] を参照し、上述したように、表 1 の変換テーブルに基づいて、変換パターンを確定する。

【 0 3 0 5 】

data [ 4 , 5 , 6 , 7 , 8 , 9 , 1 0 , 1 1 ] が、[ 0 , 0 , 0 , 0 , 0 , 0 , 0 , 0 ]、[ 1 , 0 , 0 , 0 , 0 , 0 , 0 , 0 ]、[ 0 , 1 , 0 , 0 , 0 , 0 , 0 , 0 ]、または、[ 1 , 1 , 0 , 0 , 0 , 0 , 0 , 0 ] である場合、( 0 0 0 0 0 0 0 0 )、( 0 0 0 0 0 0 0 1 )、( 0 0 0 0 0 0 1 0 )、または、( 0 0 0 0 0 0 1 1 ) を検出した 1 - 7 P P 変換部 1 8 2 は、表 1 の変換テーブルに基づいて、変換パターンを確定し、内部に有するチャンネルビット変換後のデータを保持するレジスタのcbit [ 6 , 7 , 8 , 9 , 1 0 , 1 1 , 1 2 , 1 3 , 1 4 , 1 5 , 1 6 , 1 7 ] に、変換されたチャンネルビット列を格納する。そして、変調切れ目検出部 1 9 2 は、1 - 7 P P 変換部 1 8 2 からの変換チャンネルビット情報と、テーブル保持部 1 9 1 に保持されている情報に基づいて、変調切れ目位置として、内部のレジスタの所定の位置に「1」を格納する。

40

【 0 3 0 6 】

50

また、data [ 4 , 5 , 6 , 7 , 8 , 9 , 10 , 11 ] が、[ 0 , 0 , 0 , 1 , 0 , 0 , 0 , 0 ]、[ 1 , 0 , 0 , 1 , 0 , 0 , 0 , 0 ]、[ 0 , 1 , 0 , 1 , 0 , 0 , 0 , 0 ]、または、[ 1 , 1 , 0 , 1 , 0 , 0 , 0 , 0 ]である場合、( 0 0 0 0 1 0 0 0 )、( 0 0 0 0 1 0 0 1 )、( 0 0 0 0 1 0 1 0 )、または、( 0 0 0 0 1 0 1 1 )を検出した1 - 7 P P変換部182は、表1の変換テーブルに基づいて、変換パターンを確定し、内部に有するチャンネルビット変換後のデータを保持するレジスタのcbit [ 6 , 7 , 8 , 9 , 10 , 11 , 12 , 13 , 14 , 15 , 16 , 17 ]に、変換されたチャンネルビット列を格納する。そして、変調切れ目検出部192は、1 - 7 P P変換部182からの変換チャンネルビット情報と、テーブル保持部191に保持されている情報に基づいて、変調切れ目位置として、内部のレジスタの所定の位置に「1」を格納する。

10

## 【0307】

変調切れ目検出部192は、具体的には、例えば、data [ 4 , 5 , 6 , 7 , 8 , 9 , 10 , 11 ]に対応するチャンネルビット列が、[ 0 , 0 , 0 , 0 , 0 , 0 , 0 , 0 ]または[ 0 , 0 , 0 , 1 , 0 , 0 , 0 , 0 ]を変換したものであった場合、変調切れ目位置として、内部のレジスタのcbit [ 17 ]と同じ位置に「1」を格納する。

## 【0308】

また、変調切れ目検出部192は、data [ 4 , 5 , 6 , 7 , 8 , 9 , 10 , 11 ]に対応するチャンネルビット列が、[ 1 , 0 , 0 , 1 , 0 , 0 , 0 , 0 ]、[ 0 , 1 , 0 , 1 , 0 , 0 , 0 , 0 ]、[ 1 , 1 , 0 , 1 , 0 , 0 , 0 , 0 ]、[ 1 , 0 , 0 , 0 , 0 , 0 , 0 , 0 ]、[ 0 , 1 , 0 , 0 , 0 , 0 , 0 , 0 ]、または、[ 1 , 1 , 0 , 0 , 0 , 0 , 0 , 0 ]を変換したものであった場合、変調切れ目位置は2箇所であり、変調切れ目位置として、内部のレジスタの、cbit [ 17 ]およびcbit [ 8 ]と同じ位置に「1」を格納する。

20

## 【0309】

なお、表1においては、上述したパターン以外にtermination tableにおける変換パターンが存在するが、これらのパターンにおける動作についても、基本的に上記と同様である。すなわち、表1のtermination tableと一致した上で、さらに同期信号の挿入される位置が検出された場合、変換パターンが確定される。この場合の変調切れ目位置については、それぞれ変換されたチャンネルビットに対して1箇所に与えられる。

## 【0310】

さらに、表1においては、最小ラン連続制限を行う変換パターンが存在するが、これらの動作についても、基本的に上記と同様である。すなわち、最小ラン連続制限コードを用いて変換が行われた場合、変調切れ目位置は、変換された9チャンネルビットに対して1箇所に与えられる。

30

## 【0311】

以上のように、入力データ列から、チャンネルビット列へ、全てのパターン変換が行われ、変調切れ目情報が与えられる。そして、次のパターン変換は、パターンが確定し、変調切れ目情報が発生した後、再度、拘束長  $i = 1$  から始まり、上述したような動作を繰り返す。このとき、チャンネルビット列および変調切れ目情報は、変換処理が完了したのち、図15を用いて説明した18ビットのチャンネルビットレジスタから出力され、変換済みのチャンネルビット列が、図18の同期信号挿入部53に供給され、変調切れ目情報が、有効区切れ目196に供給される。

40

## 【0312】

ところで、これら変調切れ目位置を示すレジスタは、上記の例だけに限らず、それぞれの変換において、変調の切れ目位置を示すことが出来ればよい。

## 【0313】

また同様に、図20のような変換処理についても、上記の例だけに限らず、例えば拘束長  $i$  の大きい方から処理するなど、表1に基づくデータ変換が出来ればよい。

## 【0314】

ところで、この例においては、入力データ列に対する発生符号語列のデータ変換率  $m : n$

50

は2:3とされているので、符号語のデータ量3に対して、データ語のデータ量は2となる。従って、2クロックの間に所定の2データ語だけが入力され、その後、1クロック分の入力が停止されることにより、入力データと出力符号との変換率に関するずれが調整される。この関係は、図21、図22、および、後述する図24のデータ列、チャンネルビット列において示されている。

**【0315】**

図21は、図19の変調切れ目検出部192から出力される変調切れ目の検出の様子を示す図である。図21において、左から右に時間が経過しており、データ列は、左から順にレジスタに入力され、チャンネルビット列に変換されている。

**【0316】**

図21Aに示されるように、2ビットのデータ列(11)は、1-7PP変換部182において、“101”に変換されており、変調切れ目検出部192において、“101”の時間的に前方、すなわち、先頭側の“1”で変調切れ目が検出されて、変調切れ目検出結果用のレジスタの対応する位置に、「1」が格納される。

**【0317】**

次に、8ビットのデータ列(00000000)は、1-7PP変換部182において、“010100100100”に変換されており、変調切れ目検出部192において、“010100100100”の先頭側の“0”で変調切れ目が検出されて、変調切れ目検出結果用のレジスタの対応する位置に「1」が格納される。

**【0318】**

同様に、4ビットのデータ列(0011)は、1-7PP変換部182において、“010100”に変換されており、変調切れ目検出部192において、“010100”の先頭側の“0”で変調切れ目が検出されて、変調切れ目検出結果用のレジスタの対応する位置に「1」が格納される。

**【0319】**

同様に、図21Bに示されるように、2ビットのデータ列(11)は、1-7PP変換部182において、“101”に変換されており、変調切れ目検出部192において、“101”の時間的に前方、すなわち、先頭側の“1”で変調切れ目が検出されて、変調切れ目検出結果用のレジスタの対応する位置に「1」が格納される。

**【0320】**

次に、8ビットのデータ列(00000001)は、1-7PP変換部182において、“010100000010”に変換されており、変調切れ目検出部192において、“010100000010”の先頭側の“0”および右から3番目の“0”で変調切れ目が検出されて、変調切れ目検出結果用のレジスタの対応する位置に「1」が格納される。

**【0321】**

同様に、4ビットのデータ列(0011)は、1-7PP変換部182において、“010100”に変換されており、変調切れ目検出部192において、“010100”の先頭側の“0”で変調切れ目が検出されて、変調切れ目検出結果用のレジスタの対応する位置に「1」が格納される。

**【0322】**

以上のように、拘束長 $i = 4$ における変換のパターンにより、変調切れ目の個数が変化する。

**【0323】**

なお、変調切れ目検出部192において、拘束長 $i = 4$ 、すなわち、8データにおけるパターン変換時の変調切れ目位置を、前方の1ヶ所に統一して、これを変調切れ目信号として出力しても、DSV制御ビット決定部121は動作することができる。この場合、上述した方式とは、区間DSV計算結果に差異が生じることになる。有効区切れ目検出処理部162および有効区切れ目検出処理部164の変調切れ目検出部192は、図21Aおよび図21Bに示されるようにして、変調切れ目信号を制御する。

10

20

30

40

50

## 【0324】

変調切れ目検出部192により生成された変調切れ目信号は、有効区切れ目検出部196に供給される。

## 【0325】

DSV制御ブロック切れ目位置検出部194は、チャンネルビット変換前のDSV制御ビット付きデータ列の供給を受けて、DSV区間の切れ目位置に関する情報を、カウンタ195に供給する。

## 【0326】

カウンタ195は、チャンネルビット変換前のDSV制御ビット付きデータ列の供給を受けるとともに、FS抽出部193からフレームシンク位置の抽出信号を受け、DSV制御ブロック切れ目位置検出部194により供給されたDSV区間切れ目信号に基づいてDSV制御ブロック切れ目信号を生成し、有効区切れ目検出部196に供給する。

10

## 【0327】

変調切れ目信号、および、DSV制御ブロック切れ目信号を供給された有効区切れ目検出部196は、有効区切れ目位置を検出し、区間DSV計算部55およびDSV比較・DSVビット判定部165に供給する。

## 【0328】

図22は、有効区切れ目検出部196による有効区切れ目信号の制御の例を示す図である。図22において、左から右に時間が経過しており、データ列は、左から順にレジスタに入力され、チャンネルビット列に変換されている。

20

## 【0329】

図22において、DSV制御ビットは、データ列に対して、60データ毎に挿入されている。すなわち、データ列が59データ続いた後に、DSV制御ビットが挿入されている。また、DSV区間切れ目位置は、60データのDSV区間において、51データ目の位置(図22のデータ列50)に発生するように制御されている。すなわち、1-7PP変換テーブルにおいて、データ列が可変長符号に変換されることを考慮して、DSV制御ビット位置に対して、9データだけ前方で、DSV区間切れ目位置が与えられるように設定されている。

## 【0330】

DSV制御ビットは任意の値であるので、データ列にDSV制御ビットが挿入されることにより、変換されたチャンネルビット列には差異が生じる。これより、1つのDSV制御ビットが制御する区間において、区間DSVの計算時、データ列の変換に次の未決定のDSV制御ビットが関係しないほうが、より簡単に、正確な区間DSVを算出することができる。従って、DSV区間切れ目位置は、実際のDSV区間における切れ目位置と異なる位置に与えられる。

30

## 【0331】

表1に示した1-7PP変換テーブルにおいて、1度の変調のために参照される最大のデータ列の大きさは、(1101110000)の11データである。また、2データ毎に変換処理が行われていることと合わせて、次のDSV区間のDSV制御ビットを含まずに変換されるデータ列であること(次のDSV制御ビットの影響を受けないデータ列であること)を保障できるのは、60データDSV区間においては、49データ目における変換までとなる。次の51データ目における変換では、1度の変調のために参照される最大のデータ列の中には、次のDSV区間のDSV制御ビットが含まれている。よって、DSV制御ブロック切れ目位置検出部194は、60データのDSV区間におけるDSV区間切れ目位置の設定を、51データ目以下とする。

40

## 【0332】

ところで、このDSV区間切れ目位置は、低域抑圧特性と関係があり、切れ目位置を、なるべく後方にさせるほうが、周波数の低域成分が抑圧され、変調装置としての性能が向上するので、望ましい。以上より、図22において、51データ目(図22内のデータ列50)に、DSV区間切れ目位置が与えられている。

## 【0333】

従って、DSV区間切れ目位置信号におけるDSV区間において、挿入されたDSV制御ビットは

50

、1つだけとなるように設定されている。

【0334】

図22Aにおいて、DSV区間は60データであり、60データ目に値が「0」のDSV制御ビットが挿入されている。また、データ列は「0」のみで構成され、(00000000)として、繰り返し“010100100100”に変換されている。そして図22Aの最初の6データは、図示されていない、前のDSV区間の2データの(00)とともに、(00000000)の変換が行われているとする。すると図22Aのとおり、今の60データ区間においては、最後に6データが残り、次のDSV区間先頭の2データの(00)とともに、(00000000)の変換が行われる。そしてこの8データ内には、DSV制御ビットが含まれている。

10

【0335】

上述したように、(00000000)の場合、変調切れ目は、パターン先頭の1箇所となる。すなわち、図22Aの場合の変調切れ目は、55データ目(図22Aのデータ列54)および、次のDSV区間の3データ目(図22Aのデータ列2)となる。従って、変調切れ目検出部192は、55データ目、および、次のDSV区間の3データ目が、「1」となるように制御された変調切れ目信号を、有効区切れ目検出部196に供給する。

【0336】

またDSV区間切れ目位置は、上述したように、51データ目となるので、カウンタ195は、51データ目(図22Aのデータ列50)において、値が「1」となるDSV制御ブロック切れ目信号を、有効区切れ目検出部196に供給する。DSV制御ブロック切れ目信号は、区間DSV制御処理が終了したのち、値が「0」に戻る。カウンタ195は、例えば図22Aのように、1データ目(図22A内のデータ列0)において、出力しているDSV区間切れ目信号を「1」から「0」に変更する。

20

【0337】

そして、有効区切れ目検出部196は、供給された変調切れ目信号およびDSV制御ブロック切れ目信号に基づいて、DSV制御ブロック切れ目信号が「1」となった後、最初の変調切れ目である、55データ目(図22Aのデータ列54)を有効区切れ目として検出し、55データ目が「1」となるように制御された有効区切れ目信号を作成し、区間DSV計算部55およびDSV比較・DSVビット判定部165に供給する。

【0338】

一方の図22Bは、DSV制御ビット1付加部71において、供給されたデータ列の60データ目に値が「1」のDSV制御ビットが挿入され、他のデータを「0」とした場合を示す図である。そして、図示されていない1つ前のDSV区間の最後には、DSV制御ビットである「1」が入っており、ここでデータ変換が終了している。従って、今のDSV制御区間は、先頭の1データ目から変換が行われている。このとき、図22Bの最初の8データ(00000000)の変換が行われる。

30

【0339】

図22Bの今の60データ区間の最後においては、4データの処理となり、(0001)の変換が行われる。そしてこの4データ内には、DSV制御ビットが含まれている。

【0340】

DSV制御ビットを含む(0001)は、1-7PP変換部182において“000100”に変換される。この場合、上述したように、57データ目(図22Bのデータ列56)が変調切れ目となる。変調切れ目は、この他に、49データ目(図22Bのデータ列48)、および、次のDSV区間の1データ目(図22Bのデータ列0)となる。従って、変調切れ目検出部192は、49データ目、57データ目、および、次のDSV区間の1データ目が「1」となるように制御された変調切れ目信号を生成し、有効区切れ目検出部92に供給する。

40

【0341】

また、DSV区間切れ目位置は、上述したように、51データ目となるので、カウンタ195は、51データ目(図22Bのデータ列50)において、値が「1」となるDSV制御ブ

50

ロック切れ目信号を、有効区切れ目検出部 9 2 に供給する。カウンタ 1 9 5 は、図 2 2 A において説明した場合と同様にして、図 2 2 B において示される場合においても、1 データ目 (図 2 2 B のデータ列 0 ) で、DSV 区間切れ目信号を「0」にする。

【0342】

そして、有効区切れ目検出部 1 9 6 は、供給された変調切れ目信号および DSV 制御ブロック切れ目信号に基づいて、DSV 制御ブロック切れ目信号が「1」となった後、最初の変調切れ目である、5 7 データ目 (図 2 2 B のデータ列 5 6 ) を有効区切れ目として検出し、5 7 データ目が「1」となるように制御された有効区切れ目信号を作成し、区間 DSV 計算部 7 5 および DSV 比較・DSV ビット判定部 1 6 5 に供給する。

【0343】

図 2 2 B における場合と、図 2 2 A における場合とでは、変調切れ目位置がずれている。通常ランダムパターンの入力においては、値が「0」の DSV 制御ビットを付加したデータ列と、値が「1」の DSV 制御ビットを付加したデータ列とは、速やかに収束し、変調切れ目付近においては、同様な変調切れ目位置となる場合が多い。しかし、特有なパターンにおいては、収束せず、変調切れ目付近においても、変調切れ目位置がずれている場合があり、DSV 区間に影響を及ぼす場合がある。

【0344】

しかし、この場合においても、有効区切れ目検出処理部 1 6 2 および有効区切れ目検出処理部 1 6 4 の有効区切れ目検出部 1 9 6 は、通常の場合と同様に、そのまま、互いにずれた有効区切れ目信号をそれぞれ出力する。

【0345】

以上のように、検出された有効区切れ目のタイミングに基づいて、図 1 8 の区間 DSV 計算部 5 5 は、対象となる DSV 区間のチャンネルビット列より区間 DSV を算出し、加算器 5 6 に供給する。また、区間 DSV 計算部 7 5 も同様に区間 DSV を算出し、検出された有効区切れ目のタイミングに基づいて、加算器 7 6 に供給する。

【0346】

加算器 5 6 は、供給された区間 DSV に、積算 DSV 処理部 6 1 より供給された積算 DSV を加算し、新しく算出された積算 DSV を DSV 比較・DSV ビット判定部 1 6 5 に供給する。加算器 7 6 も同様に、供給された区間 DSV に、積算 DSV 処理部 6 1 より供給された積算 DSV を加算し、新しく算出された積算 DSV を DSV 比較・DSV ビット判定部 1 6 5 に供給する。

【0347】

2 つの新たな積算 DSV を供給された DSV 比較・DSV ビット判定部 1 6 5 は、有効区切れ目検出部 8 2 および 9 2 より供給された有効区切れ目信号のタイミングに基づいて、データ列に挿入する DSV 制御ビットの値を比較判定する。DSV 比較・DSV ビット判定部 1 6 5 は、加算器 5 6 および 7 6 より供給された、2 つの新たに算出された積算 DSV のうち、例えば、絶対値が小さい方を選択する。そして、DSV 比較・DSV ビット判定部 1 6 5 は、挿入する DSV 制御ビットの値が決定されると、その情報を DSV 制御ビット指定位置挿入部 3 2 に供給するとともに、選択された方の新たな積算 DSV を、積算 DSV 処理部 6 1 に供給する。積算 DSV 処理部 6 1 は、供給された新たな積算 DSV に基づいて、保持している積算 DSV を更新する。

【0348】

さらに DSV 比較・DSV ビット判定部 1 6 5 は、次の DSV 区間の演算のために使用されるレジスタの値を制御するために、スワップ動作の起動を行う。すなわち、選択された側を指定する情報を、1 - 7 P P チャンネルビット変換部 1 6 1、同期信号挿入部 5 3、NRZI 化部 5 4、区間 DSV 計算部 5 5、1 - 7 P P チャンネルビット変換部 1 6 3、同期信号挿入部 7 3、NRZI 化部 7 4、および、区間 DSV 計算部 7 5 に供給する。そして、選択された側の各部が参照したレジスタの値を用いて、選択されなかった反対側の各部が参照したレジスタの値から置き換えて記憶させる。

【0349】

図 2 3 は、DSV 比較・DSV ビット判定部 1 6 5 が実行するスワップ動作の起動について説明するための、DSV 比較・DSV ビット判定部 1 6 5 の更に詳細な構成を示す図である。

10

20

30

40

50



## 【0350】

論理和演算部 2 1 1 は、有効区切れ目検出処理部 1 6 2 および有効区切れ目検出処理部 1 6 4 のいずれかから有効区切れ目信号の供給を受けた場合、正論理の信号（例えば「1」）を、モノマルチバイプレータ（ワンショット・マルチバイプレータ）2 1 2 に出力する。

## 【0351】

モノマルチバイプレータ 2 1 2 は、所定の入力を受けたタイミングから（予め定められた論理の反転をトリガとして）、接続されているコンデンサおよび抵抗の定数で決定される時間幅の信号を出力するものであり、その信号出力中に、トリガとなった信号の次の信号の入力を受けても、出力信号の論理を変更しない。モノマルチバイプレータ 2 1 2 は、正論理をアクティブとした場合、有効切れ目検出を示す正論理の信号を、1 ブロックの処理において、2 回、または、1 回（有効切れ目検出が同時であった場合）供給される。接続されているコンデンサおよび抵抗の値を、有効切れ目検出を示す信号の入力タイミングが最もずれた場合の時間差を十分含むような値に設定することにより、モノマルチバイプレータ 2 1 2 は、先に供給された（同時に供給された場合を含む）有効切れ目検出のタイミングで、出力論理を負論理から正論理に反転し、正論理の信号を所定の時間、選択部 2 1 3 に出力し、2 回目の有効切れ目検出の信号の供給を受けても、論理を反転しない（1 ブロックの処理において、1 度だけ、所定の時間幅の正論理の信号を出力する）。モノマルチバイプレータ 2 1 2 の出力は、接続されているコンデンサおよび抵抗によって決定される定数で決定される所定の時間の経過後、リセット（負論理に反転）される。

## 【0352】

ここでは、モノマルチバイプレータ 2 1 2 を用いるものとして説明したが、1 ブロックの処理において、2 回、または、1 回（有効切れ目検出が同時であった場合）供給される有効切れ目検出を示す信号のうち、先に供給された（同時に供給された場合を含む）有効切れ目検出のタイミングを検出することができ、次の区間 DSV において有効切れ目検出を示す信号が入力されるまでにリセットされるのであれば、どのような方法を用いるようにしても良いことはもちろんである。

## 【0353】

選択部 2 1 3 は、モノマルチバイプレータ 2 1 2 から供給される信号の立ち上がりエッジのタイミングを基に、DSV 制御ビットの判定を行う。選択部 2 1 3 による DSV 制御ビットの判定タイミングは、先に検出された有効区切れ目信号の次のタイミングであるものとする。

## 【0354】

図 2 4 は、DSV 比較・DSV ビット判定部 1 6 5 によるスワップタイミングを決定する様子を示す図である。図 2 4 において、左から右に時間が経過しており、データ列は、左から順にレジスタに入力され、チャンネルビット列に変換されている。その他データ、発生チャンネルビット、そして有効区切れ目検出については、図 2 2 と同様であるとする。

## 【0355】

図 2 4 A に示されるように、DSV 比較・DSV ビット判定部 1 6 5 には、値が「0」の DSV 制御ビットを挿入されたデータ列による、有効区切れ目信号が供給されている。DSV 比較・DSV ビット判定部 1 6 5 は、有効区切れ目の次のタイミングにおいて、DSV 制御ビットの判定を行っている。そして、さらにその次のタイミングにおいて、各レジスタを制御して、選択された側のレジスタの内容に一致させるように、スワップ動作を行っている。

## 【0356】

また、図 2 4 B に示されるように、DSV 比較・DSV ビット判定部 1 6 5 には、値が「1」の DSV 制御ビットを挿入されたデータ列による、有効区切れ目信号が供給されている。図 2 4 B の場合、図 2 4 A の場合と比較して、有効区切れ目位置が異なっている。値が「0」と「1」の DSV 制御ビットを挿入されたデータ列による、有効区切れ目信号が異なる場合には、DSV 比較・DSV ビット判定部 1 6 5 は、先に有効区切れ目が出現した次のタイミングにおいて、DSV 制御ビットの判定を行う。

## 【0357】

すなわち、図24の場合、図24Aのほうの有効区切れ目位置が先に現れるので、図24Aの有効区切れ目位置の次のタイミングにおいて、判定を行う。

## 【0358】

ここで、DSV制御ビットが「0」の側が選択されたと仮定すると、DSV比較・DSVビット判定部165は、加算器56より供給された、新たなDSV積算値を積算DSV処理部61へ供給する。さらに、その判定結果をDSV制御ビット指定位置挿入部32に供給するとともに、1-7PPチャンネルビット変換部161、同期信号挿入部53、NRZI化部54、区間DSV計算部55、1-7PPチャンネルビット変換部163、同期信号挿入部73、NRZI化部74、および、区間DSV計算部75に対しても、供給する。

10

## 【0359】

そして、選択されたDSV制御ビットが「0」の側である、1-7PPチャンネルビット変換部161のレジスタの内容が、スワップ処理によって、1-7PPチャンネルビット変換部163のレジスタに記憶される。同様に、同期信号挿入部53のレジスタ171の内容が、同期信号挿入部73のレジスタ174に記憶され、またNRZI化部54のレジスタ172の内容が、NRZI化部74のレジスタ175に記憶され、さらに、区間DSV計算部55のレジスタ173の内容が、区間DSV計算部75のレジスタ176に記憶される。以上のようなスワップ動作を行うことにより、データの連続性を保つようにすることができる。

## 【0360】

図24においては、有効区切れ目位置が異なっている場合を示したが、有効区切れ目位置が同じである場合についても、同様の処理が実行される。すなわち、DSV比較・DSVビット判定部165は、有効区切れ目の次のタイミングにおいて、DSV制御ビットの判定を行う。さらにその次のタイミングにおいて、各レジスタを制御して、選択された側のレジスタの内容に一致させるように、スワップ動作を行う。

20

## 【0361】

ところで図24では、値が「0」と「1」のDSV制御ビットを挿入されたデータ列による、有効区切れ目信号が異なる場合においては、DSV比較・DSVビット判定部165は、先に有効区切れ目が出現した次のタイミングにおいて、DSV制御ビットの判定を行う例を示したが、これとは別の例として、有効区切れ目信号が異なる場合には、DSV比較・DSVビット判定部165は、両方の有効区切れ目が出現した次のタイミングにおいて、DSV制御ビットの判定を行うようにしてもよい。すなわち、図24のような有効区切れ目位置の時に、逆に、図24Bの有効区切れ目位置の次のタイミングにおいて、判定を行うようにしてもよい。

30

## 【0362】

上記のとおり、DSV比較・DSVビット判定部165は、データ列に挿入するDSV制御ビットの値として選択された側の各々が参照したレジスタの値を用いて、選択されなかった反対側の各々が参照したレジスタの値を更新し、互いに一致させる（スワップする）ようにした。このとき、DSV比較・DSVビット判定部165が制御するスワップタイミング時には、データレジスタ内に、次のDSV制御ビットが含まれていてもよい。

## 【0363】

データは、図15に示すデータレジスタのdata[0]側から入力されるが、前の変換結果によっては、しばらくテーブル変換が実行されないまま、data[11]側までシフトされる。すなわち、テーブルの切れ目の次のデータは、変換されないまま、data[11]までシフトされ、そこで始めて変換処理に利用される。このようにして、データレジスタ内に含まれていても、全てのデータがデータ変換処理のために参照されるとは限らない。

40

## 【0364】

すなわち、DSV制御ビットの判定時、および、スワップ動作時において、図15に示すデータレジスタ内には、次のDSV制御ビット自身は含まれていてもよいが、次のDSV制御ビットが、テーブル変換処理、または最小ラン連続制限変換処理のための参照ビットには含まれないように、タイミング制御が行われる。

50

## 【 0 3 6 5 】

なお、図 2 2 および図 2 4 に示す例においては、図 1 5 に示されるレジスタ分の遅延については、特に説明していないが、スワップ動作などのそれぞれの動作が正常に行われるように遅延を考慮するようにすればよい。

## 【 0 3 6 6 】

また、上記図 2 4 の例として、値が「 0 」と「 1 」の DSV 制御ビットを挿入されたデータ列による、有効区切れ目信号が異なる場合において、DSV 比較・DSV ビット判定部 1 6 5 は、先に有効区切れ目が出現した次のタイミングにおいて、DSV 制御ビットの判定を行うのみならず、両方の有効区切れ目が出現した次のタイミングにおいて、DSV 制御ビットの判定を行うようにしてもよいが、このように判定条件を変えた場合、それぞれのレジスタ分の遅延を考慮して、スワップ動作などが正常に行われるようにする必要がある。

10

## 【 0 3 6 7 】

またさらに、1 つの DSV 区間に対して、挿入された DSV 制御ビットが、1 つではなく、2 つ以上含まれている場合においても、上述のとおり、DSV 制御ビットの判定時、および、スワップ動作時において、図 1 5 に示すデータレジスタ内に次の DSV 制御ビットが含まれていてもよいが、データレジスタ内の次の DSV 制御ビットが、テーブル変換処理、または最小ラン連続制限変換処理のための参照ビットには含まれないように、タイミング制御を行うようにする必要がある。

## 【 0 3 6 8 】

このようにして、DSV 比較・DSV ビット判定部 1 6 5 より DSV 制御ビットの値に関する情報を取得した DSV 指定位置挿入部 3 2 は、指定された値の DSV 制御ビットをデータ列に挿入し、チャンネルビット生成部 1 2 2 に供給する。チャンネルビット生成部 1 2 2 は、DSV 制御ビットが挿入されたデータ列を、表 1 の変換テーブルを参照して、チャンネルビット列に変換し、同期信号挿入部 3 4 に供給する。同期信号挿入部 3 4 は、チャンネルビット列に所定の同期信号を挿入し、NRZI 化部 3 5 に供給する。NRZI 化部 3 5 は、供給されたチャンネルビット列を記録符号列もしくは伝送符号列などの出力符号列に変換し、出力する。

20

## 【 0 3 6 9 】

以上のようにして、変調装置は、入力されたデータ列を変調する。これにより、変調装置は、挿入する DSV 制御ビットの値をより正確に決定することができる。

## 【 0 3 7 0 】

次に、図 2 5 のフローチャートを参照して、DSV 制御ビット判定処理について説明する。

30

## 【 0 3 7 1 】

ステップ S 1 において、1 - 7 P P チャンネルビット変換部 1 6 1 および 1 - 7 P P チャンネルビット変換部 1 6 3 は、DSV 制御ビットが挿入されたデータ列の供給を受ける。

## 【 0 3 7 2 】

ステップ S 2 において、1 - 7 P P チャンネルビット変換部 1 6 1 および 1 - 7 P P チャンネルビット変換部 1 6 3 は、供給されたデータをレジスタ 1 8 1 に保持する。

## 【 0 3 7 3 】

ステップ S 3 において、1 - 7 P P チャンネルビット変換部 1 6 1 および 1 - 7 P P チャンネルビット変換部 1 6 3 の 1 - 7 P P 変換部 1 8 2 は、レジスタ 1 8 1 に保持されている 1 2 ビットのデータのデータ入力順の後方（時間的に先に入力されたデータ、すなわち、data [ 1 1 ] 側）から、2 データずつデータを参照し、表 1 の変換テーブルに基づいて、変換処理を実行する。

40

## 【 0 3 7 4 】

ステップ S 4 において、図 2 6 を用いて後述する有効区切れ目検出処理が実行される。

## 【 0 3 7 5 】

ステップ S 5 において、DSV 比較・DSV 制御ビット判定部 1 6 5 は、有効区切れ目検出処理部 1 6 2 または有効区切れ目検出処理部 1 6 4 のうちのいずれかから、有効区切れ目が検出されたか否かを判断する。ステップ S 5 において、有効区切れ目が検出されていないと判断された場合、処理は、ステップ S 1 に戻り、それ以降の処理が繰り返される。

50

## 【0376】

ステップS5において、有効区切れ目が検出されたと判断された場合、ステップS6において、DSV比較・DSV制御ビット判定部165は、加算部56および加算部76から供給される信号を基に、DSV制御ビットの判定を行う。

## 【0377】

ステップS7において、DSV比較・DSV制御ビット判定部165は、DSV制御ビットの判定結果を基に、データ列に挿入するDSV制御ビットの値として選択された側の各部が参照したレジスタの値を用いて、選択されなかった反対側の各部が参照したレジスタの値を更新するスワップ動作を実行させて、処理が終了される。

## 【0378】

このような処理により、スワップ時にデータレジスタに、次の区間のDSV制御ビットが含まれていても、このデータレジスタ内の次の区間のDSV制御ビットが、テーブル変換処理、または最小ラン連続制限変換処理のための参照ビットには含まれないので、DSV区間内の後方でDSV制御を行うことができる。

## 【0379】

次に、図26のフローチャートを参照して、図25のステップS4において実行される有効区切れ目検出処理について説明する。

## 【0380】

ステップS21において、有効区切れ目検出処理部162または有効区切れ目検出処理部164の変調切れ目検出部192およびカウンタ195は、FS抽出部193から供給される信号を基に、供給されたデータ列からフレームシンク位置が抽出されたか否かを判断する。ステップS21において、フレームシンク位置が抽出されていないと判断された場合、ステップS21の処理が繰り返される。

## 【0381】

ステップS21において、フレームシンク位置が抽出されたと判断された場合、ステップS22において、変調切れ目検出部192は、フレームシンクの供給タイミングに基づいて、1-7PP変換部182からのチャンネルビット変換情報と、テーブル保持部191に保持されている情報を参照して、変調切れ目情報を生成し、有効区切れ目検出部196に供給する。

## 【0382】

ステップS23において、カウンタ195は、フレームシンク抽出の信号を受け、カウンタ出力をクリア、すなわち、図22を用いて説明したDSV制御ブロック切れ目信号を「1」から「0」に反転する。カウンタ195は、上述したように、DSV切れ目位置検出部194から供給される信号に基づいて、DSV制御ブロック切れ目位置の検出処理を実行し、検出された場合、DSV制御ブロック切れ目位置の検出信号を有効区切れ目検出部196に供給する。

## 【0383】

ステップS24において、有効区切れ目検出部196は、カウンタ195から供給される信号に基づいて、DSV制御ブロック切れ目位置が検出されたか否かを判断する。ステップS24において、DSV制御ブロック切れ目位置が検出されていないと判断された場合、DSV制御ブロック切れ目位置が検出されたと判断されるまで、ステップS24の処理が繰り返される。

## 【0384】

ステップS24において、DSV制御ブロック切れ目位置が検出されたと判断された場合、ステップS25において、有効区切れ目検出部196は、変調切れ目検出部192から供給される変調切れ目信号を基に、図22を用いて説明したように、有効区切れ目を検出して、処理は、図25のステップS5に進む。

## 【0385】

以上に説明したような構成を用いることによって、図16、図17に示すように、パターン変換は全て同じチャンネルクロックのタイミングにおいて行うことができる。従って、図

10

20

30

40

50

15にあるようなデータレジスタ内に、次の区間のDSV制御ビットが入ってきても、すぐにはパターン変換処理には影響しない場合がある。従って、DSV制御ビットの判定時、および、スワップ動作時において、図15に示すデータレジスタ内に、次の区間のDSV制御ビットが含まれていても、データレジスタ内のDSV制御ビットが、テーブル変換処理、または最小ラン連続制限変換処理のための参照ビットには含まれないように、タイミングを制御することができるので、さらに良いDSV制御を行うことができる。

【0386】

上述した一連の処理は、ソフトウェアにより実行することもできる。そのソフトウェアは、そのソフトウェアを構成するプログラムが、専用のハードウェアに組み込まれているコンピュータ、または、各種のプログラムをインストールすることで、各種の機能を実行することが可能な、例えば汎用のパーソナルコンピュータなどに、記録媒体からインストールされる。

10

【0387】

図27は、上記処理を実行するパーソナルコンピュータ251の構成例を表している。パーソナルコンピュータ251のCPU(Central Processing Unit)261は、ROM(Read Only Memory)262に記憶されているプログラム、またはHDD268からRAM(Random Access Memory)263にロードされたプログラムに従って各種の処理を実行する。RAM263にはまた、CPU261が各種の処理を実行する上において必要なデータなども適宜記憶される。

【0388】

20

CPU261、ROM262、およびRAM263は、内部バス264を介して相互に接続されている。この内部バス264にはまた、入出力インタフェース265も接続されている。

【0389】

入出力インタフェース265には、キーボード、マウスなどよりなる入力部266、CRT(Cathode Ray Tube)、LCD(Liquid Crystal Display)などよりなるディスプレイ、並びにスピーカなどよりなる出力部267、データを記憶するハードディスク(HDD)268、モデム、ターミナルアダプタなどより構成されるネットワークインターフェース270が接続されている。ネットワークインターフェース270は、例えば、インターネットなどのネットワークを介しての通信処理を行う。

【0390】

30

入出力インタフェース265にはまた、必要に応じてドライブ269が接続され、磁気ディスク271、光ディスク272、光磁気ディスク273、または、半導体メモリ274などが適宜装着され、それらから読み出されたコンピュータプログラムが、必要に応じてHDD268にインストールされる。

【0391】

なお、上記したような処理を行うコンピュータプログラムをユーザに提供する提供媒体としては、光ディスク、光磁気ディスク、磁気ディスク、DVD-ROM、固体メモリなどの記録媒体の他、ネットワーク、衛星などの通信媒体を利用することができる。

【0392】

また、本明細書において、記録媒体に記録されるプログラムを記述するステップは、記載された順序に沿って時系列的に行われる処理はもちろん、必ずしも時系列的に処理されなくとも、並列的、あるいは個別に実行される処理をも含むものである。

40

【0393】

【発明の効果】

このように、本発明によれば、入力ビット列からチャンネルビット列を生成することができる。特に、DSV制御ビットを決定するときのデータレジスタに、次のDSV区間のDSV制御ビットを含むようにしたので、DSV区間内のなるべく後方でDSV制御を行うことができ、直流成分および低域成分を抑圧することができる。

【図面の簡単な説明】

【図1】従来の変調装置の構成例を示すブロック図である。

50

【図 2】従来の変調装置の他の構成例を示すブロック図である。

【図 3】第 1 の変調装置の構成例を示すブロック図である。

【図 4】図 3 の変調装置の処理を説明する図である。

【図 5】入力されたデータ列からチャンネルビット列への変換における、レジスタ構成を示す模式図である。

【図 6】図 3 のデータ変換部によるチャンネルビット変換について説明するための図である。

【図 7】図 3 の変調装置における最小ラン連続制限コードの検出について説明する図である。

【図 8】図 3 の DSV 制御ビット決定部の構成を示すブロック図である。

10

【図 9】図 8 の変調切れ目検出部による変調切れ目の検出を示す図である。

【図 10】図 8 の変調切れ目検出部による変調切れ目の検出の例を示す図である。

【図 11】図 8 の有効区切れ目検出部による有効区切れ目信号の制御例を示す図である。

【図 12】図 8 の DSV 制御ビット判定部によるスワップタイミングの決定について説明する図である。

【図 13】本発明を適用した、変調装置の構成を示すブロック図である。

【図 14】図 13 のチャンネルビット生成部の構成を示すブロック図である。

【図 15】入力されたデータ列からチャンネルビット列への変換における、レジスタ構成を示す模式図である。

【図 16】チャンネルビット生成部によるチャンネルビット変換について説明するための図である。

20

【図 17】チャンネルビット生成部による最小ラン連続制限コードの検出について説明する図である。

【図 18】図 13 の DSV 制御ビット決定部の構成を示すブロック図である。

【図 19】図 18 の 1 - 7 P P チャンネルビット変換部および有効区切れ目検出処理部の構成を示すブロック図である。

【図 20】図 19 の有効区切れ目検出処理部による変調切れ目の検出を示す図である。

【図 21】図 19 の有効区切れ目検出処理部による変調切れ目の検出の例を示す図である。

【図 22】図 19 の有効区切れ目検出処理部による有効区切れ目信号の制御例を示す図である。

30

【図 23】図 18 の DSV 比較・DSV 制御ビット判定部の構成を示すブロック図である。

【図 24】図 23 の DSV 比較・DSV 制御ビット判定部によるスワップタイミングの決定について説明する図である。

【図 25】 DSV 制御ビット判定処理について説明するフローチャートである。

【図 26】有効区切れ目検出処理について説明するフローチャートである。

【図 27】パーソナルコンピュータの構成を示すブロック図である。

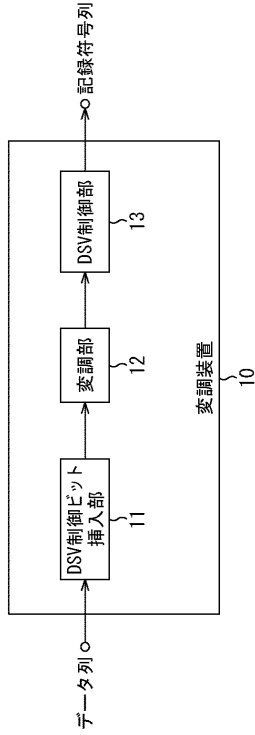
【符号の説明】

3 2 DSV 制御ビット指定位置挿入部, 3 4 同期信号挿入部, 3 5 NRZI 化部,  
5 1 DSV 制御ビット 0 付加部, 5 3 同期信号挿入部, 5 4 NRZI 化部, 5 5  
区間 DSV 計算部, 5 6 加算器, 6 1 積算 DSV 処理部, 7 1 DSV 制御ビット 1 付  
加部, 7 3 同期信号挿入部, 7 4 NRZI 化部, 7 5 区間 DSV 計算部, 7 6 加  
算器, 1 1 1 変調装置, 1 2 1 DSV 制御ビット決定部, 1 2 2 チャンネルビッ  
ト生成部, 1 2 3 DSV 演算補正情報生成部, 1 3 2 シフトレジスタ, 1 6 1 1  
- 7 P P チャンネルビット変換部 1 6 2 有効区切れ目検出処理部, 1 6 3 1 - 7 P P チ  
ャンネルビット変換部 1 6 4 有効区切れ目検出処理部, 1 6 5 DSV 比較・DSV 制御ビ  
ット判定部, 1 8 1 レジスタ, 1 8 2 1 - 7 P P 変換部, 1 9 1 テーブル保  
持部, 1 9 2 変調切れ目検出部, 1 9 3 FS 抽出部, 1 9 4 DSV 制御ブロック  
切れ目位置検出部, 1 9 5 カウンタ, 1 9 6 有効区切れ目検出部

40

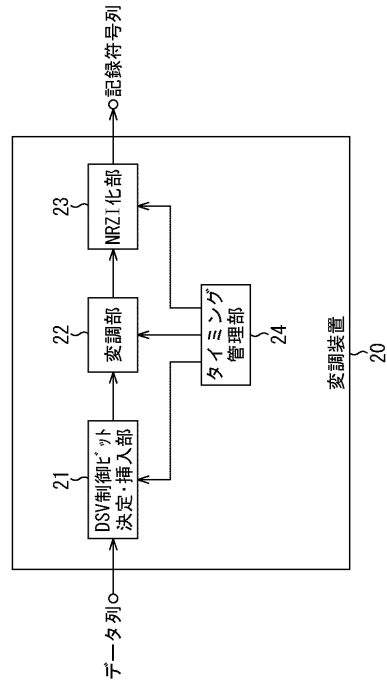
【図1】

図1



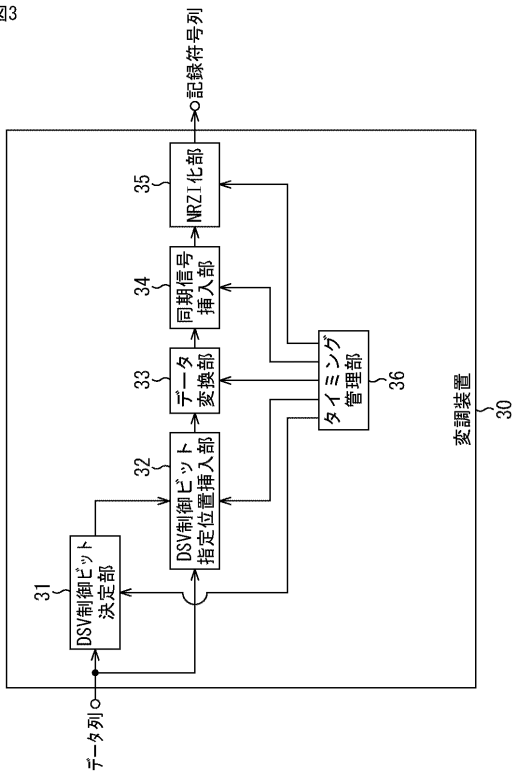
【図2】

図2



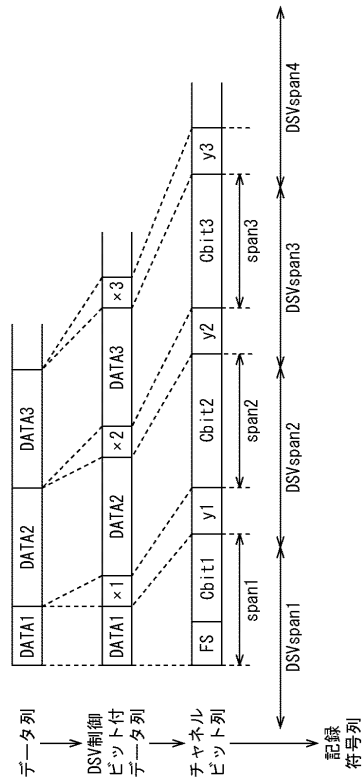
【図3】

図3



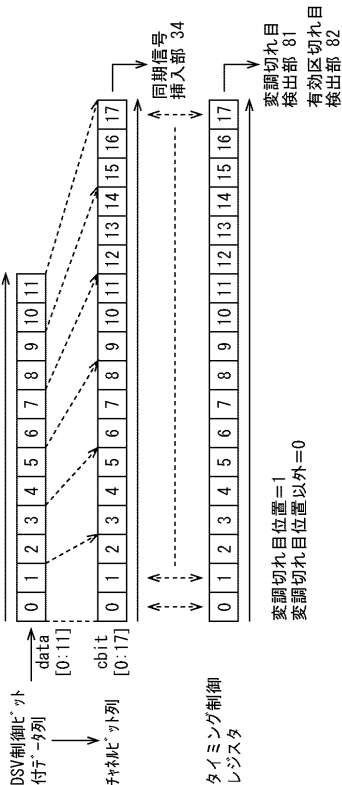
【図4】

図4



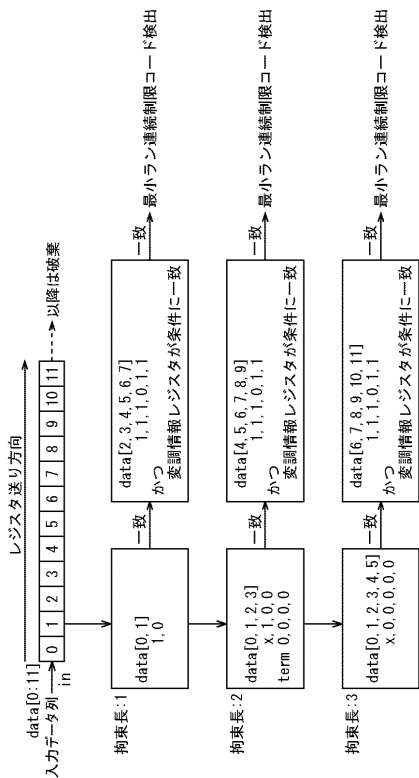
【図5】

図5



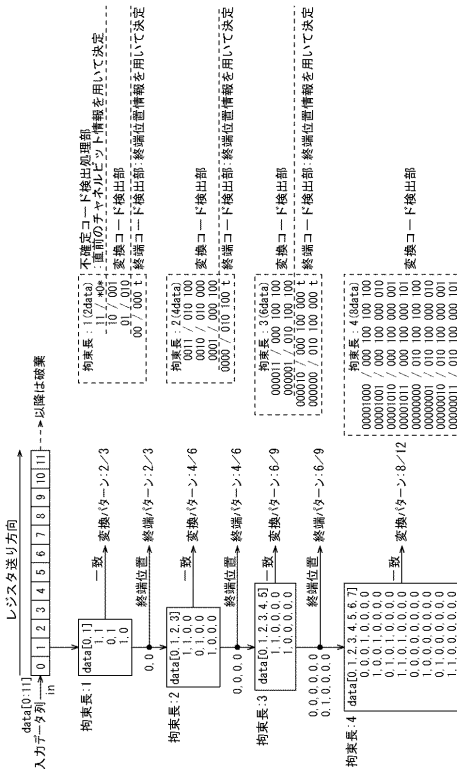
【図7】

図7



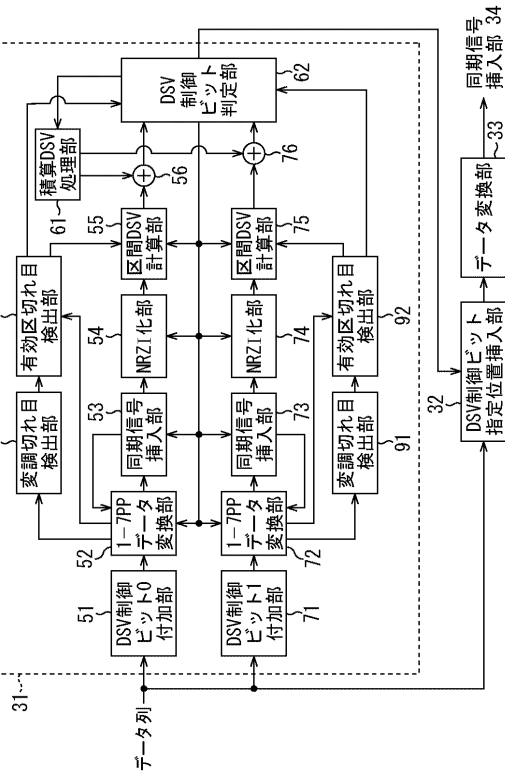
【図6】

図6



【図8】

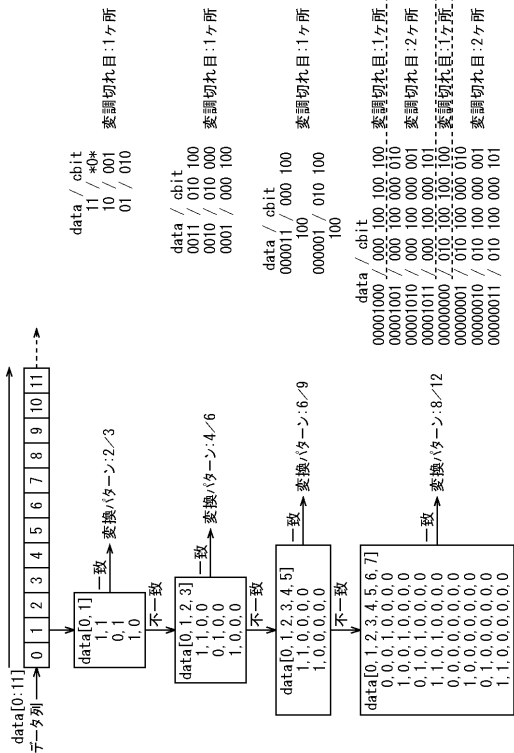
図8





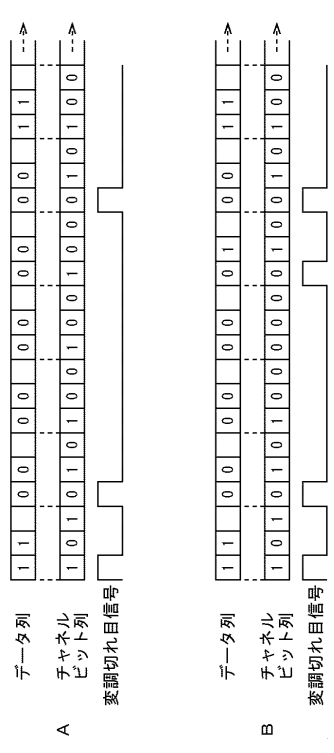
【 図 9 】

図9



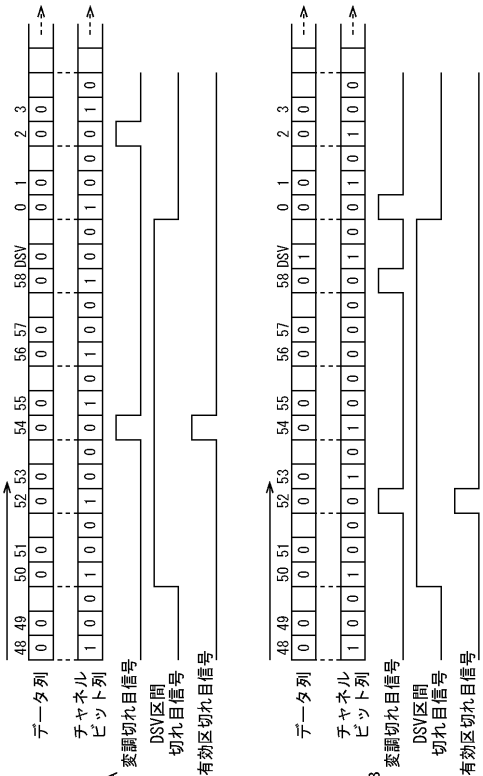
【 図 10 】

図10



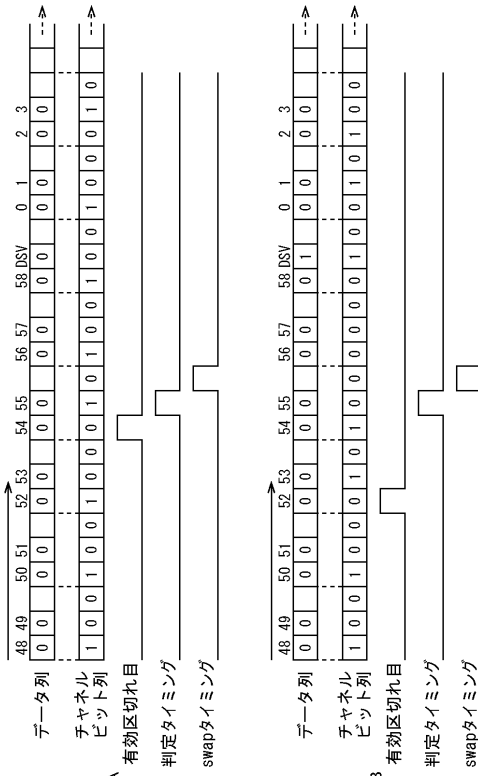
【 図 11 】

図11



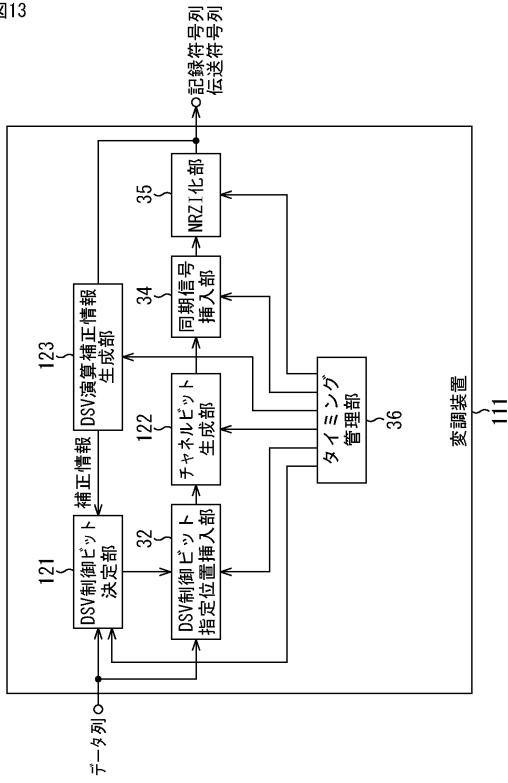
【 図 12 】

図12



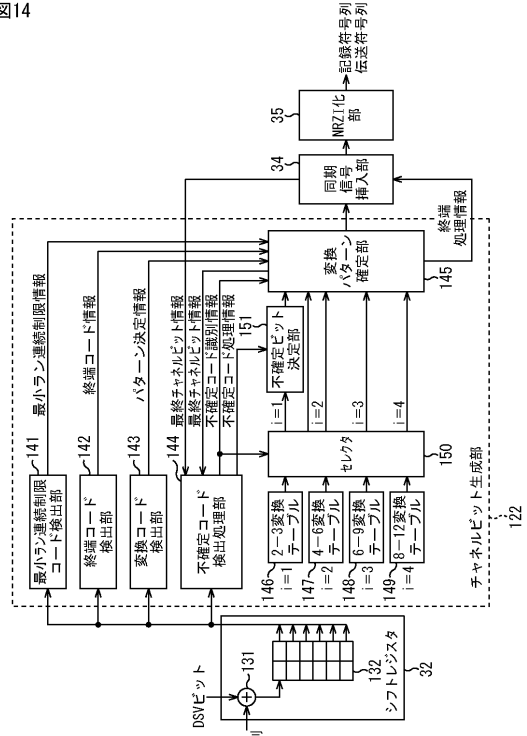
【図 13】

図13



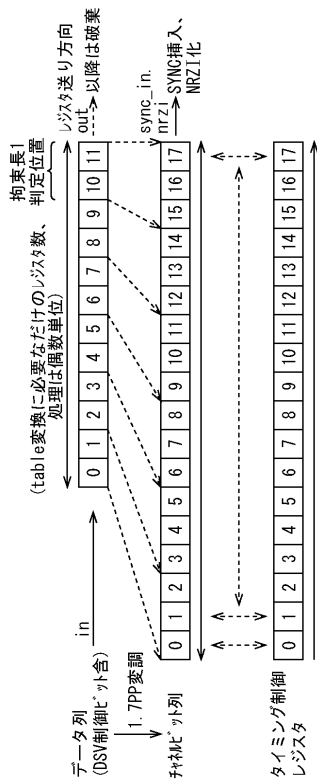
【図 14】

図14



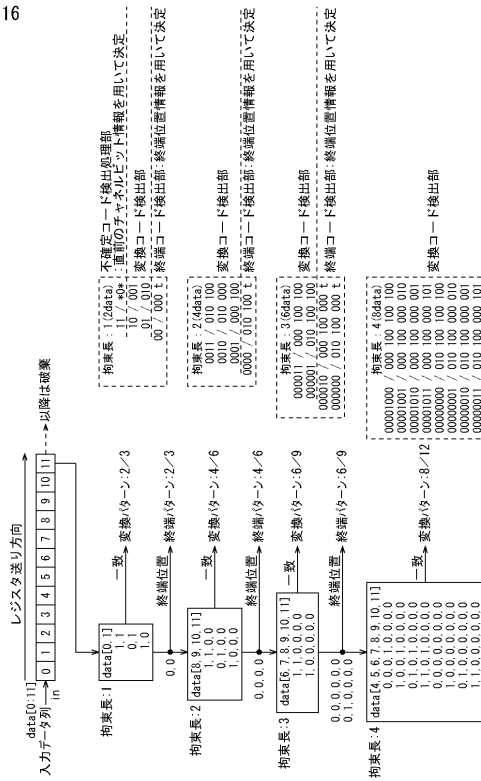
【図 15】

図15



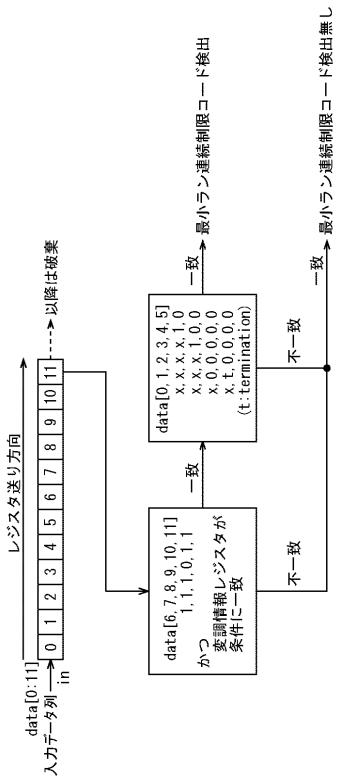
【図 16】

図16



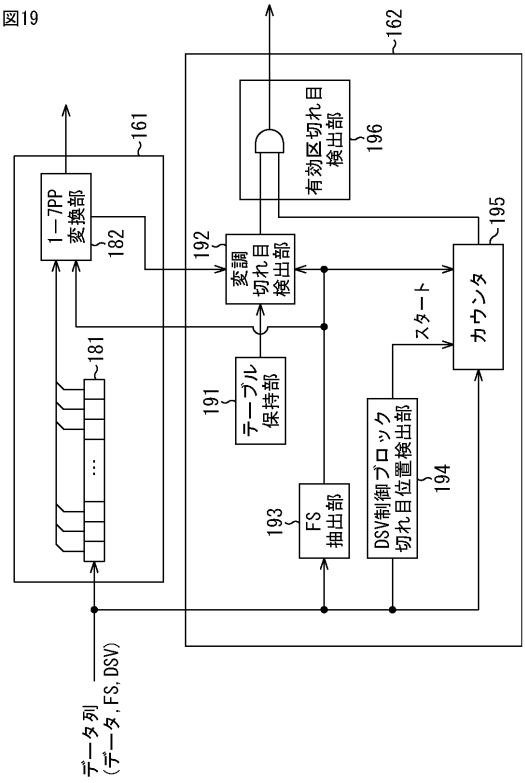
【図 17】

図17



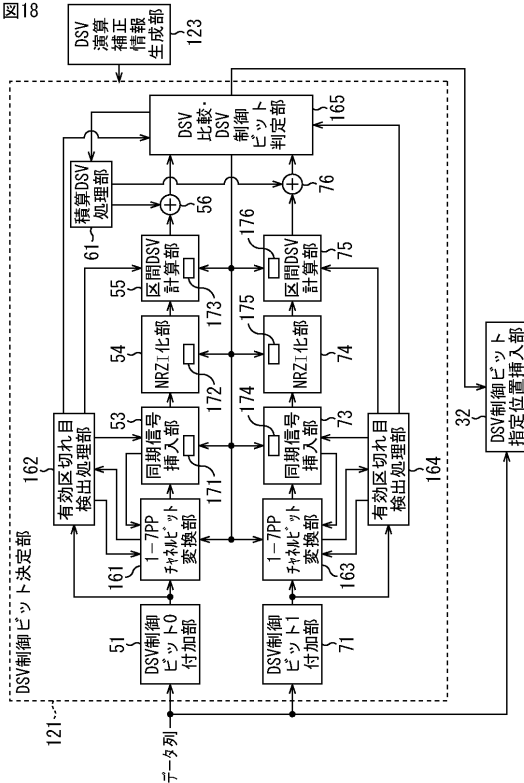
【図 19】

図19



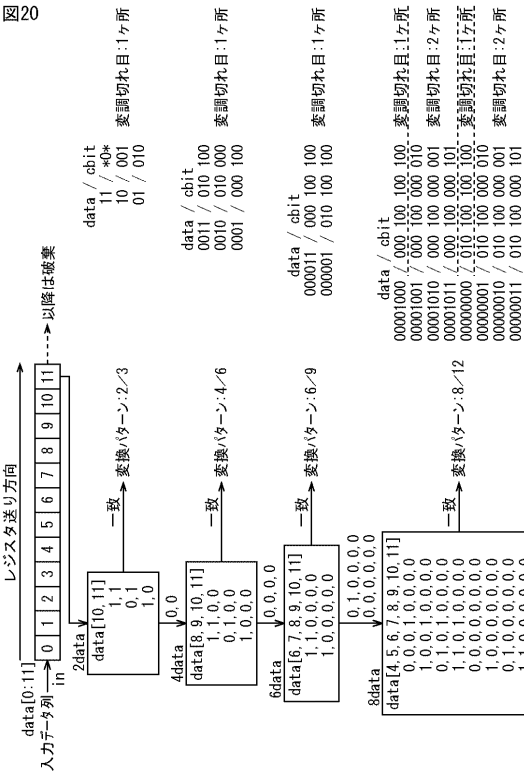
【図 18】

図18



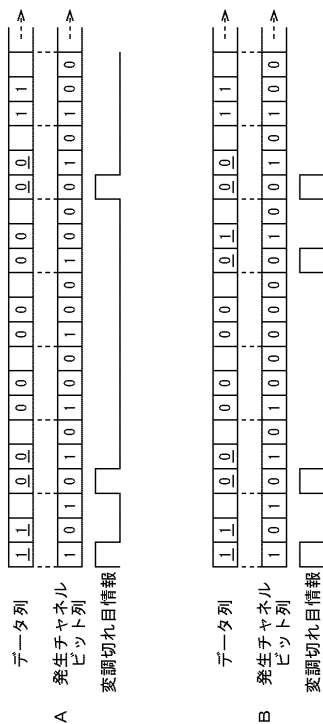
【図 20】

図20



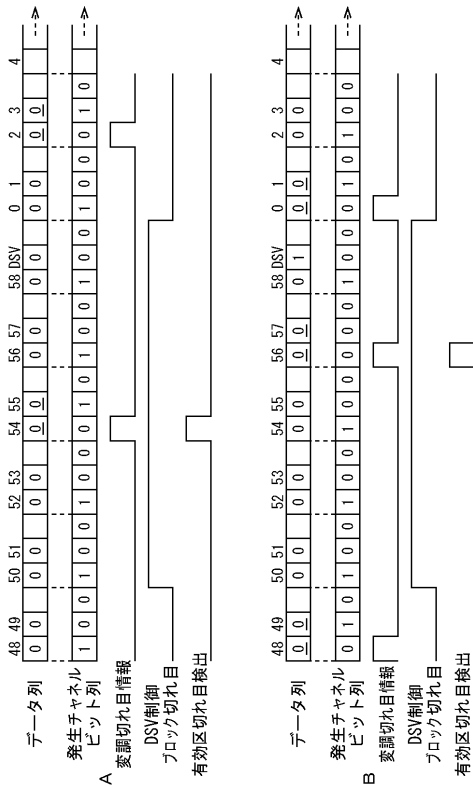
【図21】

図21



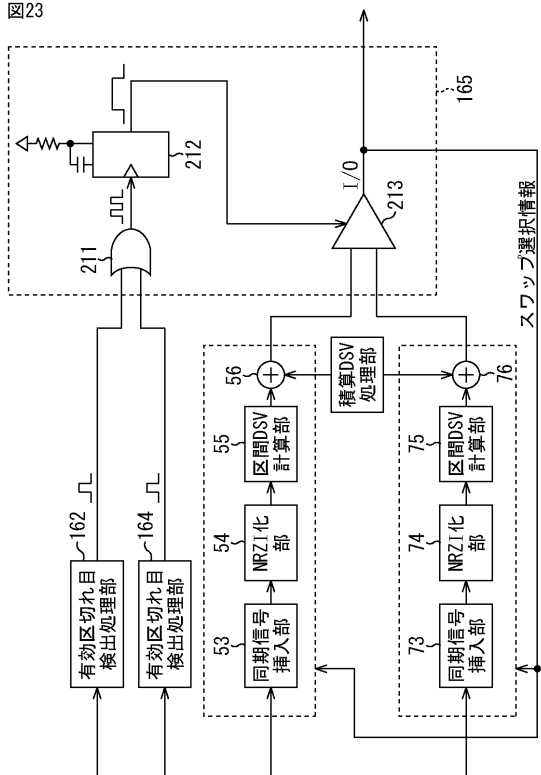
【図22】

図22



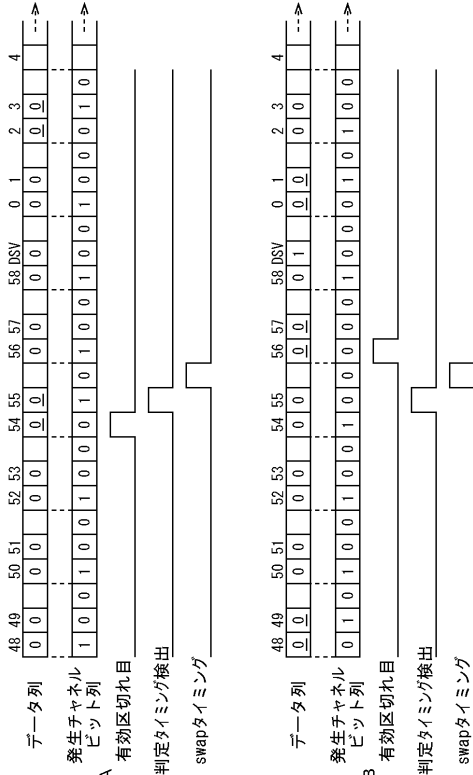
【図23】

図23



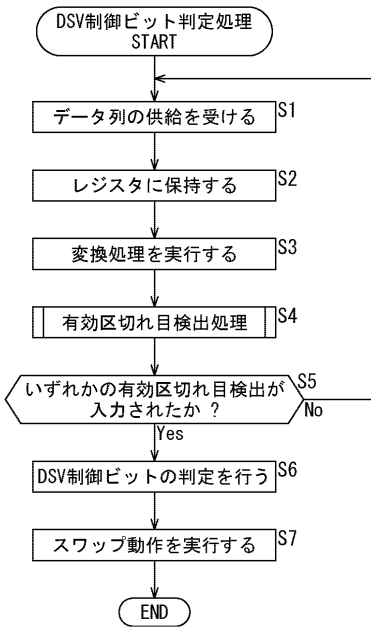
【図24】

図24



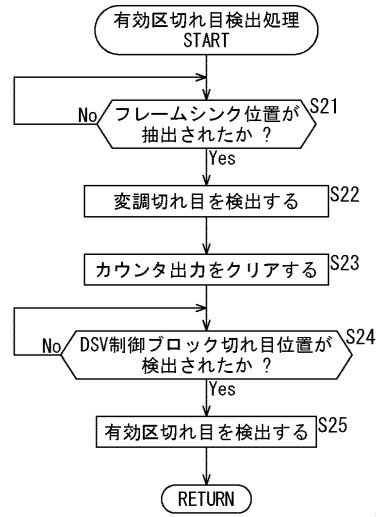
【図25】

図25



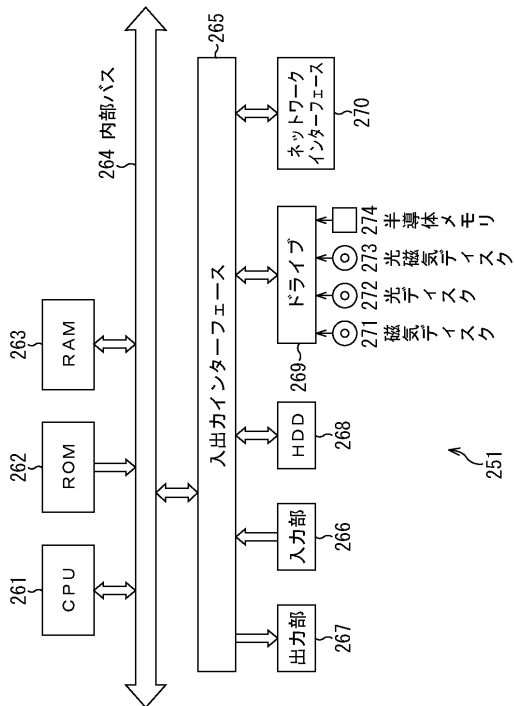
【図26】

図26



【図27】

図27



---

フロントページの続き

- (56)参考文献 特開平 1 1 - 1 7 7 4 3 1 ( J P , A )  
特開平 1 1 - 1 4 5 8 4 1 ( J P , A )  
特開 2 0 0 0 - 1 4 9 4 5 7 ( J P , A )  
特開 2 0 0 0 - 3 4 1 1 3 3 ( J P , A )  
特開平 0 7 - 2 4 0 6 9 1 ( J P , A )  
特開 2 0 0 0 - 0 6 8 8 4 6 ( J P , A )  
特開 2 0 0 0 - 0 6 8 8 4 7 ( J P , A )  
特開 2 0 0 3 - 2 1 7 2 3 9 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

G11B 20/10  
G11B 20/14  
H03M 7/14