

公告本

320765

申請日期	86.2.22
案 號	86102161
類 別	I類 1-11/768

A4
C4

320765

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	動態隨機存取記憶體自動對準接觸窗的製造方法
	英 文	
二、發明人 創作	姓 名	1 劉明華 2 陳銘聰
	國 籍	中華民國
三、申請人	住、居所	1 台中市精武路 113 巷 4 弄 15-4 號 2 高雄縣鳳山市八德路二段 279 號 6 樓
	姓 名 (名稱)	聯華電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學工業園區工業東三路三號
	代 表 人 姓 名	曹興誠

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明 (|)

本發明是有關於一種動態隨機存取記憶體 (Dynamic Random Access Memory, DRAM) 自動對準接觸窗的製造方法，且特別是有關於改善自動對準接觸窗蝕刻效果，以及改善基底與金屬連線接觸效果的一種動態隨機存取記憶體自動對準接觸窗的製造方法。

在動態隨機存取記憶體製程中，當金屬氧化半導體 (Metal-Oxide-Semiconductor, MOS) 電晶體形成後，介電層的形成、蝕刻接觸窗 (contact)、以及建構金屬連線都是相當重要的步驟。目前皆是以自動對準接觸窗 (Self Align Contact, SAC) 的方式來達成基底與金屬連線的連接，其中更包括上層介電層平坦化的製程。

請參照第 1 圖至第 6 圖，其繪示習知一種自動對準接觸窗的製造程序。首先請參照第 1 圖，圖 1 所繪示的是一具有 MOS 電晶體的基底 11，其上所形成的 MOS 電晶體則包括閘極 13 以及源極/汲極區域 16，其中，閘極 13 材質係為摻雜的多晶矽，其下方有一閘氧化層 12、而其上則覆蓋一蓋氧化矽層 14 (cap oxide)、週緣有閘極間隙壁 15 (spacer)，而源極/汲極區域 16 一般係具有“輕度摻雜汲極” (Lightly Doped Drain, LDD) 結構。此外，基底 11 上還形成有其他構成 DRAM 的相關構件，比如場氧化層 17 (field oxide)、金屬連線 18 (wireline)、金屬連線 18 上的蓋氧化矽層 19、及包圍在金屬連線 18 週緣的間隙壁 20。在上述的結構上沈積一層內多晶矽介電層 21 (Inter Poly Dielectrics, IPD)，其材質例如為氧化矽，厚度例

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(2)

如是 1500Å-2500Å。

接著請參照第 2 圖，例如利用化學氣相沈積法 (Chemical Vapor Deposition, CVD) 在內多晶矽介電層 21 上沈積一氮化矽層 22，厚度例如是 300Å-600Å。之後例如利用化學氣相沈積法在氮化矽層 22 上沈積一厚度較高的氧化矽層 23，厚度例如是 5000Å-8000Å，並藉回蝕 (etch back) 的方法使其平坦化 (planarization)。然而，也可由化學氣相沈積法沈積一層硼磷矽玻璃 (BPSG)，經過再熱流 (reflow) 使其平坦化來取代這層平坦化的氧化矽層 23。在平坦化的氧化矽層 23 上形成一光阻層 24，利用傳統的微影製程，暴露出欲形成自動對準接觸窗的區域。

接著請參照第 3 圖，進行氧化矽層 23 的蝕刻，習知用來蝕刻此平坦化氧化矽層 23 的方法是以氮化矽層 22 為阻絕層 (stop layer)，進行非等向性的乾式蝕刻，如圖 3 之箭號 25 所示。由於氧化矽層 23 經過平坦化的製程，其在接觸窗的區域厚度不均，且乾式蝕刻的選擇能力 (selectivity) 較差，一般氮化矽層與氧化矽層的蝕刻比約為 1:10~1:12，所以易發生過蝕刻 (over etch)，比如蝕刻到部份阻絕層 (如圖 3 虛線 26 處的氮化矽層 22)，或造成蝕刻殘留 (如圖 3 殘留之氧化矽 27)。緊接著進行氮化矽層 22 與內多晶矽介電層 21 的蝕刻，習知是以非等向性乾式蝕刻的方法進行。由於有間隙壁 15 與 20、蓋氧化矽層 14 及 19 之故，此蝕刻步驟可自動對準源極/汲極區

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(3)

域 16 形成接觸窗 29 ,而不會侵蝕閘極 13 或金屬連線 18 。延續前一步驟的蝕刻殘留,此時接觸窗 29 底部,即源極/汲極 16 表面依舊會有一些蝕刻殘留(如圖 4 之 28 所示)。之後,去除光阻層 24 ,而形成如圖 4 之結構。

接著請參照第 5 圖,在第 4 圖的結構上沈積一摻雜的多晶矽層 30 。之後在多晶矽層 30 上形成一光阻層 31 ,利用傳統的微影製程,將接觸窗 29 上方的區域覆蓋住。然後以非等向性蝕刻進行多晶矽層 30 的蝕刻(如圖 5 之 32 所示)。

接著請參照第 6 圖,去除光阻層 31 形成金屬連線 32 ,並與源極/汲極區域 16 連接。至此,完成了自動對準接觸窗的製造。

習知的自動對準接觸窗係以非等向性蝕刻製造,由於非等向性蝕刻的選擇能力低,故蝕刻氧化矽層 23 時,為避免過度蝕刻至下層之氮化矽層 22 ,將形成氧化矽層 23 的蝕刻殘留,導致自動對準接觸窗之蝕刻窗口變窄,使金屬連線與基底源極/汲極區域間形成斷路(open)。因此,本發明的主要目的就是在提供一種自動對準接觸窗的製造方法,藉以徹底去除自動對準接觸窗上方之氧化矽層,確保基底與金屬連線電性藕接。

為達成本發明之上述和其他目的,一種 DRAM 自動對準接觸窗的製造方法,包括下列步驟:提供一基底,其上已形成一 MOS 電晶體,其中 MOS 電晶體包括有源極/汲極區域。在基底上依序形成第一介電層、第二介電層、第三

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(4)

介電層。平坦化第三介電層。定義第三介電層，以非等向性乾式蝕刻以及等向性濕式蝕刻去除在源極/汲極區上方的第三介電層。依序去除暴露出的該第二介電層與該第一介電層，在該源極/汲極區之一上方形成一自動對準接觸窗。

依照本發明的一較佳實施例，一種 DRAM 自動對準接觸窗的製造方法，對於經過平坦化處理之第三介電層的蝕刻，同時採用非等向性乾式蝕刻與等向性濕式蝕刻，提高厚度不均之第三介電層的蝕刻效果。更由於等向性濕式蝕刻具有較佳的選擇能力，可避免過度蝕刻的發生。因為第三介電層蝕刻效果的提高，進而影響後續第二介電層及第一介電層的蝕刻效果，可減低蝕刻殘留，讓接觸窗中金屬連線與基底源極/汲極區域接觸效果提高，減少斷路接觸的發生。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖至第 6 圖所繪示的是一種習知 DRAM 自動對準接觸窗的製造方法。

第 7 圖至第 13 圖所繪示的是應用本發明之一較佳實施例，一種 DRAM 自動對準接觸窗的製造方法。

實施例

請參照第 7 圖至第 13 圖，其繪示依照本發明一較佳實

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(5)

施例的一種 DRAM 自動對準接觸窗的製造方法。首先請參照第 7 圖,圖 7 所繪示的是一個具有 MOS 電晶體的基底 41,其上的 MOS 電晶體則包括建構在矽基底 41 表面的閘極 43,其材質為摻雜的多晶矽,其下有一閘氧化層 42,其上覆蓋一蓋氧化矽層 44,而週緣由閘極間隙壁 45 所包圍,以及源極/汲極區域 46,此源極/汲極區域 46 一般具有"輕摻雜汲極"結構。此外,基底 41 上還有其他構成 DRAM 的相關機構,比如場氧化層 47,金屬連線 48,金屬連線 48 上的蓋氧化矽層 49,及包圍在金屬連線 48 週緣的間隙壁 50。在上述的結構上沈積一層內多晶矽介電層 51,其材質為氧化矽,厚度例如是 1500Å-2500Å。

接著請參照第 8 圖,例如利用化學氣相沈積法在內多晶矽介電層 51 上沈積一氮化矽層 52,厚度例如是 300Å-600Å。之後利用化學氣相沈積法在氮化矽層 52 上沈積一厚度較高的氧化矽層 53,厚度例如是 5000Å-8000Å,並藉回蝕的方法使其平坦化。然而,也可由化學氣相沈積法沈積一層硼磷矽玻璃,經過再熱流使其平坦化來取代這層平坦化的氧化矽層 53。在平坦化的氧化矽層 53 上形成一光阻層 54,利用傳統的微影製程,暴露出欲形成自動對準接觸窗的區域。

接著請參照第 9 圖,進行第一次氧化矽層 53 的蝕刻,以氮化矽層 22 為阻絕層,進行非等向性的乾式蝕刻(如圖 9 之 55 所示)。由於氧化矽層 23 經過平坦化的製程,其在接觸窗的區域厚度不均,但在第一次氧化矽層 53 的蝕刻

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(6)

僅蝕刻至厚度最薄處之阻絕層暴露出即停止，避免過度蝕刻，因此定有殘留之部分氧化矽層（如圖9之56）。

接著請參照第10圖，進行第二次氧化矽層53的蝕刻，此時採用等向性濕式蝕刻（如圖10之560所示），將前次蝕刻之殘留氧化矽層56去除，由於等向性濕式蝕刻有較佳選擇能力，所以可以避免過度蝕刻氮化矽層52。對於氧化矽層的二次蝕刻步驟，包括非等向性乾式蝕刻與等向性濕式蝕刻，其順序是可替換的，亦即第一次可用等向性濕式蝕刻，而第二次使用非等向性乾式蝕刻。緊接著進行氮化矽層52與內多晶矽介電層51的蝕刻，以非等向性乾式蝕刻的方法進行，由於有間隙壁45，50，蓋氧化矽層44，49，此蝕刻步驟可自動對準源極/汲極區域形成接觸窗57，而不會侵蝕閘極43或金屬連線48。由於先前的氧化矽層53蝕刻並無殘留，故氮化矽層52與內多晶矽介電層51的蝕刻效果將明顯地改善，此時接觸窗57底部，即源極/汲極表面將不會有蝕刻殘留。去除光阻層54，而形成如圖11之結構。

接著請參照第12圖，在第11圖的結構上沈積一摻雜的多晶矽層58。之後在其上形成一光阻層59，利用傳統的微影製程，將接觸窗29上方的區域覆蓋住。然後以非等向性乾式蝕刻進行多晶矽層58的蝕刻（如圖12之60所示）。

接著請參照第13圖，去除光阻層59形成金屬連線61，並與接觸窗內源極/汲極區域46連接。至此，完成了自動

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明(7)

對準接觸窗的製造。

由上述之較佳實施例可知，由於本發明利用非等向性乾式蝕刻與等向性濕式蝕刻二種方法蝕刻平坦化的上層介電層（比如實施例中平坦化之氧化矽層），因為濕式蝕刻具有較佳的選擇能力，以氧化矽蝕刻為例，乾式蝕刻選擇能力約 10 : 1（氧化矽：氮化矽），而濕式蝕刻選擇能力則為 100 : 1，因此在確保下層介電層（比如實施例中之氮化矽層）未被過度蝕刻的前提下，本發明可改善上層介電層的蝕刻效果。同樣地，也會改善整個自動對準接觸窗的蝕刻製程，避免金屬連線與源極/汲極區域產生斷路接點的情形，提高 DRAM 的製造品質，這正是本發明的主要優點。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

四、中文發明摘要(發明之名稱：動態隨機存取記憶體自動對準接觸窗的製造方法)

一種 DRAM 自動對準接觸窗的製造方法，包括下列步驟：提供一基底，其上已形成一 MOS 電晶體，其中 MOS 電晶體包括有源極/汲極區域。在基底上依序形成第一介電層、第二介電層、第三介電層。平坦化第三介電層。定義第三介電層，以非等向性乾式蝕刻以及等向性濕式蝕刻去除在源極/汲極區上方的第三介電層。依序去除暴露出的該第二介電層與該第一介電層，在該源極/汲極區之一上方形成一自動對準接觸窗。

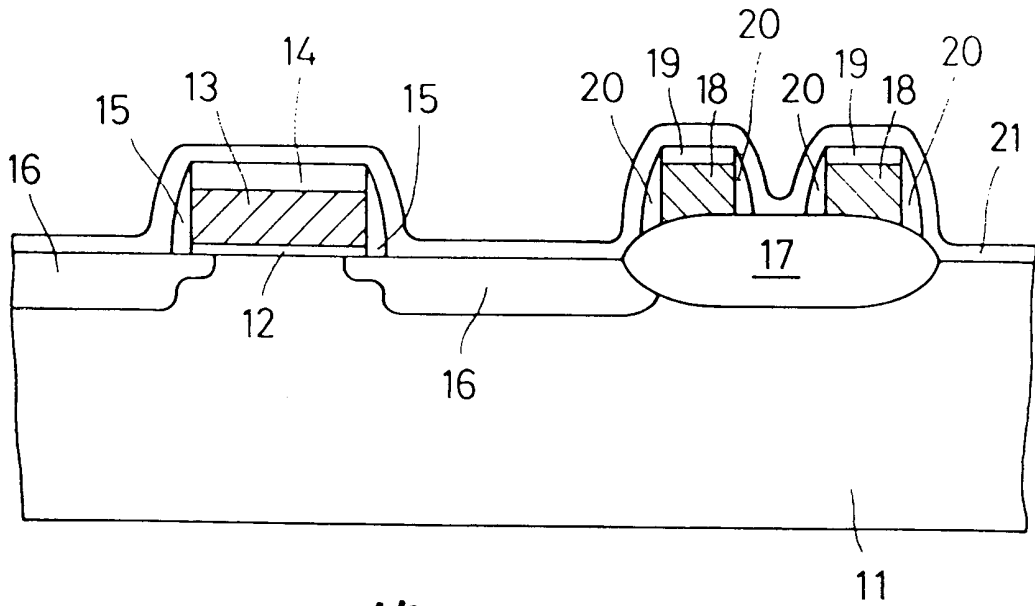
(請先閱讀背面之注意事項再填寫本頁各欄)

裝

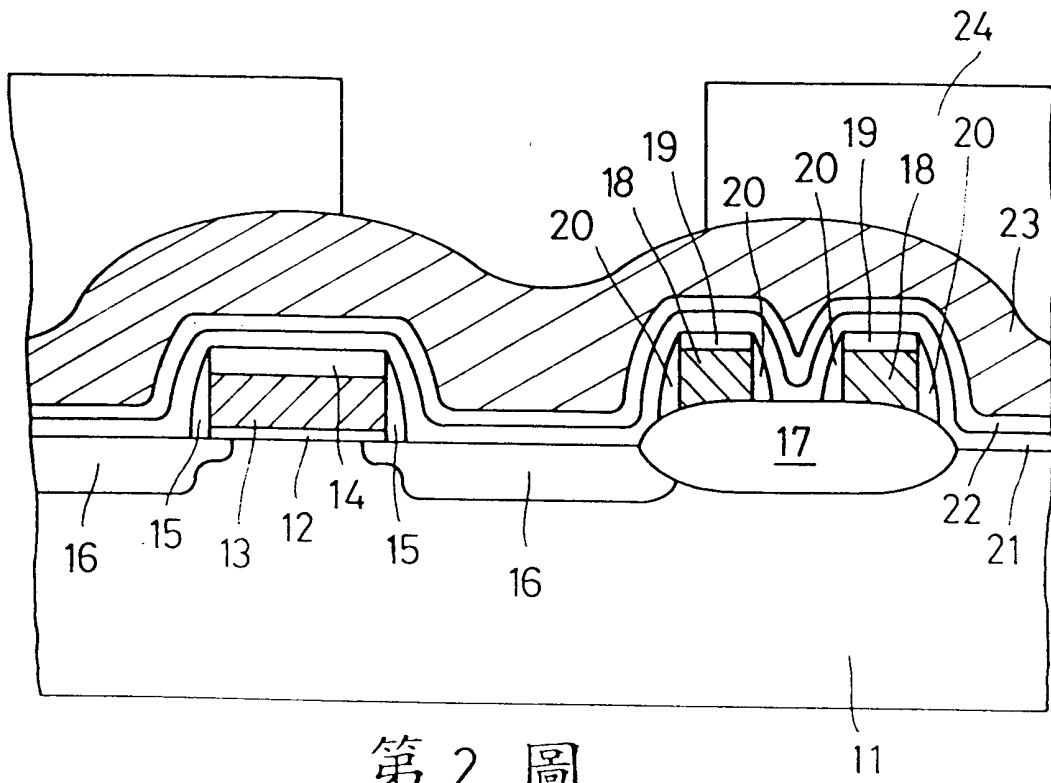
訂

線

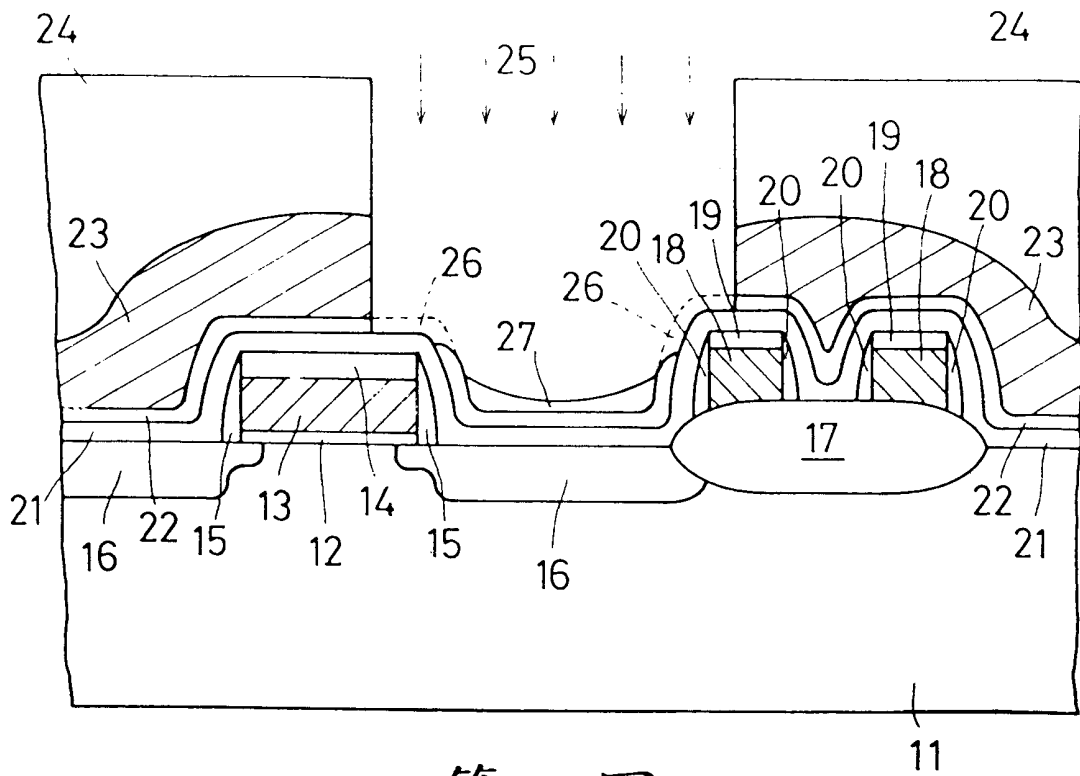
英文發明摘要(發明之名稱：)



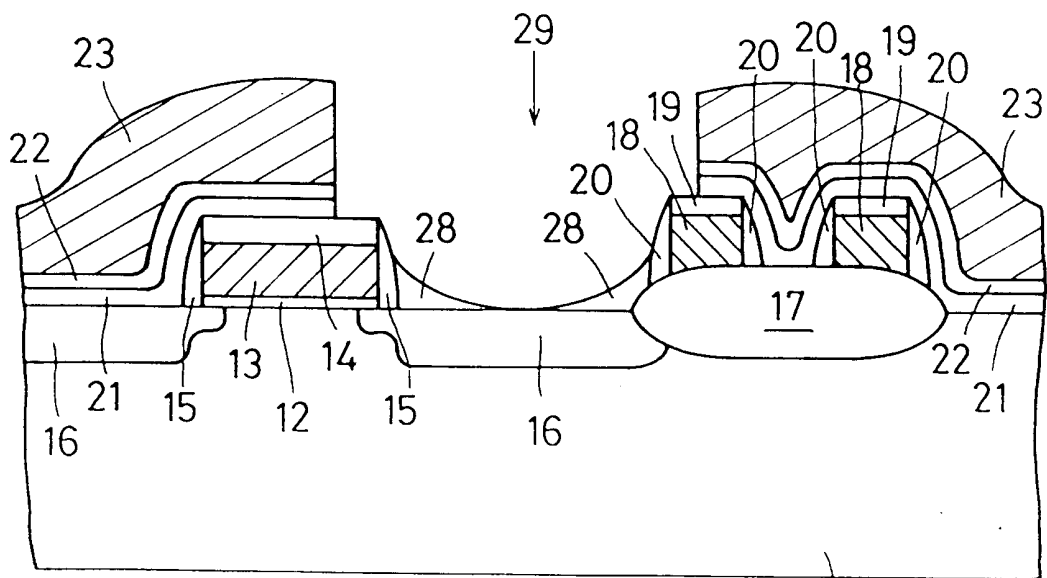
第 1 圖



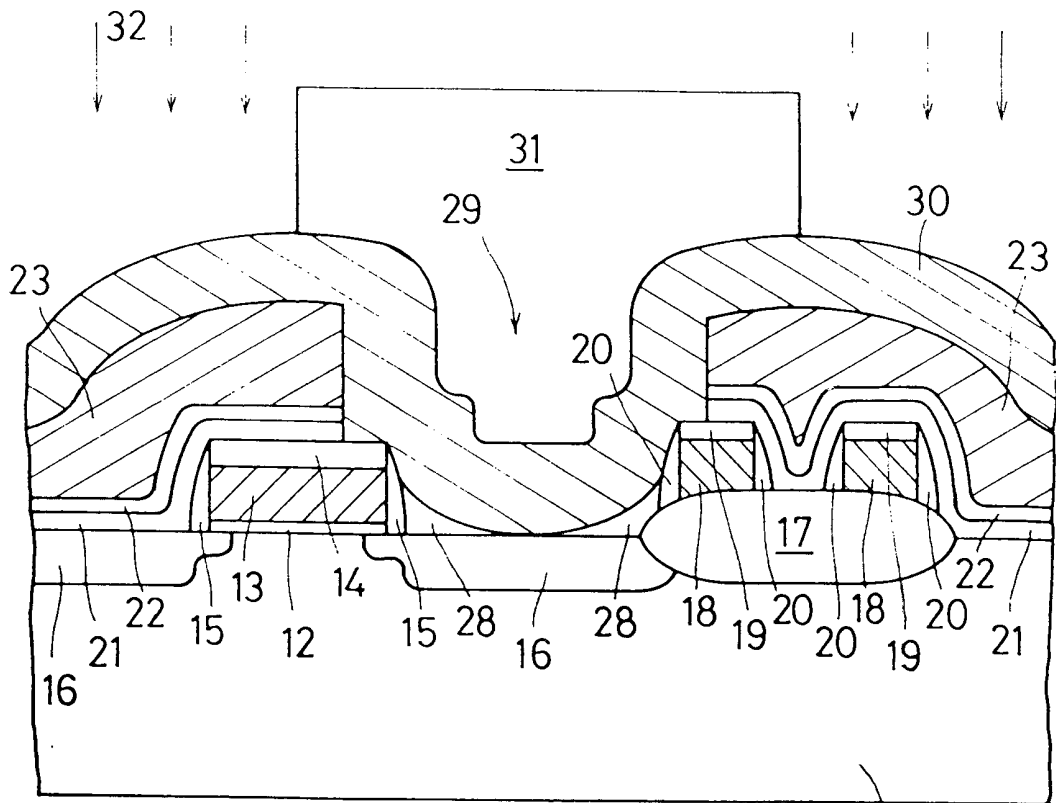
第 2 圖



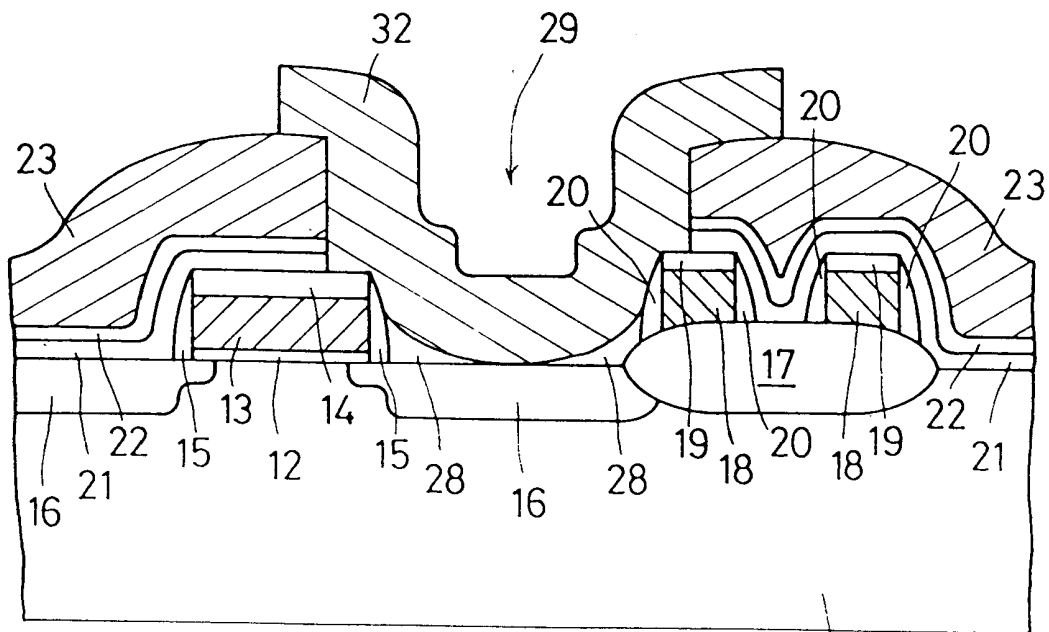
第 3 圖



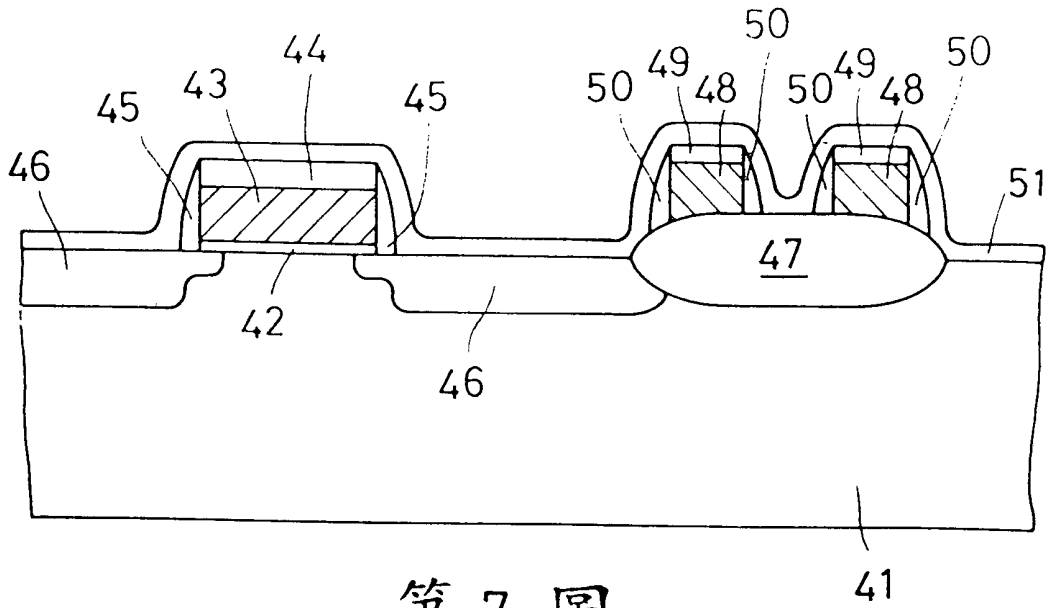
第 4 圖



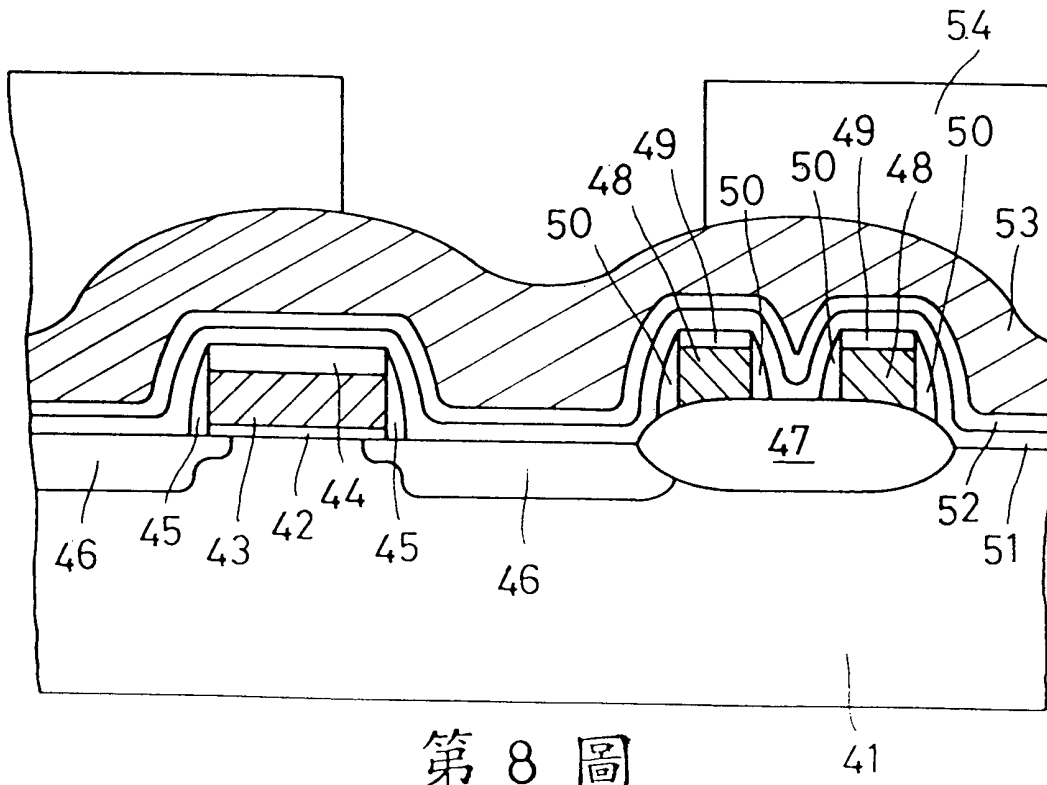
第 5 圖



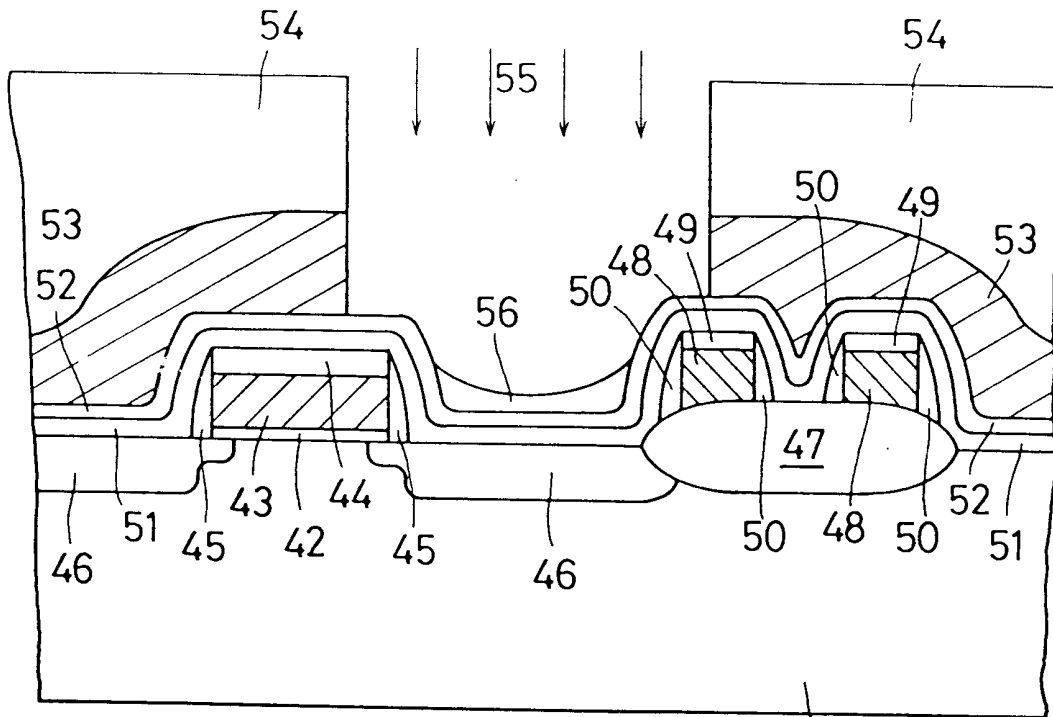
第 6 圖



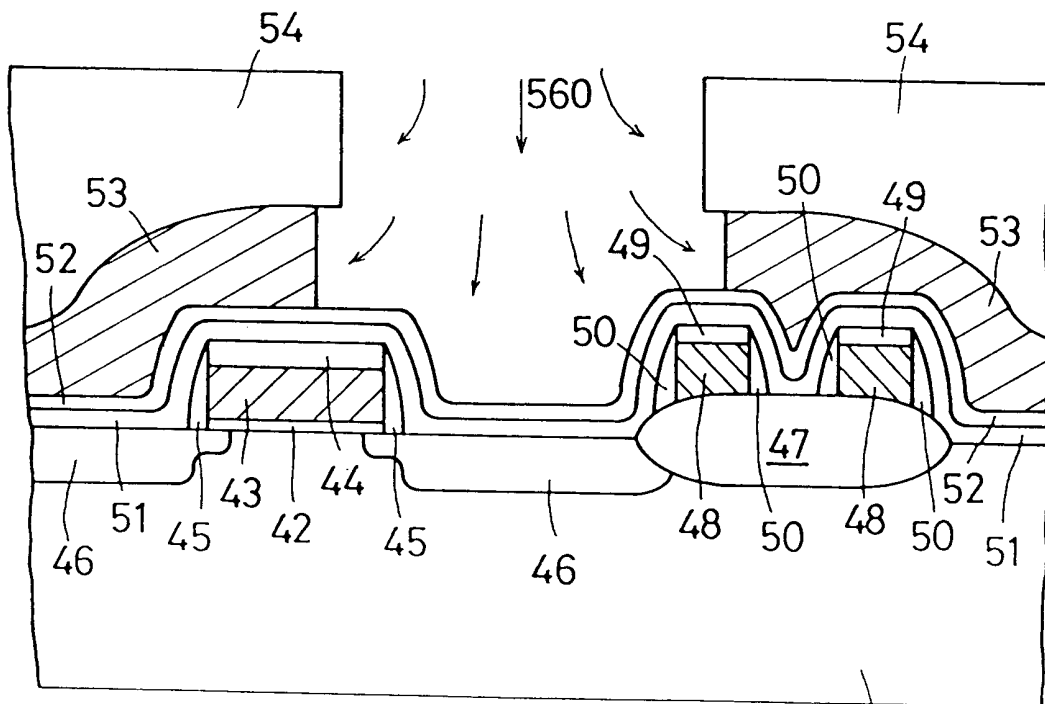
第 7 圖



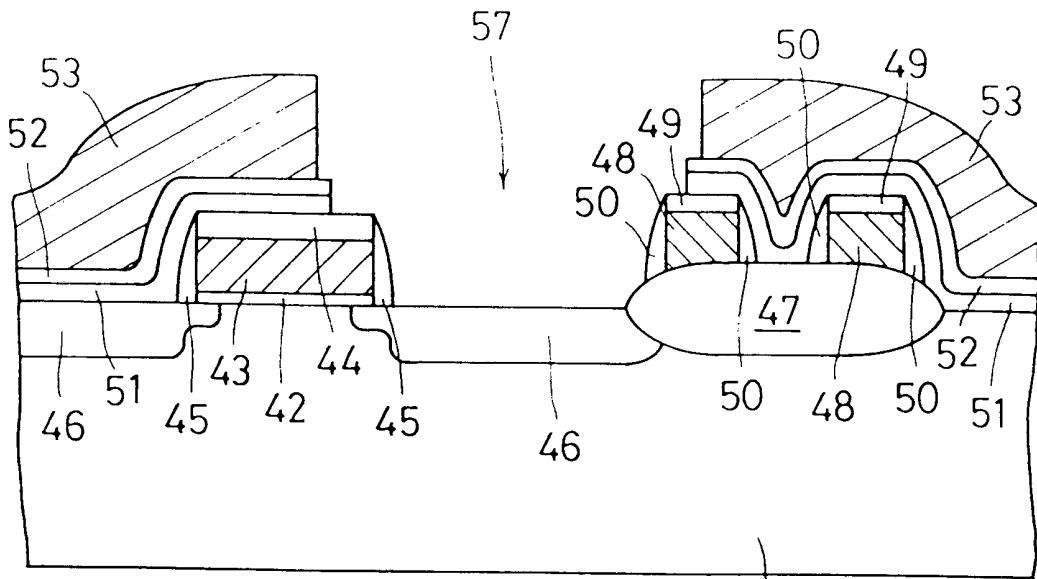
第 8 圖



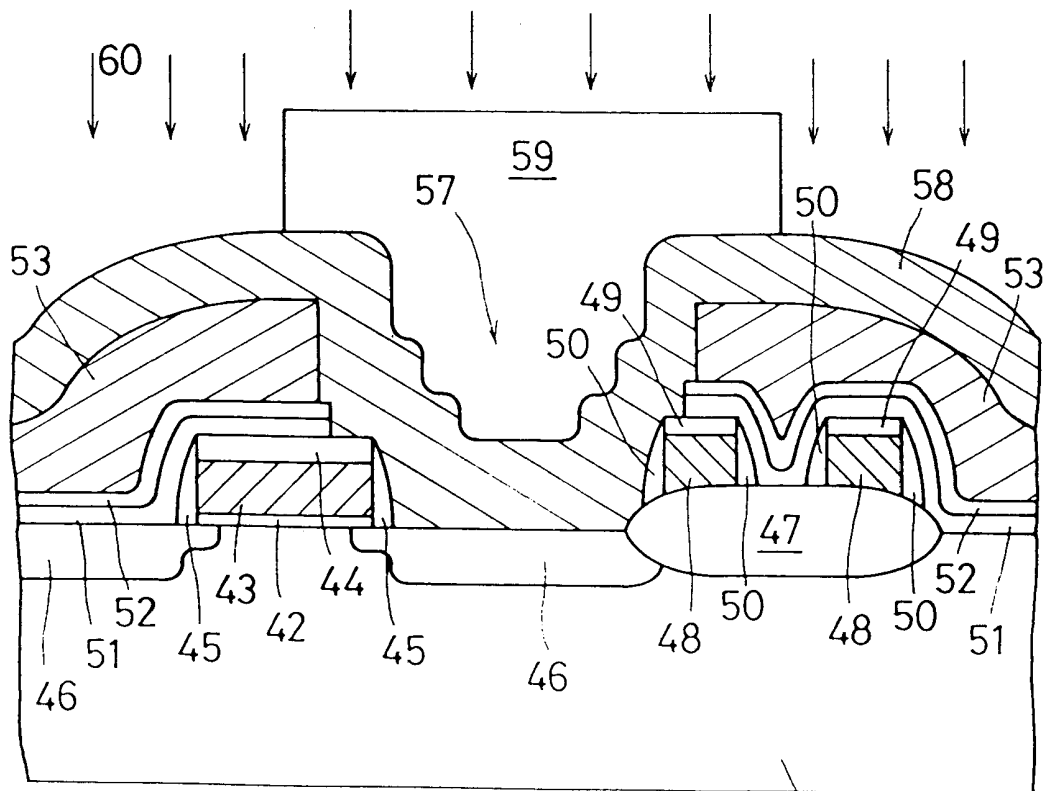
第 9 圖



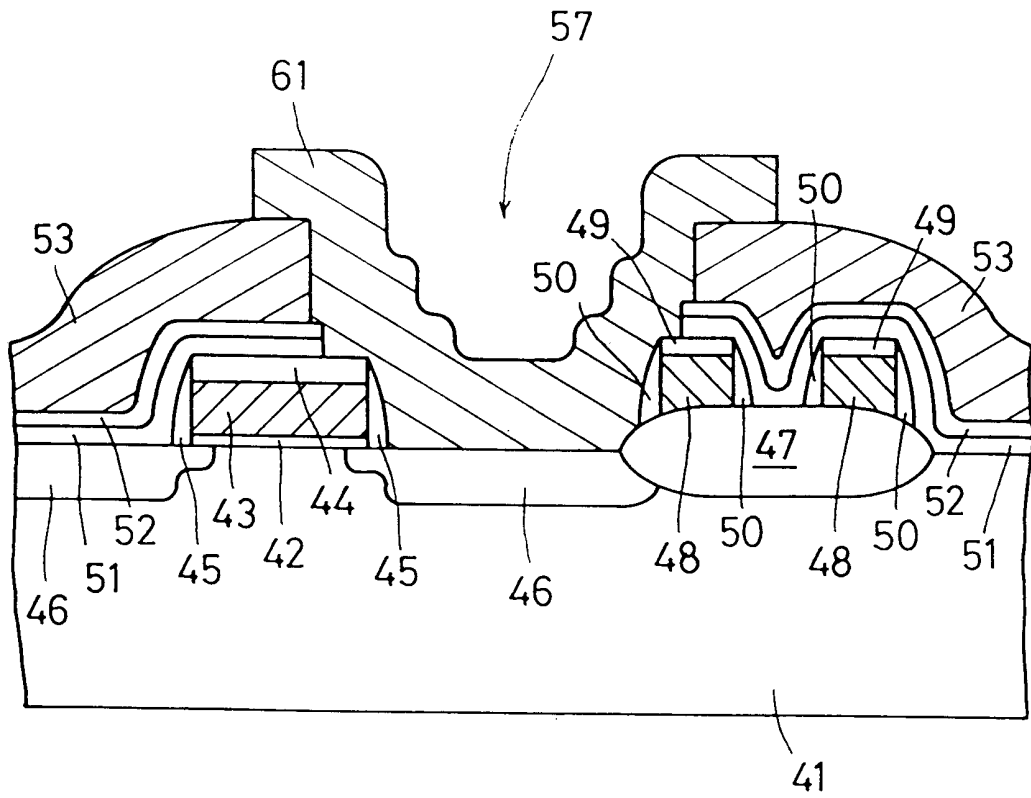
第 10 圖



第11圖



第12圖



第13圖

六、申請專利範圍

1. 一種動態隨機存取記憶體自動對準接觸窗的製造方法，包括下列步驟：

a. 提供一基底，該基底上已形成有一金屬氧化半導體電晶體，其中該金屬氧化半導體電晶體包括有源極/汲極區；

b. 在該基底上形成一第一介電層；

c. 在該第一介電層上形成一第二介電層；

d. 在該第二介電層上形成一第三介電層；

e. 平坦化該第三介電層；

f. 定義該第三介電層，利用兩次蝕刻步驟去除在該源極/汲極區之一上方的該第三介電層；以及

g. 依序去除暴露出的該第二介電層與該第一介電層，在該源極/汲極區之一上方形成一自動對準接觸窗。

2. 如申請專利範圍第 1 項所述之製造方法，其中該第一介電層係為氧化矽。

3. 如申請專利範圍第 1 項所述之製造方法，其中該第二介電層係為氮化矽。

4. 如申請專利範圍第 1 項所述之製造方法，其中該第三介電層係為氧化矽，且係以回蝕之方法使該第三介電層平坦化。

5. 如申請專利範圍第 1 項所述之製造方法，其中該第三介電層係為硼磷矽玻璃，且係以再熱流之方法使該第三介電層平坦化。

6. 如申請專利範圍第 1 項所述之製造方法，其中定義該第三介電層，利用兩次蝕刻步驟去除在該源極/汲極區之

六、申請專利範圍

一上方的該第三介電層之步驟中，係先以非等向性乾式蝕刻，再以等向性濕式蝕刻去除在該源極/汲極區之一上方的該第三介電層。

7. 如申請專利範圍第 1 項所述之製造方法，其中定義該第三介電層，利用兩次蝕刻步驟去除在該源極/汲極區之一上方的該第三介電層之步驟中，係先以等向性濕式蝕刻，再以非等向性乾式蝕刻去除在該源極/汲極區之一上方的該第三介電層。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂