

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-44913  
(P2005-44913A)

(43) 公開日 平成17年2月17日(2005.2.17)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
H O 1 L 21/3205	H O 1 L 21/88	4 K O 2 2
C 2 3 C 18/16	C 2 3 C 18/16	4 K O 2 4
C 2 3 C 18/31	C 2 3 C 18/31	5 F O 3 3
C 2 3 C 18/38	C 2 3 C 18/38	
C 2 3 C 18/42	C 2 3 C 18/42	
審査請求 未請求 請求項の数 17 O L (全 15 頁) 最終頁に続く		

(21) 出願番号	特願2003-201468 (P2003-201468)	(71) 出願人	000000239 株式会社荏原製作所 東京都大田区羽田旭町 1 1 番 1 号
(22) 出願日	平成15年7月25日 (2003. 7. 25)	(74) 代理人	100091498 弁理士 渡邊 勇
		(74) 代理人	100092406 弁理士 堀田 信太郎
		(74) 代理人	100093942 弁理士 小杉 良二
		(74) 代理人	100109896 弁理士 森 友宏
		(72) 発明者	福永 明 東京都大田区羽田旭町 1 1 番 1 号 株式会 社荏原製作所内
最終頁に続く			

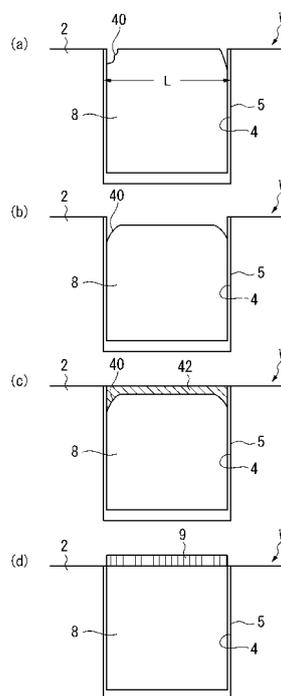
(54) 【発明の名称】 半導体装置の製造方法及びその装置

(57) 【要約】

【課題】 ダマシンプロセスによって埋込み配線を形成する際の、平坦化工程において配線の露出表面に生じる配線材料の腐食減肉を修復して、高い歩留まりで半導体装置を製造できるようにする。

【解決手段】 表面に設けた層間絶縁膜 2 に配線用の微細凹部 4 を形成した基板 W を用意し、基板 W の表面に配線材料を成膜して該配線材料を微細凹部 4 内に埋込み、基板の表面に余剰に形成された配線材料を除去し平坦化して配線材料からなる配線 8 を形成し、平坦化処理において配線 8 の露出表面に形成された減肉部分 4 0 を修復する。

【選択図】 図 4



## 【特許請求の範囲】

## 【請求項 1】

表面に設けた層間絶縁膜に配線用の微細凹部を形成した基板を用意し、基板の表面に配線材料を成膜して該配線材料を前記微細凹部内に埋込み、基板の表面に余剰に形成された前記配線材料を除去し平坦化して前記配線材料からなる配線を形成し、前記平坦化処理において前記配線の露出表面に形成された減肉部分を修復することを特徴とする半導体装置の製造方法。

## 【請求項 2】

前記配線用の微細凹部の最少寸法が、 $0.1\ \mu\text{m}$ 以下であることを特徴とする請求項 1 記載の半導体装置の製造方法。 10

## 【請求項 3】

前記配線の露出表面に形成された減肉部分の修復を、無電解めっきまたは電解めっきにより行うことを特徴とする請求項 1 または 2 記載の半導体装置の製造方法。

## 【請求項 4】

前記減肉部分の修復に先だって、前記配線の露出表面の、少なくとも周辺の一部をエッチング除去することを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置の製造方法。

## 【請求項 5】

前記減肉部分を修復した後、基板に熱処理を施すことを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体装置の製造方法。 20

## 【請求項 6】

前記配線材料の成膜を、スパッタリング法、CVD法またはめっき法、またはそれらの組合せによって行うことを特徴とする請求項 1 乃至 5 のいずれかに記載の半導体装置の製造方法。

## 【請求項 7】

前記配線材料の成膜を、めっき条件を 2 つ以上に変えためっき法を含む方法で行うことを特徴とする請求項 1 乃至 5 のいずれかに記載の半導体装置の製造方法。

## 【請求項 8】

前記配線材料が、アルミニウム、銅または銀、またはそれらの合金からなることを特徴とする請求項 1 乃至 7 のいずれかに記載の半導体装置の製造方法。 30

## 【請求項 9】

前記配線材料の平坦化を、化学機械的研磨法、複合電解研磨法または電解研磨法、またはそれらの組合せによって行うことを特徴とする請求項 1 乃至 8 のいずれかに記載の半導体装置の製造方法。

## 【請求項 10】

配線の露出表面に形成された減肉部分を修復した後、配線の露出表面に、無電解めっきにより保護膜を選択的に形成することを特徴とする請求項 1 乃至 9 のいずれかに記載の半導体装置の製造方法。

## 【請求項 11】

表面が前記層間絶縁膜の表面と同一平面となるように前記保護膜を形成することを特徴とする請求項 10 記載の半導体装置の製造方法。 40

## 【請求項 12】

層間絶縁膜に配線用の微細凹部を形成した基板の表面に配線材料を成膜して該配線材料を前記微細凹部内に埋込む成膜ユニットと、基板の表面に余剰に成膜された前記配線材料を除去し平坦化して前記配線材料からなる配線を形成する研磨ユニットと、前記研磨ユニットによる平坦化処理で前記配線の露出表面に形成された減肉部分を修復する修復ユニットを有することを特徴とする半導体装置の製造装置。

## 【請求項 13】

前記成膜ユニットは、電解めっきユニットまたは無電解めっきユニット、または両者の組合せからなることを特徴とする請求項 1 2 記載の半導体装置の製造装置。

【請求項 1 4】

前記修復ユニットは、電解めっきユニットまたは無電解めっきユニットからなることを特徴とする請求項 1 2 または 1 3 記載の半導体装置の製造装置。

【請求項 1 5】

前記修復ユニットによって修復された配線の露出表面に保護膜を選択的に形成する無電解めっきユニットを更に有することを特徴とする請求項 1 2 乃至 1 4 のいずれかに記載の半導体装置の製造装置。

【請求項 1 6】

前記修復ユニットによる減肉部分の修復に先だて、前記配線の露出表面の、少なくとも周辺の一部をエッチング除去するエッチングユニットを更に有することを特徴とする請求項 1 2 乃至 1 5 のいずれかに記載の半導体装置の製造装置。

【請求項 1 7】

前記修復ユニットによって減肉部分を修復した基板に熱処理を施す熱処理ユニットを更に有することを特徴とする請求項 1 2 乃至 1 6 のいずれかに記載の半導体装置の製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法及びその装置に係り、特に半導体ウエハ等の基板表面に成膜した層間絶縁膜に予め形成した配線溝やコンタクトホールなどの配線用の微細凹部内に、アルミニウム、銅、銀ないしそれらの合金からなる配線材料（導電体金属）を埋込んだ後、余分な金属を除去し平坦化することにより基板表面に埋込み配線を形成する半導体装置の製造方法及びその装置に関する。

【0002】

【従来の技術】

半導体装置の配線形成プロセスとして、配線溝やコンタクトホール内に配線材料（導電体金属）を埋込むようにした、いわゆるダマシンプロセスが使用されている。これは、具体的には、層間絶縁膜に予め形成した配線溝やコンタクトホールに、配線材料の層間絶縁膜への拡散を防止するためのバリア層（TiN, TaN, WN など）をスパッタリング法ないしはCVD法によって形成し、次いでアルミニウム、近年では銅や銀等の金属を、スパッタリング法、CVD法またはめっき法等の方法により埋込んだ後、層間絶縁膜上に形成された余分な金属並びにバリア層を化学機械的研磨（CMP）などの方法によって除去し平坦化することにより埋込み配線を形成する方法である。

【0003】

この種の配線にあっては、平坦化後、金属配線の表面が外部に露出しており、この上に更に埋込み配線を形成する場合には、露出している金属配線と上層の層間絶縁膜との密着性確保、あるいは層間絶縁膜に対する配線金属材料の拡散防止、更には、ビアホール形成のための層間絶縁膜エッチング工程での配線材料のダメージ防止等々、様々な問題を解決する必要がある。

【0004】

このため、SiNやSiCなどの絶縁膜を、金属配線を含む基板の全面にCVD法等によって形成し、これらの問題に対応する方法が行われている。しかし、この種の絶縁膜は、一般に誘電率が比較的高く、微細化に伴う層間絶縁膜の低誘電率化の方向に反することになる。そこで、例えば配線サイズが0.1 μm以下のデザインルールにおいては、低誘電率化の方向を維持しつつ、半導体装置の信頼性を向上させるため、銅や銀等の配線材料との接合が強く、しかも導電率の高い、例えばコバルトやニッケル、あるいはこれらの合金からなる保護膜を無電解めっきによって配線の表面に選択的に形成して被覆することにより、配線を保護するという方法も提案されている。

【0005】

10

20

30

40

50

図1(a)～図1(d)は、半導体装置における銅配線形成例を工程順に示すもので、先ず図1(a)に示すように、半導体素子を形成した半導体基材1上の導電層1aの上に、例えばSiO<sub>2</sub>からなる酸化膜やLow-K材膜等の絶縁膜(層間絶縁膜)2を堆積し、この絶縁膜2の内部に、例えばリソグラフィ・エッチング技術により、配線用の微細凹部としてのコンタクトホール3と配線溝4を形成し、その上にTa<sub>2</sub>N<sub>5</sub>等からなるバリア層5、更にその上に電解めっきの給電層としてのシード層6をスパッタリング等により形成する。

【0006】

そして、図1(b)に示すように、基板Wの表面に銅めっきを施すことで、基板Wのコンタクトホール3及び配線溝4内に銅を充填させるとともに、絶縁膜2上に銅層7を堆積させる。その後、化学機械的研磨(CMP)などにより、絶縁膜2上のバリア層5、シード層6及び銅層7を除去して、コンタクトホール3及び配線溝4内に充填させた銅層7の表面と絶縁膜2の表面とをほぼ同一平面にする。これにより、図1(c)に示すように、絶縁膜2の内部にシード層6と銅層7からなる配線(銅配線)8を形成する。

10

【0007】

次に、図1(d)に示すように、基板Wの表面に無電解めっきを施し、銅配線8の表面に、Co合金やNi合金等からなる保護膜9を選択的に形成し、これによって、銅配線8の表面を保護膜9で覆って保護する。

【0008】

【発明が解決しようとする課題】

20

従来、この種の配線、例えば配線材料として銅を使用した銅配線にあっては、化学機械的研磨等による平坦化に際して、先ず、銅の研磨速度がバリア材料に対して相対的に高いスラリー並びに研磨条件で埋込み部分以外に形成された銅層を除去し、次いでバリア材料の研磨速度が銅に対して相対的に高いスラリー並びに研磨条件で埋込み部分以外に形成されたバリア層を除去して、埋込み配線を形成している。この際、特に基板表面に配線材料の銅とバリア材料が共存する状態になると、研磨中あるいは後洗浄中に両者間に生ずる電位差等により、例えばバリア材料と境界を接する銅配線部分が腐食を受け、局所的な減肉(スパイクと呼ぶこともある)を生ずることがある。このような腐食減肉は、配線抵抗の上昇や、配線材料とその上に形成される膜との密着性不良など、半導体装置の信頼性を大きく損ねる原因となる。

30

【0009】

平坦化工程における比較的大きな腐食減肉については、スラリーの選択や洗浄方法の改善等により既に克服されてきている。一方、小さな腐食減肉(スパイク)については、ディッシングやエロージョンによる銅層の過研磨に隠れて問題とならなかった。しかしながら、デザインルールの微細化、例えば配線サイズとして0.1μmを下回る世代に併せて研磨方法が改善されて過研磨が減少するようになると、これまで隠れていた腐食減肉が表面化し信頼性に影響を与えるようになる。また、無電解めっきにより、配線の表面に高融点金属からなる保護膜(蓋)を選択的に成膜して配線を保護する際、この無電解めっきの処理条件によっては、この腐食減肉が更に助長されることがある。

【0010】

40

研磨条件や洗浄条件、あるいは保護膜を形成する無電解めっきプロセスの更なる改善により、この腐食減肉の影響を小さくすることは可能であろうが、完全な解消は困難である。このため、このような腐食減肉を修復し、しかる後に次工程に廻すことができるようにした方法の開発が望まれるようになってきている。

【0011】

本発明は上記事情に鑑みてなされたもので、ダマシンプロセスによって埋込み配線を形成する際の、平坦化工程において配線の露出表面に生じる配線材料の腐食減肉を修復して、高い歩留まりで半導体装置を製造できるようにした半導体装置の製造方法及びその装置を提供することを目的とする。

【0012】

50

**【課題を解決するための手段】**

請求項1に記載の発明は、表面に設けた層間絶縁膜に配線用の微細凹部を形成した基板を用意し、基板の表面に配線材料を成膜して該配線材料を前記微細凹部内に埋込み、基板の表面に余剰に形成された前記配線材料を除去し平坦化して前記配線材料からなる配線を形成し、前記平坦化処理において前記配線の露出表面に形成された減肉部分を修復することを特徴とする半導体装置である。

このように、平坦化に伴って配線の露出表面に形成された減肉部分を修復することにより、欠陥の少ない埋込み配線を形成して、信頼性の高い半導体装置を製造することができる。

**【0013】**

請求項2に記載の発明は、前記配線用の微細凹部の最少寸法が、 $0.1\ \mu\text{m}$ 以下であることを特徴とする請求項1記載の半導体装置の製造方法である。

配線のデザインルールが $0.1\ \mu\text{m}$ 以下の世代になると、平坦化工程の改善によりディッシングやエロージョンによる銅層の過研磨が減少し、減肉部分の影響が無視できなくなる。また、この世代、あるいはそれ以降に適用が予想されている無電解めっきによる保護層（蓋）の成膜の工程において、前記減肉部分が更に助長されることがある。これらの点から、配線用の微細凹部の最少寸法が、 $0.1\ \mu\text{m}$ 以下の世代で信頼性の高い半導体装置を製造するためには、減肉部分の修復処置が不可欠なものとなる。

**【0014】**

請求項3に記載の発明は、前記配線部分の露出表面に形成された減肉部分の修復を無電解めっきまたは電解めっきにより行うことを特徴とする請求項1乃至2記載の半導体装置の製造方法である。

研磨や後洗浄などの平坦化処理によって配線の露出表面に形成された減肉部分を修復する方法は、主に減肉部分のみに配線材料を成膜することができるものである必要がある。そのようなものとしては、無電解めっきまたは電解めっきが考えられる。しかもこれらの方法は、溶液中で行うウェットプロセスであるので、同一装置内で研磨や後洗浄に引き続いて行う場合に整合性を取りやすい。

**【0015】**

無電解めっきによれば、配線の表面のみに選択的に配線材料を析出させて減肉部分を修復することができる。電解めっきでは、埋込み性の良い添加剤を選択することにより、減肉部分から配線材料を析出させて減肉部分を修復することができる。なお、電解めっきでは、配線をカソード分極する必要があるが、例えば基板上の各チップにあるパッド部分にコンタクトをとって給電する等の方法がある。

これらの場合、例えばめっき中に減肉部分以外の配線表面を研磨布のようなもので擦り、修復すべき部分以外へのめっきの析出を抑制するなどの処理を併用することで、更に選択性を高めることができる。

**【0016】**

請求項4に記載の発明は、前記減肉部分の修復に先だって、前記配線の露出表面の、少なくとも周辺の一部をエッチング除去することを特徴とする請求項1乃至3のいずれかに記載の半導体装置の製造方法である。

このように、減肉部分の修復に先だって、配線材料の周辺の一部をエッチングなどで除去し減肉部分の形状を緩和することで、修復処理を容易となすことができる。

**【0017】**

請求項5に記載の発明は、前記減肉部分を修復した後、基板に熱処理を施すことを特徴とする請求項1乃至4のいずれかに記載の半導体装置の製造方法である。

このように、基板に熱処理を加えることにより、修復部分と非修復部分の密着性を改善するとともに、膜質を向上させることができる。

**【0018】**

請求項6に記載の発明は、前記配線材料の成膜を、スパッタリング法、CVD法またはめっき法、またはそれらの組合せによって行うことを特徴とする請求項1乃至5のいずれか

10

20

30

40

50

に記載の半導体装置の製造方法である。

層間絶縁膜に形成された配線用の微細凹部への配線材料の埋込みに際しては、先ず、スパッタリング法によりバリア層を形成し、しかる後、スパッタリング法、CVD法またはめっき法、またはそれらの組合せによって配線材料の埋込みを行うことができる。これらの方法のいずれを採用するかは、配線材料の種類、デザインルールなどによって決定される。

#### 【0019】

請求項7に記載の発明は、前記配線材料の成膜を、めっき条件を2つ以上に変えためっき法を含む方法で行うことを特徴とする請求項1乃至5のいずれかに記載の半導体装置の製造方法である。

10

#### 【0020】

バリア層を形成した後、めっき法で微細凹部内に配線材料を埋込む場合には、めっき条件を少なくとも2つ以上変えて行うことで、確実な埋込みを行うことができる。例えば、バリア層を形成した微細凹部の内部に、めっき法で直接的に配線材料を埋込む場合には、先ず無電解めっきで給電層を形成し、次に該給電層をシード層として電解めっきにより埋込む方法や、先ず高抵抗のめっき液を使って電解めっきにより給電層を形成し、次に低抵抗のめっき液を使って電解めっきにより埋込む方法のように、めっき方法自体やめっき液を変えて行う方法がある。また、バリア層上にスパッタリング法やCVD法により給電層を形成し、この給電層をシード層として、同じめっき液で電解めっきによって配線材料を埋込む場合であっても、当初は電流密度を落として寸法が小さい部分を埋込み、それらの埋込みが終わったところで電流密度を上げて大きい寸法のところを短い時間で埋込む、というように電流条件をかえて行う場合もある。いずれにしても、めっき法では、1条件で埋込むことは困難であり、複数の条件を選択して埋込みを行うことが好ましい。

20

#### 【0021】

請求項8に記載の発明は、前記配線材料が、アルミニウム、銅または銀、またはそれらの合金からなることを特徴とする請求項1乃至7記載の半導体装置の製造方法である。

配線材料に使用されるものとしては、アルミニウム、銅、銀、あるいはそれらの合金が挙げられる。特に配線サイズが0.1 $\mu\text{m}$ 世代以下のデザインルールで使用されるものとしては、銅、銀、あるいはそれらの合金があり、現在は銅が主流である。

#### 【0022】

請求項9に記載の発明は、前記配線材料の平坦化を、化学機械的研磨法、複合電解研磨法または電解研磨法、またはそれらの組合せによって行うことを特徴とする請求項1乃至7記載の半導体装置の製造方法である。

30

#### 【0023】

配線材料の平坦化方法としては、化学酸化剤による酸化と砥粒による物理的除去を組合せた化学機械的研磨法、電解によるアノード酸化と砥粒による物理的除去を組合せた複合電解研磨法、あるいは電解によるアノード酸化と薬液の化学作用等を組合せた電解研磨法がある。化学機械的研磨法では、例えば、先ず銅の研磨速度がバリア材料に対して相対的に高いスラリー並びに研磨条件で埋込み部分以外に形成された銅層を除去し、次いでバリア材料の研磨速度が銅に対して相対的に高いスラリー並びに研磨条件で埋込み部分以外に形成されたバリア層を除去し、埋込み配線を形成するというように研磨条件を複数段に分けて研磨する。また、複合電解研磨法あるいは電解研磨法により、導電性の高い銅を研磨除去した後、バリア材料の研磨速度が銅に対して相対的に高いスラリー並びに研磨条件でバリア層部分を化学機械的研磨して埋込み配線を形成するというように研磨方法を組合せて埋込み配線を形成しても良い。なお、化学機械的研磨にあっては、固定砥粒による方法や、砥粒を使わない方法も含まれる。さらにこれらの平坦化処理に引き続いて、平坦化工程で生じた減肉部分の修復処理を行っても良い。

40

#### 【0024】

請求項10に記載の発明は、配線の露出表面に形成された減肉部分を修復した後、配線の露出表面に、無電解めっきにより保護膜を選択的に形成することを特徴とする請求項1乃至

50

至 9 のいずれかに記載の半導体装置の製造方法である。

【0025】

無電解めっき法により高融点金属材料からなる保護膜（蓋）を選択的に形成して配線を保護する場合に、めっきの前処理などにおいて、前記減肉部分（スパイク）が更に助長されることがある。これを修復せずに無電解めっき（蓋めっき）を行うと、減肉部分にめっきが成長せずポイドとなるなど、信頼性の点で大きな問題となる。このため、予め減肉部分を修復して配線を欠陥がない状態にした上で、無電解めっきを行うことにより、配線の内部にポイドが発生することを防止しつつ、配線の露出表面に保護膜（蓋）を形成することができる。

【0026】

請求項 11 に記載の発明は、表面が前記層間絶縁膜の表面と同一平面となるように前記保護膜を形成することを特徴とする請求項 10 記載の半導体装置の製造方法である。これにより、表面をより平坦にして、絶縁膜形成、レジスト塗布及び露光によるビアやトレッチ等の形成等の後の工程を容易に行うことができる。

請求項 12 に記載の発明は、層間絶縁膜に配線用の微細凹部を形成した基板の表面に配線材料を成膜して該配線材料を前記微細凹部内に埋込む成膜ユニットと、基板の表面に余剰に成膜された前記配線材料を除去し平坦化して前記配線材料からなる配線を形成する研磨ユニットと、前記研磨ユニットによる平坦化处理で前記配線の露出表面に形成された減肉部分を修復する修復ユニットを有することを特徴とする半導体装置の製造装置である。

【0027】

請求項 13 に記載の発明は、前記成膜ユニットは、電解めっきユニットまたは無電解めっきユニット、または両者の組合せからなることを特徴とする請求項 12 記載の半導体装置の製造装置である。

請求項 14 に記載の発明は、前記修復ユニットは、電解めっきユニットまたは無電解めっきユニットからなることを特徴とする請求項 12 または 13 記載の半導体装置の製造装置である。

【0028】

請求項 15 に記載の発明は、前記修復ユニットによって修復された配線の露出表面に保護膜を選択的に形成する無電解めっきユニットを更に有することを特徴とする請求項 12 乃至 14 のいずれかに記載の半導体装置の製造装置である。

請求項 16 に記載の発明は、前記修復ユニットによる減肉部分の修復に先だって、前記配線の露出表面の、少なくとも周辺の一部をエッチング除去するエッチングユニットを更に有することを特徴とする請求項 12 乃至 15 のいずれかに記載の半導体装置の製造装置である。

【0029】

請求項 17 に記載の発明は、前記修復ユニットによって減肉部分を修復した基板に熱処理を施す熱処理ユニットを更に有することを特徴とする請求項 12 乃至 16 のいずれかに記載の半導体装置の製造装置である。

【0030】

【発明の実施の形態】

以下、本発明の実施の形態について説明する。この実施の形態は、半導体ウエハ等の基板の表面に設けた配線用の微細凹部に、配線材料としての銅を埋込んで銅層からなる配線を形成するようにした半導体装置の製造装置に適用した例を示しているが、銅以外の配線材料にも使用できることは勿論である。

【0031】

図 2 は、本発明の実施の形態における半導体装置の製造装置の平面図を示す。図 2 に示すように、この基板処理装置は、例えばスミフボックス等の内部に多数の半導体ウエハ等の基板を収納した搬送ボックス 10 を着脱自在な矩形状のハウジング 12 を備えている。このハウジング 12 の内部には、ロード・アンロードステーション 14 と、このロード・アンロードステーション 14 との間で基板を授受する走行自在な搬送ロボット 16 が備えら

10

20

30

40

50

れている。そして、搬送ロボット16を挟んで該搬送ロボット16の一方の側には、埋込み用の成膜ユニットとしての電解めっきユニット18、洗浄・乾燥ユニット20、ベベルエッチング・裏面洗浄ユニット22、エッチングユニット36及び膜厚測定器24が直列に配置され、他方の側には、熱処理(アニール)ユニット26、前処理ユニット28、保護膜形成用の無電解めっきユニット(蓋めっきユニット)30、修復ユニット32及び研磨ユニット34が直列に配置されている。

#### 【0032】

ここで、ハウジング12には遮光処理が施され、これによって、このハウジング12内の以下の各工程を遮光状態で、つまり、配線に照明光等の光が当たることなく行えるようになっていいる。このように、配線に光が当たることが防止することで、例えば銅からなる配線に光が当たって光電位差が生じ、この光電位差によって配線が腐食してしまうことを防止することができる。

10

#### 【0033】

次に、このように構成された基板処理装置によって、図1(a)~(d)に示す、シード層6を形成した基板に銅配線を形成する一連の処理を、図3及び図4を更に参照して説明する。

#### 【0034】

先ず、表面にシード層6を形成した基板Wを搬送ボックス10から一枚ずつ取出し、ロード・アンロードステーション14に搬入する。そして、このロード・アンロードステーション14に搬入した基板Wを搬送ロボット16で膜厚測定器24に搬送し、この膜厚測定器24でイニシャル膜厚(シード層6の膜厚)を測定し、しかる後、必要に応じて、基板を反転させて電解めっきユニット(成膜ユニット)18に搬送する。この電解めっきユニット18で、図1(b)に示すように、基板Wの表面に銅層7を堆積させて、銅の埋込みを行う。

20

#### 【0035】

この例では、1台の電解めっきユニット18で成膜ユニットを構成し、同じめっき液を使用して、当初は電流密度を落として寸法が小さい部分に銅を埋込み、それらの埋込みが終わったところで電流密度を上げ、これによって、寸法が大きい部分に銅を短い時間で埋込むようにしている。

#### 【0036】

なお、電解めっきユニットと無電解めっきユニットで成膜ユニットを構成してもよく、まためっきユニットとスパッタリングユニットやCVDユニットとを任意に組合せて成膜ユニットを構成しても良い。この場合、表面にシード層6が形成されていない基板を搬入し、この基板の表面に、無電解めっきユニット、スパッタリングユニットまたはCVDユニットでシード層を形成するようにすることもできる。

30

#### 【0037】

そして、この銅層7を形成した基板を、搬送ロボット16で洗浄・乾燥ユニット20に搬送して、基板Wの純水による洗浄を行ってスピン乾燥させるか、または電解めっきユニット18にスピン乾燥機能が備えられている場合には、この電解めっきユニット18で基板Wのスピン乾燥(液切り)を行って、この乾燥後の基板をベベルエッチング・裏面洗浄ユニット22に搬送する。

40

#### 【0038】

このベベルエッチング・裏面洗浄ユニット22では、基板Wのベベル(エッジ)部に付着した不要な銅をエッチング除去すると同時に、基板の裏面を純水等で洗浄し、しかる後、前述と同様に、搬送ロボット16で洗浄・乾燥ユニット20に搬送して、基板Wの純水による洗浄を行ってスピン乾燥させるか、またはベベルエッチング・裏面洗浄ユニット22にスピン乾燥機能が備えられている場合には、このベベルエッチング・裏面洗浄ユニット22で基板Wのスピン乾燥を行って、この乾燥後の基板を、搬送ロボット16で熱処理ユニット26に搬送する。

#### 【0039】

50

この熱処理ユニット26で基板Wの熱処理(アニール)を行う。そして、この熱処理後の基板Wを搬送口ポット16で膜厚測定器24に搬送し、ここで銅の膜厚を測定し、この測定結果と前述のイニシャル膜厚の測定結果との差から、銅層7(図1(b)参照)の膜厚を求め、この測定後の膜厚によって、例えば次に基板に対するめっき時間を調整し、また膜厚が不足する場合には、再度めっきによる銅の追加の成膜を行う。そして、この膜厚測定後の基板Wを、搬送口ポット16により研磨ユニット34に搬送する。

【0040】

この研磨ユニット34で、図1(c)に示すように、基板Wの表面に堆積した不要な銅層7、シード層6及びバリア層5を研磨除去して、基板Wの表面を平坦化する。これにより、図1(c)に示すように、絶縁膜(層間絶縁膜)2の内部にシード層6と銅層7からなる配線(銅配線)8を形成する。この時、例えば、膜厚や基板の仕上がり具合をモニタで検査し、このモニタで終点(エンドポイント)を検知した時に、研磨を終了する。そして、この研磨後の基板Wを搬送口ポット16で洗浄・乾燥ユニット20に搬送し、この洗浄・乾燥ユニット20で基板表面を薬液で洗浄(後処理)し、更に純水で洗浄(リンス)し乾燥させる。

10

【0041】

この例では、化学酸化剤による酸化と砥粒による物理的除去を組合せた化学機械的研磨(CMP)により基板Wの表面を平坦化するようにした例を示している。つまり、例えば、先ず銅の研磨速度がバリア材料に対して相対的に高いスラリー並びに研磨条件で埋込み部分以外に形成された銅層7を除去し、次いでバリア材料の研磨速度が銅に対して相対的に高いスラリー並びに研磨条件で埋込み部分以外に形成されたバリア層5を除去するというように研磨条件を複数段に分けて研磨している。なお、化学機械的研磨にあっては、固定砥粒による方法や、砥粒を使わない方法も含まれる。

20

【0042】

なお、化学機械的研磨の代わりに、電解によるアノード酸化と砥粒による物理的除去を組合せた複合電解研磨法、あるいは電解によるアノード酸化と薬液の化学作用等を組合せた電解研磨法、更にはこれらを任意に組合せて基板の表面を平坦化するようにしてもよい。

【0043】

このように、化学機械的研磨等により基板Wの表面を研磨して平坦化し、更に後洗浄する際、基板表面に配線材料の銅とバリア材料が共存する状態になると、研磨中あるいは後洗浄中に両者間に生ずる電位差等により、例えばバリア材料と境界を接する銅配線部分が腐食を受け、図4(a)に示すように、バリア層5と銅配線8との界面に局所的な減肉部分(スパイク)40が形成されることがある。このように、銅配線8に減肉部分40が形成されると、配線抵抗の上昇や、配線材料とその上に形成される膜との密着性不良など、半導体装置の信頼性を大きく損ねる原因となる。

30

【0044】

特に、デザインルールの微細化、例えば絶縁膜(層間絶縁膜)2に形成された配線溝(配線用凹部)4の幅Lが $0.1\mu\text{m}$ を下回る世代に併せて研磨方法が改善されて過研磨が減少するようになると、これまで隠れていた腐食減肉が表面化し信頼性に影響を与えるようになる。また、下記のように、無電解めっきにより、配線の表面に高融点金属からなる保護膜(蓋)を選択的に成膜して配線を保護する際、この無電解めっきの処理条件によっては、この腐食減肉が更に助長されることがある。

40

【0045】

そこで、この例では、銅配線8の表面に形成された薄肉部分40を修復するようにしている。つまり、平坦化後に後洗浄してリンスした基板を、搬送口ポット16でエッチングユニット36に搬送し、このエッチングユニット36で、基板Wの表面をエッチングする。これによって、図4(b)に示すように、減肉部分40の形状を緩和する。このように、減肉部分40の修復処理に先だつて、銅配線8の、少なくとも周辺の一部をエッチングなどで除去し減肉部分40の形状を緩和することで、修復処理を容易にすることができる。

50



## 【0054】

この無電解めっきユニット30で、図1(d)に示すように、露出した銅配線8の表面に、例えば無電解Co-W-Pめっきを施して、銅配線8の外部への露出表面に、Co-W-P合金膜からなる保護膜(蓋)9を選択的に形成して銅配線8を保護膜9で保護する。この保護膜9の膜厚は、0.1~500nm、好ましくは、1~200nm、更に好ましくは、10~100nm程度である。この時、例えば、保護膜9の膜厚をモニタして、この膜厚が所定の値に達した時、つまり終点(エンドポイント)を検知した時に、無電解めっきを終了する。

## 【0055】

このように、予め減肉部分40を修復した状態で、銅配線8の表面に、Co-W-P合金膜からなる保護膜(蓋)9を選択的に形成することで、図4(d)に示すように、銅配線8の表面に、銅配線8の内部にポイドが生じることを防止しつつ、保護膜9を形成することができる。これによって、配線としての信頼性を向上させ、しかも配線の抵抗が増加してしまうことを防止することができる。

## 【0056】

そして、無電解めっきが終了した基板を、搬送ロボット16で洗浄・乾燥ユニット20に搬送し、この洗浄・乾燥ユニット20で基板表面を薬液で洗浄し、更に純水で洗浄(リンス)した後、高速回転させてスピン乾燥させる。そして、このスピン乾燥後の基板Wを搬送ロボット16でロード・アンロードステーション14を経由して搬送ボックス10内に戻す。

## 【0057】

なお、上記の例では、基板の表面にエッチング処理を施して、減肉部分の形状を緩和した後、減肉部分を修復するようにした例を示している。減肉部分の形状や深さ等によっては、エッチング処理を施すことなく、つまり、図5に示すように、減肉部分40をそのままにした状態で、銅配線8の表面に銅修復膜42を形成して、減肉部分40を修復するようにしてもよい。

## 【0058】

また、図6(a)に示すように、基板表面のエッチング処理に際して、銅配線8の表面が凹状になるように、つまり中央部の方が外周部に比較してエッチング量が多くなるようにしたエッチングを行い、しかる後、図6(b)に示すように、この銅配線8の表面に銅修復膜42を形成して、減肉部分40を修復するようにしてもよい。これにより、減肉部分の修復の信頼性を高めることができる。

## 【0059】

更に、図7(a)に示すように、基板表面のエッチング処理に際して、銅配線8を、銅修復膜42の膜厚及び保護膜9の膜厚の合計の大きさに見合った深さまでエッチング除去し、図7(b)に示すように、銅配線の表面に銅修復膜42を形成して減肉部分を修復し、しかる後、図7(c)に示すように、この銅修復膜42の表面に、保護膜9を該保護膜9の表面が層間絶縁膜2の表面と同一平面となるように形成するようにしてもよい。このように、保護膜9の表面が層間絶縁膜2の表面と同一平面となるようにして、表面をより平坦にすることで、絶縁膜形成、レジスト塗布及び露光によるビアやトレンチ等の形成等の後の工程を容易となすことができる。

上記の例は、配線材料として、銅を使用した例を示しているが、銅の他に、銅合金、銀、銀合金、タングステンまたはタングステン合金等を使用しても良い。

## 【0060】

## 【発明の効果】

以上詳細に説明したように、本発明によれば、ダマシンプロセスによって配線を形成する際の平坦化に伴って配線の露出表面に形成された減肉部分を修復し、この減肉部分を修復した基板に対して、次工程の処理を施すことで、欠陥の少ない埋込み配線を形成して、信頼性の高い半導体装置を製造することができる。

## 【図面の簡単な説明】

10

20

30

40

50

【図 1】半導体装置における配線形成例を工程順に示す図である。

【図 2】本発明の実施の形態における半導体装置の製造装置の平面図である。

【図 3】図 2 に示す半導体装置の製造装置における処理フロー図である。

【図 4】減肉部分が形成された基板の該減肉部分の修復を行って保護膜を形成するまでの一例を工程順に示す断面図である。

【図 5】減肉部分が形成された基板の該減肉部分の修復の他の例を示す断面図である。

【図 6】減肉部分が形成された基板の該減肉部分の修復の更に他の例を工程順に示す断面図である。

【図 7】減肉部分が形成された基板の該減肉部分の修復の更に他の例を工程順に示す断面図である。

10

【符号の説明】

2 絶縁膜（層間絶縁膜）

3 コンタクトホール

4 配線溝

6 シード層

7 銅層

8 配線（銅配線）

9 保護膜

10 搬送ボックス

16 搬送口ポット

20

18 電解めっきユニット（成膜ユニット）

20 洗浄・乾燥ユニット

22 ベベルエッチング・裏面洗浄ユニット

24 膜厚測定器

26 熱処理ユニット

28 前処理ユニット

30 無電解めっきユニット（蓋めっきユニット）

32 修復ユニット（無電解めっきユニット）

34 研磨ユニット

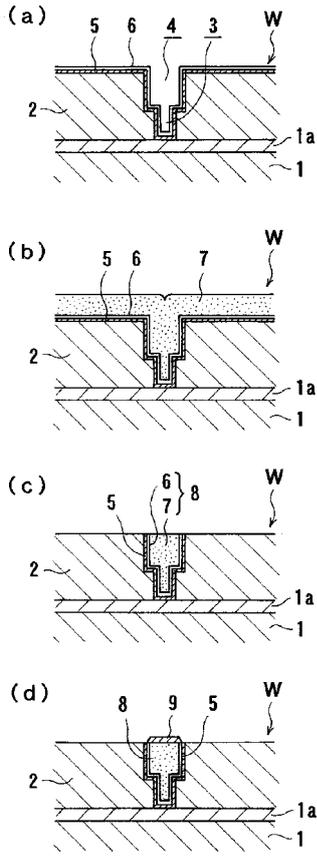
36 エッチングユニット

30

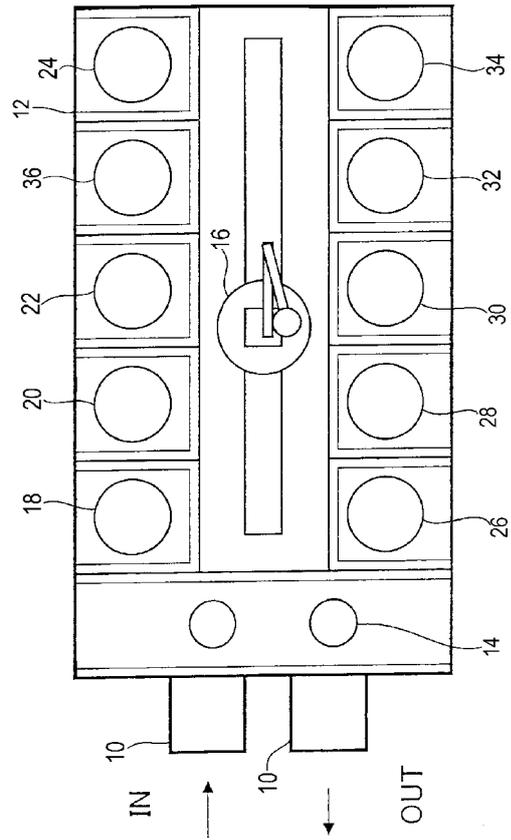
40 減肉部分

42 銅修復膜

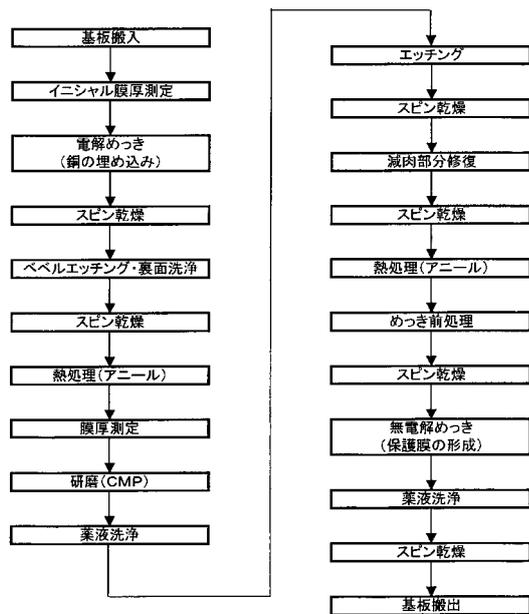
【図1】



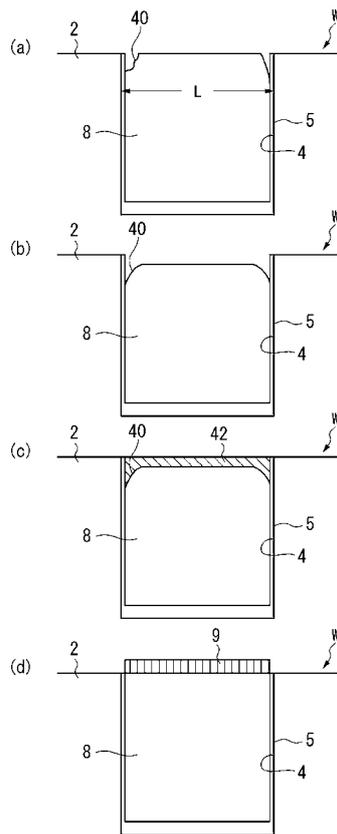
【図2】



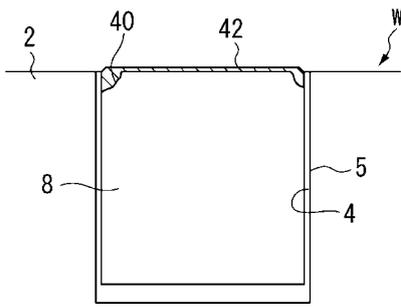
【図3】



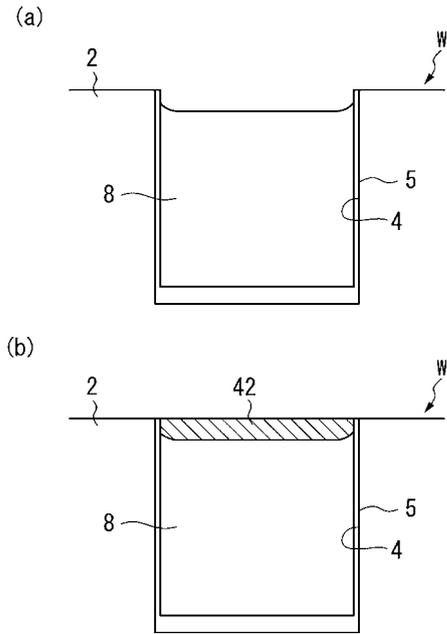
【図4】



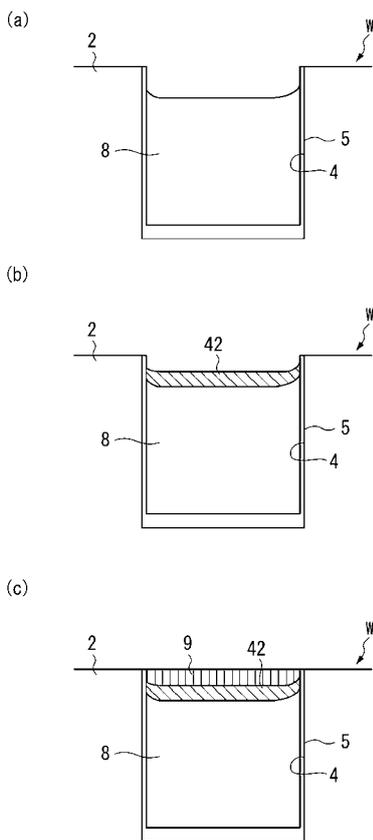
【 図 5 】



【 図 6 】



【 図 7 】



## フロントページの続き

(51)Int.Cl. <sup>7</sup>	F I	テーマコード(参考)
C 2 5 D 5/10	C 2 5 D 5/10	
C 2 5 D 5/56	C 2 5 D 5/56	A
C 2 5 D 7/12	C 2 5 D 7/12	
C 2 5 D 19/00	C 2 5 D 19/00	A
H 0 1 L 21/304	H 0 1 L 21/304	6 2 2 X

## (72)発明者 辻村 学

東京都大田区羽田旭町1 1 番 1 号 株式会社荏原製作所内

Fターム(参考) 4K022 AA05 AA41 BA01 BA02 BA08 BA36 CA04 CA28 DA01  
 4K024 AA09 AA10 AB02 AB17 BA15 BB12 CB03 DA07  
 5F033 HH11 HH12 HH14 HH15 HH19 HH32 JJ11 JJ12 JJ14 JJ19  
 JJ32 MM02 MM05 MM12 MM13 NN06 NN07 PP06 PP15 PP27  
 PP28 QQ37 QQ46 QQ48 QQ73 XX01 XX10