

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ G06F 13/36	(11) 공개번호 특2000-0074477	(43) 공개일자 2000년 12월 15일
(21) 출원번호 10-1999-0018450		
(22) 출원일자 1999년 05월 21일		
(71) 출원인 삼성전자 주식회사 윤종용	경기도 수원시 팔달구 매탄3동 416	
(72) 발명자 정준용	서울특별시서초구서초동 1315진흥아파트2동 1404호	
(74) 대리인 이영필, 권석흥, 이상용		

심사청구 : 없음

(54) 버스 변환기

요약

가변 데이터 폭을 지원하는 버스 변환기에 관한 것이다.
본 발명에 따른 버스 변환기는 두 개의 데이터 버스간에 데이터 폭을 변환하는 장치에 있어서, 두 버스들의 버스폭을 나타내는 버스폭 정보들, 데이터의 전달 방향을 나타내는 데이터 방향 신호, 데이터를 제공하는 버스의 데이터 유효 신호들을 유입하여 데이터가 제공되는 버스의 데이터 유효 신호를 발생하는 데이터 유효 신호 변환 회로; 버스폭 정보들을 입력하여 데이터 변환용 버퍼의 동작을 제어하는 데이터 폭 변환 회로; 및 상기 데이터폭 변환 회로의 제어에 따라 어느 한쪽의 버스를 통하여 입력되는 데이터의 폭을 변환하여 상기 변환 데이터 유효 신호에 응답하여 다른 한쪽의 버스를 통하여 출력하는 데이터 변환용 버퍼를 포함하는것을 특징으로 한다.

대표도

도2

명세서

도면의 간단한 설명

도 1은 버스 변환기의 동작을 개념적으로 보이기 위해 도시된 블록도이다.
도 2는 본 발명에 따른 버스 변환기의 구성을 보이는 블록도이다
도 3은 도 2에 도시된 장치의 A버스에 m비트의 외부 메모리가 접속되고, B버스에는 n비트의 메모리 사용자가 접속되는 경우를 보이는 것이다.
도 4a 및 도 4b는 도 2에 도시된 장치의 동작을 보이는 타이밍도로서 m=32, n=32인 경우를 보이는 것이다.
도 5a 및 도 5b는 도 2에 도시된 장치의 동작을 보이는 타이밍도로서 m=64, n=32인 경우를 보이는 것이다.
도 6a 및 도 6b는 도 2에 도시된 장치의 동작을 보이는 타이밍도로서 m=32, n=64인 경우를 보이는 것이다.
도 7a 및 도 7b는 도 2에 도시된 장치의 동작을 보이는 타이밍도로서 m=64, n=64인 경우를 보이는 것이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 가변 데이터 폭을 지원하는 버스 변환기에 관한 것이다.
종래에 있어서 대부분의 메모리 제어 장치(MMU: Memory Management Unit)들은 한 가지의 메모리 및 버스(BUS)를 지원한다. 예를 들어, 외부에 4개의 16M DRAM 메모리가 붙이는 경우 버스는 16비트 혹은 32비트로 고정되게 된다.

이와 같이 종래의 메모리 제어 장치는 단일화된 메모리만을 지원하기 때문에 시스템의 융통성을 떨어뜨리게 된다. 또한, 가변 버스를 지원한다고 해도 버스의 폭이 변화하는 지점마다 버스의 폭을 변환시키는 로직과 버퍼가 일일이 들어가게 되므로 설계가 복잡해지고 많은 비용이 요구되는 문제점이 있다.

발명이 이루고자하는 기술적 과제

본 발명은 상기의 문제점을 해결하기 위하여 안출된 것으로서 간단하게 버스의 폭을 변환시킬 수 있는 버스 변환기를 제공하는 것을 그 목적으로 한다.

발명의 구성 및 작용

상기의 목적을 달성하는 본 발명에 따른 버스 변환기는 두 개의 데이터 버스간에 데이터 폭을 변환하는 장치에 있어서, 두 버스들의 버스폭을 나타내는 버스폭 정보들, 데이터의 전달 방향을 나타내는 데이터 방향 신호, 데이터를 제공하는 버스의 데이터 유효 신호들을 유입하여 데이터가 제공되는 버스의 데이터 유효 신호를 발생하는 데이터 유효 신호 변환 회로; 버스폭 정보들을 입력하여 데이터 변환용 버퍼의 동작을 제어하는 데이터폭 변환 회로; 및 상기 데이터폭 변환 회로의 제어에 따라 어느 한쪽의 버스를 통하여 입력되는 데이터의 폭을 변환하여 상기 변환 데이터 유효 신호에 응답하여 다른 한쪽의 버스를 통하여 출력하는 데이터 변환용 버퍼를 포함하는 것을 특징으로 한다. 이하 첨부된 도면을 참조하여 본 발명의 구성 및 동작을 상세히 설명한다.

도 1은 버스 변환기의 동작을 개념적으로 보이기 위해 도시된 블록도이다. 도 1에 도시된 버스 변환기는 동작 환경 입력 신호에 의거하여 A버스와 B버스간에 양방향으로 데이터의 수신을 제어한다. 여기서, A버스와 B버스의 폭은 가변적이며 같거나 다를 수 있다.

동작 환경 입력 신호는 A버스의 버스폭 정보, B버스의 버스폭 정보, 그리고 데이터 방향 정보를 포함한다. 기존 데이터 유효 신호는 데이터를 제공하는 측에서 제공되는 신호로서 변환 데이터 유효 신호를 발생하기 위해 필요한 신호이다. 또한, 변환 데이터 유효 신호는 변환된 데이터의 유효 구간을 표시하기 위한 신호이다.

대부분의 디지털 장치에는 메모리가 필요하다. 아주 단순한 시스템이 아니라면, 메모리를 사용하고자 하는 클라이언트(client: 이하 메모리 사용자라 함)가 다수 존재하게 되며, 이들 사이에서 메모리를 효율적으로 사용하도록 제어하는 장치가 필요하게 된다. 이와 같이 메모리와 메모리 사용자 사이에서 메모리를 효율적으로 관리하고 조절하는 장치가 메모리 제어 장치이다.

메모리 제어 장치에서는 장착되는 메모리에 대한 제어를 통해 데이터를 읽고 쓰며, 여러 메모리 사용자들 간의 중재 및 데이터 전송을 담당하게 된다.

이전의 디지털 장치들은 고정된 메모리 종류, 크기 및 데이터 버스폭을 지원해왔다. 예를 들어 어떤 장치의 버스폭은 16비트, 메모리는 16M bit DRAM을 지원하는 등의 제약이 가해졌다. 이것은 메모리 용량의 변화가 적었고, 다양한 메모리를 지원할 필요성이 대두되지 않았기 때문이었다.

그러나, 전자 기술의 발전 특히 반도체 기술이 급속히 발전함에 따라 메모리 뿐만 아니라 많은 디지털 장치(IC, 시스템등)들이 복합적인 기능을 요구하게 되었으며, 원가 절감을 위해 대량 생산이 필요하게 되었다. 이에 따라 한가지의 장치가 여러 가지 레벨(저가형, 중가형, 고급형)을 지원하도록 구현하게 되었다. 따라서, 하나의 디지털 신호 처리 장치에서 여러가지 종류의 메모리를 지원하게 되는 것이 필요하게 되었다.

아울러서, 데이터 버스의 폭이 커지면서, 디지털 신호처리 장치의 내부에서 큰 데이터 버스가 돌아다니게 됨으로써 생기는 문제점(장치의 크기, 사용 전력의 증대)등도 심각해지게 되었다.

이를 극복하기 위해서 빠른 메모리 접근을 위해서 버스폭이 커야 하는 메모리 사용자는 넓은 폭의 버스를 사용하고, 메모리 액세스 속도가 그다지 빠르지 않은 메모리 사용자는 좁은 폭의 버스를 사용하도록 하게 되었다.

이에 따라 디지털 신호 처리 장치들은 메모리와 메모리 사용자들 간에 버스폭이 달라지는 문제를 해결하여야만 한다.

도 2는 본 발명에 따른 버스 변환기의 구성을 보이는 블록도이다 도 1에 도시된 장치(100)는 데이터 유효 신호 변환 회로(10) 및 데이터 폭 변환 회로(20), 그리고 데이터 변환용 버퍼(30)를 구비한다.

데이터 유효 신호 변환 회로(10)는 버스폭 정보들 및 기존 데이터 유효 신호를 유입하여 변환 데이터 유효 신호를 발생한다.

데이터폭 변환 회로(20)는 버스폭 정보들을 입력하여 데이터 변환용 버퍼(30)의 동작을 제어한다. 데이터 변환용 버퍼(30)는 데이터폭 변환 회로(20)의 제어에 따라 어느 한쪽의 버스를 통하여 입력되는 데이터의 폭을 변환하여 다른 한쪽의 버스를 통하여 출력한다.

도 2에 도시된 장치의 동작을 상세히 설명한다. 도 3은 도 2에 도시된 장치의 A버스에 m비트의 외부 메모리가 접속되고, B버스에는 n비트의 메모리 사용자가 접속되는 경우를 보이는 것이다.

1) m=32, n=32인 경우

메모리 버스(A버스)가 32비트이고, 시스템 버스(B버스)도 32비트인 경우가 된다. 이 경우에는 A, B버스가 같은 버스 폭을 가지게 되므로 버스 변환기(100)는 각 버스의 데이터를 그대로 바이패스(bypass)시키게 된다.

a) 읽기 동작(READ)

이 경우에는 외부 메모리에 연결된 A버스와 메모리 사용자에게 연결된 B버스에서 들어오는 데이터 유효 신호와 데이터 입력을 그대로 받아들여 내보내게 된다.

도 4a는 읽기 동작의 타이밍을 보이는 타이밍도로서 최상위에 도시된 것은 클럭 신호이고, 두번째 도시된 것은 A버스 유효신호이고, 세번째 도시된 것은 A버스의 데이터이고, 네번째 도시된 것은 B버스 유효 신호이며, 그리고 다섯번째로 도시된 것은 B버스의 데이터이다.

메모리에 연결된 A버스를 통하여 입력된 데이터는 B버스 유효 신호가 발생한 이후에 메모리 사용자에게 연결된 B버스를 통하여 출력된다.

b) 쓰기 동작(WRITE)

도 4b는 쓰기 동작의 타이밍을 보이는 타이밍도로서 최상위에 도시된 것은 클럭 신호이고, 두번째 도시된 것은 A버스 유효신호이고, 세번째 도시된 것은 A버스의 데이터이고, 네번째 도시된 것은 B버스 유효 신호이며, 그리고 다섯번째로 도시된 것은 B버스의 데이터이다.

메모리 사용자에게 연결된 B버스를 통하여 입력된 데이터는 B버스 유효 신호가 발생한 이후에 외부 메모리에 연결된 A버스를 출력된다.

2) m=32, n=64인 경우

메모리 버스(A버스)가 32비트이고, 시스템 버스(B버스)도 64비트인 경우가 된다. 이 경우에는 버스 변환기(100)가 버스폭의 정합을 위하여 동작을 취하게 된다.

a) 읽기 동작(READ)

이 경우에는 외부 메모리에 연결된 A버스를 통하여 데이터가 32비트 단위로 입력되므로 기수번째 데이터를 내부 버퍼에 저장했다가 우수번째 데이터가 들어오면 이를 조합해서 64비트 데이터로 만든 뒤 메모리 사용자에게 연결된 B버스를 통하여 출력한다. 또한, B버스 유효 신호는 A버스로부터 기수번째 데이터가 입력되는 기간만 발생한다.

도 5a는 읽기 동작의 타이밍을 보이는 타이밍도로서 최상위에 도시된 것은 클럭 신호이고, 두번째 도시된 것은 A버스 유효신호이고, 세번째 도시된 것은 A버스의 데이터이고, 네번째 도시된 것은 B버스 유효 신호이며, 그리고 다섯번째로 도시된 것은 B버스의 데이터이다.

메모리에 연결된 A버스를 통하여 입력된 데이터는 B버스 유효 신호가 발생한 이후에 메모리 사용자에게 연결된 B버스를 통하여 출력된다.

b) 쓰기 동작(WRITE)

쓰기 동작에서는 B버스를 통하여 입력되는 데이터가 64비트이므로 데이터를 내부 버퍼에 저장했다가 32비트 데이터로 나누어 두번에 걸쳐 외부 메모리에 연결된 A버스를 통하여 출력한다. B버스 유효 신호는 2클럭당 1번씩 발생씩 내보낸다.

도 5b는 쓰기 동작의 타이밍을 보이는 타이밍도로서 최상위에 도시된 것은 클럭 신호이고, 두번째 도시된 것은 A버스 유효신호이고, 세번째 도시된 것은 A버스의 데이터이고, 네번째 도시된 것은 B버스 유효 신호이며, 그리고 다섯번째로 도시된 것은 B버스의 데이터이다.

메모리 사용자에게 연결된 B버스를 통하여 입력된 데이터는 B버스 유효 신호가 발생한 이후에 외부 메모리에 연결된 A버스를 출력된다.

3) m=64, n=32인 경우

메모리 버스(A버스)가 64비트이고, 시스템 버스(B버스)가 32비트인 경우가 된다. 이 경우에는 버스 변환기(100)가 버스폭의 정합을 위하여 동작을 취하게 된다.

a) 읽기 동작(READ)

이 경우에는 메모리 사용자에게 연결된 B버스를 통하여 데이터가 64비트 단위로 입력되므로 데이터를 내부 버퍼에 저장했다가 32비트 데이터로 나누어 두번에 걸쳐 메모리 사용자에게 연결된 A버스를 통하여 출력한다.

도 6a는 읽기 동작의 타이밍을 보이는 타이밍도로서 최상위에 도시된 것은 클럭 신호이고, 두번째 도시된 것은 A버스 유효신호이고, 세번째 도시된 것은 A버스의 데이터이고, 네번째 도시된 것은 B버스 유효 신호이며, 그리고 다섯번째로 도시된 것은 B버스의 데이터이다.

메모리에 연결된 A버스를 통하여 입력된 데이터는 B버스 유효 신호가 발생한 이후에 메모리 사용자에게 연결된 B버스를 통하여 출력된다.

b) 쓰기 동작(WRITE)

쓰기 동작에서는 B버스를 통하여 입력되는 데이터가 32비트이므로 기수번째 데이터를 내부 버퍼에 저장했다가 우수번째 데이터가 들어오면 이를 조합해서 64비트 데이터로 만든 뒤 외부 메모리에 연결된 A버스를 통하여 출력한다.

메모리 사용자에게 연결된 B버스를 통하여 입력된 데이터는 A버스 유효 신호가 발생한 이후에 외부 메모리에게 연결된 A버스를 통하여 출력된다.

도 6b는 쓰기 동작의 타이밍을 보이는 타이밍도로서 최상위에 도시된 것은 클럭 신호이고, 두번째 도시

된 것은 A버스 유효신호이고, 세번째 도시된 것은 A버스의 데이터이고, 네번째 도시된 것은 B버스 유효 신호이며, 그리고 다섯번째로 도시된 것은 B버스의 데이터이다.

메모리 사용자에게 연결된 B버스를 통하여 입력된 데이터는 A버스 유효 신호가 발생한 이후에 외부 메모리에 연결된 A버스를 출력된다.

4) m=64, n=64인 경우

메모리 버스(A버스)가 64비트이고, 시스템 버스(B버스)도 64비트인 경우가 된다. 이 경우에는 A, B버스가 같은 버스 폭을 가지게 되므로 버스 변환기(100)는 각 버스의 데이터를 그대로 바이패스(bypass)시키게 된다.

a) 읽기 동작(READ)

이 경우에는 외부 메모리에 연결된 A버스와 메모리 사용자에게 연결된 B버스에서 들어오는 데이터 유효 신호와 데이터 입력을 그대로 받아들여 내보내게 된다.

도 7a는 읽기 동작의 타이밍을 보이는 타이밍도로서 최상위에 도시된 것은 클럭 신호이고, 두번째 도시된 것은 A버스 유효신호이고, 세번째 도시된 것은 A버스의 데이터이고, 네번째 도시된 것은 B버스 유효 신호이며, 그리고 다섯번째로 도시된 것은 B버스의 데이터이다.

메모리에 연결된 A버스를 통하여 입력된 데이터는 B버스 유효 신호가 발생한 이후에 메모리 사용자에게 연결된 B버스를 통하여 출력된다.

b) 쓰기 동작(WRITE)

도 7b는 쓰기 동작의 타이밍을 보이는 타이밍도로서 최상위에 도시된 것은 클럭 신호이고, 두번째 도시된 것은 A버스 유효신호이고, 세번째 도시된 것은 A버스의 데이터이고, 네번째 도시된 것은 B버스 유효 신호이며, 그리고 다섯번째로 도시된 것은 B버스의 데이터이다.

메모리 사용자에게 연결된 B버스를 통하여 입력된 데이터는 B버스 유효 신호가 발생한 이후에 외부 메모리에 연결된 A버스를 출력된다.

도 2에 도시된 장치에 있어서 어느 한쪽의 버스를 통하여 입력되는 데이터의 폭을 변환하여 다른 한쪽의 버스를 통하여 출력하도록 데이터 변환용 버퍼를 제어하는 과정은 다음과 같이 수행된다.

1) 두 버스들의 버스폭을 나타내는 버스폭 정보들, 데이터의 전달 방향을 나타내는 데이터 방향 신호, 데이터를 제공하는 버스의 데이터 유효 신호들을 유입하여 데이터가 제공되는 버스의 데이터 유효 신호를 발생한다.

2) 변환 데이터 유효 신호에 응답하여 어느 한쪽의 버스를 통하여 입력되는 데이터의 폭을 변환하여 다른 한쪽의 버스를 통하여 출력하도록 데이터 변환용 버퍼를 제어한다.

이에 따라 데이터 변환용 버퍼는 버스폭 정보들을 참조하여 데이터 폭을 변환하고, 변환된 결과를 다른 한쪽의 데이터 버스로 출력한다.

발명의 효과

상술한 바와 같이 본 발명에 따른 버스 변환기는 데이터 버스의 폭을 변환시킴으로써 시스템의 융통성을 향상시키는 효과를 갖는다.

(57) 청구의 범위

청구항 1

두 개의 데이터 버스간에 데이터 폭을 변환하는 장치에 있어서,

두 버스들의 버스폭을 나타내는 버스폭 정보들, 데이터의 전달 방향을 나타내는 데이터 방향 신호, 데이터를 제공하는 버스의 데이터 유효 신호들을 유입하여 여 데이터가 제공되는 버스의 데이터 유효 신호를 발생하는 데이터 유효 신호 변환 회로;

버스폭 정보들을 입력하여 데이터 변환용 버퍼의 동작을 제어하는 데이터폭 변환 회로; 및

상기 데이터폭 변환 회로의 제어에 따라 어느 한쪽의 버스를 통하여 입력되는 데이터의 폭을 변환하여 상기 변환 데이터 유효 신호에 응답하여 다른 한쪽의 버스를 통하여 출력하는 데이터 변환용 버퍼를 포함하는 버스 변환기.

청구항 2

제1항에 있어서, 하나의 버스는 외부 메모리에 접속되고, 다른 하나의 버스는 메모리 사용자에게 접속되는 것을 특징으로 하는 버스 변환기.

청구항 3

한쪽 버스를 통하여 입력되는 데이터의 폭을 변환하여 다른 한쪽의 버스를 통하여 출력하는 데이터 변환용 버퍼를 제어하는 방법에 있어서,

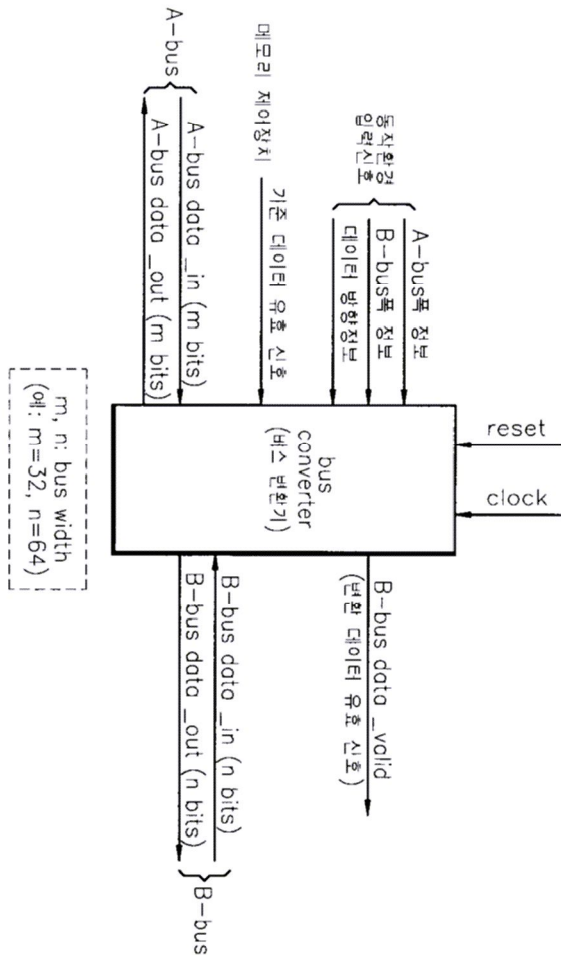
두 버스들의 버스폭을 나타내는 버스폭 정보들, 데이터의 전달 방향을 나타내는 데이터 방향 신호, 데이터를 제공하는 버스의 데이터 유효 신호들을 유입하여 여 데이터가 제공되는 버스의 데이터 유효 신호를

발생하는 과정; 및

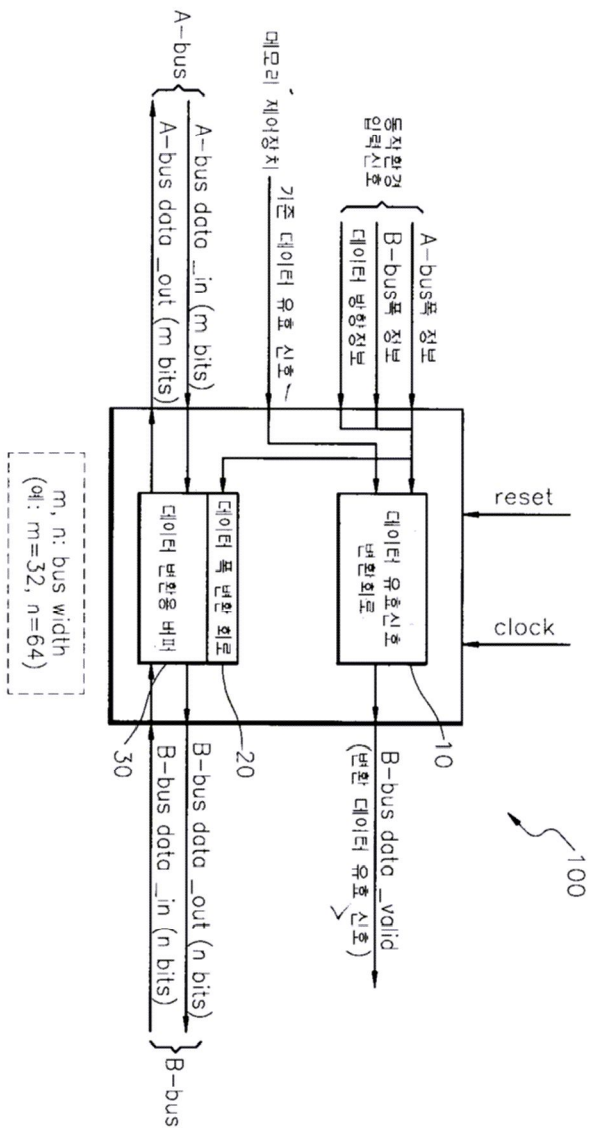
상기 변환 데이터 유효 신호에 응답하여 어느 한쪽의 버스를 통하여 입력되는 데이터의 쪽을 변환하여 다른 한쪽의 버스를 통하여 출력하도록 상기 데이터 변환용 버퍼를 제어하는 과정을 포함하는 데이터 변환용 버퍼 제어 방법.

도면

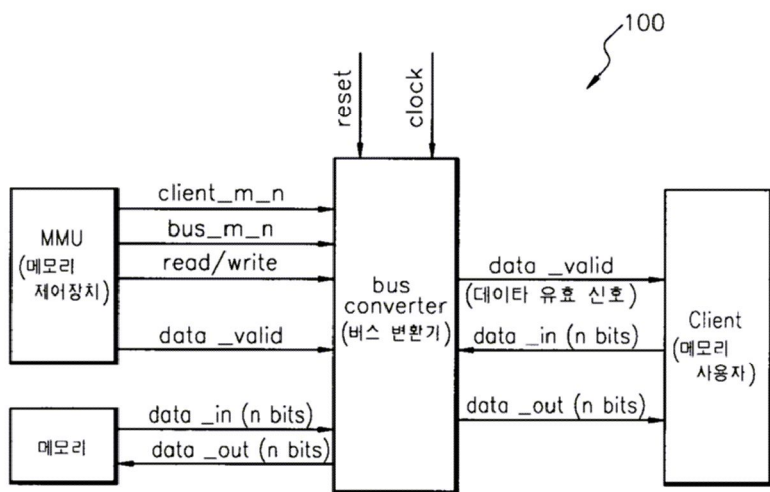
도면1



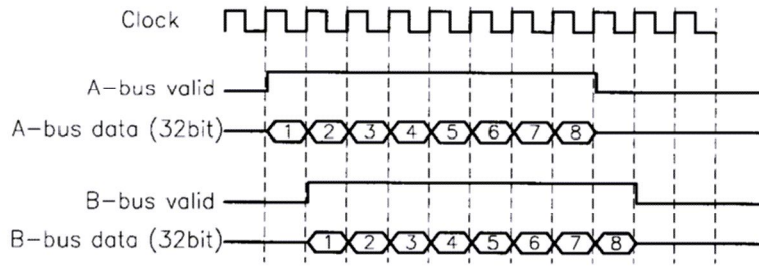
도면2



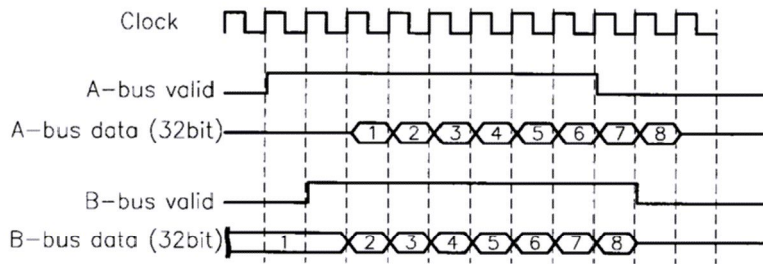
도면3



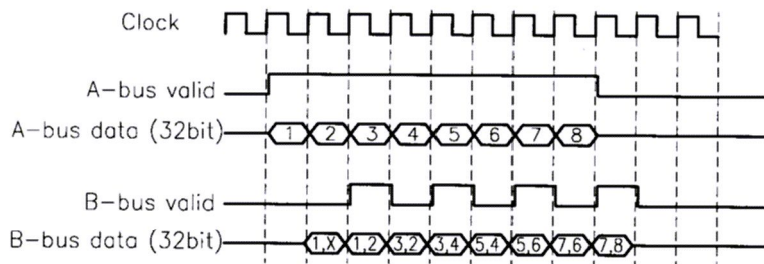
도면4a



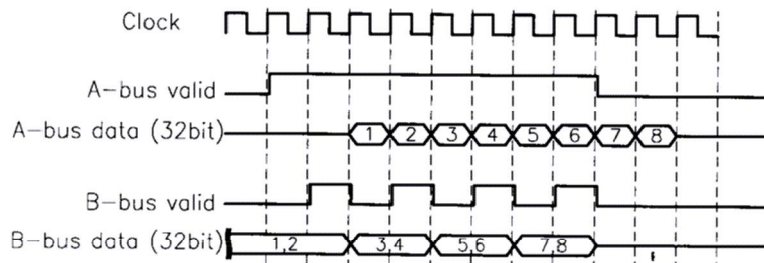
도면4b



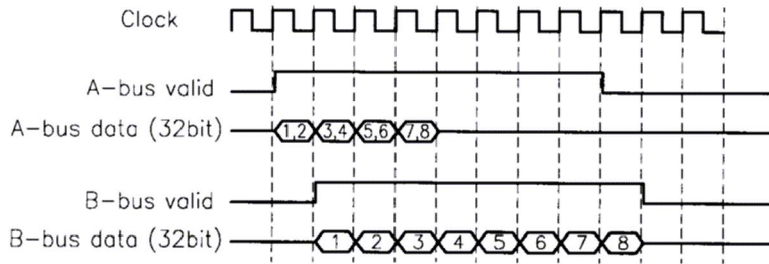
도면5a



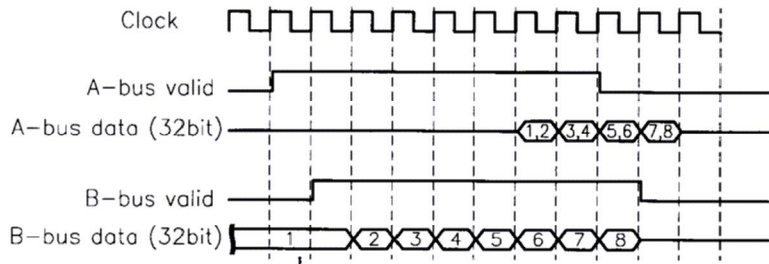
도면5b



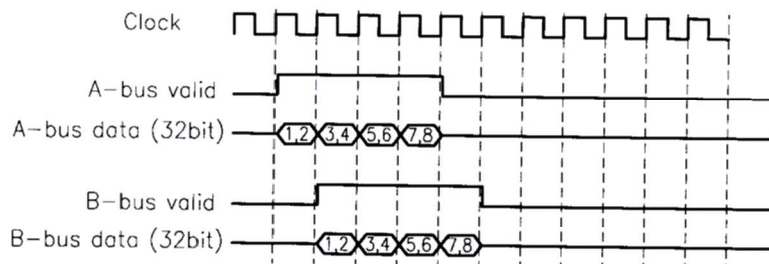
도면6a



도면6b



도면7a



도면7b

