



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년11월10일
(11) 등록번호 10-2323456
(24) 등록일자 2021년11월02일

(51) 국제특허분류(Int. Cl.)
H01L 21/027 (2006.01) H01L 21/308 (2006.01)
H01L 21/311 (2006.01) H01L 21/56 (2006.01)
(21) 출원번호 10-2014-0190608
(22) 출원일자 2014년12월26일
심사청구일자 2019년12월12일
(65) 공개번호 10-2016-0082388
(43) 공개일자 2016년07월08일
(56) 선행기술조사문헌
KR1020130072672 A*
KR1020130005463 A
US8389383 B1
KR1020140112701 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
송민성
경기도 화성시 동탄반석로 277 115동 3201호 (석우동, 예당마을우미린제일풍경채아파트)
심재황
경기도 화성시 동탄숲속로 95 818동 903호 (능동, 숲속마을광명메이루즈아파트)
임준성
경기도 용인시 수지구 신봉3로12번길 9 411동 1701호 (신봉동, 신봉마을동일하이빌4차)
(74) 대리인
특허법인 고려

전체 청구항 수 : 총 8 항

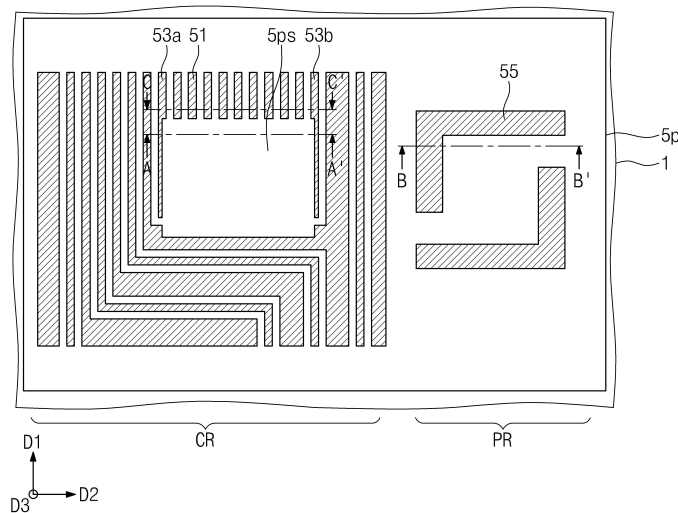
심사관 : 윤지영

(54) 발명의 명칭 반도체 소자 및 반도체 소자의 제조 방법

(57) 요약

본 발명은 반도체 소자의 제조 방법 및 이에 의해 제조된 반도체 소자에 관한 것이다. 본 발명에 따른 반도체 소자의 제조 방법은 두 번 또는 세 번의 포토리소그래피 공정과 두 번의 스페이서 공정을 이용하여 노광 공정의 한계를 뛰어넘는 미세한 피치의 도전 라인들을 형성할 수 있다. 또한, 도전 라인들을 노드 분리하는 영역들을 미스 얼라인의 문제 없이 용이하게 형성할 수 있다.

대표도 - 도12a



명세서

청구범위

청구항 1

기관 상에, 순차적으로 식각 대상막, 하부 몰드막 및 중간 몰드막을 형성하는 것, 상기 식각 대상막은 분리 영역을 포함하고;

상기 중간 몰드막 상에 제1 몰드 패턴들을 형성하는 것;

상기 제1 몰드 패턴들의 측벽을 덮는 제1 스페이서들을 형성하는 것;

상기 제1 스페이서들을 식각 마스크로 상기 중간 몰드막을 식각하여, 제2 몰드 패턴들을 형성하는 것;

상기 제2 몰드 패턴들의 측벽을 덮는 제2 스페이서들을 형성하는 것;

상기 제2 스페이서들을 식각 마스크로 상기 하부 몰드막을 식각하여, 제3 몰드 패턴들을 형성하는 것;

적어도 하나의 상기 제3 몰드 패턴들을 덮으며, 상기 분리 영역과 수직적으로 중첩되는 제4 몰드 패턴을 형성하는 것;

상기 제4 몰드 패턴, 및 상기 제4 몰드 패턴에 의해 노출된 상기 제3 몰드 패턴들을 식각 마스크로 상기 식각 대상막을 식각하여, 절연 패턴들을 형성하는 것; 및

상기 절연 패턴들 사이를 채우는 도전 라인들을 형성하는 것을 포함하는 반도체 소자의 제조 방법.

청구항 2

제1항에 있어서,

상기 기관은 셀 어레이 영역과 주변회로 영역을 포함하고,

상기 분리 영역은 상기 셀 어레이 영역 상에 위치하고,

상기 제4 몰드 패턴은 상기 셀 어레이 영역 및 상기 주변회로 영역 상에 복수개로 형성되며,

상기 주변회로 영역 상의 상기 제4 몰드 패턴은, 상기 주변회로 영역 상의 상기 식각 대상막의 일부를 노출하는 반도체 소자의 제조 방법.

청구항 3

제1항에 있어서,

평면적 관점에서, 상기 제3 몰드 패턴들은, 서로 평행하게 일 방향으로 연장되는 제1 연장 패턴 및 제2 연장 패턴을 포함하고,

상기 제4 몰드 패턴의 일 측벽은 상기 제1 연장 패턴 및 상기 제2 연장 패턴 사이에 배치되는 반도체 소자의 제조 방법.

청구항 4

제1항에 있어서,

상기 제1 몰드 패턴들을 형성하기 전에, 상기 중간 몰드막 상에 제1 마스크막을 형성하는 것; 및

상기 제1 스페이서들을 식각 마스크로 상기 제1 마스크막을 식각하여, 제1 마스크 패턴들을 형성하는 것을 더

포함하고,

상기 중간 몰드막을 식각하는 것은 상기 제1 마스크 패턴들을 식각 마스크로 이용하는 반도체 소자의 제조 방법.

청구항 5

제1항에 있어서,

상기 제1 몰드 패턴의 폭은 상기 제1 스페이서의 최대폭의 3배인 반도체 소자의 제조 방법.

청구항 6

제1항에 있어서,

상기 제1 몰드 패턴들간의 간격은 상기 제1 스페이서의 최대폭의 5배인 반도체 소자의 제조 방법.

청구항 7

기관 상의 절연 패턴들; 및

상기 절연 패턴들 사이를 채우는, 복수개의 서로 평행한 도전 라인들을 포함하되,

상기 도전 라인들은 제1 더미 배선, 제2 더미 배선, 및 상기 제1 및 제2 더미 배선들 사이에 배치된 셀 배선들을 포함하고,

상기 절연 패턴들은 분리 절연 패턴을 포함하며,

상기 제1 및 제2 더미 배선들은 상기 분리 절연 패턴을 사이에 두고 서로 이격되며,

상기 제1 및 제2 더미 배선들 중 일부의 폭은 상기 셀 배선의 폭과 동일하고,

상기 제1 및 제2 더미 배선들 중 다른 일부의 폭은 상기 셀 배선의 폭보다 작은 반도체 소자.

청구항 8

삭제

청구항 9

제7항에 있어서,

서로 인접하는 상기 제1 더미 배선, 상기 셀 배선들 및 상기 제2 더미 배선 간의 간격은 상기 셀 배선의 폭과 동일한 반도체 소자.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

발명의 설명

기술 분야

[0001] 본 발명은 반도체 소자의 제조 방법 및 이에 의해 제조된 반도체 소자에 관한 것이다.

배경 기술

[0002] 더블 패터닝(double patterning) 기술은 노광 장비의 교체 없이, 상기 노광 장비가 노광 가능한 최소 피치 미만의 간격을 갖는 패턴을 형성할 수 있는 방법이다. 예를 들어, 미세 패턴을 형성하기 위해, 포토리소그래피 공정을 통해 형성된 희생 패턴의 측벽에 스페이서를 형성하고, 상기 희생 패턴을 제거한 뒤, 상기 스페이서만을 마스크로 피식각층을 식각하는 더블 패터닝 기술이 사용될 수 있다. 그러나 반도체 장치가 고집적화됨에 따라 더블 패터닝 기술보다 더욱 미세한 패턴을 형성할 수 있는 기술이 요구되고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명이 해결하고자 하는 과제는 미스 얼라인 문제를 야기하지 않으면서 간단한 공정으로 미세한 패턴을 형성할 수 있는 반도체 소자의 제조 방법을 제공하는데 있다.

[0004] 본 발명이 해결하고자 하는 다른 과제는 신뢰성이 향상된 고집적화된 반도체 소자를 제공하는데 있다.

과제의 해결 수단

- [0005] 본 발명의 개념에 따른, 반도체 소자의 제조 방법은, 기판 상에, 순차적으로 식각 대상막, 하부 몰드막 및 중간 몰드막을 형성하는 것, 상기 식각 대상막은 분리 영역을 포함하고; 상기 중간 몰드막 상에 제1 몰드 패턴들을 형성하는 것; 상기 제1 몰드 패턴들의 측벽을 덮는 제1 스페이서들을 형성하는 것; 상기 제1 스페이서들을 식각 마스크로 상기 중간 몰드막을 식각하여, 제2 몰드 패턴들을 형성하는 것; 상기 제2 몰드 패턴들의 측벽을 덮는 제2 스페이서들을 형성하는 것; 상기 제2 스페이서들을 식각 마스크로 상기 하부 몰드막을 식각하여, 제3 몰드 패턴들을 형성하는 것; 적어도 하나의 상기 제3 몰드 패턴들을 덮으며, 상기 분리 영역과 수직적으로 중첩되는 제4 몰드 패턴을 형성하는 것; 상기 제4 몰드 패턴, 및 상기 제4 몰드 패턴에 의해 노출된 상기 제3 몰드 패턴들을 식각 마스크로 상기 식각 대상막을 식각하여, 절연 패턴들을 형성하는 것; 및 상기 절연 패턴들 사이를 채우는 도전 라인들을 형성하는 것을 포함할 수 있다.
- [0006] 상기 기판은 셀 어레이 영역과 주변회로 영역을 포함하고, 상기 분리 영역은 상기 셀 어레이 영역 상에 위치하고, 상기 제4 몰드 패턴은 상기 셀 어레이 영역 및 상기 주변회로 영역 상에 복수개로 형성되며, 상기 주변회로 영역 상의 상기 제4 몰드 패턴은, 상기 주변회로 영역 상의 상기 식각 대상막의 일부를 노출할 수 있다.
- [0007] 상기 제1 내지 제3 몰드 패턴들은 상기 셀 어레이 영역 상에 형성될 수 있다.
- [0008] 상기 제1 몰드 패턴들을 형성하는 것은: 상기 중간 몰드막 상에 상부 몰드막을 형성하는 것; 상기 상부 몰드막 상에, 상기 주변회로 영역 상의 상기 상부 몰드막을 덮되, 상기 셀 어레이 영역 상의 상기 상부 몰드막의 일부를 노출하는 포토레지스트 패턴들을 형성하는 것; 및 상기 포토레지스트 패턴들을 식각 마스크로 상기 상부 몰드막을 식각하여, 상기 셀 어레이 영역 상에 상기 제1 몰드 패턴들을 형성하는 것을 포함할 수 있다.
- [0009] 상기 제3 몰드 패턴들을 형성할 때, 상기 주변회로 영역 상의 상기 하부 몰드막은 모두 식각될 수 있다.
- [0010] 상기 제4 몰드 패턴들을 형성하는 것은: 제3 몰드 패턴들을 덮는 예비 몰드막을 형성하는 것; 상기 예비 몰드막 상에, 포토레지스트 패턴들을 형성하는 것; 및 상기 포토레지스트 패턴들을 식각 마스크로 상기 예비 몰드막을 식각하여, 제4 몰드 패턴들을 형성하는 것을 포함하고, 상기 셀 어레이 영역 상의 상기 포토레지스트 패턴은 상기 분리 영역과 수직적으로 중첩될 수 있다.
- [0011] 평면적 관점에서, 상기 제3 몰드 패턴들은, 서로 평행하게 일 방향으로 연장되는 제1 연장 패턴 및 제2 연장 패턴을 포함하고, 상기 제4 몰드 패턴의 일 측벽은 상기 제1 연장 패턴 및 상기 제2 연장 패턴 사이에 배치될 수 있다.
- [0012] 상기 절연 패턴들을 형성하는 것은: 상기 제1 연장 패턴 및 상기 제2 연장 패턴 사이의 영역 중 상기 제4 몰드 패턴에 의해 노출된 영역이 식각되어, 더미 트렌치가 형성되는 것을 포함하고, 상기 더미 트렌치는 상기 제1 연장 패턴에 대응하는 절연 패턴 및 상기 제2 연장 패턴에 대응하는 절연 패턴 사이에 정의될 수 있다.
- [0013] 상기 더미 트렌치의 일부의 폭은 상기 제1 스페이서의 최대폭과 동일하고, 상기 더미 트렌치의 다른 일부의 폭은 상기 제1 스페이서의 최대폭보다 작을 수 있다.
- [0014] 상기 도전 라인들을 형성하는 것은, 상기 더미 트렌치를 채우는 더미 배선을 형성하는 것을 포함하고, 상기 더미 배선은, 상기 분리 영역과 상기 분리 영역에 인접하는 상기 절연 패턴들 사이에 배치될 수 있다.
- [0015] 상기 제조 방법은, 상기 제1 몰드 패턴들을 형성하기 전에, 상기 중간 몰드막 상에 제1 마스크막을 형성하는 것; 및 상기 제1 스페이서들을 식각 마스크로 상기 제1 마스크막을 식각하여, 제1 마스크 패턴들을 형성하는 것을 더 포함하고, 상기 중간 몰드막을 식각하는 것은 상기 제1 마스크 패턴들을 식각 마스크로 이용할 수 있다.
- [0016] 상기 제1 몰드 패턴의 폭은 상기 제1 스페이서의 최대폭의 3배일 수 있다.
- [0017] 상기 제1 몰드 패턴들간의 간격은 상기 제1 스페이서의 최대폭의 5배일 수 있다.
- [0018] 상기 제2 몰드 패턴의 폭 및 상기 제3 몰드 패턴의 폭은 상기 제1 스페이서의 최대폭과 동일할 수 있다.
- [0019] 상기 제2 몰드 패턴들간의 간격은 상기 제1 스페이서의 최대폭의 3배일 수 있다.
- [0020] 상기 제3 몰드 패턴들간의 간격은 상기 제1 스페이서의 최대폭과 동일할 수 있다.
- [0021] 상기 제2 스페이서의 최대폭은 상기 제1 스페이서의 최대폭과 동일할 수 있다.
- [0022] 본 발명의 개념에 따른, 반도체 소자는, 기판 상의 절연 패턴들; 및 상기 절연 패턴들 사이를 채우는, 복수개의 서로 평행한 도전 라인들을 포함하되, 상기 도전 라인들은 제1 더미 배선, 제2 더미 배선, 및 상기 제1 및 제2

더미 배선들 사이에 배치된 셀 배선들을 포함하고, 상기 절연 패턴들은 분리 절연 패턴을 포함하며, 상기 제1 및 제2 더미 배선들은 상기 분리 절연 패턴을 사이에 두고 서로 이격될 수 있다.

- [0023] 상기 제1 및 제2 더미 배선들 중 일부의 폭은 상기 셀 배선의 폭과 동일하고, 상기 제1 및 제2 더미 배선들 중 다른 일부의 폭은 상기 셀 배선의 폭보다 작을 수 있다.
- [0024] 서로 인접하는 상기 제1 더미 배선, 상기 셀 배선들 및 상기 제2 더미 배선 간의 간격은 상기 셀 배선의 폭과 동일할 수 있다.
- [0025] 상기 기판은 셀 어레이 영역과 주변회로 영역을 포함하고, 상기 주변 회로 영역 상에 배치된 주변 배선을 더 포함할 수 있다.
- [0026] 본 발명의 다른 개념에 따른, 반도체 소자의 제조 방법은, 기판 상에, 순차적으로 식각 대상막 및 하부 몰드막을 형성하는 것, 상기 식각 대상막은 분리 영역을 포함하고; 상기 하부 몰드막 상에, 상기 분리 영역과 수직적으로 중첩되는 제1 식각 방지 패턴을 형성하는 것; 상기 하부 몰드막 상에, 상기 제1 식각 방지 패턴을 덮는 중간 몰드막을 형성하는 것; 상기 중간 몰드막 상에 제1 몰드 패턴들을 형성하는 것; 상기 제1 몰드 패턴들의 측벽을 덮는 제1 스페이서들을 형성하는 것; 상기 제1 스페이서들을 식각 마스크로 상기 중간 몰드막을 식각하여, 제2 몰드 패턴들을 형성하는 것, 상기 제2 몰드 패턴들의 일부는 상기 제1 식각 방지 패턴 상에 위치하고; 상기 제2 몰드 패턴들의 측벽을 덮는 제2 스페이서들을 형성하는 것; 상기 제2 스페이서들을 형성할 때, 상기 제1 식각 방지 패턴의 일부가 함께 식각되어 제2 식각 방지 패턴들을 형성하는 것; 상기 제2 스페이서들 및 상기 제2 식각 방지 패턴들을 식각 마스크로 상기 하부 몰드막을 식각하여, 제3 몰드 패턴들을 형성하는 것; 상기 제3 몰드 패턴들을 식각 마스크로 상기 식각 대상막을 식각하여, 절연 패턴들을 형성하는 것; 및 상기 절연 패턴들 사이를 채우는 도전 라인들을 형성하는 것을 포함할 수 있다.
- [0027] 각각의 상기 제2 식각 방지 패턴들 상에는 한 쌍의 상기 제2 스페이서들이 배치되고, 상기 한 쌍의 제2 스페이서들의 외측벽들은 상기 제2 식각 방지 패턴의 외측벽들과 공면을 이루며, 상기 한 쌍의 제2 스페이서들간의 간격은 상기 제2 스페이서의 최대폭과 동일할 수 있다.
- [0028] 상기 제1 식각 방지 패턴을 형성하는 것은: 상기 하부 몰드막 상에, 순차적으로 식각 방지막 및 예비 몰드막을 형성하는 것; 상기 예비 몰드막 상에, 제1 포토레지스트 패턴을 형성하는 것; 상기 제1 포토레지스트 패턴을 식각 마스크로 상기 예비 몰드막을 식각하여, 제4 몰드 패턴을 형성하는 것; 및 상기 제4 몰드 패턴을 식각 마스크로 상기 식각 방지막을 식각하여, 상기 제1 식각 방지 패턴을 형성하는 것을 포함하고, 상기 제1 포토레지스트 패턴은 상기 분리 영역과 수직적으로 중첩될 수 있다.
- [0029] 상기 기판은 셀 어레이 영역과 주변회로 영역을 포함하고, 상기 분리 영역은 상기 셀 어레이 영역 상에 위치할 수 있다.
- [0030] 상기 제1 식각 방지 패턴은 상기 셀 어레이 영역 및 상기 주변회로 영역 상에 복수개로 형성되며, 상기 주변회로 영역 상의 상기 제1 식각 방지 패턴은, 상기 주변회로 영역 상의 상기 하부 몰드막의 일부를 노출할 수 있다.
- [0031] 상기 제1 및 제2 몰드 패턴들은 상기 셀 어레이 영역 상에 형성되며, 상기 셀 어레이 영역 상에 상기 제2 식각 방지 패턴들이 형성될 때, 상기 주변회로 영역 상의 상기 제1 식각 방지 패턴은 잔류할 수 있다.
- [0032] 상기 제1 몰드 패턴들을 형성하는 것은: 상기 중간 몰드막 상에 상부 몰드막을 형성하는 것; 상기 상부 몰드막 상에, 상기 주변회로 영역 상의 상기 상부 몰드막을 덮되, 상기 셀 어레이 영역 상의 상기 상부 몰드막의 일부를 노출하는 제2 포토레지스트 패턴들을 형성하는 것; 및 상기 제2 포토레지스트 패턴들을 식각 마스크로 상기 상부 몰드막을 식각하여, 상기 셀 어레이 영역 상에 상기 제1 몰드 패턴들을 형성하는 것을 포함할 수 있다.
- [0033] 상기 제1 스페이서들을 형성하는 것은: 상기 제1 몰드 패턴들을 덮는 제1 스페이서막을 형성하는 것; 상기 주변회로 영역 상의 상기 제1 스페이서막을 덮되, 상기 셀 어레이 영역 상의 상기 제1 스페이서막을 노출하는 제3 포토레지스트 패턴을 형성하는 것; 및 상기 제3 포토레지스트 패턴을 식각 마스크로 상기 제1 스페이서막을 이방성 식각하여, 상기 제1 스페이서들을 형성하는 것을 포함할 수 있다.
- [0034] 상기 제조 방법은, 상기 제1 몰드 패턴들을 형성하기 전에, 상기 중간 몰드막 상에 제1 마스크막을 형성하는 것; 및 상기 제1 스페이서들을 식각 마스크로 상기 제1 마스크막을 식각하여, 제1 마스크 패턴들을 형성하는 것을 더 포함하고, 상기 중간 몰드막을 식각하는 것은 상기 제1 마스크 패턴들을 식각 마스크로 이용하며, 상기

제2 몰드 패턴들이 형성된 후, 상기 제2 몰드 패턴들의 상부에 상기 제1 마스크 패턴들이 잔류할 수 있다.

- [0035] 상기 제2 스페이서들 및 상기 제2 식각 방지 패턴들을 형성하는 것은: 상기 제2 몰드 패턴들 및 이들의 상부의 상기 제1 마스크 패턴들을 덮는 제2 스페이서막을 형성하는 것; 상기 제1 마스크 패턴들이 노출될 때까지 상기 제2 스페이서막을 이방성 식각하여, 제2 스페이서들을 형성하는 것; 및 상기 제1 마스크 패턴들, 및 상기 제2 스페이서들 및 상기 제2 몰드 패턴들에 의해 노출된 상기 제1 식각 방지 패턴을 이방성 식각하여, 상기 제2 식각 방지 패턴들을 형성하는 것을 포함할 수 있다.
- [0036] 상기 제1 몰드 패턴의 폭은 상기 제1 스페이서의 최대폭의 3배일 수 있다.
- [0037] 상기 제1 몰드 패턴들간의 간격은 상기 제1 스페이서의 최대폭의 5배일 수 있다.
- [0038] 상기 제2 몰드 패턴의 폭은 상기 제1 스페이서의 최대폭과 동일할 수 있다.
- [0039] 상기 제2 몰드 패턴들간의 간격은 상기 제1 스페이서의 최대폭의 3배일 수 있다.
- [0040] 상기 제2 스페이서의 최대폭은 상기 제1 스페이서의 최대폭과 동일할 수 있다.
- [0041] 상기 제2 식각 방지 패턴의 폭은 상기 제1 스페이서의 최대폭의 3배일 수 있다.
- [0042] 상기 제2 식각 방지 패턴들간의 간격은 상기 제1 스페이서의 최대폭과 동일할 수 있다.
- [0043] 상기 분리 영역 상의 상기 제3 몰드 패턴의 폭은 상기 제1 스페이서의 최대폭의 3배이고, 상기 분리 영역과 인접한 상기 제3 몰드 패턴의 폭은 상기 제1 스페이서의 최대폭과 동일할 수 있다.
- [0044] 상기 제3 몰드 패턴들간의 간격은 상기 제1 스페이서의 최대폭과 동일할 수 있다.
- [0045] 상기 제1 스페이서들을 형성하는 것은: 상기 제1 스페이서들을 형성하기 전에, 상기 제1 몰드 패턴들을 덮는 제1 스페이서막을 형성하는 것; 상기 제1 스페이서막 상에, 상기 분리 영역의 일부와 수직적으로 중첩되는 제1 포토레지스트 패턴을 형성하는 것; 및 상기 제1 포토레지스트 패턴을 식각 마스크로 상기 제1 스페이서막을 식각하여, 상기 제1 스페이서들을 형성하는 것을 포함할 수 있다.
- [0046] 상기 제1 포토레지스트 패턴에 의해 식각이 방지된 상기 제1 스페이서막의 일부는 분리 스페이서막을 이루고, 상기 제2 몰드 패턴들을 형성하는 것은, 상기 분리 스페이서막을 식각 마스크로 상기 중간 몰드막을 식각하여, 제2 분리 몰드 패턴을 형성하는 것을 포함하고, 상기 제2 분리 몰드 패턴은 상기 제1 식각 방지 패턴 상에 위치할 수 있다.
- [0047] 상기 제2 식각 방지 패턴들은 제2 분리 식각 방지 패턴을 포함하고, 상기 제2 분리 식각 방지 패턴은, 상기 제2 분리 몰드 패턴 및 이의 양 측벽을 덮는 제2 스페이서들과 수직적으로 중첩될 수 있다.
- [0048] 상기 제2 분리 식각 방지 패턴 상에는 한 쌍의 상기 제2 스페이서들이 배치되고, 상기 한 쌍의 제2 스페이서들의 외측벽들은 상기 제2 분리 식각 방지 패턴의 외측벽들과 공면을 이루며, 상기 한 쌍의 제2 스페이서들간의 간격은 상기 제2 스페이서의 최대폭보다 클 수 있다.
- [0049] 상기 제2 분리 식각 방지 패턴의 폭은 상기 제1 스페이서의 최대폭의 3배보다 클 수 있다.
- [0050] 상기 절연 패턴들은 상기 제2 분리 식각 방지 패턴에 대응하는 분리 절연 패턴을 포함하고, 상기 분리 절연 패턴에 인접하는 상기 도전 라인들은, 상기 분리 절연 패턴에 의해 서로 이격될 수 있다.
- [0051] 본 발명의 다른 개념에 따른, 반도체 소자는, 기판 상의 절연 패턴들; 및 상기 절연 패턴들 사이를 채우는, 복수개의 서로 평행한 도전 라인들을 포함하되, 상기 도전 라인들은 제1 셀 배선, 제2 셀 배선 및 상기 제1 및 제2 셀 배선들 사이에 배치된 제3 셀 배선을 포함하고, 평면적 관점에서, 상기 제2 셀 배선의 일 단부는 상기 제3 셀 배선의 일 단부보다 더 돌출되고, 평면적 관점에서, 상기 제1 셀 배선의 일 단부는 상기 제2 셀 배선의 상기 일 단부보다 더 돌출될 수 있다.
- [0052] 상기 제1 및 제2 셀 배선들간의 간격은 상기 제1 셀 배선의 폭의 3배일 수 있다.
- [0053] 상기 절연 패턴들은 분리 절연 패턴을 포함하고, 상기 분리 절연 패턴에 인접하는 상기 도전 라인들은, 상기 분리 절연 패턴에 의해 서로 이격될 수 있다.
- [0054] 상기 분리 절연 패턴에 인접하는 도전 라인들간의 간격은, 상기 도전 라인들의 최소 폭의 3배보다 클 수 있다.

발명의 효과

[0055] 본 발명에 따른 반도체 소자의 제조 방법은 두 번 또는 세 번의 포토리소그라피 공정과 두 번의 스페이서 공정을 이용하여 노광 공정의 한계를 뛰어넘는 미세한 피치의 도전 라인들을 형성할 수 있다. 또한, 도전 라인들을 노드 분리하는 영역들을 미스 얼라인의 문제 없이 용이하게 형성할 수 있다.

도면의 간단한 설명

[0056] 도 1a 내지 도 12a는 본 발명의 일 실시예에 따른 반도체 소자의 제조 방법을 순차적으로 나타내는 평면도들이다.

도 1b 내지 도 8b는 각각 도 1a 내지 도 8a를 A-A'선 및 B-B'선으로 자른 단면도들이다.

도 9b 내지 도 12b는 각각 도 9a 내지 도 12a를 A-A'선, B-B'선 및 C-C'선으로 자른 단면도들이다.

도 13a 내지 도 22a는 본 발명의 다른 실시예에 따른 반도체 소자의 제조 방법을 순차적으로 나타내는 평면도들이다.

도 13b 내지 도 22b는 각각 도 13a 내지 도 22a를 A-A'선, B-B'선 및 C-C'선으로 자른 단면도들이다.

도 23a 및 도 23b는 본 실시예에 따른 제2 스페이서들 및 제2 식각 방지 패턴들의 형성 과정을 순차적으로 나타낸 단면도들이다.

도 24a 내지 도 29a는 본 발명의 또 다른 실시예에 따른 반도체 소자의 제조 방법을 순차적으로 나타내는 평면도들이다.

도 24b 내지 도 29b는 각각 도 24a 내지 도 29a를 A-A'선, B-B'선 및 C-C'선으로 자른 단면도들이다.

도 30은 본 발명의 예들에 따른 반도체 소자를 포함하는 메모리 시스템의 일 예를 나타내는 개략 블록도이다.

도 31은 본 발명의 예들에 따른 반도체 소자를 구비하는 메모리 카드의 일 예를 나타내는 개략 블록도이다.

도 32는 본 발명의 예들에 따른 반도체 소자를 장착하는 정보 처리 시스템의 일 예를 나타내는 개략 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0057] 본 발명의 구성 및 효과를 충분히 이해하기 위하여, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예들을 설명한다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라, 여러가지 형태로 구현될 수 있고 다양한 변경을 가할 수 있다. 단지, 본 실시예들의 설명을 통해 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야의 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위하여 제공되는 것이다.

[0058] 본 명세서에서, 어떤 구성요소가 다른 구성요소 상에 있다고 언급되는 경우에 그것은 다른 구성요소 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 구성요소가 개재될 수도 있다는 것을 의미한다. 또한, 도면들에 있어서, 구성요소들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분은 동일한 구성요소들을 나타낸다.

[0059] 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 예시도인 단면도 및/또는 평면도들을 참고하여 설명될 것이다. 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이며 발명의 범주를 제한하기 위한 것이 아니다. 본 명세서의 다양한 실시예들에서 제1, 제2, 제3 등의 용어가 다양한 구성요소들을 기술하기 위해서 사용되었지만, 이들 구성요소들이 이 같은 용어들에 의해서 한정되어서는 안 된다. 이들 용어들은 단지 어느 구성요소를 다른 구성요소와 구별시키기 위해서 사용되었을 뿐이다. 여기에 설명되고 예시되는 실시예들은 그것의 상보적인 실시예들도 포함한다.

[0060] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다(comprises)' 및/또는 '포함하는(comprising)'은 언급된 구성요소는 하나 이상의 다른 구성요소의 존재 또는 추

가를 배제하지 않는다.

- [0061] 실시예 1
- [0062] 도 1a 내지 도 12a는 본 발명의 일 실시예에 따른 반도체 소자의 제조 방법을 순차적으로 나타내는 평면도들이다. 도 1b 내지 도 8b는 각각 도 1a 내지 도 8a를 A-A'선 및 B-B'선으로 자른 단면도들이다. 도 9b 내지 도 12b는 각각 도 9a 내지 도 12a를 A-A'선, B-B'선 및 C-C'선으로 자른 단면도들이다.
- [0063] 도 1a 및 도 1b를 참조하면, 기판(1) 상에 순차적으로 적층된 층간 절연막(3), 식각 대상막(5), 하부 몰드막(7), 중간 몰드막(17), 제1 마스크막(19), 상부 몰드막(27) 및 제2 마스크막(29)이 형성될 수 있다.
- [0064] 상기 기판(1)은 셀 어레이 영역(CR)과 주변회로 영역(PR)을 포함할 수 있다. 도시되진 않았지만, 상기 기판(1)의 상기 셀 어레이 영역(CR) 상에는 복수개의 트랜지스터들이 형성될 수 있다. 상기 층간 절연막(3)은 상기 트랜지스터들을 덮는 실리콘 산화막일 수 있다. 도시되진 않았지만, 상기 층간 절연막(3)을 관통하여 상기 복수개의 트랜지스터들에 연결되는 복수개의 콘택들이 형성될 수 있다. 상기 기판(1)은 실리콘 단결정 웨이퍼나 또는 SOI(Silicon on Insulator) 기판(1)일 수 있다. 상기 층간 절연막(3)은 실리콘 산화막일 수 있다.
- [0065] 상기 셀 어레이 영역(CR) 상의 상기 식각 대상막(5)은 분리 영역(SA)을 포함할 수 있다. 상기 분리 영역(SA)은, 후술할 도전 라인들(51, 53a, 53b, 55)이 형성되지 않는 영역으로 정의될 수 있다. 상기 도전 라인들(51, 53a, 53b, 55)은, 상기 분리 영역(SA) 내에는 형성되지 않으므로, 상기 분리 영역(SA)을 통해 서로 노드 분리될 수 있다.
- [0066] 일 예로, 상기 식각 대상막(5)은 실리콘 산화막, 실리콘 산화질화막, 실리콘 질화막 또는 PEOX 막으로 형성될 수 있다. 상기 하부 몰드막(7)은 폴리 실리콘막으로 형성될 수 있다. 상기 중간 몰드막(17) 및 상기 상부 몰드막(27)은 서로 동일한 물질로 형성될 수 있으며, 구체적으로 SOH(Spin on hardmask, 또는 SOC(Spin-on Carbon)) 막으로 형성될 수 있다. 상기 제1 및 제2 마스크막들(19, 29)은 서로 동일한 물질로 형성될 수 있으며, 구체적으로 실리콘 산화질화막으로 형성될 수 있다.
- [0067] 상기 제2 마스크막(29) 상에 제1 포토레지스트 패턴들(PP1)이 형성될 수 있다. 평면적 관점에서, 상기 제1 포토레지스트 패턴들(PP1)은 상기 주변회로 영역(PR) 상을 완전히 덮을 수 있다. 상기 제1 포토레지스트 패턴들(PP1)은 상기 셀 어레이 영역(CR) 상에 제1 개구부들(OP1)을 포함할 수 있다. 상기 제1 개구부들(OP1)은 상기 제2 마스크막(29)의 상면의 일부를 노출할 수 있다. 상기 셀 어레이 영역(CR) 상의 상기 제1 포토레지스트 패턴들(PP1)은 후술할 도전 라인들(51, 53a, 53b, 55)의 아웃 라인을 정의할 수 있다.
- [0068] 도 1b를 다시 참조하면, 상기 제1 포토레지스트 패턴들(PP1)의 일부의 폭(W1)은 후술할 제1 스페이서(31p)의 최대폭(W2)의 약 3배일 수 있다. 이웃하는 상기 제1 포토레지스트 패턴들(PP1)간의 간격(L1)은 상기 제1 스페이서(31p)의 최대폭(W2)의 약 5배일 수 있다.
- [0069] 도 2a 및 2b를 참조하면, 상기 제1 포토레지스트 패턴들(PP1)을 식각 마스크로 상기 제2 마스크막(29)을 식각하여, 제2 마스크 패턴들(29p)이 형성될 수 있다. 평면적 관점에서, 상기 제2 마스크 패턴들(29p)은 상기 제1 포토레지스트 패턴들(PP1)의 형태에 대응될 수 있다. 한편, 상기 주변회로 영역(PR) 상에서는, 상기 제2 마스크막(29)이 식각되지 않고 그대로 잔류할 수 있다.
- [0070] 이어서, 상기 제2 마스크 패턴들(29p)을 식각 마스크로 상기 상부 몰드막(27)을 식각하여, 제1 몰드 패턴들(27p)이 형성될 수 있다. 평면적 관점에서, 상기 제1 몰드 패턴들(27p)은 상기 제2 마스크 패턴들(29p)의 형태에 대응될 수 있다. 상기 제1 몰드 패턴들(27p)은 이들 사이의 공간을 통해 상기 제1 마스크막(19)의 상면의 일부를 노출할 수 있다. 한편, 상기 주변회로 영역(PR) 상에서는, 상기 상부 몰드막(27)이 식각되지 않고 그대로 잔류할 수 있다.
- [0071] 상기 제1 몰드 패턴들(27p)을 형성하는 동안, 상기 제1 포토레지스트 패턴들(PP1)은 모두 제거될 수 있고, 이로써 상기 제2 마스크 패턴들(29p)의 상면들이 노출될 수 있다. 또는 상기 제1 몰드 패턴들(27p)을 식각하기 전에 상기 제1 포토레지스트 패턴들(PP1)을 제거할 수도 있다. 상기 제1 몰드 패턴들(27p)을 형성하는 동안, 상기 제2 마스크 패턴들(29p)의 일부도 식각될 수 있다.
- [0072] 도 3a 및 3b를 참조하면, 상기 기판(1)의 전면 상에 제1 스페이서막(31)이 콘포말하게 형성될 수 있다. 일 예로, 상기 제1 스페이서막(31)은 상기 제1 마스크막(19), 상기 상부 몰드막(27) 및 상기 제2 마스크막(29) 모

두와 식각 선택비를 갖는 물질로 형성될 수 있고, 구체적으로 ALD(Atomic layer deposition) 방식으로 형성된 실리콘 산화막일 수 있다. 상기 제1 스페이서막(31)의 두께(T1)는 후술할 제1 스페이서(31p)의 최대폭(W2)과 실질적으로 동일할 수 있다.

- [0073] 도 4a 및 4b를 참조하면, 상기 제1 스페이서막(31)을 이방성 식각 하여, 상기 제1 몰드 패턴들(27p)의 측벽들을 덮는 제1 스페이서들(31p)이 형성될 수 있다. 각각의 상기 제1 스페이서들(31p)의 최대폭(W2)은 1F로 정의될 수 있다.
- [0074] 후속으로, 상기 제2 마스크 패턴들(29p)이 선택적으로 제거되어, 상기 제1 몰드 패턴들(27p)의 상면들이 노출될 수 있다. 한편, 상기 주변회로 영역(PR) 상에서는, 상기 제2 마스크막(29)이 선택적으로 제거되어 상기 상부 몰드막(27)의 상면이 노출될 수 있다.
- [0075] 도 5a 및 5b를 참조하면, 상기 셀 어레이 영역(CR) 상의 상기 제1 몰드 패턴들(27p) 및 상기 주변회로 영역(PR) 상의 상기 상부 몰드막(27)이 선택적으로 제거될 수 있다. 상기 제1 몰드 패턴들(27p) 및 상기 상부 몰드막(27)이 선택적으로 제거됨으로써, 상기 제1 마스크막(19)의 상면과 상기 제1 스페이서들(31p)이 노출될 수 있다. 상기 상부 몰드막(27)이 SOH막으로 형성될 경우, 상기 제거 공정(식각 공정)은 산소를 이용한 애싱 공정일 수 있다.
- [0076] 도 6a 및 6b를 참조하면, 상기 제1 스페이서들(31p)을 식각 마스크로 상기 제1 마스크막(19)을 식각하여, 상기 셀 어레이 영역(CR) 상에 제1 마스크 패턴들(19p)이 형성될 수 있다. 평면적 관점에서, 상기 제1 마스크 패턴들(19p)은 상기 제1 스페이서들(31p)의 형태에 대응될 수 있다. 한편, 상기 주변회로 영역(PR) 상에서는, 상기 제1 마스크막(19)이 모두 제거될 수 있다.
- [0077] 이어서, 상기 제1 마스크 패턴들(19p)을 식각 마스크로 상기 중간 몰드막(17)을 식각하여, 제2 몰드 패턴들(17p)이 형성될 수 있다. 평면적 관점에서, 상기 제2 몰드 패턴들(17p)은 상기 제1 마스크 패턴들(19p)의 형태에 대응될 수 있다. 상기 제2 몰드 패턴들(17p)은 이들 사이의 공간을 통해 상기 하부 몰드막(7)의 상면의 일부를 노출할 수 있다. 한편, 상기 주변회로 영역(PR) 상에서는, 상기 중간 몰드막(17)이 모두 제거될 수 있다. 이로써, 상기 하부 몰드막(7)의 상면이 완전히 노출될 수 있다.
- [0078] 각각의 상기 제2 몰드 패턴들(17p)의 폭(W3)은 상기 제1 스페이서(31p)의 최대폭(W2)과 실질적으로 동일할 수 있다(W3=1F). 이웃하는 상기 제2 몰드 패턴들(17p)간의 간격(L2)은 상기 제1 스페이서(31p)의 최대폭(W2)의 약 3배일 수 있다(L2=3F).
- [0079] 도 7a 및 7b를 참조하면, 상기 기판(1)의 전면 상에 제2 스페이서막(미도시)이 콘포말하게 형성될 수 있다. 일 예로, 상기 제2 스페이서막은 상기 제2 마스크막(29), 상기 중간 몰드막(17) 및 상기 하부 몰드막(7) 모두와 식각 선택비를 갖는 물질로 형성될 수 있고, 구체적으로 ALD(Atomic layer deposition) 방식으로 형성된 실리콘 산화막일 수 있다.
- [0080] 이어서, 상기 제2 스페이서막을 이방성 식각 하여, 상기 제2 몰드 패턴들(17p)의 측벽들을 덮는 제2 스페이서들(33p)이 형성될 수 있다. 각각의 상기 제2 스페이서들(33p)의 최대폭(W4)은 상기 제1 스페이서(31p)의 최대폭(W2)과 실질적으로 동일할 수 있다(W4=1F). 이웃하는 상기 제2 스페이서들(33p)간의 간격(L3)은 상기 제1 스페이서(31p)의 최대폭(W2)과 실질적으로 동일할 수 있다(L3=1F).
- [0081] 상기 제1 마스크 패턴들(19p)이 선택적으로 제거되어, 상기 제2 몰드 패턴들(17p)의 상면들이 노출될 수 있다. 나아가, 상기 제2 몰드 패턴들(17p)이 모두 제거될 수 있다. 상기 제2 몰드 패턴들(17p)이 선택적으로 제거됨으로써, 상기 하부 몰드막(7)의 상면과 상기 제2 스페이서들(33p)이 노출될 수 있다. 상기 중간 몰드막(17)이 SOH막으로 형성될 경우, 상기 제거 공정(식각 공정)은 산소를 이용한 애싱 공정일 수 있다.
- [0082] 한편, 상기 하부 몰드막(7)은 상기 제2 스페이서막, 상기 제1 마스크 패턴들(19p) 및 상기 제2 몰드 패턴들(17p)에 대하여 식각 선택비를 가질 수 있다. 따라서, 상기 셀 어레이 영역(CR) 및 상기 주변회로 영역(PR) 상에서는, 상기 제2 스페이서들(33p)이 형성되는 과정 동안 상기 하부 몰드막(7)이 그대로 잔류할 수 있다.
- [0083] 도 8a 및 8b를 참조하면, 상기 제2 스페이서들(33p)을 식각 마스크로 상기 하부 몰드막(7)을 식각하여, 상기 셀 어레이 영역(CR) 상에 제3 몰드 패턴들(7p)이 형성될 수 있다. 평면적 관점에서, 상기 제3 몰드 패턴들(7p)은 상기 제2 스페이서들(33p)의 형태에 대응될 수 있다. 상기 제3 몰드 패턴들(7p)은 이들 사이의 공간을 통해 상기 식각 대상막(5)의 상면의 일부를 노출할 수 있다. 한편, 상기 주변회로 영역(PR) 상에서는, 상기 하부 몰드막(7)이 모두 제거될 수 있다. 이로써 상기 주변회로 영역(PR) 상에서는, 상기 식각 대상막(5)의 상면이 완전히

노출될 수 있다.

- [0084] 각각의 상기 제3 몰드 패턴들(7p)의 폭(W5)은 상기 제1 스페이서(31p)의 최대폭(W2)과 실질적으로 동일할 수 있다(W5=1F). 이웃하는 상기 제3 몰드 패턴들(7p)간의 간격(L4)은 상기 제1 스페이서(31p)의 최대폭(W2)과 실질적으로 동일할 수 있다(L4=1F).
- [0085] 도 9a 및 도 9b를 참조하면, 상기 제3 몰드 패턴들(7p)을 덮는 예비 몰드막(37), 및 상기 예비 몰드막(37) 상의 예비 마스크막(39)이 형성될 수 있다. 상기 주변회로 영역(PR) 상에서, 상기 예비 몰드막(37)은 상기 하부 몰드막(7)의 상면을 덮을 수 있다. 일 예로, 상기 예비 몰드막(37)은 SOH(Spin on hardmask, 또는 SOC(Spin-on Carbon)) 막으로 형성될 수 있다. 상기 예비 마스크막(39)은 실리콘 산화질화막으로 형성될 수 있다.
- [0086] 상기 예비 마스크막(39) 상에 제2 포토레지스트 패턴들(PP2)이 형성될 수 있다. 상기 제2 포토레지스트 패턴들(PP2)은 제2 개구부들(OP2)을 포함할 수 있다. 상기 제2 개구부들(OP2)은 상기 예비 마스크막(39)의 상면의 일부를 노출할 수 있다.
- [0087] 평면적 관점에서, 적어도 하나의 상기 제2 포토레지스트 패턴(PP2)은 상기 분리 영역(SA)과 수직적으로 중첩될 수 있다. 이때, 상기 셀 어레이 영역(CR) 상의 상기 제2 개구부(OP2)는 후술할 도선 라인들(51, 53a, 53b, 55)이 형성될 영역을 정의할 수 있다. 주변회로 영역(PR) 상의 상기 제2 개구부(OP2)는 후술할 주변 배선들(55)이 형성될 영역을 정의할 수 있다.
- [0088] 도 10a 및 도 10b를 참조하면, 상기 제2 포토레지스트 패턴들(PP2)을 식각 마스크로 상기 예비 마스크막(39)을 식각하여, 예비 마스크 패턴들(39p)이 형성될 수 있다. 평면적 관점에서, 상기 예비 마스크 패턴들(39p)은 상기 제2 포토레지스트 패턴들(PP2)의 형태에 대응될 수 있다.
- [0089] 이어서, 상기 예비 마스크 패턴들(39p)을 식각 마스크로 상기 예비 몰드막(37)을 식각하여, 제4 몰드 패턴들(37p)이 형성될 수 있다. 평면적 관점에서, 상기 제4 몰드 패턴들(37p)은 상기 예비 마스크 패턴들(39p)의 형태에 대응될 수 있다. 즉, 상기 제4 몰드 패턴들(37p)은 상기 셀 어레이 영역(CR) 및 상기 주변회로 영역(PR) 상에 복수개로 형성될 수 있다.
- [0090] 상기 제4 몰드 패턴들(37p)은 제3 개구부들(OP3)을 포함할 수 있다. 평면적 관점에서, 상기 제3 개구부들(OP3)은 전술한 상기 제2 개구부들(OP2)과 수직적으로 중첩될 수 있다. 상기 제3 개구부들(OP3)은 상기 식각 대상막(5)의 상면의 일부를 노출할 수 있다.
- [0091] 일 실시예로, 상기 제3 몰드 패턴들(7p)은, 서로 평행하게 제1 방향(D1)으로 연장되는 제1 연장 패턴(ep1) 및 제2 연장 패턴(ep2)을 포함할 수 있다. 상기 제1 및 제2 연장 패턴들(ep1, ep2)은 상기 분리 영역(SA) 상의 상기 제4 몰드 패턴(37p)의 일 측벽(37pw)에 인접하여 배치될 수 있다. 상기 제1 및 제2 연장 패턴들(ep1, ep2)은 상기 제1 방향(D1)과 교차하는 제2 방향(D2)으로 서로 이격될 수 있다. 이때, 평면적 관점에서, 상기 제4 몰드 패턴(37p)의 상기 일 측벽(37pw)은 상기 제1 및 제2 연장 패턴들(ep1, ep2) 사이에 위치할 수 있다.
- [0092] 또는, 도시되진 않았지만, 상기 제4 몰드 패턴(37p)이 미스 얼라인에 의해, 상기 제4 몰드 패턴(37p)의 상기 일 측벽(37pw)이 상기 제1 연장 패턴(ep1) 또는 상기 제2 연장 패턴(ep2) 상에 위치할 수 있다. 그러나, 평면적 관점에서, 상기 제1 및 제2 연장 패턴들(ep1, ep2) 사이의 영역에는 후술할 제2 더미 배선(53b)이 형성될 수 있다. 따라서, 상기 제4 몰드 패턴(37p)이 미스 얼라인이 발생하더라도, 후술할 제1 및 제2 더미 배선들(53a, 53b) 사이의 셀 배선들(51)은, 상기 제1 및 제2 더미 배선들(53a, 53b)을 사이에 두고 상기 셀 배선들(51)과 이격된 다른 셀 배선들(51)과 완전히 노드 분리 될 수 있다. 즉, 셀 배선들(51)의 노드 분리를 위한 포토 얼라인 마진을 확보할 수 있다.
- [0093] 도 11a 및 도 11b를 참조하면, 상기 예비 마스크 패턴들(39p), 상기 제4 몰드 패턴들(37p), 및 상기 제4 몰드 패턴들(37p)에 의해 노출된 상기 제3 몰드 패턴들(7p)을 식각 마스크로 상기 식각 대상막(5)을 식각하여, 절연 패턴들(5p)이 형성될 수 있다. 상기 절연 패턴들(5p)을 형성하는 동안 상기 예비 마스크 패턴들(39p) 및 상기 제4 몰드 패턴들(37p)이 모두 제거될 수 있다. 상기 제4 몰드 패턴들(37p)에 의해 노출된 상기 제3 몰드 패턴들(7p)은, 상기 예비 마스크 패턴들(39p) 및 상기 제4 몰드 패턴들(37p) 제거 시 함께 식각되어, 상기 절연 패턴들(5p) 상에 일부만 잔류할 수 있다.
- [0094] 상기 절연 패턴들(5p)은 이들 사이의 공간을 통해 상기 층간 절연막(3)의 상면의 일부를 노출할 수 있다. 평면적 관점에서, 상기 절연 패턴들(5p)은 상기 제3 몰드 패턴들(7p) 및 상기 제4 몰드 패턴들(37p)의 형태에 대응될 수 있다. 상기 절연 패턴들(5p)은 분리 절연 패턴(5ps)을 포함할 수 있다. 상기 분리 절연 패턴(5ps)은 상기

분리 영역(SA) 상의 상기 제4 몰드 패턴(37p)의 형태에 대응될 수 있다. 즉, 상기 분리 절연 패턴(5ps)은 상기 분리 영역(SA)과 대응될 수 있다.

- [0095] 구체적으로, 상기 제1 및 제2 연장 패턴들(ep1, ep2) 사이의 영역 중 일부가 식각되어, 더미 트렌치(5t)가 형성될 수 있다. 즉, 상기 분리 영역(SA) 상의 상기 제4 몰드 패턴(37p)과 상기 제2 연장 패턴(ep2) 사이의 상기 식각 대상막(5)을 식각하여, 상기 더미 트렌치(5t)를 형성할 수 있다. 상기 더미 트렌치(5t)는 상기 분리 절연 패턴(5ps)의 일 측벽을 정의할 수 있다. 또한, 상기 분리 절연 패턴(5ps)의 반대편 측벽에도 다른 더미 트렌치(5t)가 형성될 수 있다.
- [0096] 상기 분리 절연 패턴(5ps)을 제외한 상기 절연 패턴들(5p)의 폭들(W6)은 상기 제1 스페이서(31p)의 최대폭(W2)과 실질적으로 동일할 수 있다(W6=1F). 이웃하는 상기 절연 패턴들(5p)간의 간격(L5)은 상기 제1 스페이서(31p)의 최대폭(W2)과 실질적으로 동일할 수 있다(L5=1F). 한편, 상기 더미 트렌치(5t)의 일부의 폭(L5)은 상기 제1 스페이서(31p)의 최대폭(W2)과 실질적으로 동일할 수 있다(도 11b의 C-C' 참조). 그러나, 상기 분리 절연 패턴(5ps)과 인접하는 상기 더미 트렌치(5t)의 다른 일부의 폭(L6)은 상기 제1 스페이서(31p)의 최대폭(W2)보다 작을 수 있다(도 11b의 A-A' 참조).
- [0097] 상기 주변회로 영역(PR) 상에도 상기 절연 패턴들(5p)이 형성될 수 있다. 상기 주변회로 영역(PR) 상의 상기 절연 패턴들(5p)은 이들 사이의 공간을 통해 상기 층간 절연막(3)의 상면의 일부를 노출할 수 있다.
- [0098] 도 12a 및 도 12b를 참조하면, 상기 절연 패턴들(5p) 사이를 채우는 도전 라인들(51, 53a, 53b, 55)이 형성될 수 있다. 상기 도전 라인들(51, 53a, 53b, 55)은 셀 배선들(51), 제1 및 제2 더미 배선들(53a, 53b), 및 주변 배선들(55)을 포함할 수 있다. 상기 도전 라인들(51, 53a, 53b, 55)은 도핑된 폴리실리콘, 금속 질화물(예를 들면, 티타늄 질화물 또는 탄탈륨 질화물) 및 금속 물질(예를 들면, 티타늄, 탄탈륨, 텅스텐, 구리 또는 알루미늄) 중 적어도 하나를 포함할 수 있다. 일 예로, 상기 도전 라인들(51, 53a, 53b, 55)이 구리를 포함하는 경우, 상기 도전 라인들(51, 53a, 53b, 55)은 다마신 공정으로 형성될 수 있다.
- [0099] 상기 주변회로 영역(PR) 상에서는, 상기 절연 패턴들(5p) 사이를 채우는 상기 주변 배선들(55)이 형성될 수 있다.
- [0100] 상기 도전 라인들(51, 53a, 53b, 55)을 형성하는 것은, 상기 더미 트렌치들(5t)을 채우는 상기 제1 및 제2 더미 배선들(53a, 53b)을 형성하는 것을 포함할 수 있다. 앞서 설명한 바와 같이, 상기 분리 절연 패턴(5ps)의 양 측벽들을 정의하는 한 쌍의 더미 트렌치들(5t)이 형성될 수 있다. 따라서, 상기 분리 절연 패턴(5ps)의 일 측벽에 인접하여 제1 더미 배선(53a)이 형성될 수 있고, 상기 분리 절연 패턴(5ps)의 다른 측벽에 인접하여 제2 더미 배선(53b)이 형성될 수 있다. 즉, 상기 제1 및 제2 더미 배선들(53a, 53b)은 상기 분리 절연 패턴(5ps)을 사이에 두고 서로 이격될 수 있다.
- [0101] 상기 제1 및 제2 더미 배선들(53a, 53b) 사이에 위치하는 상기 셀 배선들(51)의 각각의 폭(W7)은 상기 제1 스페이서(31p)의 최대폭(W2)과 실질적으로 동일할 수 있다(W7=1F). 이웃하는 상기 셀 배선들(51)간의 간격(L7)은 상기 제1 스페이서(31p)의 최대폭(W2)과 실질적으로 동일할 수 있다(L7=1F). 한편, 상기 셀 배선들(51) 중 일부의 폭은 상기 제1 스페이서(31p)의 최대폭(W2)보다 더 클 수 있고, 이는 특별히 제한되지 않는다.
- [0102] 각각의 상기 제1 및 제2 더미 배선들(53a, 53b) 중 일부의 폭(W7)은 상기 제1 스페이서(31p)의 최대폭(W2)과 실질적으로 동일할 수 있다(도 12b의 C-C' 참조). 그러나, 각각의 상기 제1 및 제2 더미 배선들(53a, 53b) 중 다른 일부의 폭(W8)은 상기 제1 스페이서(31p)의 최대폭(W2)보다 작을 수 있다(도 12b의 A-A' 참조). 상기 일부의 폭(W7)은 상기 분리 절연 패턴(5ps)으로부터 이격된 위치의 폭일 수 있고, 상기 다른 일부의 폭(W8)은 상기 분리 절연 패턴(5ps)과 인접한 위치의 폭일 수 있다.
- [0103] 상기 셀 배선들(51)은 상기 층간 절연막(3)을 관통하는 콘택들(미도시)에 각각 연결되는 비트 라인들일 수 있다. 다만, 상기 제1 및 제2 더미 배선들(53a, 53b)은 상기 콘택들에 연결되지 않을 수 있다.
- [0104] 본 발명의 일 실시예에 따른 반도체 소자의 제조 방법은, 두 번의 포토리소그래피 공정과 두 번의 스페이서 공정을 이용하여 노광 공정의 한계를 뛰어넘는 미세한 피치의 상기 도전 라인들(51, 53a, 53b, 55)을 형성할 수 있다. 또한, 상기 주변 배선들(55)이 형성될 영역을 정의하는 두 번째 포토리소그래피 공정에서, 상기 셀 배선들(51)의 분리 영역(SA)이 동시에 정의됨으로써, 공정이 더 간소화될 수 있다. 나아가, 상기 분리 영역(SA)의 양 측벽들에 인접하여 상기 제1 및 제2 더미 배선들(53a, 53b)이 형성될 수 있으므로, 상기 셀 배선들(51)의 노드 분리를 위한 포토 얼라인 마진을 확보할 수 있다.

- [0105] 도 12a는 본 발명의 일 실시예에 따른 반도체 소자를 나타내는 평면도이다. 도 12b는 도 12a를 A-A'선, B-B'선 및 C-C'선으로 자른 단면도이다.
- [0106] 도 12a 및 도 12b를 참조하면, 기판(1) 상에 층간 절연막(3)이 제공될 수 있다. 상기 층간 절연막(3) 상에, 절연 패턴들(5p), 및 상기 절연 패턴들(5p) 사이를 채우는 도전 라인들(51, 53a, 53b, 55)이 배치될 수 있다. 상기 기판(1)은 셀 어레이 영역(CR)과 주변회로 영역(PR)을 포함할 수 있다. 상기 절연 패턴들(5p)은 상기 셀 어레이 영역(CR) 상에 분리 절연 패턴(5ps)을 포함할 수 있다.
- [0107] 상기 도전 라인들(51, 53a, 53b, 55)은 상기 셀 어레이 영역(CR) 상에 배치된 셀 배선들(51), 및 제1 및 제2 더미 배선들(53a, 53b)을 포함할 수 있다. 상기 도전 라인들(51, 53a, 53b, 55)은 상기 주변회로 영역(PR) 상에 배치된 주변 배선들(55)을 포함할 수 있다. 상기 셀 배선들(51)은 상기 층간 절연막(3)을 관통하는 콘택들(미도시)에 각각 연결되는 비트 라인들일 수 있다. 일 예로, 상기 셀 배선들(51)은 낸드 플래쉬 소자의 비트 라인들에 대응될 수 있다. 상기 제1 및 제2 더미 배선들(53a, 53b)은 상기 분리 절연 패턴(5ps)을 사이에 두고 서로 이격될 수 있다.
- [0108] 상기 제1 및 제2 더미 배선들(53a, 53b) 사이에 위치하는 상기 셀 배선들(51)의 각각의 폭(W7)은 1F일 수 있다 (W7=1F). 이웃하는 상기 셀 배선들(51)간의 간격(L7)은 상기 셀 배선(51)의 폭(W7)과 실질적으로 동일할 수 있다(L7=1F). 한편, 상기 셀 배선들(51) 중 일부의 폭은 상기 1F보다 더 클 수 있고, 이는 특별히 제한되지 않는다.
- [0109] 각각의 상기 제1 및 제2 더미 배선들(53a, 53b) 중 일부의 폭(W7)은 상기 셀 배선(51)의 폭(W7)과 실질적으로 동일할 수 있다(도 12b의 C-C' 참조). 그러나, 각각의 상기 제1 및 제2 더미 배선들(53a, 53b) 중 다른 일부의 폭(W8)은 상기 셀 배선(51)의 폭(W7)보다 작을 수 있다(도 12b의 A-A' 참조). 상기 일부의 폭(W7)은 상기 분리 절연 패턴(5ps)으로부터 이격된 위치의 폭일 수 있고, 상기 다른 일부의 폭(W8)은 상기 분리 절연 패턴(5ps)과 인접한 위치의 폭일 수 있다.
- [0110] 실시예 2
- [0111] 도 13a 내지 도 22a는 본 발명의 다른 실시예에 따른 반도체 소자의 제조 방법을 순차적으로 나타내는 평면도들이다. 도 13b 내지 도 22b는 각각 도 13a 내지 도 22a를 A-A'선, B-B'선 및 C-C'선으로 자른 단면도들이다. 본 예에서는, 앞서 도 1a 내지 도 13a 및 도 1b 내지 도 13b를 참조하여 설명한 것과 중복되는 기술적 특징에 대한 상세한 설명은 생략하고, 차이점에 대해 상세히 설명한다. 앞서 설명한 본 발명의 일 실시예에 따른 반도체 소자의 제조 방법과 동일한 구성에 대하여는 동일한 참조번호가 제공될 수 있다.
- [0112] 도 13a 및 도 13b를 참조하면, 기판(1) 상에 순차적으로 적층된 층간 절연막(3), 식각 대상막(5), 하부 몰드막(7), 식각 방지막(8), 예비 몰드막(37) 및 예비 마스크막(39)이 형성될 수 있다.
- [0113] 상기 기판(1)은 셀 어레이 영역(CR)과 주변회로 영역(PR)을 포함할 수 있다. 도시되진 않았지만, 상기 기판(1)의 상기 셀 어레이 영역(CR) 상에는 복수개의 트랜지스터들이 형성될 수 있다. 도시되진 않았지만, 상기 층간 절연막(3)을 관통하여 상기 복수개의 트랜지스터들에 연결되는 복수개의 콘택들이 형성될 수 있다. 상기 셀 어레이 영역(CR) 상의 상기 식각 대상막(5)은 분리 영역(SA)을 포함할 수 있다. 상기 분리 영역(SA)은, 후술할 도전 라인들(51, 55)이 형성되지 않는 영역으로 정의될 수 있다.
- [0114] 일 예로, 상기 식각 방지막(8) 및 상기 예비 마스크막(39)은 서로 동일한 물질로 형성될 수 있으며, 구체적으로 실리콘 산화질화막으로 형성될 수 있다. 상기 예비 몰드막(37)은 SOH(Spin on hardmask, 또는 SOC(Spin-on Carbon)) 막으로 형성될 수 있다
- [0115] 상기 예비 마스크막(39) 상에 제1 포토레지스트 패턴들(PP1)이 형성될 수 있다. 상기 제1 포토레지스트 패턴들(PP1)은 제1 개구부들(OP1)을 포함할 수 있다. 상기 제1 개구부들(OP1)은 상기 예비 마스크막(39)의 상면의 일부를 노출할 수 있다.
- [0116] 평면적 관점에서, 상기 제1 포토레지스트 패턴들(PP1)의 일부는 상기 분리 영역(SA)과 수직적으로 중첩될 수 있다. 이때, 상기 셀 어레이 영역(CR) 상의 상기 제1 개구부(OP1)는 후술할 도전 라인들(51, 55)이 형성될 영역을 정의할 수 있다. 주변회로 영역(PR) 상의 상기 제1 개구부(OP1)는 후술할 주변 배선(55)이 형성될 영역을 정의

할 수 있다.

- [0117] 도 14a 및 도 14b를 참조하면, 상기 제2 포토레지스트 패턴들(PP2)을 식각 마스크로 상기 예비 마스크막(39)을 식각하여, 예비 마스크 패턴들(39p)(미도시)이 형성될 수 있다. 이어서, 상기 예비 마스크 패턴들(39p)을 식각 마스크로 상기 예비 몰드막(37)을 식각하여, 제4 몰드 패턴들(37p)(미도시)이 형성될 수 있다(도 10a 및 도 10b 참조).
- [0118] 이어서, 상기 예비 마스크 패턴들(39p) 및 상기 제4 몰드 패턴들(37p)을 식각 마스크로 상기 식각 방지막(8)을 식각하여, 제1 식각 방지 패턴들(8p)이 형성될 수 있다. 결과적으로, 평면적 관점에서, 상기 제1 식각 방지 패턴들(8p)은 상기 제1 포토레지스트 패턴들(PP1)의 형태에 대응될 수 있다.
- [0119] 도 15a 및 도 15b를 참조하면, 상기 하부 몰드막(7) 상에, 상기 제1 식각 방지 패턴들(8p)을 덮는 중간 몰드막(17)이 형성될 수 있다. 이어서, 상기 중간 몰드막(17) 상에 순차적으로 적층된 제1 마스크막(19), 상부 몰드막(27) 및 제2 마스크막(29)이 형성될 수 있다. 상기 제2 마스크막(29) 상에 제2 포토레지스트 패턴들(PP2)이 형성될 수 있다. 평면적 관점에서, 상기 제2 포토레지스트 패턴들(PP2)은 상기 주변회로 영역(PR) 상을 완전히 덮을 수 있다. 상기 제2 포토레지스트 패턴들(PP2)은 상기 셀 어레이 영역(CR) 상에 제2 개구부들(OP2)을 포함할 수 있다.
- [0120] 상기 제1 포토레지스트 패턴들(PP1)의 일부의 폭(W1)은 후술할 제1 스페이서(31p)의 최대폭(W2)의 약 3배일 수 있다. 이웃하는 상기 제1 포토레지스트 패턴들(PP1)간의 간격(L1)은 상기 제1 스페이서(31p)의 최대폭(W2)의 약 5배일 수 있다.
- [0121] 도 16a 및 도 16b를 참조하면, 상기 제2 포토레지스트 패턴들(PP2)을 식각 마스크로 상기 제2 마스크막(29) 및 상기 상부 몰드막(27)을 식각하여, 제2 마스크 패턴들(29p) 및 제1 몰드 패턴들(27p)이 형성될 수 있다. 한편, 상기 주변회로 영역(PR) 상에서는, 상기 제2 마스크막(29)이 식각되지 않고 그대로 잔류할 수 있다(도 2a 및 도 2b 참조).
- [0122] 이어서, 상기 기판(1)의 전면 상에 제1 스페이서막(31)이 콘포말하게 형성될 수 있다. 상기 제1 스페이서막(31)의 두께(T1)는 후술할 제1 스페이서(31p)의 최대폭(W2)과 실질적으로 동일할 수 있다.
- [0123] 도 17a 및 도 17b를 참조하면, 상기 제1 스페이서막(31) 상에, 제3 개구부(OP3)를 갖는 제3 포토레지스트 패턴(PP3)이 형성될 수 있다. 상기 제3 개구부(OP3)는 상기 셀 어레이 영역(CR) 상에 위치할 수 있다. 즉, 상기 제3 포토레지스트 패턴(PP3)은 상기 주변회로 영역(PR) 상의 상기 제1 스페이서막(31)을 덮되, 상기 셀 어레이 영역(CR) 상의 상기 제1 스페이서막(31)을 노출할 수 있다.
- [0124] 나아가, 평면적 관점에서, 상기 제3 포토레지스트 패턴(PP3)은 상기 셀 어레이 영역(CR) 상의 상기 제1 몰드 패턴들(27p)의 단부들을 덮을 수 있다. 상기 제3 개구부(OP3)는 상기 제1 개구부(OP1)와 유사하게, 후술할 셀 배선들(51)이 형성될 영역을 정의할 수 있다.
- [0125] 도 18a 및 도 18b를 참조하면, 상기 제3 포토레지스트 패턴(PP3)을 식각 마스크로 상기 제1 스페이서막(31)을 이방성 식각하여, 상기 제1 스페이서들(31p)이 형성될 수 있다. 상기 제1 스페이서들(31p)은 상기 제3 개구부(OP3)를 통해 노출된 상기 제1 몰드 패턴들(27p)의 측벽들을 덮을 수 있다. 각각의 상기 제1 스페이서들(31p)의 최대폭(W2)은 1F로 정의될 수 있다.
- [0126] 후속으로, 상기 제3 개구부(OP3)를 통해 노출된 영역 상에서, 상기 제2 마스크 패턴들(29p)이 선택적으로 제거되어, 상기 제1 몰드 패턴들(27p)의 상면들이 노출될 수 있다. 이어서 상기 제1 몰드 패턴들(27p)이 제거될 수 있다.
- [0127] 한편, 상기 제3 포토레지스트 패턴(PP3)과 중첩되는 영역 상에서는, 상기 제3 포토레지스트 패턴(PP3)으로 인해 상기 제1 스페이서막(31), 상기 제2 마스크막(29) 및 상기 상부 몰드막(27)이 그대로 잔류할 수 있다. 예를 들어, 상기 주변회로 영역(PR) 상의 상기 제1 스페이서막(31), 상기 제2 마스크막(29) 및 상기 상부 몰드막(27)은 식각되지 않을 수 있다.
- [0128] 도 19a 및 도 19b를 참조하면, 상기 제1 스페이서들(31p)을 식각 마스크로 상기 제1 마스크막(19)을 식각하여, 상기 셀 어레이 영역(CR) 상에 제1 마스크 패턴들(19p)이 형성될 수 있다. 한편, 상기 주변회로 영역(PR) 상에서는, 상기 제1 스페이서막(31) 및 상기 제2 마스크막(29)이 제거될 수 있다.
- [0129] 이어서, 상기 제1 마스크 패턴들(19p)을 식각 마스크로 상기 중간 몰드막(17)을 식각하여, 제2 몰드 패턴들

(17p)이 형성될 수 있다. 상기 중간 몰드막(17)이 식각됨으로써 상기 셀 어레이 영역(CR) 상의 상기 제1 식각 방지 패턴(8p)이 노출될 수 있다. 평면적 관점에서, 상기 제2 몰드 패턴들(17p)은 상기 제1 스페이서들(31p)의 형태에 대응될 수 있다. 상기 제2 몰드 패턴들(17p)은 상기 제3 개구부(OP3)를 통해 노출된 영역 상에 형성될 수 있다. 한편, 상기 주변회로 영역(PR) 상에서는, 상기 상부 몰드막(27)이 제거되어, 상기 제1 마스크막(19)의 상면이 노출될 수 있다.

- [0130] 각각의 상기 제2 몰드 패턴들(17p)의 폭(W3)은 상기 제1 스페이서(31p)의 최대폭(W2)과 실질적으로 동일할 수 있다(W3=1F). 이웃하는 상기 제2 몰드 패턴들(17p)간의 간격(L2)은 상기 제1 스페이서(31p)의 최대폭(W2)의 약 3배일 수 있다(L2=3F).
- [0131] 도 20a 및 도 20b를 참조하면, 상기 제2 몰드 패턴들(17p)의 측벽들을 덮는 제2 스페이서들(33p)이 형성될 수 있다. 상기 제2 스페이서들(33p)을 형성하는 것은, 상기 기판(1)의 전면 상에 제2 스페이서막(미도시)을 콘포말하게 형성하는 것, 및 상기 제1 마스크 패턴들(19p)이 노출될 때까지 상기 제2 스페이서막을 이방성 식각하는 것을 포함할 수 있다.
- [0132] 상기 제2 스페이서들(33p)을 형성할 때, 상기 셀 어레이 영역(CR) 상의 상기 제1 식각 방지 패턴(8p)의 일부가 함께 식각될 수 있다. 이로써, 제2 식각 방지 패턴들(18p)이 형성될 수 있다. 상기 제2 식각 방지 패턴들(18p)은 상기 분리 영역(SA) 상에 형성될 수 있다.
- [0133] 도 23a 및 도 23b는 본 실시예에 따른 상기 제2 스페이서들(33p) 및 상기 제2 식각 방지 패턴들(18p)의 형성 과정을 순차적으로 나타낸 단면도들이다.
- [0134] 구체적으로, 도 23a를 참조하면, 상기 제2 스페이서막이 이방성 식각되어, 상기 제2 몰드 패턴들(17p)의 측벽들을 덮는 제2 스페이서들(33p)이 형성될 수 있다. 이때, 상기 제2 몰드 패턴들(17p) 상엔 상기 제1 마스크 패턴들(19p)이 잔류할 수 있다.
- [0135] 도 23b를 참조하면, 상기 제1 마스크 패턴들(19p)을 이방성 식각하여 제거할 수 있다. 이로써, 상기 제2 몰드 패턴들(17p)의 상면들은 노출될 수 있다. 상기 제1 마스크 패턴들(19p)을 제거할 때, 상기 제1 식각 방지 패턴(8p)의 일부들이 함께 제거될 수 있다. 상기 제1 식각 방지 패턴(8p)의 상기 일부들은 상기 제2 스페이서들(33p) 및 상기 제1 마스크 패턴들(19p)에 의해 노출된 부분들일 수 있다. 일 예로, 상기 제1 식각 방지 패턴(8p)은 상기 제1 마스크 패턴들(19p)과 동일한 막질(예를 들어, 실리콘 산화질화막)로 형성될 수 있기 때문에, 상기 이방성 식각 공정은 상기 제1 마스크 패턴들(19p) 및 상기 제1 식각 방지 패턴(8p)을 식각할 수 있다.
- [0136] 한편, 상기 이방성 식각 공정을 통해, 상기 주변회로 영역(PR) 상의 상기 제1 마스크막(19) 역시 제거될 수 있고, 이로써 상기 중간 몰드막(17)의 상면이 노출될 수 있다. 다만, 상기 셀 어레이 영역(CR) 상에 상기 제2 식각 방지 패턴들(18p)이 형성될 때, 상기 주변회로 영역(PR) 상의 상기 제1 식각 방지 패턴(8p)은 그대로 잔류할 수 있다.
- [0137] 도 20a 및 도 20b를 다시 참조하면, 상기 제2 몰드 패턴들(17p)이 선택적으로 제거될 수 있다. 한편, 상기 주변회로 영역(PR) 상에는, 상기 중간 몰드막(17)이 함께 제거되고, 상기 제1 식각 방지 패턴(8p)이 노출될 수 있다.
- [0138] 각각의 상기 제2 스페이서들(33p)의 최대폭(W4)은 상기 제1 스페이서(31p)의 최대폭(W2)과 실질적으로 동일할 수 있다(W4=1F). 각각의 상기 제2 식각 방지 패턴들(18p)의 폭(W5)은 상기 제1 스페이서(31p)의 최대폭(W2)의 약 3배일 수 있다(W5=3F). 이웃하는 상기 제2 식각 방지 패턴들(18p)간의 간격(L3)은 상기 제1 스페이서(31p)의 최대폭(W2)과 실질적으로 동일할 수 있다(L3=1F).
- [0139] 보다 구체적으로, 각각의 상기 제2 식각 방지 패턴들(18p) 상에는 한 쌍의 상기 제2 스페이서들(33p)이 배치될 수 있다. 상기 한 쌍의 제2 스페이서들(33p)의 외측벽들은 상기 제2 식각 방지 패턴(18p)의 외측벽들과 공면을 이룰 수 있다. 이때, 상기 한 쌍의 제2 스페이서들(33p)간의 간격은 상기 제2 스페이서(33p)의 최대폭(W4)과 동일할 수 있다. 본 실시예에 있어서, 상기 제2 식각 방지 패턴들(18p)은 후술할 셀 배선들(51)이 분리될 영역을 정의할 수 있다.
- [0140] 도 21a 및 도 21b를 참조하면, 상기 제2 스페이서들(33p) 및 상기 제2 식각 방지 패턴들(18p)을 식각 마스크로 상기 하부 몰드막(7)을 식각하여, 제3 몰드 패턴들(7p)이 형성될 수 있다. 도 8a 및 도 8b에서 설명한 바와 달리, 상기 제3 몰드 패턴들(7p)은 상기 셀 어레이 영역(CR) 상 뿐만 아니라 상기 주변회로 영역(PR) 상에도 형성될 수 있다. 상기 주변회로 영역(PR) 상의 상기 제3 몰드 패턴들(7p)은 후술할 주변 배선(55)이 형성될 영역을

정의할 수 있다. 나아가, 상기 셀 어레이 영역(CR) 상의 상기 제3 몰드 패턴들(7p)은, 위치에 따라 서로 다른 폭들(W6, W7)을 가질 수 있다.

- [0141] 구체적으로, 상기 제2 식각 방지 패턴들(18p)에 대응하여, 상기 제3 몰드 패턴(7p)의 폭(W6)은 상기 제1 스페이서(31p)의 최대폭(W2)의 약 3배일 수 있다(W6=3F). 이는, 상기 제2 식각 방지 패턴들(18p)이 상기 제2 스페이서들(33p), 상기 제1 마스크 패턴들(19p) 및 상기 제2 몰드 패턴들(17p)에 의해 3F의 폭(W5)으로 식각되었기 때문이다. 예를 들어, 상기 분리 영역(SA) 상의 상기 제3 몰드 패턴(7p)의 폭(W6)은 상기 제1 스페이서(31p)의 최대폭(W2)의 약 3배일 수 있다(W6=3F). 이웃하는 상기 제2 식각 방지 패턴들(18p)간의 간격(L4)은 상기 제1 스페이서(31p)의 최대폭(W2)과 실질적으로 동일할 수 있다(L4=1F).
- [0142] 도 22a 및 도 22b를 참조하면, 상기 제3 몰드 패턴들(7p)을 식각 마스크로 상기 식각 대상막(5)을 식각하여, 절연 패턴들(5p)이 형성될 수 있다. 상기 절연 패턴들(5p)은 이들 사이의 공간을 통해 상기 층간 절연막(3)의 상면의 일부를 노출할 수 있다. 평면적 관점에서, 상기 절연 패턴들(5p)은 상기 제3 몰드 패턴들(7p)의 형상에 대응될 수 있다.
- [0143] 상기 절연 패턴들(5p)은 상기 분리 영역(SA) 상에 분리 절연 패턴들(5ps)을 포함할 수 있다. 일 예로, 평면적 관점에서, 상기 분리 절연 패턴들(5ps)은 상기 분리 영역(SA) 상의 상기 제3 몰드 패턴들(7p)에 대응될 수 있다.
- [0144] 상기 절연 패턴들(5p) 사이를 채우는 도전 라인들(51, 55)이 형성될 수 있다. 상기 도전 라인들(51, 55)은 셀 배선들(51) 및 주변 배선들(55)을 포함할 수 있다. 일 예로, 상기 도전 라인들(51, 55)이 구리를 포함하는 경우, 상기 도전 라인들(51, 55)은 다마신 공정으로 형성될 수 있다. 상기 주변회로 영역(PR) 상에서는, 상기 절연 패턴들(5p) 사이를 채우는 상기 주변 배선들(55)이 형성될 수 있다.
- [0145] 상기 분리 절연 패턴들(5ps)에 인접하는 상기 셀 배선들(51)은, 상기 분리 절연 패턴들(5ps)에 의해 서로 이격될 수 있다. 일 예로, 상기 분리 영역(SA) 내의 상기 셀 배선들(51)은 상기 분리 절연 패턴(5ps)을 사이에 두고 서로 이격될 수 있다.
- [0146] 보다 구체적으로, 상기 셀 어레이 영역(CR) 상의 상기 셀 배선들(51)은 서로 평행하게 제1 방향(D1)으로 연장되는 제1 내지 제3 셀 배선들(51a, 51b, 51c)을 포함할 수 있다. 상기 제3 셀 배선(51c)은 상기 제1 및 제2 셀 배선(51a, 51b) 사이에 배치될 수 있다. 상기 제1 및 제2 셀 배선(51a, 51b) 사이에는 상기 분리 절연 패턴(5ps)이 개재될 수 있다. 이때, 평면적 관점에서, 상기 제2 셀 배선(51b)의 일 단부는 상기 제3 셀 배선(51c)의 일 단부보다 더 돌출될 수 있다. 평면적 관점에서, 상기 제1 셀 배선(51a)의 일 단부는 상기 제2 셀 배선(51b)의 상기 일 단부보다 더 돌출될 수 있다.
- [0147] 상기 셀 배선들(51)의 각각의 폭(W8)은 상기 제1 스페이서(31p)의 최대폭(W2)과 실질적으로 동일할 수 있다(W8=1F). 이웃하는 상기 셀 배선들(51)간의 간격(L5)은 상기 제1 스페이서(31p)의 최대폭(W2)과 실질적으로 동일할 수 있다(L5=1F). 그러나, 상기 분리 절연 패턴들(5ps)을 사이에 두고 이웃하는 상기 셀 배선들(51)간의 간격(L6)은 상기 제1 스페이서(31p)의 최대폭(W2)의 약 3배일 수 있다(L6=3F). 일 예로, 상기 제1 및 제2 셀 배선(51a, 51b) 사이의 간격은 약 3F 일 수 있다. 한편, 상기 셀 배선들(51) 중 일부의 폭은 상기 제1 스페이서(31p)의 최대폭(W2)보다 더 클 수 있고, 이는 특별히 제한되지 않는다.
- [0148] 상기 셀 배선들(51)은 상기 층간 절연막(3)을 관통하는 콘택들(미도시)에 각각 연결되는 비트 라인들일 수 있다.
- [0149] 본 실시예에 따른 반도체 소자의 제조 방법은, 세 번의 포토리소그래피 공정과 두 번의 스페이서 공정을 이용하여 노광 공정의 한계를 뛰어넘는 미세한 피치의 상기 도전 라인들(51, 55)을 형성할 수 있다. 또한, 상기 주변 배선들(55)이 형성될 영역을 정의하는 첫 번째 포토리소그래피 공정에서, 상기 셀 배선들(51)의 분리 영역(SA)이 상기 제1 식각 방지 패턴(8p)에 의해 동시에 정의됨으로써, 공정이 더 간소화될 수 있다. 나아가, 상기 제1 식각 방지 패턴(8p)에 의해, 상기 셀 배선들(51)의 노드 분리를 위한 상기 분리 절연 패턴들(5ps)이 자기 정렬적으로 형성될 수 있으므로, 상기 셀 배선들(51)의 미스 얼라인을 방지할 수 있다.
- [0150] 도 22a는 본 발명의 다른 실시예에 따른 반도체 소자를 나타내는 평면도이다. 도 22b는 도 22a를 A-A'선, B-B'선 및 C-C'선으로 자른 단면도이다. 본 예에서는, 앞서 도 12a 및 도 12b를 참조하여 설명한 것과 중복되는 기술적 특징에 대한 상세한 설명은 생략하고, 차이점에 대해 상세히 설명한다. 앞서 설명한 본 발명의 일 실시

예에 따른 반도체 소자와 동일한 구성에 대하여는 동일한 참조번호가 제공될 수 있다.

- [0151] 도 22a 및 도 22b를 참조하면, 상기 기판(1) 상에, 절연 패턴들(5p), 및 상기 절연 패턴들(5p) 사이를 채우는 도전 라인들(51, 55)이 배치될 수 있다. 상기 절연 패턴들(5p)은 셀 어레이 영역(CR) 상에 분리 절연 패턴들(5ps)을 포함할 수 있다. 상기 도전 라인들(51, 55)은 셀 어레이 영역(CR) 상의 셀 배선들(51) 및 주변회로 영역(PR) 상의 주변 배선들(55)을 포함할 수 있다.
- [0152] 상기 분리 절연 패턴들(5ps)에 인접하는 상기 셀 배선들(51)은, 상기 분리 절연 패턴들(5ps)에 의해 서로 이격될 수 있다. 보다 구체적으로, 상기 셀 어레이 영역(CR) 상의 상기 셀 배선들(51)은 서로 평행하게 제1 방향(D1)으로 연장되는 제1 내지 제3 셀 배선들(51a, 51b, 51c)을 포함할 수 있다. 상기 제3 셀 배선(51c)은 상기 제1 및 제2 셀 배선(51a, 51b) 사이에 배치될 수 있다. 상기 제1 및 제2 셀 배선(51a, 51b) 사이에는 상기 분리 절연 패턴(5ps)이 개재될 수 있다. 이때, 평면적 관점에서, 상기 제2 셀 배선(51b)의 일 단부는 상기 제3 셀 배선(51c)의 일 단부보다 더 돌출될 수 있다. 평면적 관점에서, 상기 제1 셀 배선(51a)의 일 단부는 상기 제2 셀 배선(51b)의 상기 일 단부보다 더 돌출될 수 있다.
- [0153] 상기 셀 배선들(51)의 각각의 폭(W8)은 1F일 수 있다(W8=1F). 이웃하는 상기 셀 배선들(51)간의 간격(L5)은 상기 셀 배선(51)의 폭(W8)과 실질적으로 동일할 수 있다(L5=1F). 그러나, 상기 분리 절연 패턴들(5ps)을 사이에 두고 이웃하는 상기 셀 배선들(51)간의 간격(L6)은 상기 셀 배선(51)의 폭(W8)의 약 3배일 수 있다(L6=3F). 일 예로, 상기 제1 및 제2 셀 배선(51a, 51b) 사이의 간격은 약 3F 일 수 있다. 한편, 상기 셀 배선들(51) 중 일부의 폭은 상기 1F보다 더 클 수 있고, 이는 특별히 제한되지 않는다.
- [0154] 실시예 3
- [0155] 도 24a 내지 도 29a는 본 발명의 또 다른 실시예에 따른 반도체 소자의 제조 방법을 순차적으로 나타내는 평면도들이다. 도 24b 내지 도 29b는 각각 도 24a 내지 도 29a를 A-A'선, B-B'선 및 C-C'선으로 자른 단면도들이다. 본 예에서는, 앞서 도 13a 내지 도 22a 및 도 13b 내지 도 22b를 참조하여 설명한 것과 중복되는 기술적 특징에 대한 상세한 설명은 생략하고, 차이점에 대해 상세히 설명한다. 앞서 설명한 본 발명의 일 실시예에 따른 반도체 소자의 제조 방법과 동일한 구성에 대하여는 동일한 참조번호가 제공될 수 있다.
- [0156] 도 24a 및 도 24b를 참조하면, 앞서 설명한 도 16a 및 도 16b의 결과물 상에 제3 포토레지스트 패턴들(PP3)이 형성될 수 있다. 상기 제3 포토레지스트 패턴들(PP3)은 제1 스페이서막(31) 상에 형성될 수 있고, 제3 개구부(OP3)를 가질 수 있다. 상기 제3 개구부(OP3)는 셀 어레이 영역(CR) 상에 위치할 수 있다. 즉, 상기 제3 포토레지스트 패턴들(PP3)은 주변회로 영역(PR) 상의 상기 제1 스페이서막(31)을 덮되, 상기 셀 어레이 영역(CR) 상의 상기 제1 스페이서막(31)을 노출할 수 있다.
- [0157] 다만, 앞서 도 17a 및 도 17b에서 설명한 바와 달리, 적어도 하나의 상기 제3 포토레지스트 패턴(PP3)은 분리 영역(SA)의 일부와 수직적으로 중첩될 수 있다. 상기 분리 영역(SA) 상의 상기 제3 포토레지스트 패턴(PP3)은 후술할 제2 분리 절연 패턴(5psb)을 정의할 수 있다.
- [0158] 도 25a 및 도 25b를 참조하면, 상기 제3 포토레지스트 패턴들(PP3)을 식각 마스크로 상기 제1 스페이서막(31)을 이방성 식각하여, 상기 제1 스페이서들(31p)이 형성될 수 있다. 상기 제1 스페이서들(31p)은 상기 제3 개구부(OP3)를 통해 노출된 상기 제1 몰드 패턴들(27p)의 측벽들을 덮을 수 있다. 각각의 상기 제1 스페이서들(31p)의 최대폭(W2)은 1F로 정의될 수 있다.
- [0159] 후속으로, 상기 제3 개구부(OP3)를 통해 노출된 영역 상에서, 상기 제2 마스크 패턴들(29p)이 선택적으로 제거되어, 상기 제1 몰드 패턴들(27p)의 상면들이 노출될 수 있다. 이어서 상기 제1 몰드 패턴들(27p)이 제거될 수 있다.
- [0160] 한편, 상기 제3 포토레지스트 패턴들(PP3)과 중첩되는 영역 상에서는, 상기 제3 포토레지스트 패턴(PP3)으로 인해 상기 제1 스페이서막(31), 상기 제2 마스크막(29) 및 상기 상부 몰드막(27)이 그대로 잔류할 수 있다. 예를 들어, 상기 주변회로 영역(PR) 상의 상기 제1 스페이서막(31), 상기 제2 마스크막(29) 및 상기 상부 몰드막(27)은 식각되지 않을 수 있다. 상기 분리 영역(SA) 상의 상기 제3 포토레지스트 패턴(PP3)과 중첩되는 영역 상에서도, 상기 제1 스페이서막(31)의 일부의 식각이 방지될 수 있다. 상기 제3 포토레지스트 패턴(PP3)에 의해 식각이 방지된 상기 제1 스페이서막(31)의 일부는 분리 스페이서막(31s)을 이룰 수 있다(도 25b의 A-A' 참조).
- [0161] 도 26a 및 도 26b를 참조하면, 상기 제1 스페이서들(31p) 및 상기 분리 스페이서막(31s)을 식각 마스크로 상기

제1 마스크막(19)을 식각하여, 상기 셀 어레이 영역(CR) 상에 제1 마스크 패턴들(19p) 및 분리 마스크 패턴(19ps)이 각각 형성될 수 있다. 한편, 상기 주변회로 영역(PR) 상에서는, 상기 제1 스페이서막(31) 및 상기 제2 마스크막(29)이 제거될 수 있다.

- [0162] 이어서, 상기 제1 마스크 패턴들(19p) 및 상기 분리 마스크 패턴(19ps)을 식각 마스크로 상기 중간 몰드막(17)을 식각하여, 제2 몰드 패턴들(17p) 및 제2 분리 몰드 패턴(17ps)이 각각 형성될 수 있다.
- [0163] 평면적 관점에서, 상기 제2 몰드 패턴들(17p)은 상기 제1 스페이서들(31p)의 형태에 대응될 수 있다. 상기 제2 분리 몰드 패턴(17ps)은 상기 분리 스페이서막(31s)의 형태에 대응될 수 있다. 상기 제2 분리 몰드 패턴(17ps)은 제1 식각 방지 패턴(8p) 상에 형성될 수 있다. 한편, 상기 주변회로 영역(PR) 상에서는, 상기 상부 몰드막(27)이 제거되어, 상기 제1 마스크막(19)의 상면이 노출될 수 있다.
- [0164] 각각의 상기 제2 몰드 패턴들(17p)의 폭(W3)은 상기 제1 스페이서(31p)의 최대폭(W2)과 실질적으로 동일할 수 있다(W3=1F). 이웃하는 상기 제2 몰드 패턴들(17p)간의 간격(L2)은 상기 제1 스페이서(31p)의 최대폭(W2)의 약 3배일 수 있다(L2=3F). 상기 제2 분리 몰드 패턴(17ps)의 폭(W4)은 상기 제1 스페이서(31p)의 최대폭(W2)의 약 3배보다 더 클 수 있다.
- [0165] 도 27a 및 도 27b를 참조하면, 상기 제2 몰드 패턴들(17p) 및 상기 제2 분리 몰드 패턴(17ps)의 측벽들을 덮는 제2 스페이서들(33p)이 형성될 수 있다. 상기 제2 스페이서들(33p)을 형성할 때, 상기 셀 어레이 영역(CR) 상의 상기 제1 식각 방지 패턴(8p)의 일부가 함께 식각될 수 있다. 이로써, 제2 식각 방지 패턴들(18p)이 형성될 수 있다. 상기 제2 식각 방지 패턴들(18p)은 상기 분리 영역(SA) 상에 형성될 수 있다.
- [0166] 다만, 앞서 도 23a 및 도 23b를 참조하여 설명한 바와 달리, 상기 제2 분리 몰드 패턴(17ps) 아래의 상기 제1 식각 방지 패턴(8p)은 식각이 방지되어, 제2 분리 식각 방지 패턴(18ps)이 형성될 수 있다. 즉, 평면적 관점에서, 상기 제2 분리 식각 방지 패턴(18ps)은, 상기 제2 분리 몰드 패턴(17ps) 및 이의 양 측벽을 덮는 상기 제2 스페이서들(33p)과 중첩될 수 있다.
- [0167] 도 27a 및 도 27b를 다시 참조하면, 상기 제2 몰드 패턴들(17p)이 선택적으로 제거될 수 있다. 한편, 상기 주변회로 영역(PR) 상에는, 상기 중간 몰드막(17)이 함께 제거되고, 상기 제1 식각 방지 패턴(8p)이 노출될 수 있다.
- [0168] 각각의 상기 제2 스페이서들(33p)의 최대폭(W5)은 상기 제1 스페이서(31p)의 최대폭(W2)과 실질적으로 동일할 수 있다(W5=1F). 각각의 상기 제2 식각 방지 패턴들(18p)의 폭(W6)은 상기 제1 스페이서(31p)의 최대폭(W2)의 약 3배일 수 있다(W6=3F). 이웃하는 상기 제2 식각 방지 패턴들(18p)간의 간격(L3)은 상기 제1 스페이서(31p)의 최대폭(W2)과 실질적으로 동일할 수 있다(L3=1F).
- [0169] 보다 구체적으로, 상기 제2 분리 식각 방지 패턴(18ps) 상에는 한 쌍의 상기 제2 스페이서들(33p)이 배치될 수 있다. 상기 한 쌍의 제2 스페이서들(33p)의 외측벽들은 상기 제2 분리 식각 방지 패턴(18ps)의 외측벽들과 공면을 이룰 수 있다. 이때, 상기 한 쌍의 제2 스페이서들(33p)간의 간격은 상기 제1 스페이서(31p)의 최대폭(W2)보다 더 클 수 있다. 즉, 상기 제2 분리 식각 방지 패턴(18ps)의 폭(W7)은 상기 제1 스페이서(31p)의 최대폭(W2)의 약 3배보다 더 클 수 있다(W7>3F).
- [0170] 즉, 본 실시예에 따른 반도체 소자의 제조 방법은, 앞서 도 23a 및 도 23b와는 다르게, 상기 분리 영역(SA)의 일부와 수직적으로 중첩되는 제3 포토레지스트 패턴(PP3)을 형성함으로써, 제2 식각 방지 패턴의 폭(W6)보다 더 큰 폭을 갖는 제2 분리 식각 방지 패턴(18ps)을 형성할 수 있다.
- [0171] 도 28a 및 도 28b를 참조하면, 상기 제2 스페이서들(33p), 상기 제2 식각 방지 패턴들(18p), 및 상기 제2 분리 식각 방지 패턴(18ps)을 식각 마스크로 상기 하부 몰드막(7)을 식각하여, 제3 몰드 패턴들(7p)이 형성될 수 있다. 상기 제3 몰드 패턴들(7p)은 상기 셀 어레이 영역(CR) 상 뿐만 아니라 상기 주변회로 영역(PR) 상에도 형성될 수 있다. 나아가, 상기 제3 몰드 패턴들(7p)은 제3 분리 몰드 패턴(7ps)을 포함할 수 있다. 평면적 관점에서, 상기 제3 분리 몰드 패턴(7ps)은 상기 제2 분리 식각 방지 패턴(18ps)에 대응될 수 있다.
- [0172] 구체적으로, 상기 제2 식각 방지 패턴들(18p)에 대응하여, 상기 제3 몰드 패턴(7p)의 폭(W8)은 상기 제1 스페이서(31p)의 최대폭(W2)의 약 3배일 수 있다(W8=3F). 상기 제2 분리 식각 방지 패턴(18ps)에 대응하여, 상기 제3 분리 몰드 패턴(7ps)의 폭(W9)은 상기 제1 스페이서(31p)의 최대폭(W2)의 약 3배보다 더 클 수 있다(W9>3F). 예를 들어, 상기 분리 영역(SA) 상의 상기 제3 몰드 패턴(7p)의 폭(W8)은 상기 제1 스페이서(31p)의 최대폭(W2)의 약 3배일 수 있고(W8=3F), 상기 분리 영역(SA) 상의 상기 제3 분리 몰드 패턴(7ps)의 폭(W9)은 상기 제1

스페이서(31p)의 최대폭(W2)의 약 9배일 수 있다(W9=9F). 이웃하는 상기 제2 식각 방지 패턴들(18p)간의 간격(L4)은 상기 제1 스페이서(31p)의 최대폭(W2)과 실질적으로 동일할 수 있다(L4=1F).

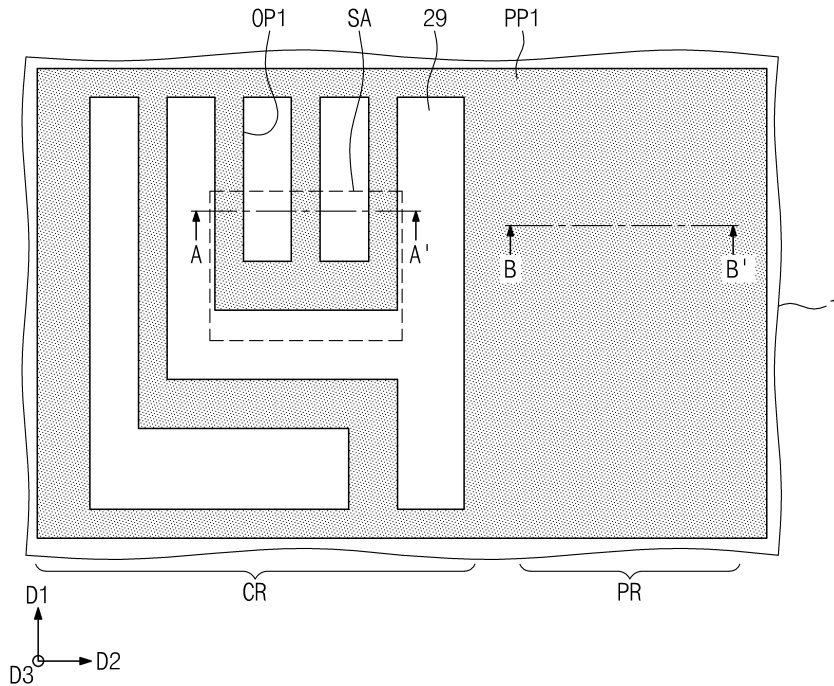
- [0173] 도 29a 및 도 29b를 참조하면, 상기 제3 몰드 패턴들(7p)을 식각 마스크로 상기 식각 대상막(5)을 식각하여, 절연 패턴들(5p)이 형성될 수 있다. 평면적 관점에서, 상기 절연 패턴들(5p)은 상기 제3 몰드 패턴들(7p)의 형상에 대응될 수 있다.
- [0174] 구체적으로, 상기 절연 패턴들(5p)은 상기 분리 영역(SA) 상에 제1 분리 절연 패턴들(5psa) 및 제2 분리 절연 패턴(5psb)을 포함할 수 있다. 평면적 관점에서, 상기 제1 분리 절연 패턴들(5psa)은 상기 분리 영역(SA) 상의 상기 제3 몰드 패턴들(7p)의 형상에 대응될 수 있다. 상기 제2 분리 절연 패턴(5psb)은 상기 제3 분리 몰드 패턴(7ps)의 형상에 대응될 수 있다.
- [0175] 상기 절연 패턴들(5p) 사이를 채우는 도전 라인들(51, 55)이 형성될 수 있다. 상기 도전 라인들(51, 55)은 셀 배선들(51) 및 주변 배선들(55)을 포함할 수 있다. 상기 주변회로 영역(PR) 상에서는, 상기 절연 패턴들(5p) 사이를 채우는 상기 주변 배선들(55)이 형성될 수 있다.
- [0176] 상기 제1 분리 절연 패턴들(5psa)에 인접하는 상기 셀 배선들(51)은, 상기 제1 분리 절연 패턴들(5psa)에 의해서 서로 이격될 수 있다. 상기 제2 분리 절연 패턴(5psb)에 인접하는 상기 셀 배선들(51)은, 상기 제2 분리 절연 패턴(5psb)에 의해 서로 이격될 수 있다. 보다 구체적으로, 상기 셀 어레이 영역(CR) 상의 상기 셀 배선들(51)은 서로 평행하게 제1 방향(D1)으로 연장되는 제1 내지 제3 셀 배선들(51a, 51b, 51c)을 포함할 수 있다. 상기 제1 및 제2 셀 배선(51a, 51b) 사이에는 상기 제1 분리 절연 패턴(5psa)이 개재될 수 있다.
- [0177] 상기 셀 배선들(51)의 각각의 폭(W11)은 상기 제1 스페이서(31p)의 최대폭(W2)과 실질적으로 동일할 수 있다(W11=1F). 이웃하는 상기 셀 배선들(51)간의 간격(L5)은 상기 제1 스페이서(31p)의 최대폭(W2)과 실질적으로 동일할 수 있다(L5=1F). 그러나, 상기 제1 분리 절연 패턴들(5psa)을 사이에 두고 이웃하는 상기 셀 배선들(51)간의 간격(L6)은 상기 제1 스페이서(31p)의 최대폭(W2)의 약 3배일 수 있다(L6=3F). 나아가, 상기 제2 분리 절연 패턴(5psb)을 사이에 두고 이웃하는 상기 셀 배선들(51)간의 간격(L7)은 상기 제1 스페이서(31p)의 최대폭(W2)의 약 3배보다 더 클 수 있다(L7>3F).
- [0178] 본 실시예에 따른 반도체 소자의 제조 방법은, 세 번의 포토리소그래피 공정과 두 번의 스페이서 공정을 이용하여 노광 공정의 한계를 뛰어넘는 미세한 피치의 상기 도전 라인들(51, 55)을 형성할 수 있다. 또한, 앞서 도 13a 내지 도 22a 및 도 13b 내지 도 22b를 참조하여 설명한 바와 달리, 세 번째 포토리소그래피 공정에서, 상기 분리 영역(SA)의 일부와 중첩되는 제3 포토레지스트 패턴(PP3)을 형성함으로써, 노드 분리 영역을 추가로 정의할 수 있다. 이로써, 분리 절연 패턴들의 폭을 더 넓게 형성할 수 있다(예를 들어, 상기 제2 분리 절연 패턴(5psb)).
- [0179] 도 29a는 본 발명의 또 다른 실시예에 따른 반도체 소자를 나타내는 평면도이다. 도 29b는 도 29a를 A-A'선, B-B'선 및 C-C'선으로 자른 단면도이다. 본 예에서는, 앞서 도 22a 및 도 22b를 참조하여 설명한 것과 중복되는 기술적 특징에 대한 상세한 설명은 생략하고, 차이점에 대해 상세히 설명한다. 앞서 설명한 본 발명의 일 실시예에 따른 반도체 소자와 동일한 구성에 대하여는 동일한 참조번호가 제공될 수 있다.
- [0180] 도 29a 및 도 29b를 참조하면, 상기 절연 패턴들(5p)은 셀 어레이 영역(CR) 상에 제1 분리 절연 패턴들(5psa) 및 제2 분리 절연 패턴(5psb)을 포함할 수 있다. 셀 배선들(51)은 상기 제1 분리 절연 패턴들(5psa) 및 상기 제2 분리 절연 패턴(5psb)을 사이에 두고 서로 이격될 수 있다.
- [0181] 상기 제1 분리 절연 패턴들(5psa)을 사이에 두고 이웃하는 상기 셀 배선들(51)간의 간격(L6)은 상기 셀 배선(51)의 폭(W8)의 약 3배일 수 있다(L6=3F). 일 예로, 제1 및 제2 셀 배선(51a, 51b) 사이의 간격은 약 3F 일 수 있다. 한편, 상기 제2 분리 절연 패턴(5psb)을 사이에 두고 이웃하는 상기 셀 배선들(51)간의 간격(L7)은 상기 셀 배선(51)의 폭(W8)의 약 3배보다 더 클 수 있다(L7>3F).
- [0182] 그 외, 본 실시예에 따른 반도체 소자에 관한 구체적인 설명은 앞서 도 22a 및 도 22b를 참조하여 설명한 것과 유사할 수 있다.
- [0183] 적용예

- [0184] 도 30은 본 발명의 예들에 따른 반도체 소자를 포함하는 메모리 시스템의 일 예를 나타내는 개략 블록도이다.
- [0185] 도 30를 참조하면, 메모리 시스템(1100)은 PDA, 포터블(portable) 컴퓨터, 웹 타블렛(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 디지털 뮤직 플레이어(digital music player), 메모리 카드(memory card), 또는 정보를 무선환경에서 송신 및/또는 수신할 수 있는 모든 소자에 적용될 수 있다.
- [0186] 메모리 시스템(1100)은 컨트롤러(1110), 키패드(keypad), 키보드 및 디스플레이와 같은 입출력 장치(1120), 메모리(1130), 인터페이스(1140), 및 버스(1150)를 포함한다. 메모리(1130)와 인터페이스(1140)는 버스(1150)를 통해 상호 소통된다.
- [0187] 컨트롤러(1110)는 적어도 하나의 마이크로 프로세서, 디지털 시그널 프로세서, 마이크로 컨트롤러, 또는 그와 유사한 다른 프로세스 장치들을 포함한다. 메모리(1130)는 컨트롤러에 의해 수행된 명령을 저장하는 데에 사용될 수 있다. 입출력 장치(1120)는 시스템(1100) 외부로부터 데이터 또는 신호를 입력받거나 또는 시스템(1100) 외부로 데이터 또는 신호를 출력할 수 있다. 예를 들어, 입출력 장치(1120)는 키보드, 키패드 또는 디스플레이 소자를 포함할 수 있다.
- [0188] 메모리(1130)는 본 발명의 실시예들에 따른 비휘발성 메모리 소자를 포함한다. 메모리(1130)는 또한 다른 종류의 메모리, 임의의 수시 접근이 가능한 휘발성 메모리, 기타 다양한 종류의 메모리를 더 포함할 수 있다.
- [0189] 인터페이스(1140)는 데이터를 통신 네트워크로 송출하거나, 네트워크로부터 데이터를 받는 역할을 한다.
- [0190] 도 31은 본 발명의 예들에 따른 반도체 소자를 구비하는 메모리 카드의 일 예를 나타내는 개략 블록도이다.
- [0191] 도 31을 참조하면, 고용량의 데이터 저장 능력을 지원하기 위한 메모리 카드(1200)는 본 발명에 따른 플래시 메모리 장치(1210)를 장착한다. 본 발명에 따른 메모리 카드(1200)는 호스트(Host)와 플래시 메모리 장치(1210) 간의 제반 데이터 교환을 제어하는 메모리 컨트롤러(1220)를 포함한다.
- [0192] SRAM(1221)은 프로세싱 유닛(1222)의 동작 메모리로써 사용된다. 호스트 인터페이스(1223)는 메모리 카드(1200)와 접속되는 호스트의 데이터 교환 프로토콜을 구비한다. 에러 정정 블록(1224)은 멀티 비트 플래시 메모리 장치(1210)로부터 독출된 데이터에 포함되는 에러를 검출 및 정정한다. 메모리 인터페이스(1225)는 본 발명의 플래시 메모리 장치(1210)와 인터페이싱 한다. 프로세싱 유닛(1222)은 메모리 컨트롤러(1220)의 데이터 교환을 위한 제반 제어 동작을 수행한다. 비록 도면에는 도시되지 않았지만, 본 발명에 따른 메모리 카드(1200)는 호스트(Host)와의 인터페이싱을 위한 코드 데이터를 저장하는 ROM(미도시됨) 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.
- [0193] 이상의 본 발명의 플래시 메모리 장치 및 메모리 카드 또는 메모리 시스템에 따르면, 더미 셀들의 소거 특성이 개선된 플래시 메모리 장치(1210)를 통해서 신뢰성 높은 메모리 시스템을 제공할 수 있다. 특히, 최근 활발히 진행되는 반도체 디스크 장치(Solid State Disk: 이하 SSD) 장치와 같은 메모리 시스템에서 본 발명의 플래시 메모리 장치가 제공될 수 있다. 이 경우, 더미 셀로부터 야기되는 읽기 에러를 차단함으로써 신뢰성 높은 메모리 시스템을 구현할 수 있다.
- [0194] 도 32는 본 발명의 예들에 따른 반도체 소자를 장착하는 정보 처리 시스템의 일 예를 나타내는 개략 블록도이다.
- [0195] 도 32를 참조하면, 모바일 기기나 데스크 탑 컴퓨터와 같은 정보 처리 시스템에 본 발명의 플래시 메모리 시스템(1310)이 장착된다. 본 발명에 따른 정보 처리 시스템(1300)은 플래시 메모리 시스템(1310)과 각각 시스템 버스(1360)에 전기적으로 연결된 모뎀(1320), 중앙처리장치(1330), 램(1340), 유저 인터페이스(1350)를 포함한다. 플래시 메모리 시스템(1310)은 앞서 언급된 메모리 시스템 또는 플래시 메모리 시스템과 실질적으로 동일하게 구성될 것이다. 플래시 메모리 시스템(1310)에는 중앙처리장치(1330)에 의해서 처리된 데이터 또는 외부에서 입력된 데이터가 저장된다. 여기서, 상술한 플래시 메모리 시스템(1310)이 반도체 디스크 장치(SSD)로 구성될 수 있으며, 이 경우 정보 처리 시스템(1300)은 대용량의 데이터를 플래시 메모리 시스템(1310)에 안정적으로 저장할 수 있다. 그리고 신뢰성의 증대에 따라, 플래시 메모리 시스템(1310)은 에러 정정에 소요되는 자원을 절감할 수 있어 고속의 데이터 교환 기능을 정보 처리 시스템(1300)에 제공할 것이다. 도시되지 않았지만, 본 발명에 따른 정보 처리 시스템(1300)에는 응용 칩셋(Application Chipset), 카메라 이미지 프로세서(Camera Image Processor: CIS), 입출력 장치 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.
- [0196] 또한, 본 발명에 따른 플래시 메모리 장치 또는 메모리 시스템은 다양한 형태들의 패키지로 실장 될 수 있다.

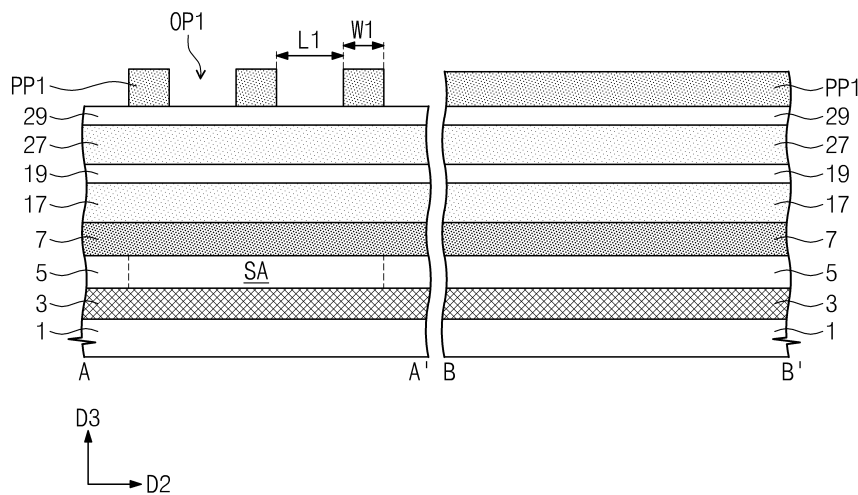
예를 들면, 본 발명에 따른 플래시 메모리 장치 또는 메모리 시스템은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Wafer Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad wlat Pack(MQFP), Thin Quad wlatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad wlatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등과 같은 방식으로 패키징되어 실장될 수 있다.

도면

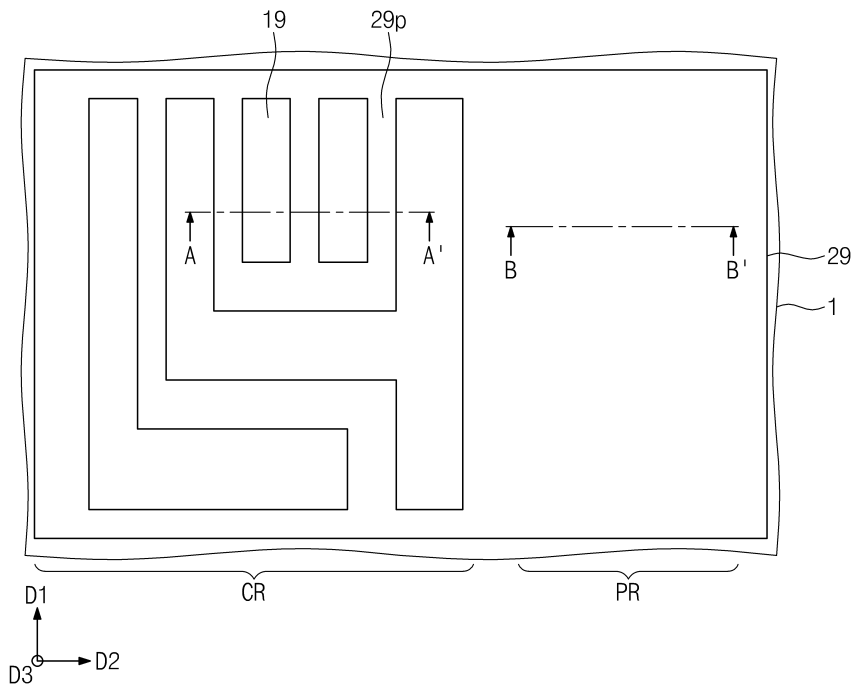
도면1a



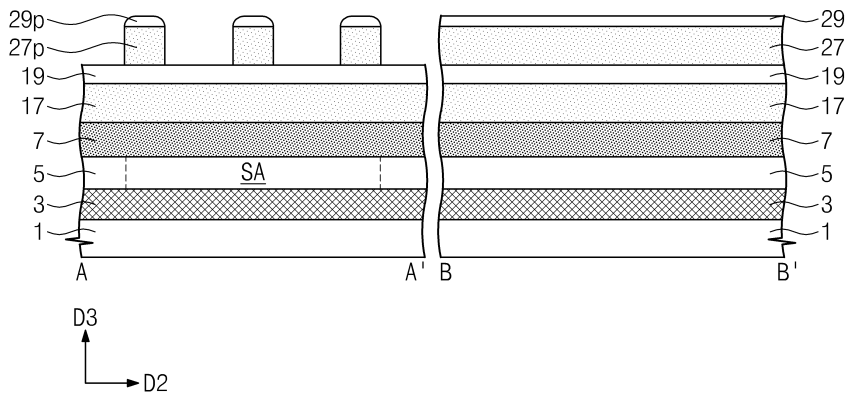
도면1b



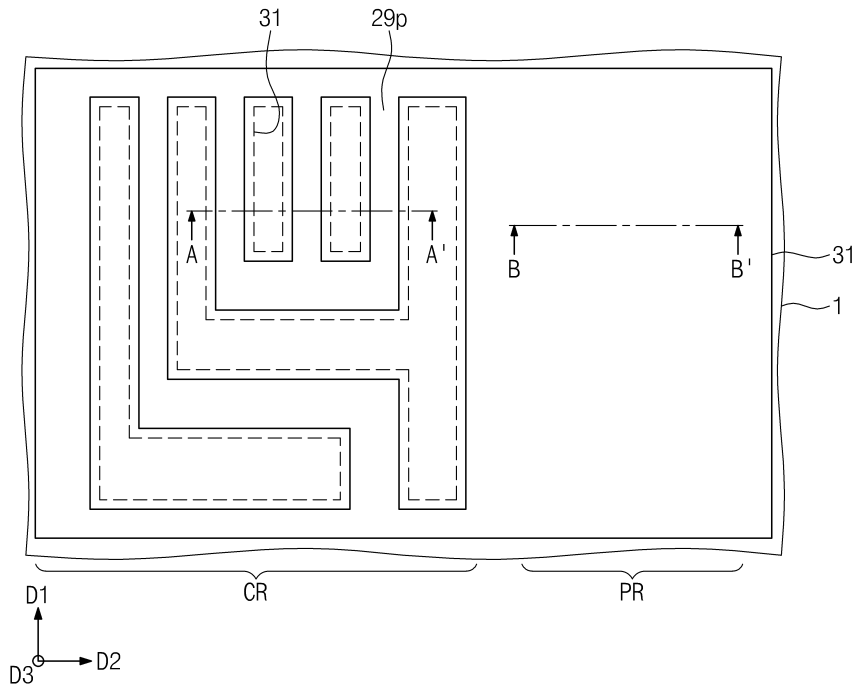
도면2a



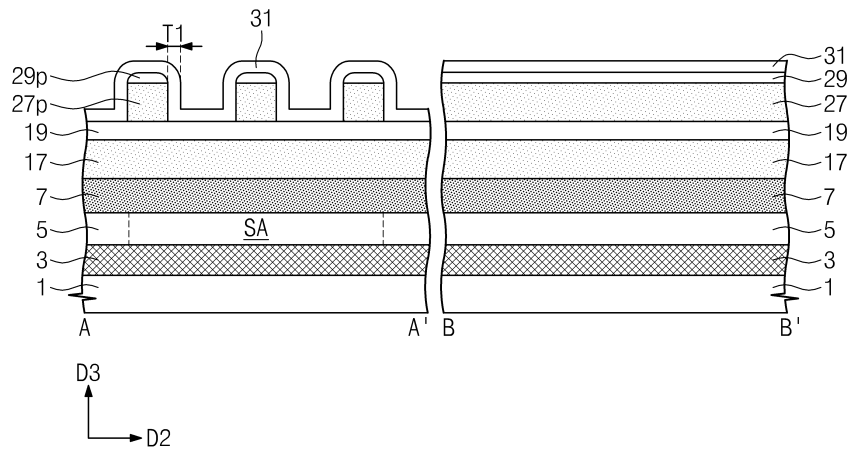
도면2b



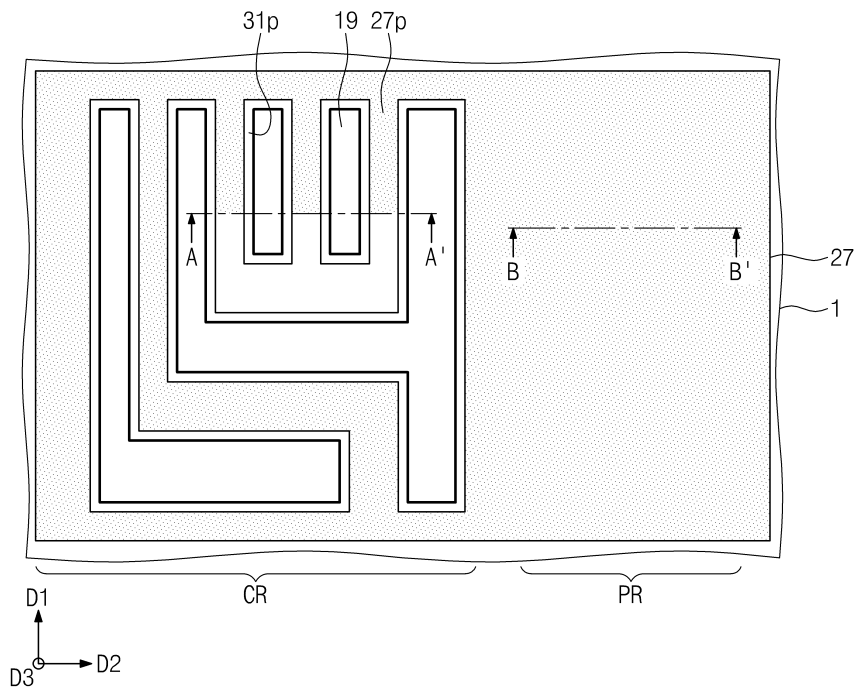
도면3a



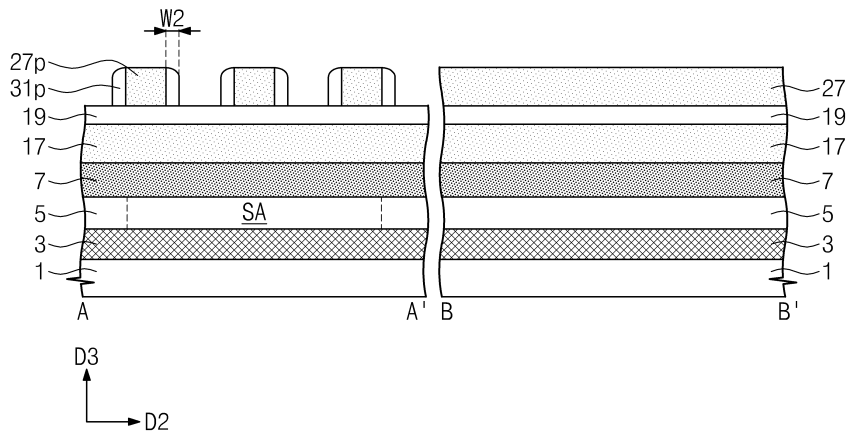
도면3b



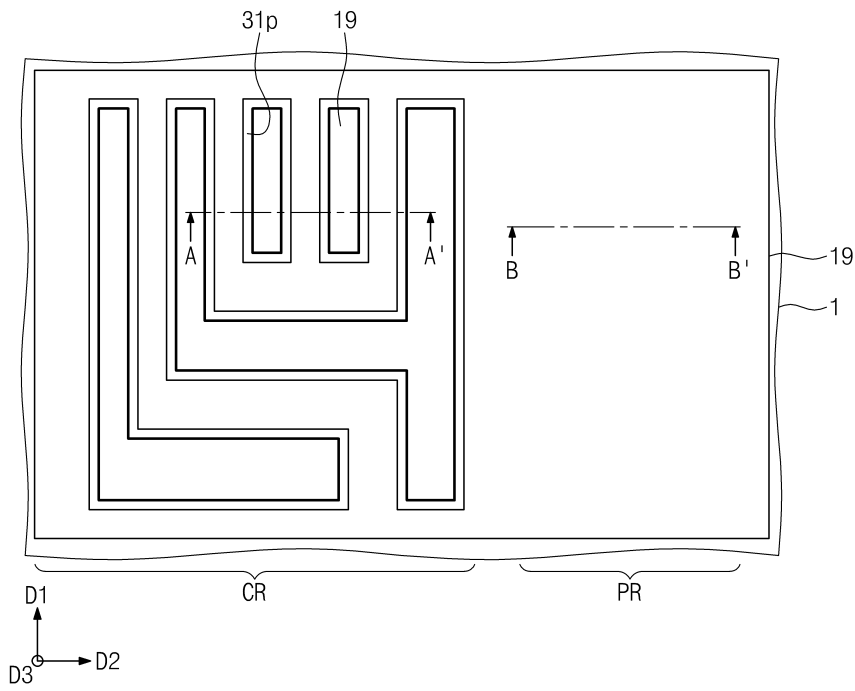
도면4a



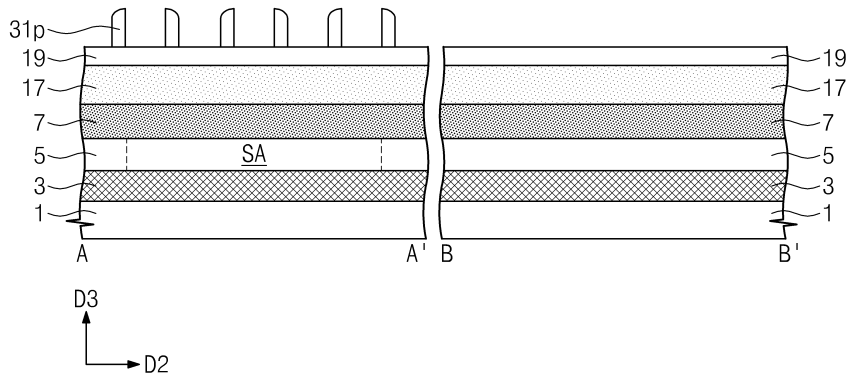
도면4b



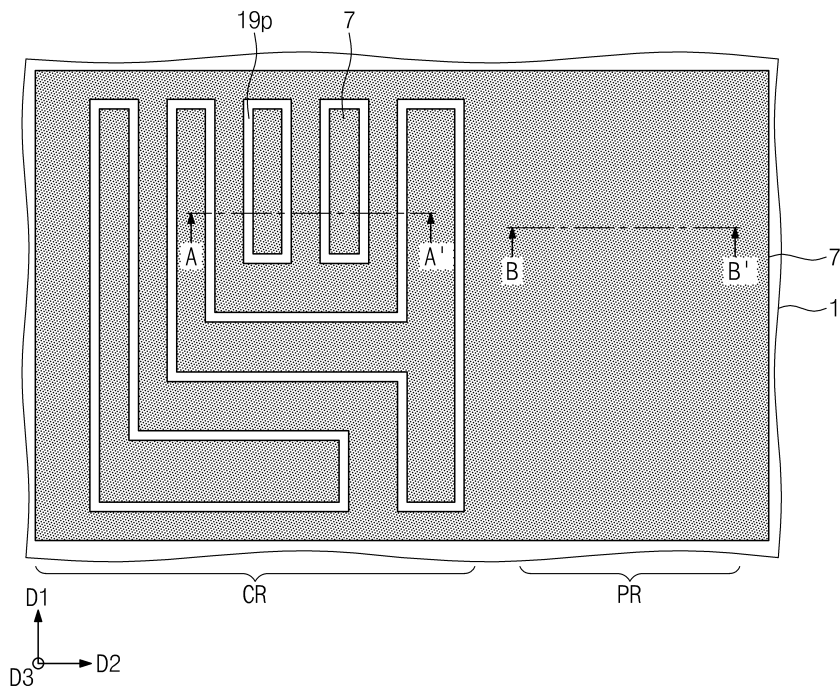
도면5a



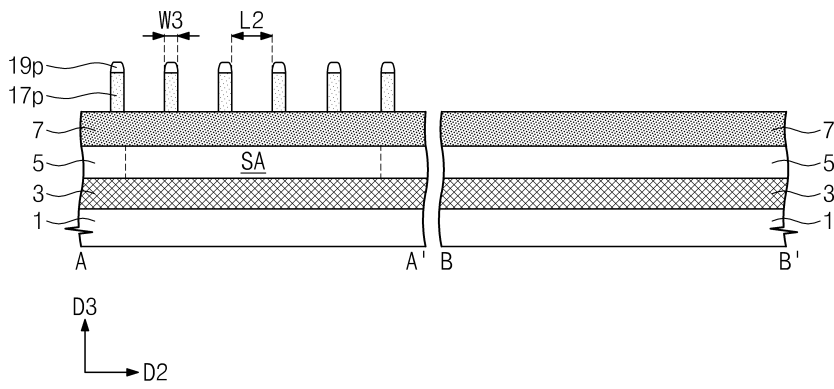
도면5b



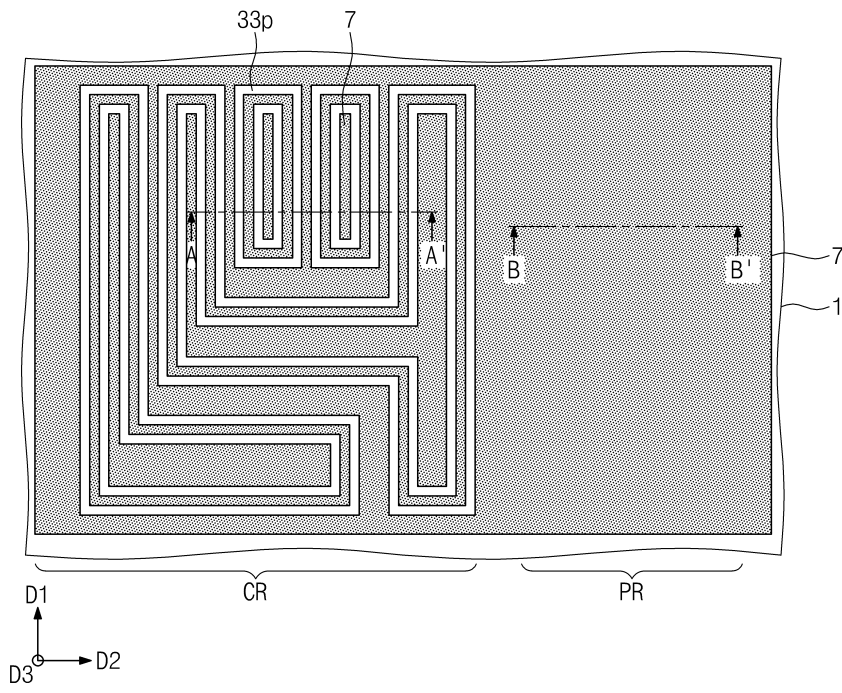
도면6a



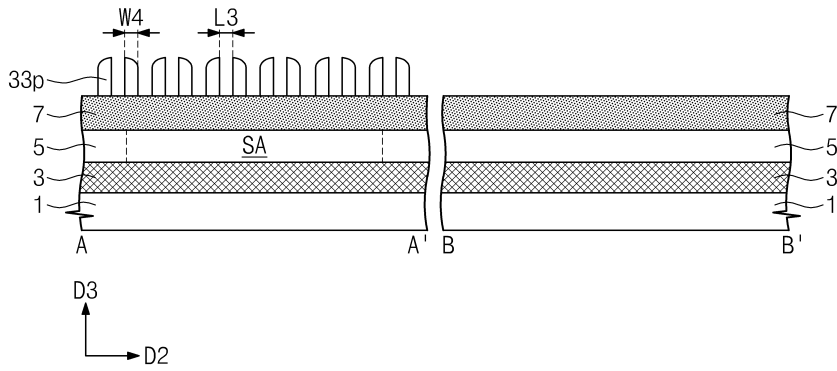
도면6b



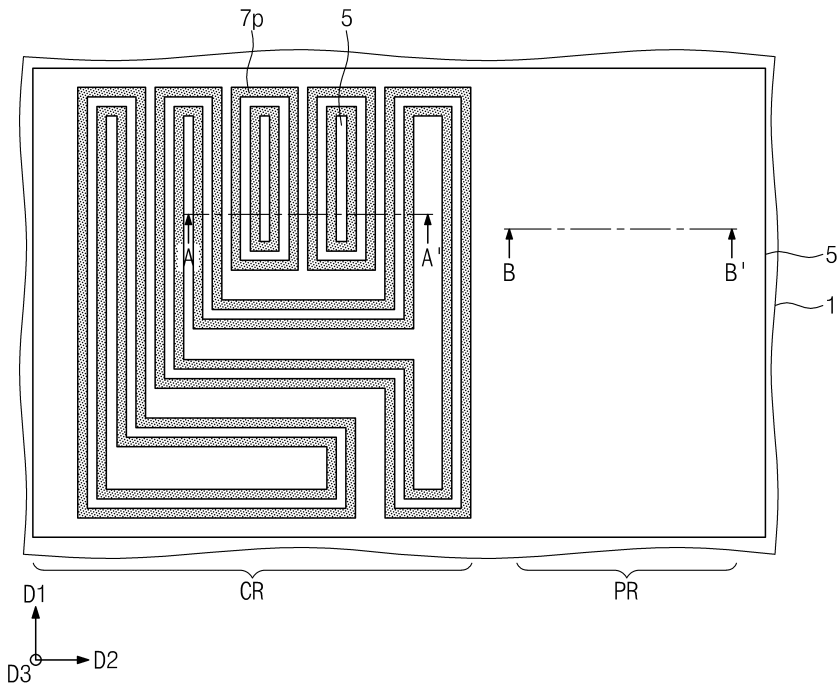
도면7a



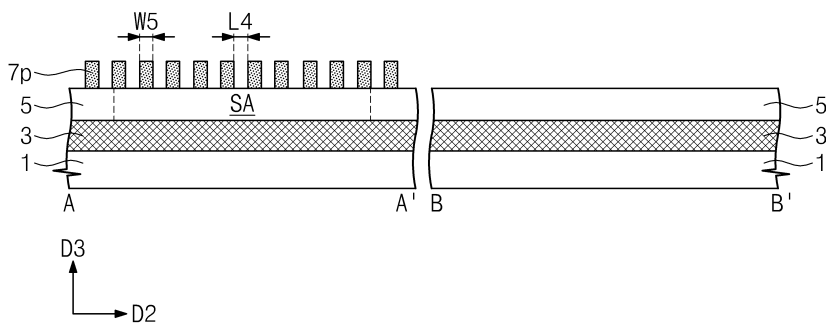
도면7b



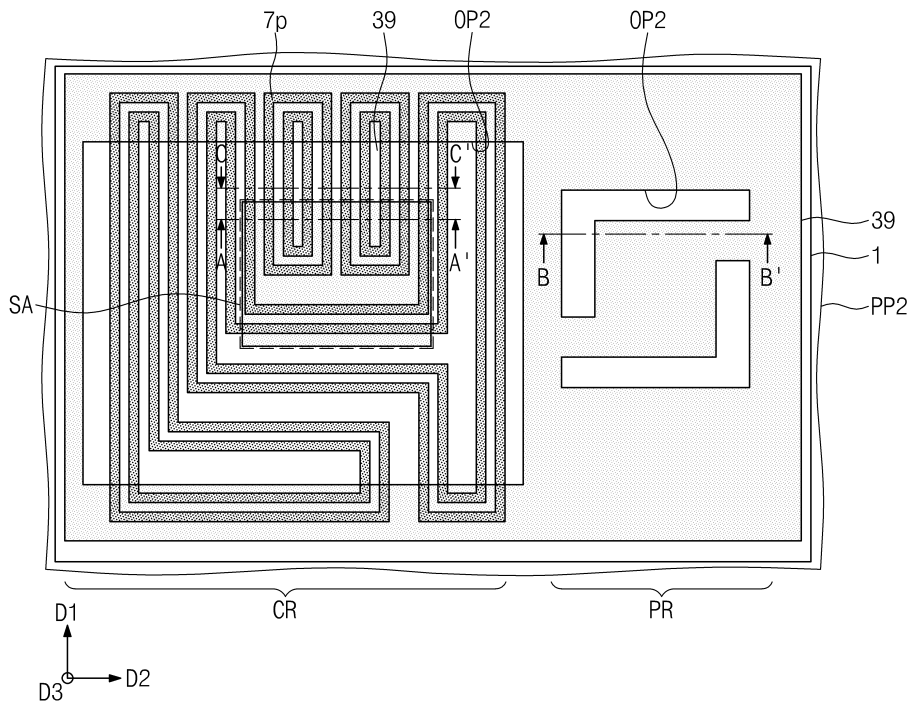
도면8a



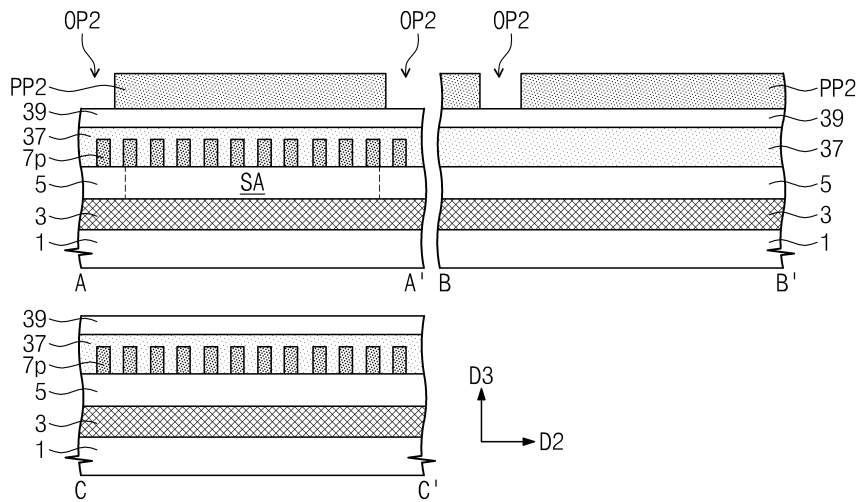
도면8b



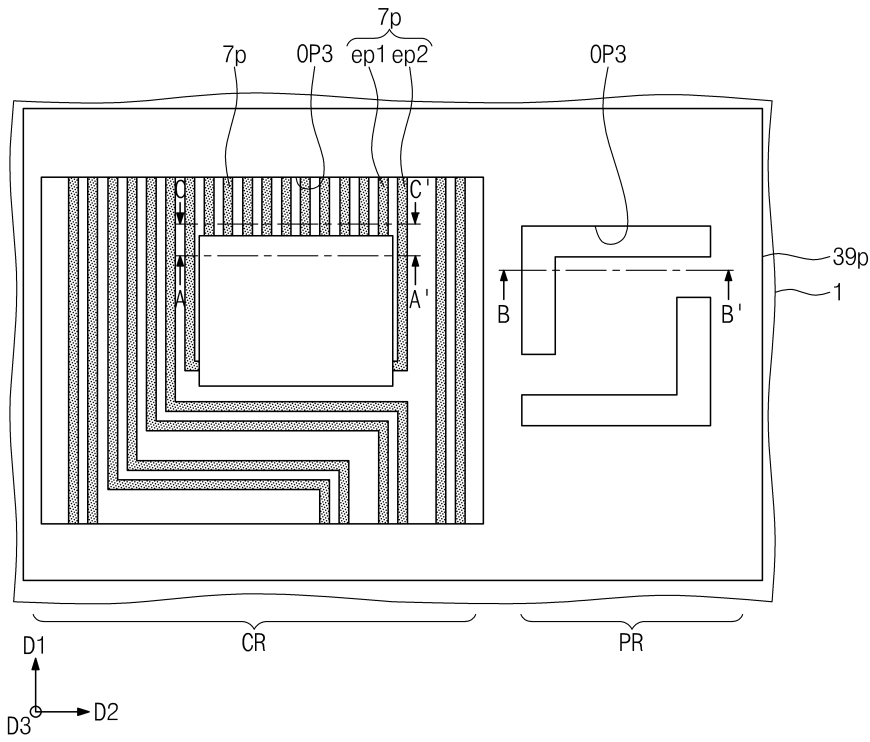
도면9a



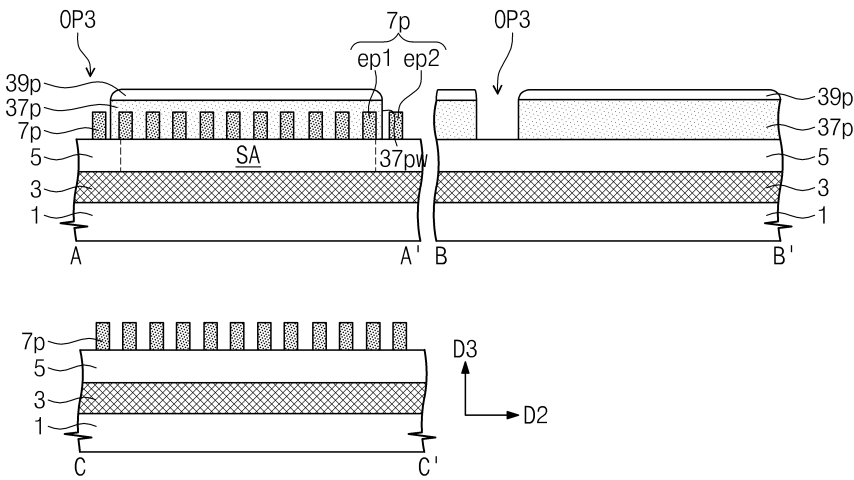
도면9b



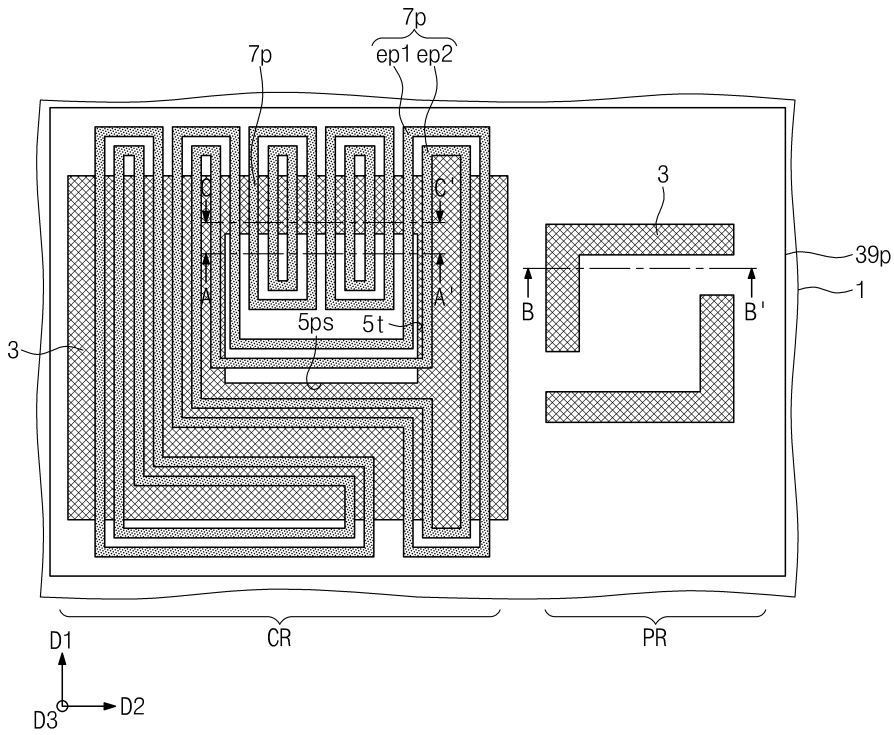
도면10a



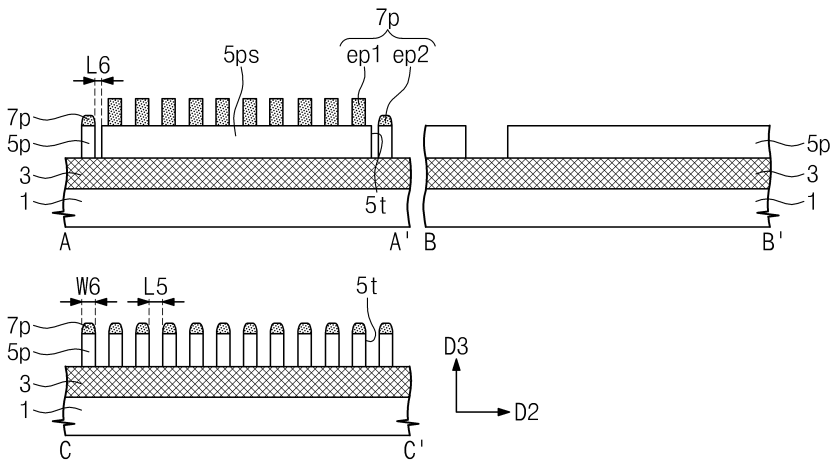
도면10b



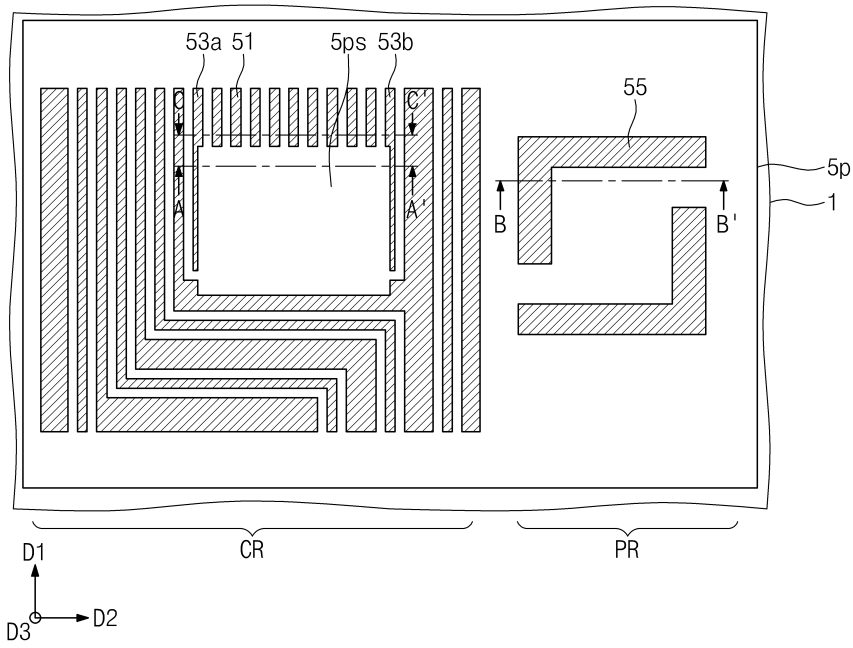
도면11a



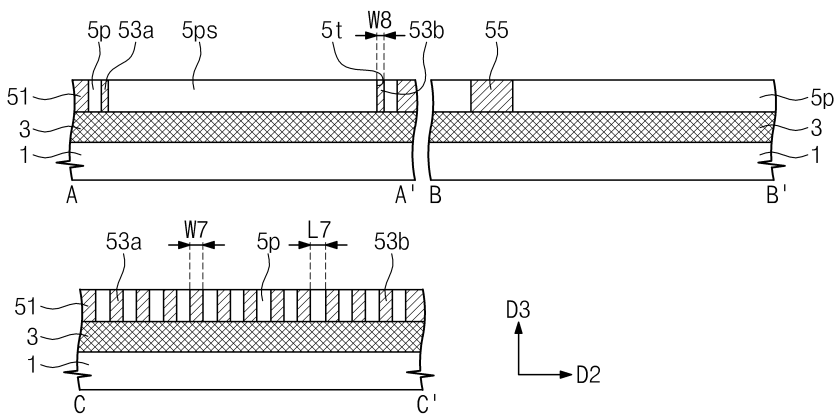
도면11b



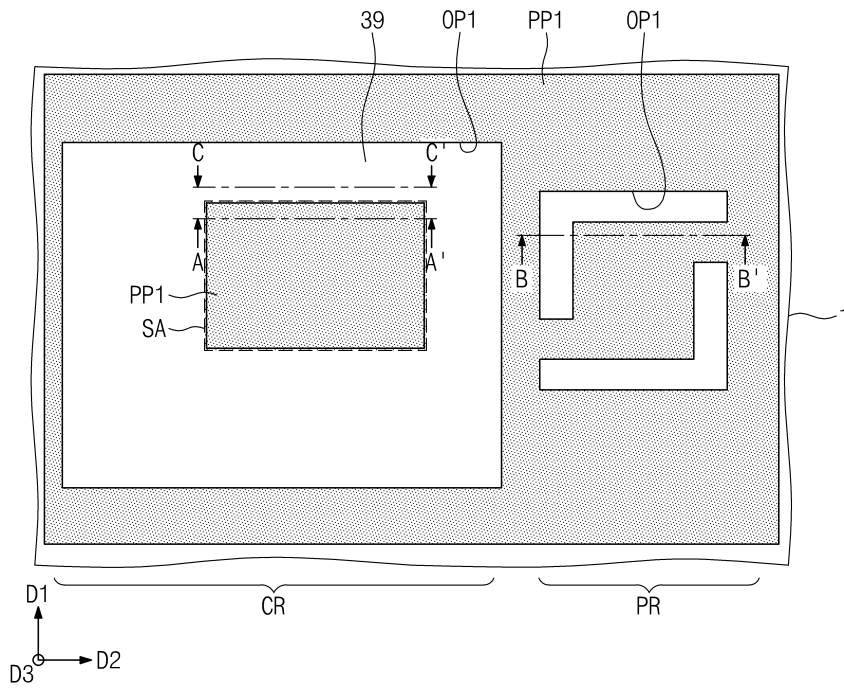
도면12a



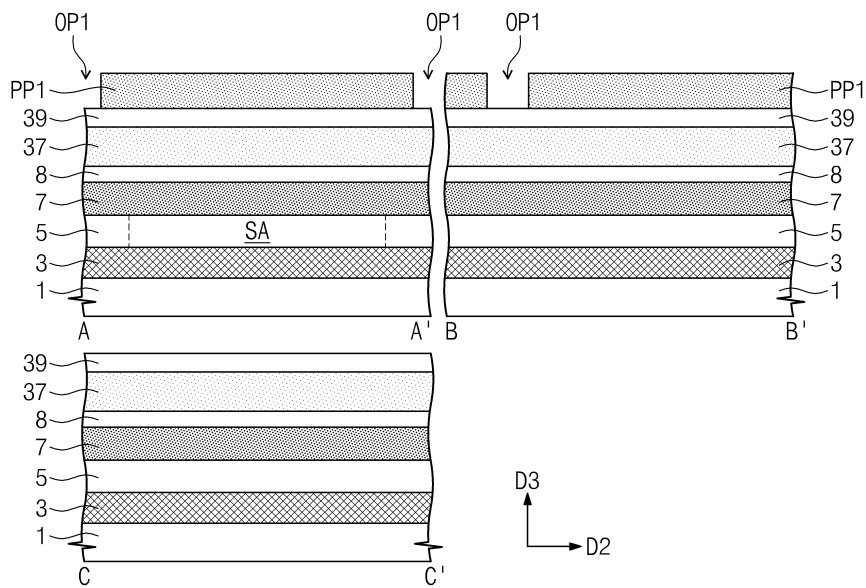
도면12b



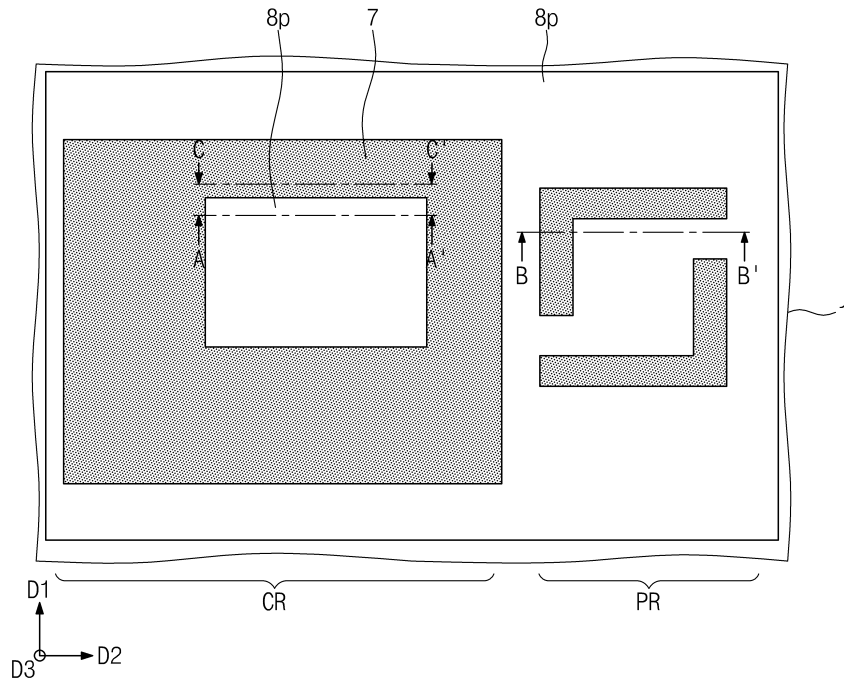
도면13a



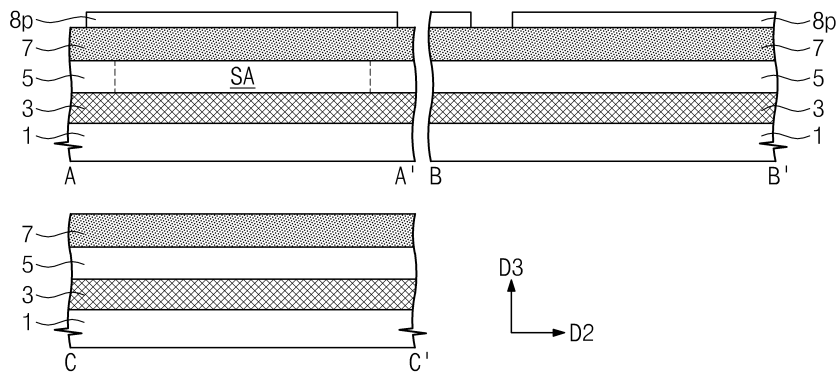
도면13b



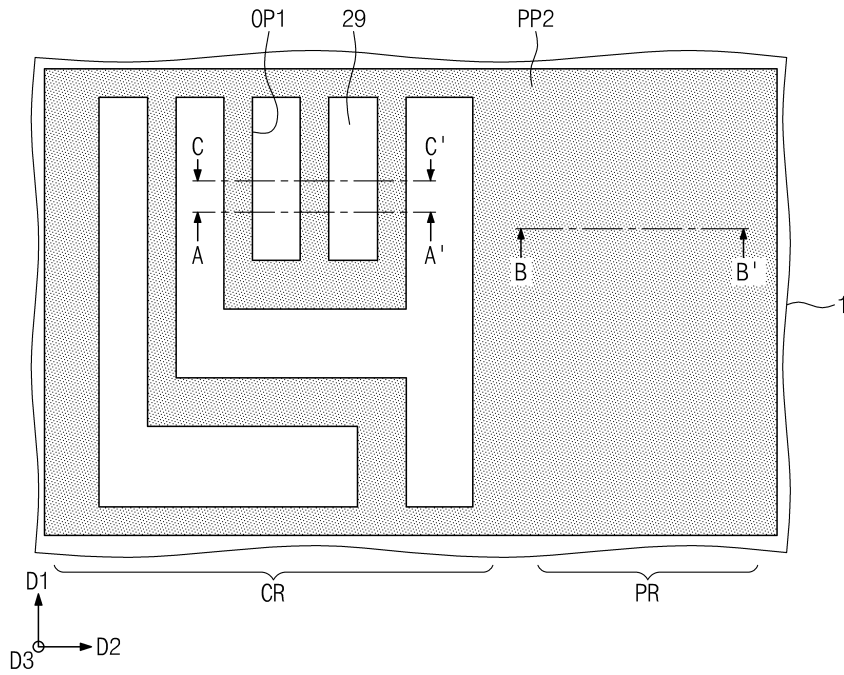
도면14a



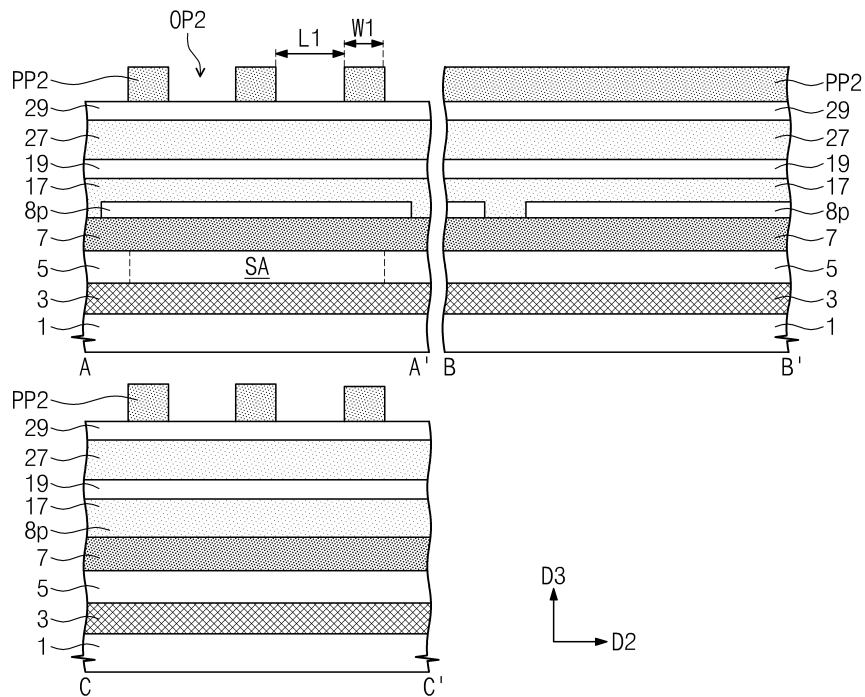
도면14b



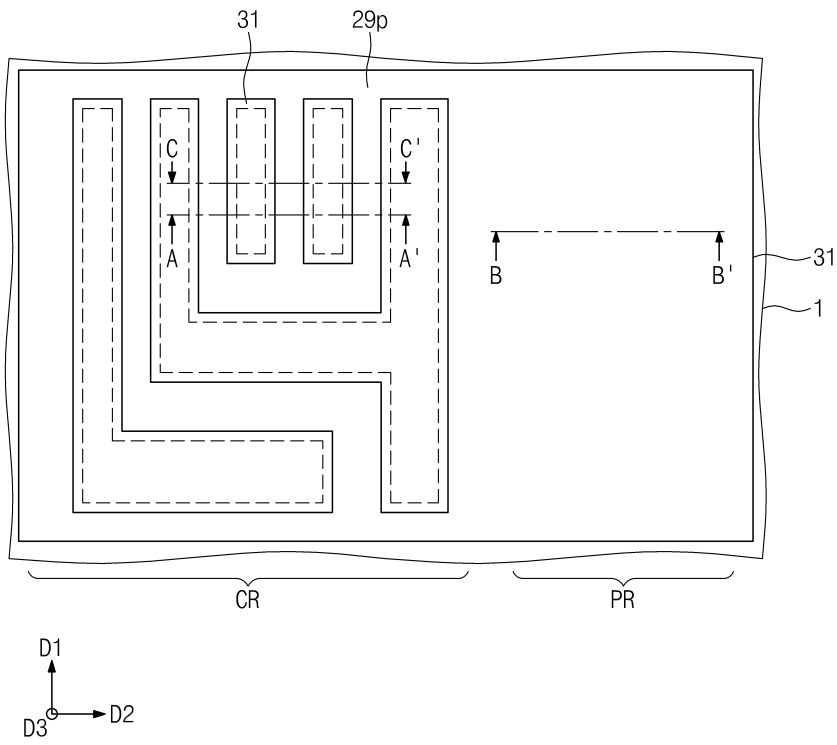
도면15a



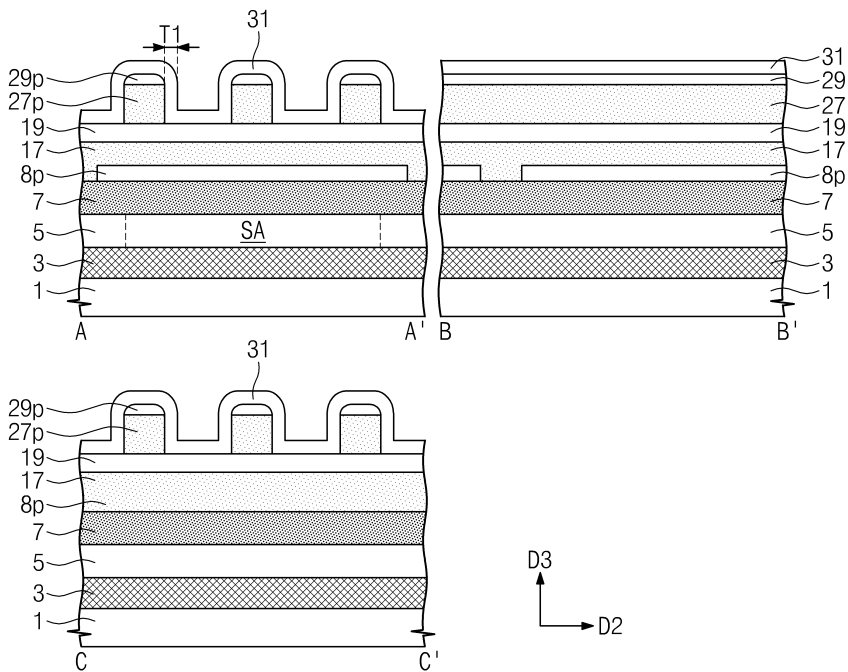
도면15b



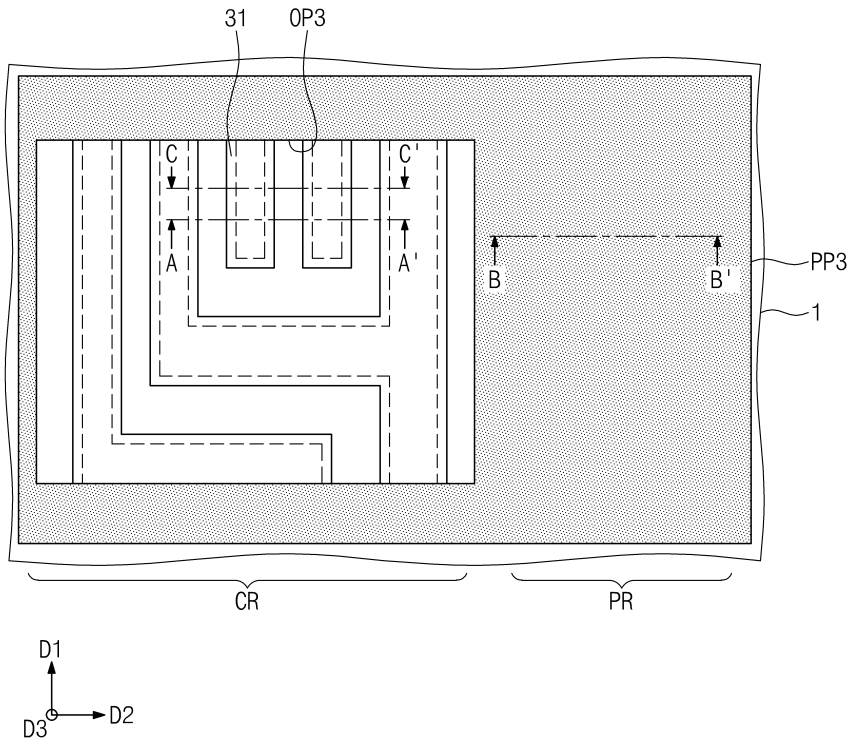
도면16a



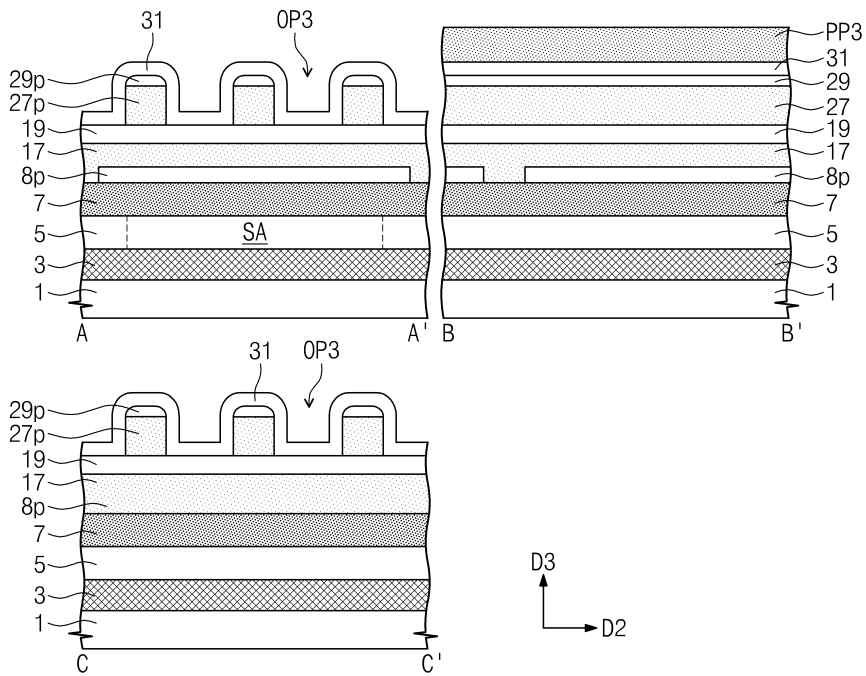
도면16b



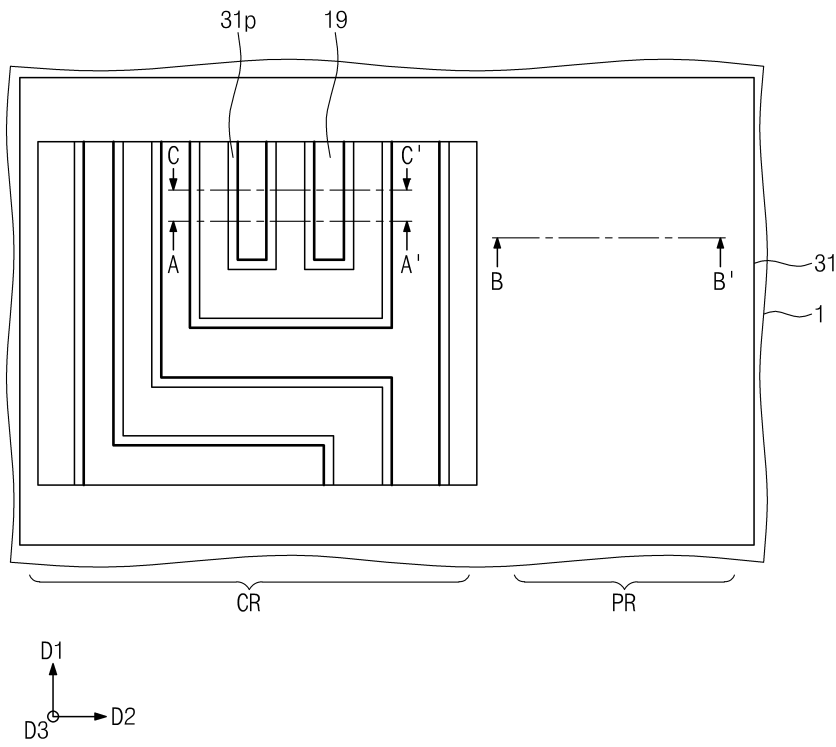
도면17a



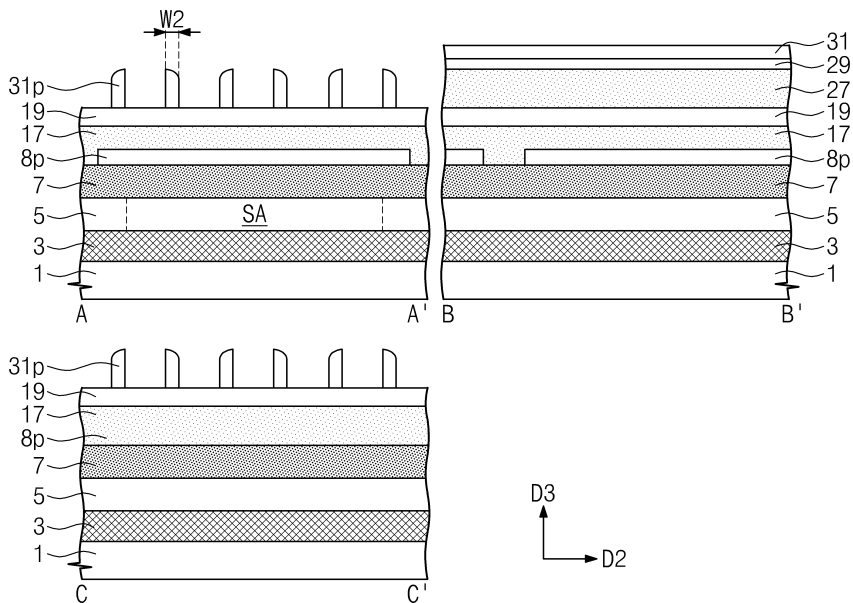
도면17b



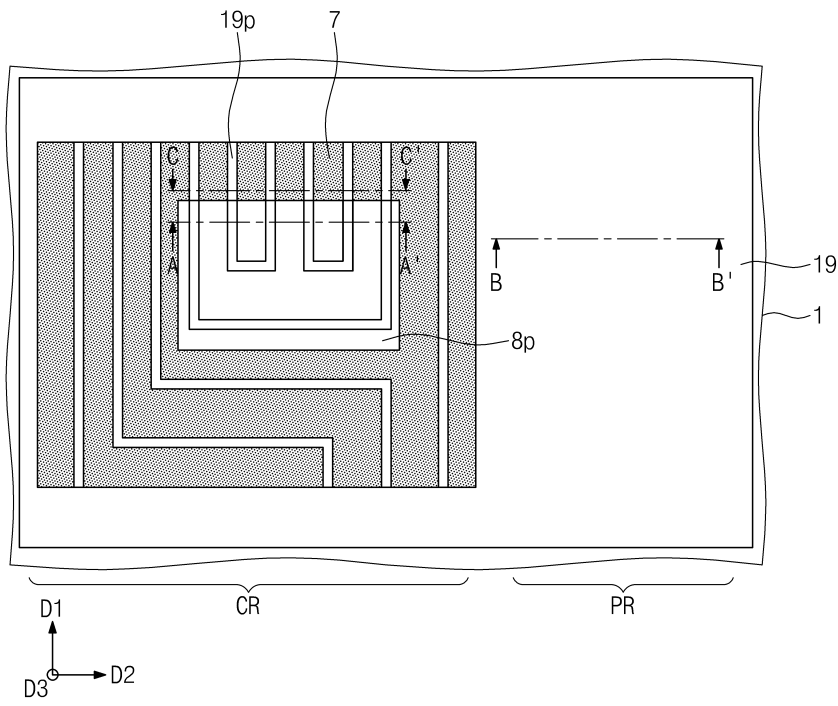
도면18a



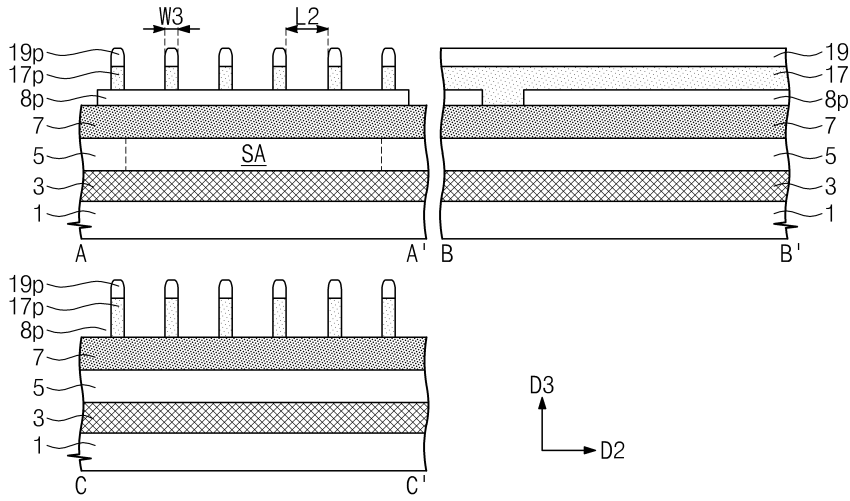
도면18b



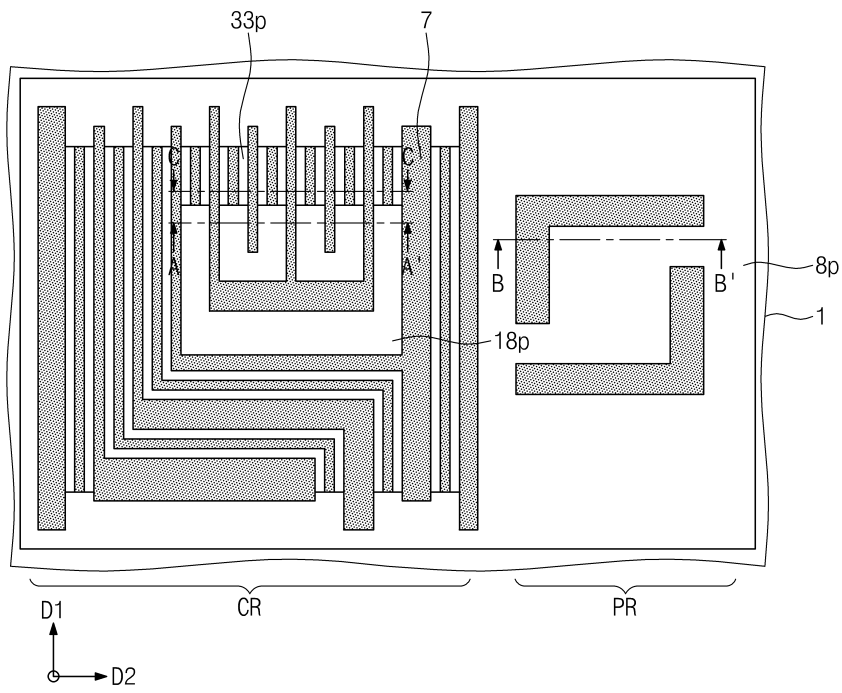
도면19a



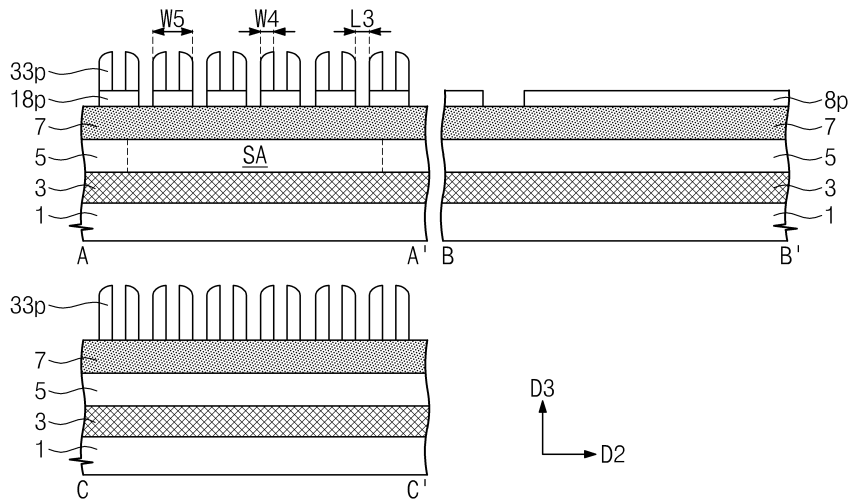
도면19b



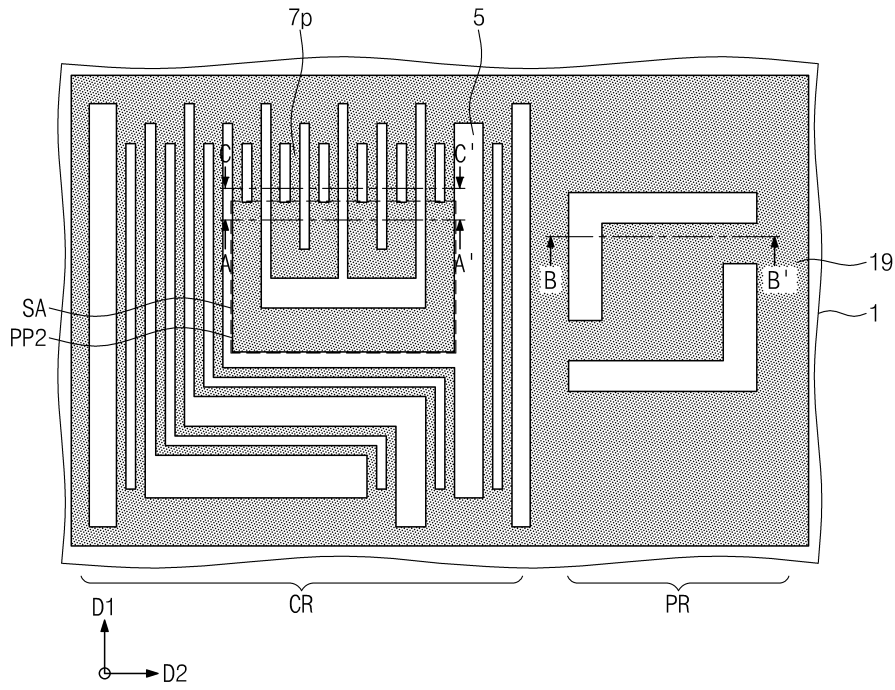
도면20a



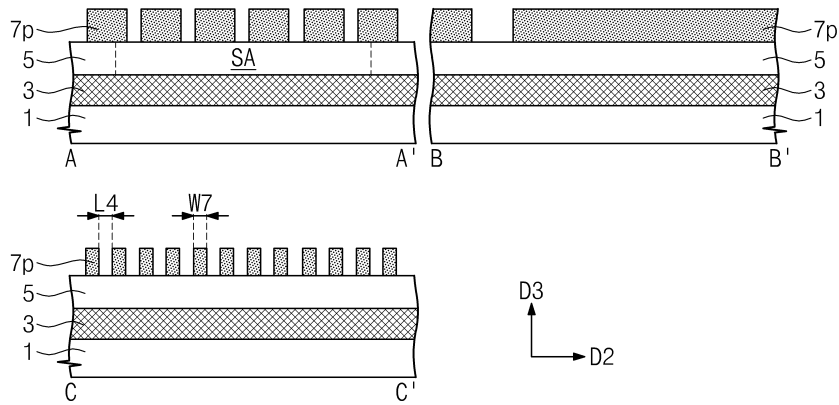
도면20b



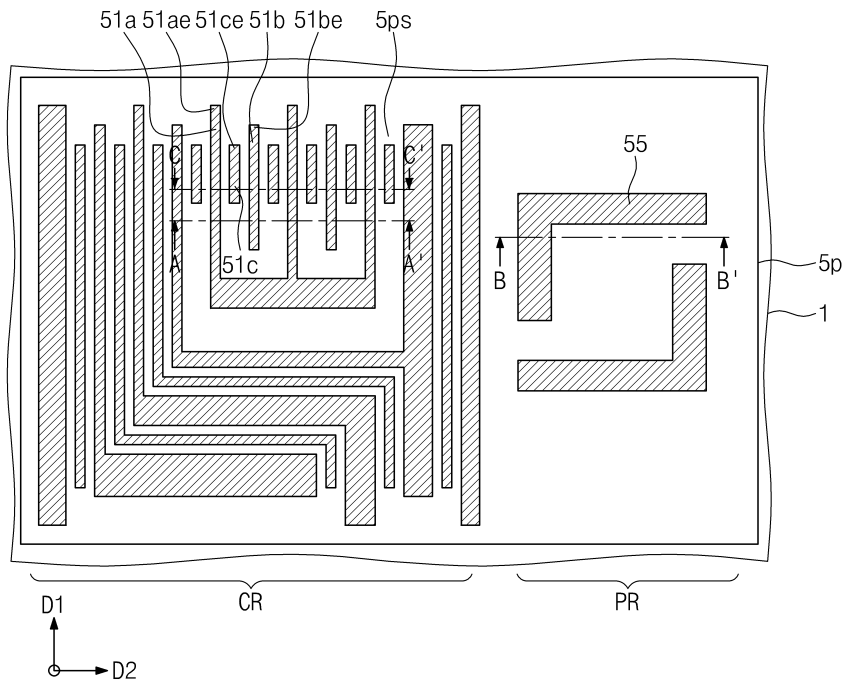
도면21a



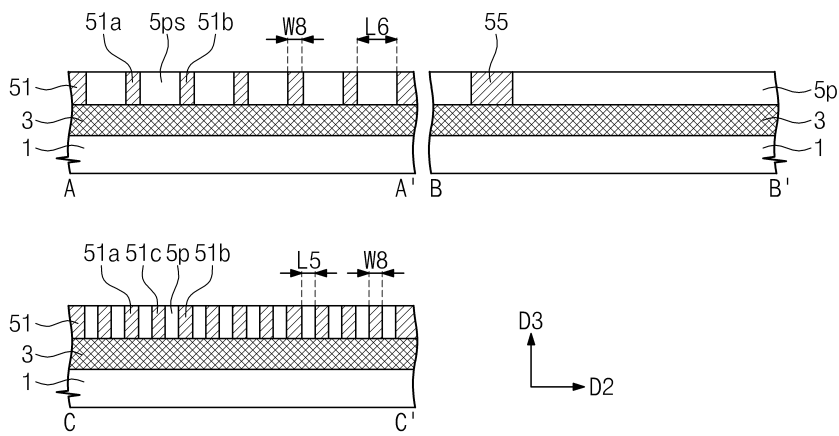
도면21b



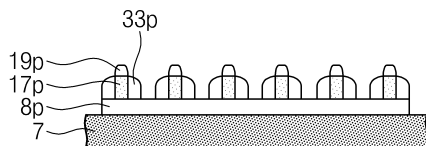
도면22a



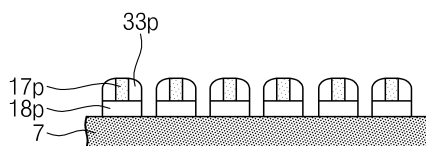
도면22b



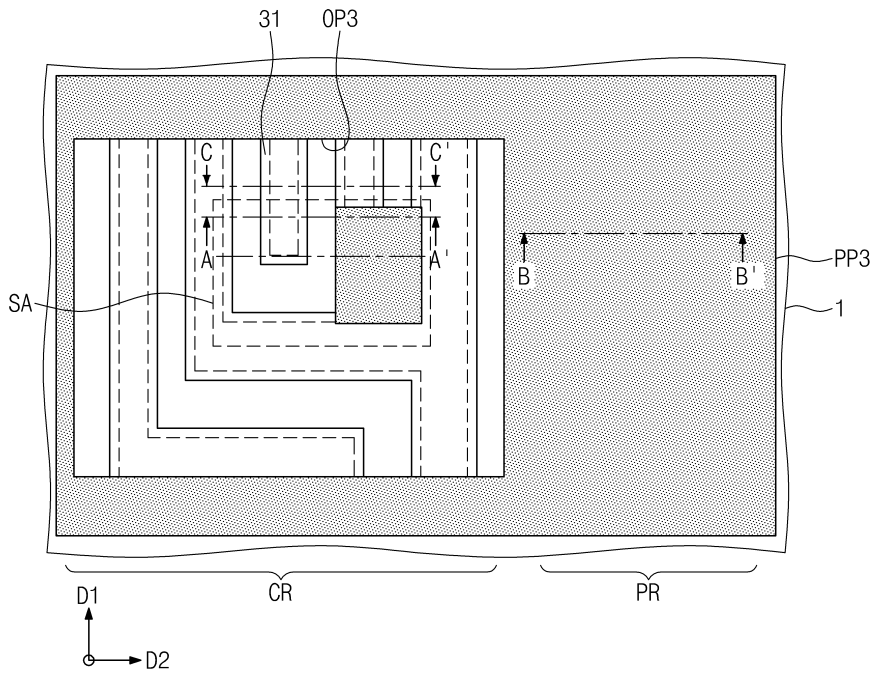
도면23a



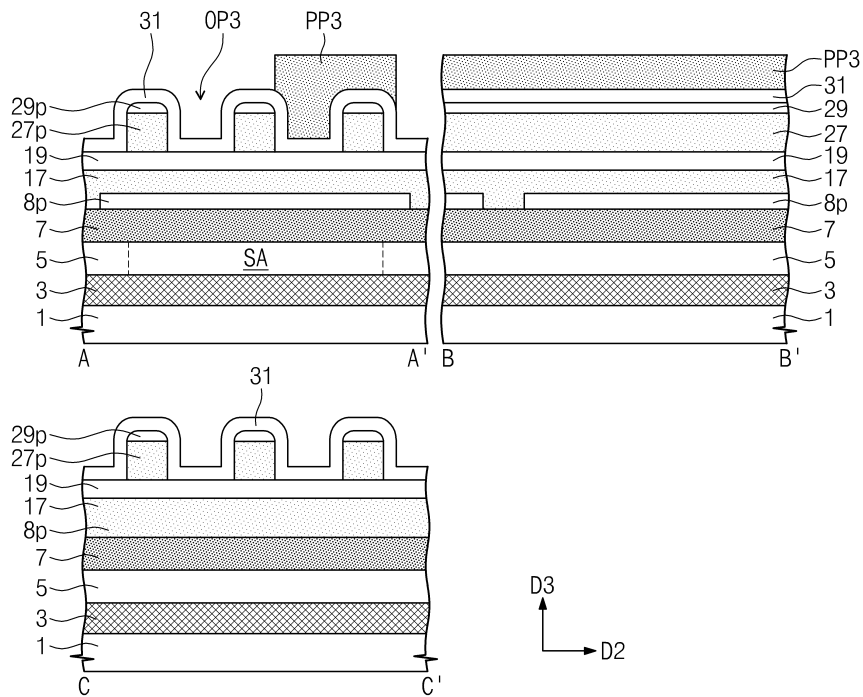
도면23b



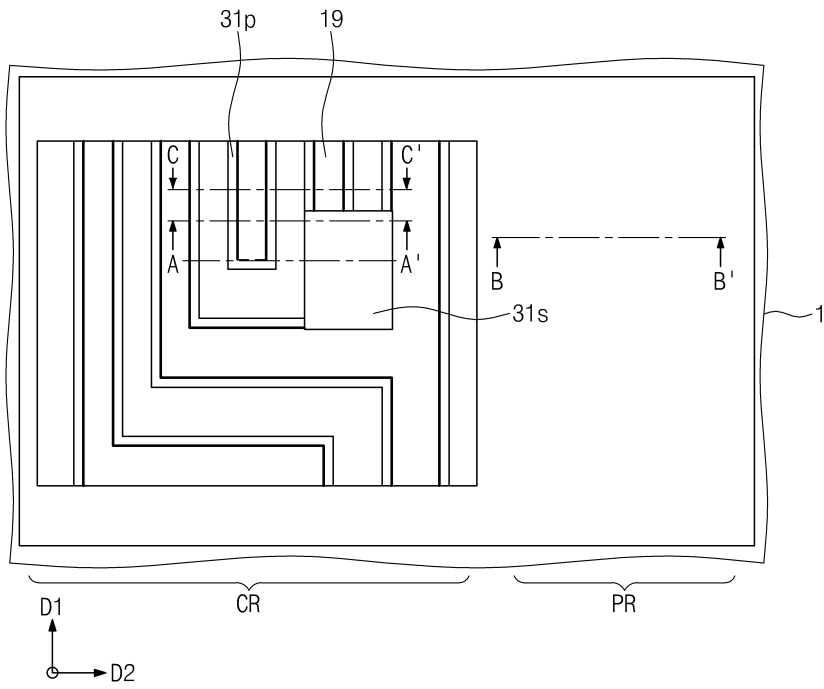
도면24a



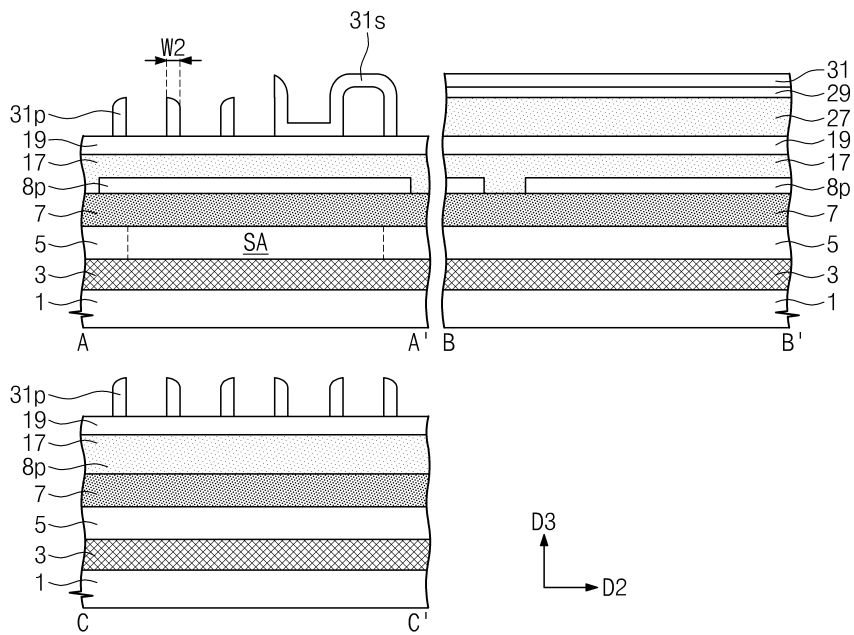
도면24b



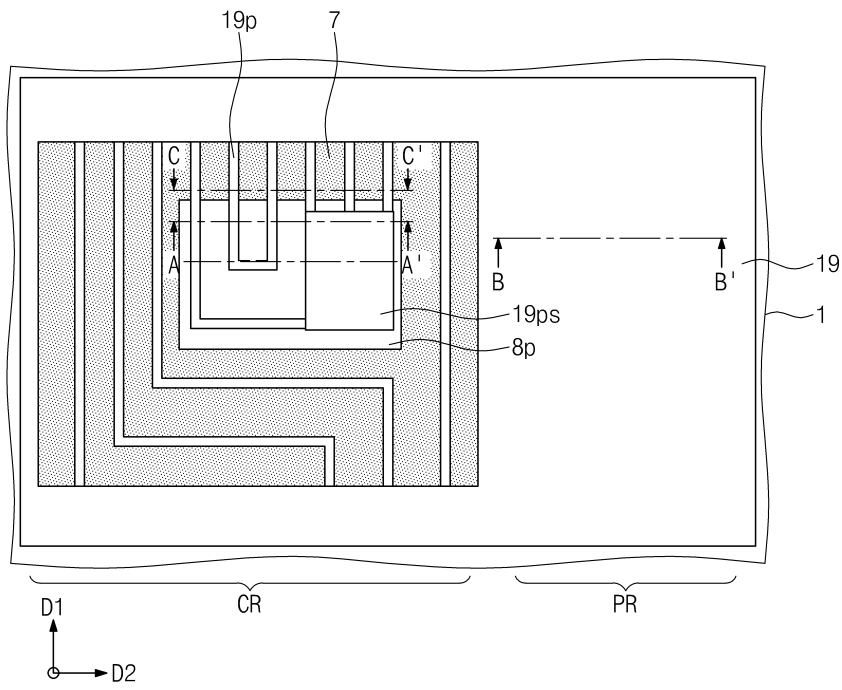
도면25a



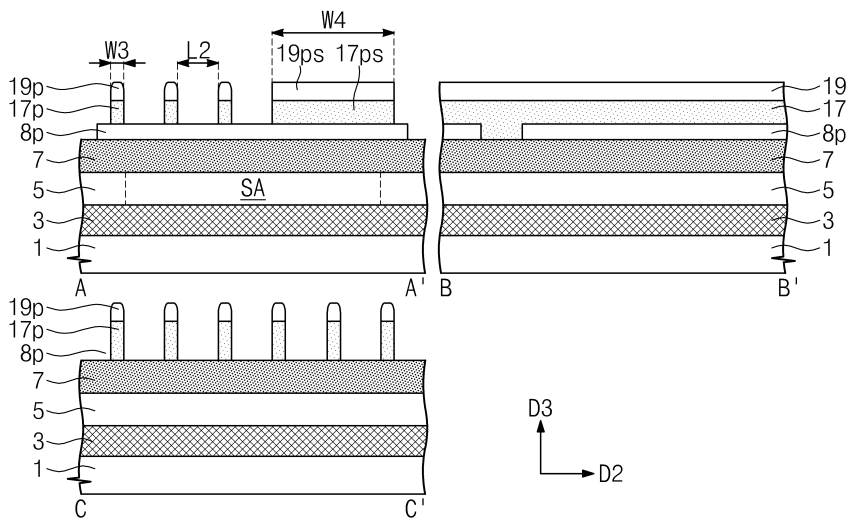
도면25b



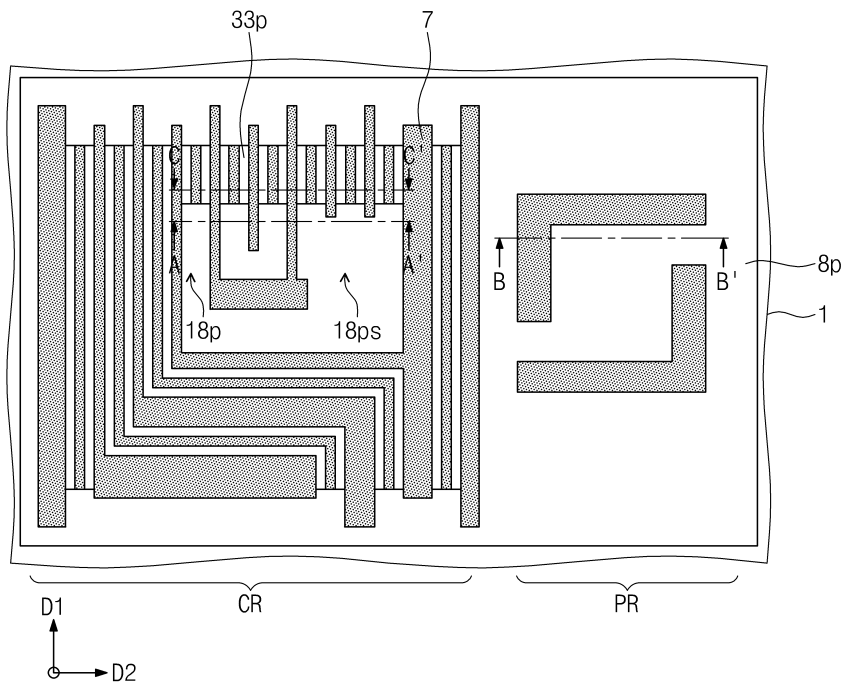
도면26a



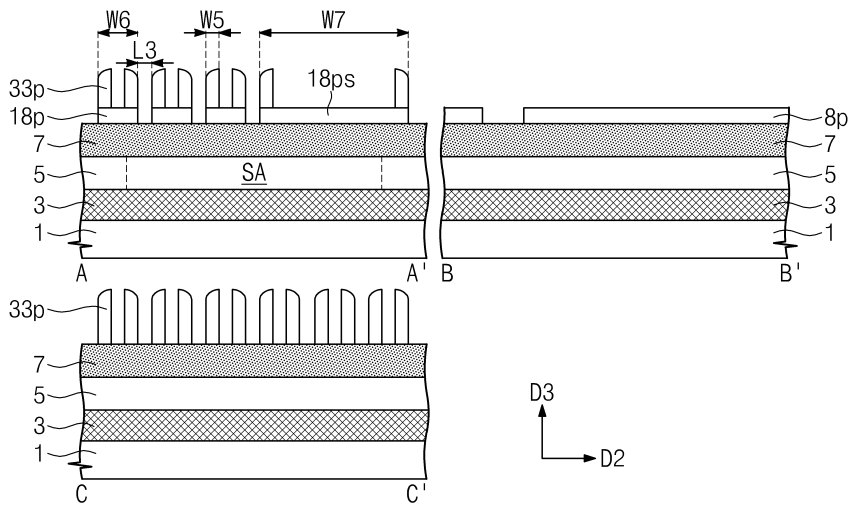
도면26b



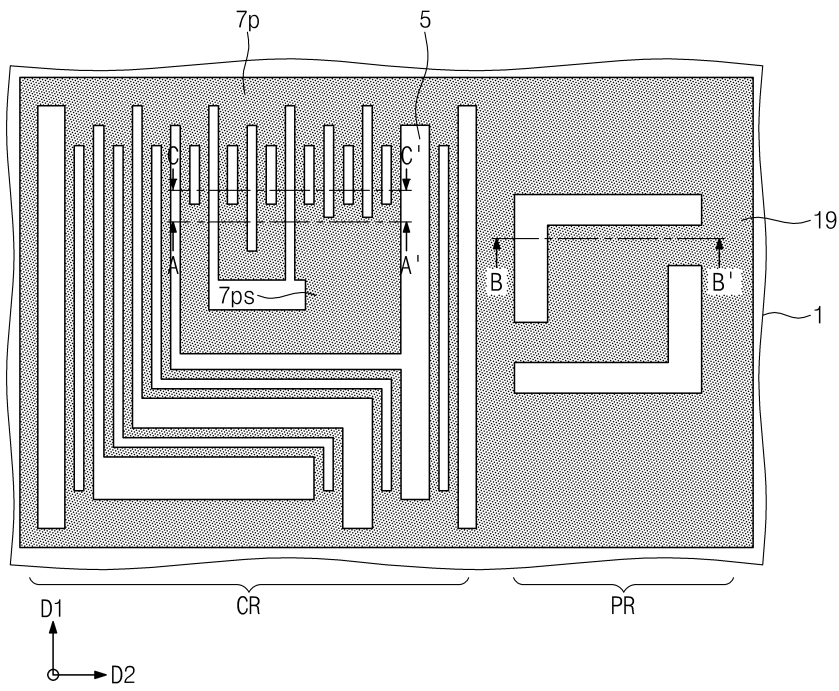
도면27a



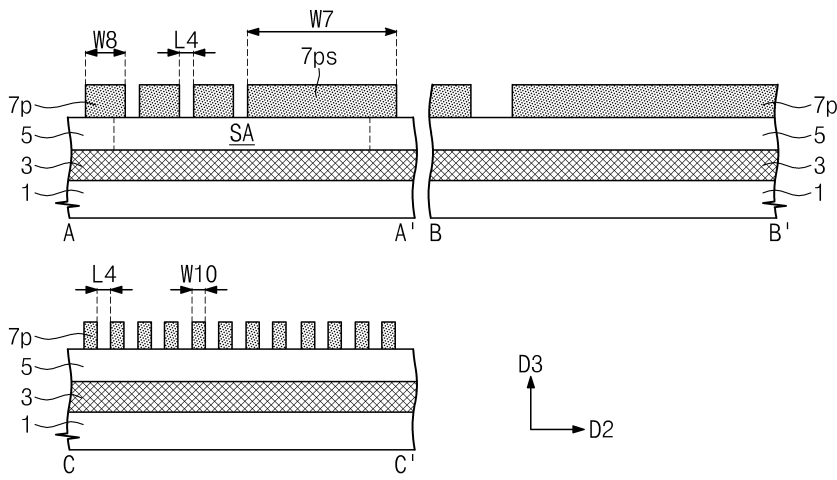
도면27b



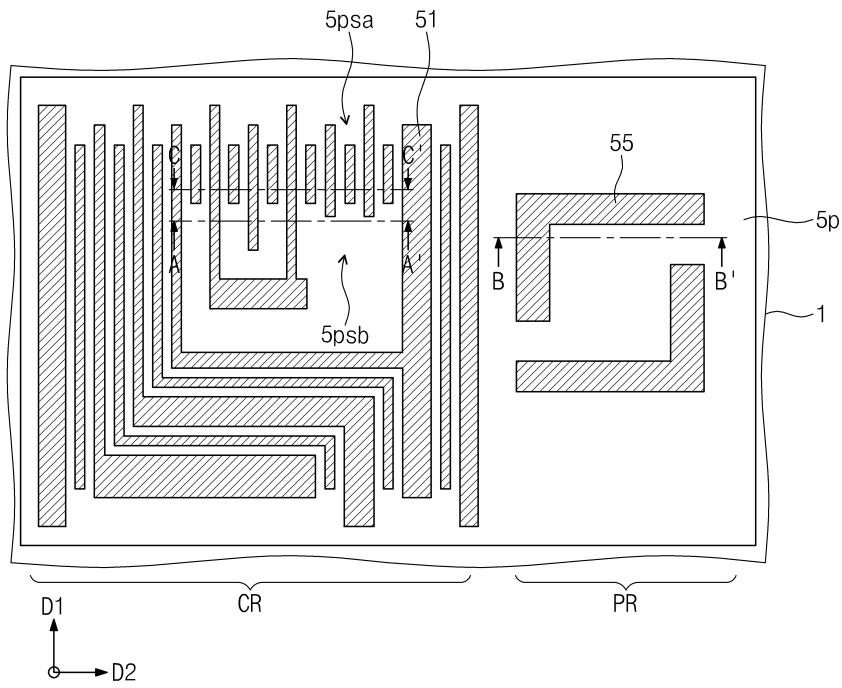
도면28a



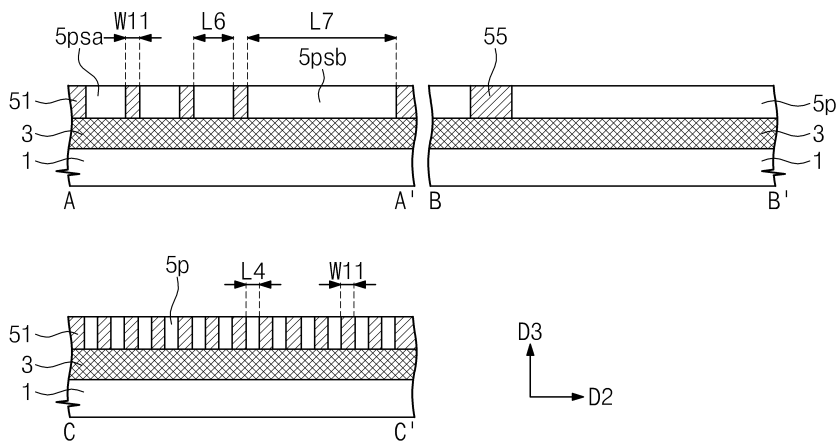
도면28b



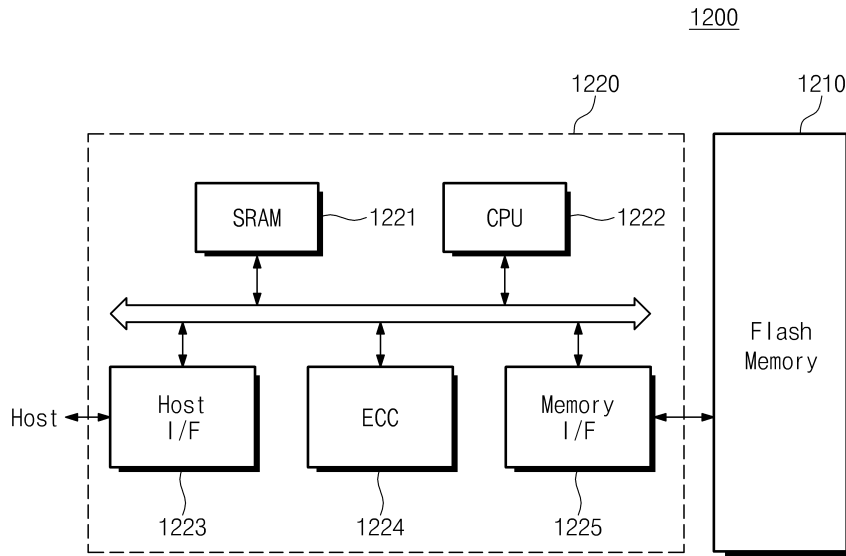
도면29a



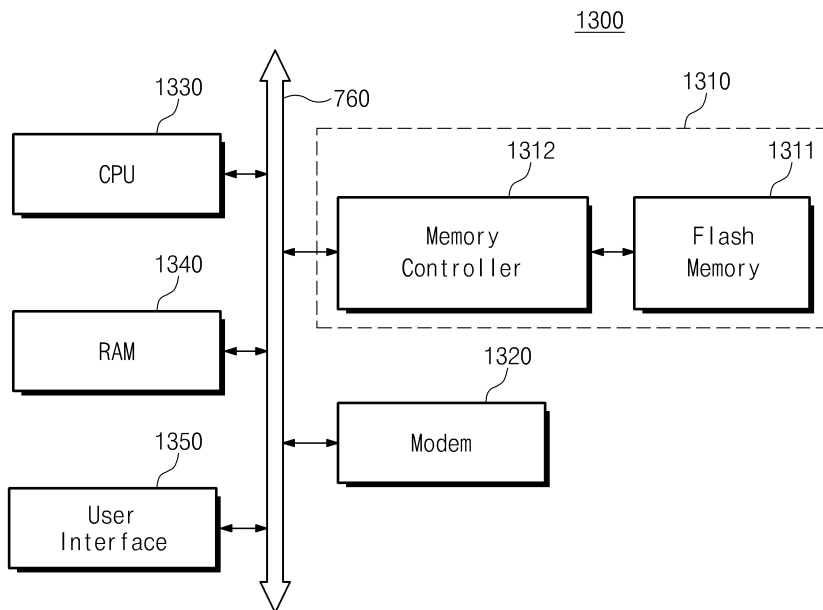
도면29b



도면30



도면31



도면32

