

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H04L 7/04

(45) 공고일자 1999년02월01일
(11) 등록번호 특0169789
(24) 등록일자 1998년10월13일

(21) 출원번호	특1995-031242	(65) 공개번호	특1997-019223
(22) 출원일자	1995년09월21일	(43) 공개일자	1997년04월30일

(73) 특허권자 삼성전자주식회사 김광호
경기도 수원시 팔달구 매탄동 416번지
(72) 발명자 문갑주
경기도 수원시 권선구 구운동 삼환아파트 2동 708호
오광석
서울시 동작구 신대방1동 대방연립 C동 102호
(74) 대리인 김능균

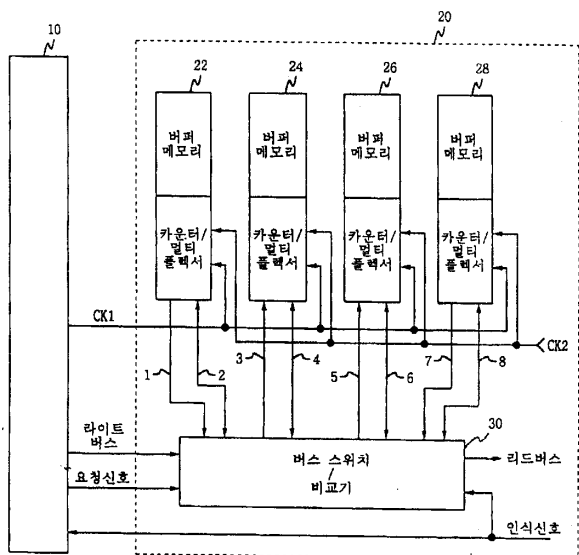
심사관 : 임영희

(54) 클럭주기가 다른 블럭들의 데이터 전송방법 및 회로

요약

본 발명은 클럭주기가 다른 블럭들의 데이터 전송방법 및 회로를 공개한다. 그 방법은 제1클럭신호에 동기되어 동작하는 제1블럭, 및 제1클럭신호에 동기되어 라이트하고, 상기 제2클럭신호에 동기되어 리드하기 위한 n개의 버퍼 메모리들, 및 상기 제1블럭으로부터의 데이터가 전송되는 라이트버스와 상기 n개의 버퍼 메모리들의 각각 데이터 버스를 순차적으로 연결하고, 상기 n개의 버퍼 메모리들의 각각의 데이터 버스과 리드 버스를 순차적으로 연결하기 위한 제어수단을 구비한 제2블럭을 구비하여, 라이트 명령신호에 응답하여 상기 제1클럭신호를 선택하거나, 리드 명령신호에 응답하여 상기 제2클럭신호를 선택하는 클럭신호 선택단계, 상기 제1클럭신호에 응답하여 상기 제1블럭으로부터의 데이터를 상기 n개의 버퍼 메모리들의 하나로 라이트하는 라이트 동작을 수행하는 단계, 및 만일 상기 제1블럭으로부터의 데이터의 전송이 완료되지 않았으면, 상기 하나의 버퍼 메모리에 저장된 데이터를 상기 제2클럭신호에 응답하여 리드 버스를 통하여 리드하는 리드 동작과 상기 제1클럭신호에 응답하여 상기 n개의 버퍼 메모리들의 다른 하나로 상기 제1블럭으로부터의 데이터를 라이트하는 라이트 동작을 상기 제1블럭으로부터 상기 제2블럭으로 데이터의 전송이 완료될 때까지 상기 n개의 버퍼 메모리들에 대하여 수행하는 단계로 이루어져 있다. 따라서, 클럭주기가 다른 블럭들의 데이터 전송 성능을 향상시킬 수 있다.

대표도



명세서

도면의 간단한 설명

제1도는 본 발명의 클럭 주기가 다른 블록들의 데이터 전송회로의 블록도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 데이터 전송방법 및 회로에 관한 것으로, 특히 클럭주기가 다른 블록들사이의 데이터 전송의 성능을 향상시킬 수 있는 데이터 전송방법 및 회로에 관한 것이다.

클럭주기가 서로 다른 블록들이나 칩사이의 데이터의 전송을 위하여 버퍼(buffer)를 이용한다. 버퍼를 이용하지 않고 데이터를 손실없이 전송하길 현실적으로 불가능하다. 일반적으로, 버퍼의 크기에 따라 여러 가지 방법으로 데이터 전송이 이루어지는데, 가장 흔히 사용되는 방법은 버퍼가 풀(full)되는 시점까지 다른 블록이나 칩으로부터 데이터를 전송받고 버퍼가 풀되었다는 제어신호를 인에이블시켜 다른 블록으로부터 버퍼로 데이터의 전송을 중지한다. 그리고, 버퍼에 있는 데이터를 블록내부의 클럭에 동기시켜 리드한다. 물론, 리드 동작이 완료되면, 풀상태를 알려주는 제어신호를 디스에이블시키고 다시 다른 블록으로부터 버퍼로 데이터를 받는 동작을 진행한다. 이러한 일련의 과정은 데이터 전송이 완료될 때까지 계속 반복한다.

예를 들면, 하나의 블록의 클럭주기가 10MHz이고, 다른 블록의 클럭주기가 50MHz라고 가정하고 100개의 클럭수만큼의 데이터를 하나의 블록으로부터 다른 블록으로 전송한다고 하면, 데이터 전송을 완료하기 위해서는 적어도 $(100\text{ns} \times 100\text{클럭} + 20\text{ns} \times 100\text{클럭})=12000\text{ns}$ 의 시간이 요구된다. 또한, 다른 하나의 블록의 동작이 하나의 블록의 데이터에 종속되어 있을 경우 데이터의 전송 속도는 다른 하나의 블록의 성능에 직접적인 영향을 미치게된다.

따라서, 종래의 클럭주기가 다른 블록들사이의 데이터 전송방법은 제1블록으로부터 제2블록의 버퍼로 데이터를 전송시에 제1블록으로부터 제2블록의 버퍼로 데이터가 전송되어 버퍼가 풀리면, 풀된 버퍼의 데이터를 리드하고 난 후에 제1블록으로부터 제2블록으로 데이터를 라이트하는 동작을 수행하여야 한다. 즉, 종래의 클럭주기가 다른 블록들사이의 데이터 전송방법은 라이트 동작을 수행한 후 버퍼가 풀되면 라이트 동작을 중지하고, 풀된 버퍼의 데이터를 리드하는 동작을 수행한 후에 제1블록으로부터 제2블록으로의 데이터의 라이트 동작을 수행하여야 함으로써 데이터의 전송의 성능이 떨어지고, 이와같은 동작을 수행하기 위하여 블록사이의 인터페이스 신호들이 많아진다는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 클럭주기가 다른 두 블록사이에 이루어지는 데이터 전송의 성능을 향상시킬 수 있는 클럭주기가 다른 블록들의 데이터 전송방법을 제공하는데 있다.

본 발명의 다른 목적은 클럭주기가 다른 두 블록사이에 이루어지는 데이터전송의 성능을 향상시키고 블록사이의 인터페이스 신호들을 줄일 수 있는 클럭주기가 다른 블록들의 데이터 전송회로를 제공하는데 있다.

상기 목적을 달성하기 위한 본 발명의 클럭주기가 다른 블록들의 데이터 전송방법은 제1클럭신호에 동기되어 동작하는 제1블럭, 및 제1클럭신호에 동기되어 라이트하고, 상기 제2클럭신호에 동기되어 리드하기 위한 n개의 버퍼 메모리들, 및 상기 제1블럭으로부터의 데이터가 전송되는 라이트버스와 상기 n개의 버퍼 메모리들의 각각의 데이터 버스와 리드 버스를 순차적으로 연결하고, 상기 n개의 버퍼 메모리들의 각각의 데이터 버스와 리드 버스를 순차적으로 연결하기 위한 제어수단을 구비한 제2블럭을 구비하여, 라이트 명령신호에 응답하여 상기 제1클럭신호를 선택하거나, 리드 명령신호에 응답하여 상기 제2클럭신호를 선택하는 클럭신호 선택단계, 상기 제1클럭신호에 응답하여 상기 제1블럭으로부터의 데이터를 상기 n개의 버퍼 메모리들의 하나로 라이트하는 라이트 동작을 수행하는 단계, 및 만일 상기 제1블럭으로부터의 데이터의 전송이 완료되지 않았으면, 상기 하나의 버퍼 메모리에 저장된 데이터를 상기 제2클럭신호에 응답하여 리드 버스를 통하여 리드하는 리드 동작과 상기 제1클럭신호에 응답하여 상기 n개의 버퍼 메모리들의 다른 하나로 상기 제1블럭으로부터의 데이터를 라이트하는 라이트 동작을 상기 제1블럭으로부터 상기 제2블럭으로 데이터의 전송이 완료될 때까지 상기 n개의 버퍼 메모리들에 대하여 수행하는 단계를 구비한 것을 특징으로 한다.

상기 다른 목적을 달성하기 위한 본 발명의 클럭주기가 다른 블록들의 데이터 전송회로는 제1클럭신호에 동기되어 동작하는 제1블럭, 및 상기 제1클럭신호에 동기되어 라이트하고, 제2클럭신호에 동기되어 리드하기 위한 n개의 버퍼 메모리들, 및 상기 제1블럭으로부터의 데이터가 전송되는 라이트버스와 상기 n개의 버퍼 메모리들의 각각의 데이터 버스를 순차적으로 연결하고, 상기 n개의 버퍼 메모리들의 각각의 데이터 버스와 리드 버스를 순차적으로 연결하기 위한 제어수단을 구비한 제2블럭을 구비하고, 상기 n개의 버퍼 메모리들의 각각은 라이트 명령신호에 응답하여 상기 제1클럭신호를 선택하고, 리드 명령신호에 응답하여 상기 제2클럭신호를 선택하기 위한 선택수단, 및 상기 제1클럭신호 또는 제2클럭신호에 응답하여 상승계수함으로써 상기 n개의 버퍼 메모리들의 라이트 또는 리드 어드레스를 발생하기 위한 카운터를 구비하여, 상기 n개의 버퍼 메모리들의 하나가 풀되면, n개의 버퍼 메모리들의 다른 하나로 라이트를 수행함과 동시에 상기 풀된 하나의 메모리로부터의 데이터를 리드하는 동작을 상기 제1블럭으로부터 상기 제2블럭으로 데이터의 전송이 완료될 때까지 상기 n개의 버퍼 메모리들에 대하여 수행하는 것을 특징으로 한다.

발명의 구성 및 작용

이하, 첨부한 도면을 참고로 하여 본 발명의 클럭주기가 다른 블록들의 데이터 전송방법 및 회로를 설명하면 다음과 같다.

제1도는 본 발명의 클럭주기가 다른 블록들의 데이터 전송회로의 블록으로서, 블록(10), 블록(20), 버퍼 메모리들(22, 24, 26, 28), 및 버스 스위치/비교기(30)로 구성되어 있다. 그리고, 번호 1, 3, 5, 7로 표시한 것은 어드레스 버스를 2, 4, 6, 8로 표시한 것은 데이터 버스를 각각 나타낸다.

버퍼 메모리들(22, 24, 26, 28)은 카운터를 내장하여 외부의 어드레스없이 카운터의 값에 의하여 리드/라이트 동작을 수행하고, 블록(20)의 버퍼를 4개로 분리하여 구성함으로써 데이터 전송에 소요되는 시간을 최소화하도록 하였다. 또한, 버퍼 메모리들(22, 24, 26, 28)은 멀티플렉서를 내장하여 블록(10) 및 블록(20)의 클럭신호들(CK1, CK2)을 라이트 인에이블 신호와 리드 인에이블 신호에 따라서 선택적으로 사용한다. 즉, 이 멀티플렉서에 의해서 선택된 클럭신호가 카운터를 구성하는 플립플롭들의 클럭신호로 사용된다. 라이트 동작은 클럭신호(CK1)에 응답하여 수행되고, 리드 동작은 클럭신호(CK2)에 응답하여 수행된다.

블록(10)이 블록(20)에 데이터를 전송하기 위하여 요청신호를 인에이블하면 블록(20)은 데이터를 받을 준비가 되어있는지를 판단한 후, 받을 준비가 되어 있으면, 인식 신호를 블록(10)에 전송한다. 인식신호를 보낸 1클럭 후에 버스 스위치/비교기(30)의 제어에 의해서 버퍼 메모리(22)의 데이터 버스(2)와 라이트 버스를 연결하고, 버퍼/메모리들(24, 26, 28)의 데이터 버스들(4, 6, 8)은 모두 오프시킨다.

그리고, 버퍼 메모리(22)에 내장된 카운터는 블록(10)으로부터 첫 번째 데이터를 받은 후부터는 멀티플렉서에 의해서 클럭신호(CK1)가 선택되고 클럭신호(CK1)에 동기되어 상승계수한다. 버퍼 메모리(22)에 데이터가 완전히 쓰여지게 되면 버스 스위치/비교기(30)는 25%플래그 신호를 발생하여 버퍼 메모리(22)의 데이터 버스(2)를 오프시키고 버퍼 메모리(24)의 데이터 버퍼(4)와 라이트 버스를 연결한다.

버퍼 메모리(24)가 라이트 동작을 수행하는 동안 버퍼 메모리(22)의 데이터 버스(2)는 블록(20)내부의 리드 버스와 연결되어 블록(20)의 클럭신호(CK2)에 동기되어 데이터가 블록(20)의 내부로 전송된다. 이때, 데이터가 안정하게 리드될 수 있도록 버퍼 메모리(22)의 라이트 동작이 끝난후, 2클럭 후에 버퍼 메모리(22)의 리드 동작을 수행한다. 따라서, 버퍼 메모리(22)의 카운터는 0부터 최대 어드레스까지 증가한 후 리셋되어 리드 동작이 시작되면 다시 업카운팅을 시작한다. 즉, 버퍼 메모리(24)의 라이트 동작이 완료되면 버퍼 메모리(26)의 라이트 동작이 수행되고, 버퍼 메모리(24)의 리드 동작이 수행된다. 그리고 버퍼 메모리(26)의 라이트 동작이 완료되면 버퍼 메모리(28)의 라이트 동작이 수행되고, 버퍼 메모리(26)의 리드 동작이 수행된다. 이와같은 동작을 수행하여 버퍼 메모리(28)까지의 라이트 동작이 완료된 후에도 전송할 데이터가 있을 경우에는 버퍼 메모리(22)의 라이트 동작이 다시 수행되고 버퍼 메모리(28)의 리드 동작이 수행된다. 이와같은 동작은 블록(10)으로부터 데이터 전송을 완료했다는 신호가 인에이블되기 전까지 계속하여 수행된다. 다만, 블록(20)의 클럭신호(CK2)가 블록(10)의 클럭신호(CK1)에 비하여 2배이상 빠른 경우에는 블록(20)내의 버퍼 메모리로부터 블록(20)내부의 데이터 전송은 버퍼 메모리(22)의 리드 동작이 완료된 후에 약간의 대기 시간(waiting time)이 요구되어 진다.

라이트 동작은 클럭신호(CK1)에 동기되어 수행되고 리드 동작은 블록(20)내부의 클럭신호(CK2)에 의해서 수행된다. 다시 말하면, 라이트 동작은 블록(10)으로부터의 데이터를 전송받아서 수행되어야 하기 때문에 블록(20)의 클럭신호(CK2)보다 느린 블록(10)의 클럭신호(CK1)에 의해서 수행된다. 반면에, 리드 동작은 클럭신호(CK2)에 의해서 수행되므로 빠르게 수행된다. 따라서, 약간의 대기 시간이 발생하게 된다.

이러한 대기 시간이 요구되어지는 이유는 버퍼 메모리들(22, 24, 26, 28)의 크기를 줄이고 제어블럭을 간단하게 구성하기 위하여 단일 포트 메모리 구조를 사용하기 때문이다.

따라서, 하나의 버퍼 메모리에서 리드/라이트 동작이 동시에 이루어질 수는 없다. 버퍼 메모리 내부의 카운터는 외부의 어드레스 제어신호없이 자체적으로 어드레스를 발생하기 위하여 필요하고, 멀티플렉서는 블록(10)과 블록(20)의 클럭신호들(CK1, CK2)을 라이트 동작과 리드동작에 따라 선택적으로 사용하기 위하여 요구되어진다.

즉, 라이트 동작시에는 블록(10)의 클럭신호(CK1)를 선택하고 리드 동작시에는 블록(20)의 클럭신호(CK2)를 선택한다. 버스 스위치/비교기(30)는 각 버퍼 메모리의 최대 어드레스에 도달하면 어드레스 값을 비교하여 버퍼 메모리(22)에 데이터가 완전히 라이트되면 25%플래그 신호를 발생하고, 버퍼 메모리(24, 26, 28)에 데이터가 완전히 라이트되어 버퍼가 풀리면 각각 50%, 75%, 100% 플래그 신호를 발생하며, 이 플래그 신호와 블록(10)으로부터 전송되는 라이트 인에이블 신호, 블록(20)으로부터 전송되는 리드 인에이블 신호들의 조합에 의하여 버스 스위칭 동작을 수행한다.

만일, 버퍼 메모리(22)가 풀리면 버스 스위치/비교기(30)는 어드레스 버스(1)로 부터의 어드레스를 입력하여 비교하여 25%플래그 신호를 발생하고, 버퍼 메모리(22)내의 카운터는 리셋된다. 그러면, 블록(20)으로부터 리드 인에이블 신호가 발생되어 버퍼 메모리(22)의 멀티플렉서가 클럭신호(CK2)에 응답하여 리드 어드레스를 발생하게 되고, 데이터 버스(2)와 리드 버스를 연결하여 리드 데이터를 블록(20)내부로 전송하게 되고, 데이터의 전송이 완료되면 카운터는 리셋된다. 또한 25%플래그 신호가 발생되면, 라이트 버스를 데이터 버스(4)로 연결하고, 버퍼 메모리(24)의 멀티플렉서는 클럭신호(CK1)를 선택하여 출력하고, 카운터는 클럭신호(CK1)에 응답하여 라이트 데이터를 버퍼 메모리(24)에 순서대로 저장하게된다. 버퍼 메모리(22)의 리드 동작과 버퍼 메모리(24)의 라이트 동작은 동시에 수행된다. 이와같은 방법으로 제1블럭으로부터 제2블럭내부의 버퍼 메모리로 데이터의 전송이 완료될 때까지 동작을 수행하게 된다.

본 발명은 제1블럭으로부터 제2블럭으로 데이터를 전송하기 위하여 제2블럭내의 소정수의 버퍼 메모리들을 구비하고 제1블럭으로부터 전송되는 데이터를 소정수의 버퍼 메모리들중의 하나의 버퍼 메모리에 제1블럭의 클럭신호에 응답하여 데이터를 저장하고, 버퍼 메모리가 풀리면, 상기 소정수의 버퍼 메모리들중 다른 버퍼 메모리에 제1블럭의 클럭신호에 응답하여 데이터를 저장함과 동시에 제2블럭의 클럭신호에 응답하여 상기 풀린 메모리로부터 데이터를 제2블럭내부로 전송하기 위한 동작을 수행한다. 이와같은 동작을 소정수의 버퍼 메모리들에 대하여 제1블럭으로부터 제2블럭으로 데이터의 전송이 완료될 때까지 수행하게 된다.

따라서, 본 발명의 클럭주기가 다른 블록들의 데이터 전송방법 및 회로는 제1블럭으로부터 제2블럭으로 데이터를 전송할 때에 제2블럭내의 소정수의 버퍼를 구비하여 제1블럭의 데이터가 제2블럭내부로 전송될

때까지 리드와 라이트 동작을 중단없이 반복적으로 수행함에 의해서 데이터를 전송할 수 있으므로 데이터 전송의 성능을 향상시킬 수 있다.

발명의 효과

따라서, 본 발명의 클럭주기가 다른 블록들의 데이터 전송방법 및 회로는 데이터를 전송할 경우 소정수의 버퍼 메모리를 사용하여 각 버퍼 메모리의 리드 및 라이트 동작을 제어하고, 단일 포트 메모리의 사용이 가능하기 때문에 데이터 전송의 성능을 향상시키고, 인터페이스 신호들을 줄일 수 있다.

(57) 청구의 범위

청구항 1

제1클럭신호에 동기되어 동작하는 제1블럭; 및 상기 제1클럭신호에 동기되어 라이트하고, 제2클럭신호에 동기되어 리드하기 위한 n개의 버퍼 메모리들, 및 상기 제1블럭으로부터의 데이터가 전송되는 라이트버스와 상기 n개의 버퍼 메모리들의 각각의 데이터 버스를 순차적으로 연결하고, 상기 n개의 버퍼 메모리들의 각각의 데이터 버스와 리드 버스를 순차적으로 연결하기 위한 제어수단을 구비한 제2블럭을 구비하여, 라이트 명령신호에 응답하여 상기 제1클럭신호를 선택하거나, 리드 명령신호에 응답하여 상기 제2클럭신호를 선택하는 클럭신호 선택단계; 상기 제1클럭신호에 응답하여 상기 제1블럭으로부터의 데이터를 상기 n개의 버퍼 메모리들의 하나로 라이트하는 라이트 동작을 수행하는 단계; 및 만일 상기 제1블럭으로부터의 데이터의 전송이 완료되지 않았으면, 상기 하나의 버퍼 메모리에 저장된 데이터를 상기 제2클럭신호에 응답하여 리드 버스를 통하여 리드하는 리드 동작과 상기 제1클럭신호에 응답하여 상기 n개의 버퍼 메모리들의 다른 하나로 상기 제1블럭으로부터의 데이터를 라이트하는 라이트 동작을 상기 제1블럭으로부터 상기 제2블럭으로 데이터의 전송이 완료될 때까지 반복적으로 상기 n개의 버퍼 메모리들에 대하여 수행하는 단계를 구비한 것을 특징으로 하는 클럭주기가 다른 블록들의 데이터 전송방법.

청구항 2

제1클럭신호에 동기되어 동작하는 제1블럭; 및 상기 제1클럭신호에 동기되어 라이트하고, 제2클럭신호에 동기되어 리드하기 위한 n개의 버퍼 메모리들, 및 상기 제1블럭으로부터의 데이터가 전송되는 라이트버스와 상기 n개의 버퍼 메모리들의 각각의 데이터 버스를 순차적으로 연결하고, 상기 n개의 버퍼 메모리들의 각각의 데이터 버스와 리드 버스를 순차적으로 연결하기 위한 제어수단을 구비한 제2블럭을 구비하고 상기 n개의 버퍼 메모리들의 각각은 라이트 명령신호에 응답하여 상기 제1클럭신호를 선택하고, 리드 명령신호에 응답하여 상기 제2클럭신호를 선택하기 위한 선택수단; 및 상기 제1클럭신호 또는 제2클럭신호에 응답하여 상승계수함으로써 상기 n개의 버퍼 메모리들의 라이트 또는 리드 어드레스를 발생하기 위한 카운터를 구비하여, 상기 n개의 버퍼 메모리들의 하나가 풀되면, n개의 버퍼 메모리들의 다른 하나로 라이트를 수행함과 동시에 상기 풀된 하나의 메모리로부터의 데이터를 리드하는 동작을 상기 제1블럭으로부터 상기 제2블럭으로 데이터의 전송이 완료될 때까지 상기 n개의 버퍼 메모리들에 대하여 수행하는 것을 특징으로 하는 클럭주기가 다른 블록들의 데이터 전송회로.

도면

도면1

