



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년08월24일
(11) 등록번호 10-1177105
(24) 등록일자 2012년08월20일

(51) 국제특허분류(Int. Cl.)
H01L 27/115 (2006.01) H01L 21/8247 (2006.01)
(21) 출원번호 10-2007-0112660
(22) 출원일자 2007년11월06일
심사청구일자 2011년02월25일
(65) 공개번호 10-2009-0046481
(43) 공개일자 2009년05월11일
(56) 선행기술조사문헌
KR1020050102072 A
JP2002539624 A
KR1020040103054 A
KR1020070050272 A

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
이지명
경기도 용인시 처인구 금학로 91, 우남아파트 104동 604호 (삼가동)
김민상
서울특별시 동작구 신대방1나길 15 (신대방동)
(74) 대리인
박상수

전체 청구항 수 : 총 10 항

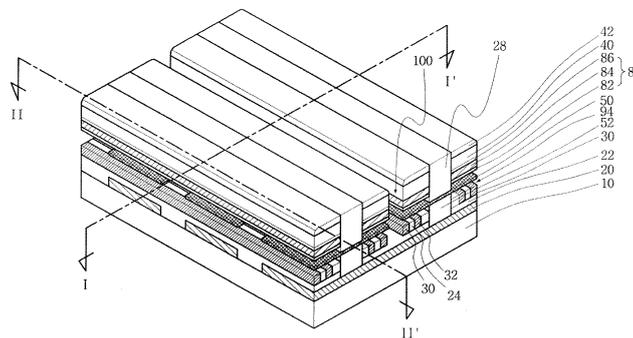
심사관 : 이우리

(54) 발명의 명칭 멀티 비트 전기 기계적 메모리 소자 및 그의 제조방법

(57) 요약

본 발명은 메모리 소자의 집적도를 증대 또는 극대화할 수 있는 멀티 비트 전기 기계적 메모리 소자 및 그의 제조방법을 개시한다. 그의 소자는, 기판; 상기 기판 상에 제 1 방향으로 형성된 비트 라인; 상기 비트 라인 상에 형성된 층간 절연막; 상기 층간 절연막 상에서 소정의 간격을 갖고 상기 제 1 방향에 교차되는 제 2 방향으로 서로 평행하게 형성된 게이트 라인 및 하부 워드 라인; 상기 게이트 라인에 인접하여 상기 비트 라인 상에 형성된 콘택 패드; 상기 콘택 패드에 연결되어 상기 게이트 라인 및 하부 워드 라인의 상부에서 하부 공극을 갖고 부양되면서 상기 제 1 및 제 2 방향에 수직하는 제 3의 방향으로 굴곡되도록 형성된 캔틸레버 전극; 및 상기 캔틸레버 전극의 상부에서 상부 공극을 갖고 상기 제 2 방향으로 형성된 상부 워드 라인을 포함하여 이루어진다.

대표도



(72) 발명자

김성민

인천광역시 부평구 부개로 58, 삼부아파트 108동
2204호 (부개동)

조근휘

서울특별시 강동구 풍성로56길 42, 301호 (성내동)

특허청구의 범위

청구항 1

기관;

상기 기관 상에서 제 1 방향으로 형성된 비트 라인;

상기 비트 라인 상에 형성된 제 1 층간 절연막;

상기 제 1 층간 절연막 상에서 트렌치에 의해 서로 대칭되면서 소정의 간격을 갖고 상기 제 1 방향에 교차되는 제 2 방향으로 형성된 제 1 및 제 2 게이트 라인과, 제 1 및 제 2 하부 워드 라인;

상기 제 1 및 2 게이트 라인과, 상기 제 1 및 제 2 하부 워드 라인을 전기적으로 절연시키는 제 2 층간 절연막;

상기 제1 층간 절연막 및 제 2 층간 절연막에 형성되는 콘택홀들을 통해 상기 제 1 및 제 2 게이트 라인에 인접하는 상기 비트 라인에 연결되도록 형성된 제 1 및 제 2 콘택 전극;

상기 제 1 및 제 2 콘택 전극에 연결되어 상기 제 1 및 제 2 게이트 라인과 상기 제 1 및 제 2 하부 워드 라인 상부에서 제 1 및 제 2 하부 공극을 갖고 부양되면서 상기 제 1 및 제 2 방향에 수직하는 제 3의 방향으로 굴곡되도록 형성된 제 1 및 제 2 캔틸레버 전극;

상기 제 1 및 제 2 콘택 전극 상부에 형성된 제 3 층간 절연막; 및

상기 제 3 층간 절연막에 의해 지지되면서 상기 제 1 및 제 2 캔틸레버 전극의 상부에 제 1 및 제 2 상부 공극을 갖도록 상기 제2 방향으로 형성된 제 1 및 제 2 상부 워드 라인을 포함하는 멀티 비트 전기 기계적 메모리 소자.

청구항 2

제 1 항에 있어서,

상기 제 1 및 제 2 상부 공극 상에서 상기 제 1 및 제 2 상부 워드 라인을 통해 형성된 전하를 트랩하고, 상기 제 1 및 제 2 상부 워드 라인의 방향으로 굴곡되는 상기 제 1 및 제 2 캔틸레버 전극을 전기적으로 고정시키도록 형성된 제 1 및 제 2 트랩 사이트를 포함하고, 및

상기 제 1 및 제 2 트랩 사이트는 실리콘 산화막, 실리콘 질화막, 및 실리콘 산화막을 포함하는 멀티 비트 전기 기계적 메모리 소자.

청구항 3

제 1 항에 있어서,

제 1 및 제 2 캔틸레버 전극은 티타늄, 질화 티타늄, 또는 탄소 나노튜브를 포함하는 멀티 비트 전기 기계적 메모리 소자.

청구항 4

제 1 항에 있어서,

제 1 및 제 2 상부 하부 워드 라인 및 트렌치를 커버링하는 제 4 층간 절연막을 더 포함하는 멀티 비트 전기 기계적 메모리 소자.

청구항 5

기관 상에 제 1 방향으로 비트 라인을 형성하는 단계;

상기 비트 라인 상에 제 1 층간 절연막을 형성하는 단계;

제 2 방향으로 게이트 라인 및 하부 워드 라인을 형성하는 단계;

상기 게이트 라인 및 하부 워드 라인 상에 제 1 희생막을 형성하는 단계;

상기 게이트 라인에 인접하는 상기 비트 라인 상부의 제 1 희생막 및 상기 제 1 층간 절연막을 제거하여 콘택 홀을 형성하는 단계;

상기 콘택홀 내에 콘택 전극을 형성하는 단계;

상기 콘택 전극 상에서 상기 하부 워드 라인의 상부까지 연장되는 캔틸레버 전극을 형성하는 단계;

상기 게이트 라인 및 상기 하부 워드 라인 상부의 상기 캔틸레버 전극 상에 상기 제 2 방향으로 제 2 희생막, 트랩 사이트, 및 상부 워드 라인을 형성하는 단계; 및

상기 제 1 희생막 및 제 2 희생막을 제거하여 상기 캔틸레버 전극의 상하부에 공극을 만드는 단계를 포함하는 전기 기계적 메모리 소자의 제조방법.

청구항 6

제 5 항에 있어서,

상기 제 1 층간 절연막의 상부에서 상기 게이트 라인 및 상기 하부 워드 라인의 측면을 전기적으로 절연시키는 제 2 층간 절연막을 형성하는 단계를 더 포함하는 전기 기계적 메모리 소자의 제조방법.

청구항 7

제 6 항에 있어서,

상기 제 1 층간 절연막 상에서 상기 제 2 방향으로 형성된 그루브를 갖는 상기 제 2 층간 절연막을 형성하고, 상기 그루브 내에 상기 게이트 라인 및 상기 하부 워드 라인을 형성하는 것을 포함하는 전기 기계적 메모리 소자의 제조방법.

청구항 8

제 5 항에 있어서,

상기 콘택 전극 상부의 상기 캔틸레버 전극 상에서 상기 제 2 희생막, 상기 트랩 사이트, 및 상기 상부 워드 라인의 측벽을 매립하는 제 3 층간 절연막을 형성하는 단계를 더 포함하는 전기 기계적 메모리 소자의 제조방법.

청구항 9

제 5 항에 있어서,

상기 상부 워드 라인, 상기 트랩 사이트, 상기 제 2 희생막, 상기 캔틸레버 전극, 상기 제 1 희생막, 및 상기 하부 워드 라인의 중심을 제 2 방향으로 제거하여 상기 제 1 층간 절연막이 바닥에서 노출되는 트렌치를 형성하는 단계를 더 포함하는 전기 기계적 메모리 소자의 제조방법.

청구항 10

제 9항에 있어서,

상기 상부 워드 라인의 상부와 상기 트렌치를 커버링하는 제 4 층간 절연막을 형성하는 단계를 더 포함하는 전기 기계적 메모리 소자의 제조방법.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 메모리 소자 및 그의 제조방법에 관한 것으로서, 상세하게는 트렌치(trench)를 중심으로 대칭적으로 형성된 복수개의 캔틸레버 전극의 스위칭 동작에 의해 소정의 정보(data)가 기록(program) 및 독출(read)되는 멀티 비트 전기 기계적 메모리 소자 및 그의 제조방법에 관한 것이다.

배경 기술

[0002] 일반적으로, 정보를 저장하기 위해 사용되는 메모리 소자들은 휘발성 메모리 소자와 비휘발성 메모리 소자로 구분될 수 있다. 메모리 소자에 있어서, 먼저 DRAM(Dynamic Random Access Memory)이나 SRAM(Static Random Access Memory)등으로 대표되는 휘발성 메모리 소자는 정보(data)의 입출력 동작은 빠르지만 전원 공급이 중단됨에 따라 저장된 정보를 소실하는 특성이 있는 반면에, EPROM(Erasable Programmable Read Only Memory)이나 EEPROM(Electrically Erasable Programmable Read Only Memory)등으로 대표되는 비휘발성 메모리 반도체 소자는 정보(data)의 입출력 동작은 느리지만 전원 공급이 중단되더라도 저장된 정보(data)가 그대로 유지되는 특성이 있다.

[0003] 한편, 이와 같은 종래 기술에 따른 메모리 소자는 MOS(Metal Oxide Semiconductor)기술을 근간으로 하는 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)를 기본적으로 채용하여 이루어져 왔다. 예컨대, 실리콘 재질의 반도체 기판 상에서 적층되는 구조를 갖는 스택 게이트형 트랜지스터 메모리 소자와, 상기 반도체 기판의 내부로 매립되는 구조를 갖는 트렌치 게이트형 트랜지스터 메모리 소자가 개발되고 있다. 그러나, 상기 MOSFET은 단채널 효과를 방지토록 하기 위해 채널의 폭과 길이를 일정 이상 길이 이상으로 가져야만 하고, 상기 채널 상단의 게이트 전극 및 상기 반도체 기판사이에 형성되는 게이트 절연막의 두께가 극도로 얇아져야 하는 근본적인 문제점 때문에 나노급 초미세 구조의 메모리 소자 구현이 어려운 점이 있다.

[0004] 이러한 이유로 MOSFET를 대체할 만한 구조를 갖는 메모리 소자의 연구가 활발히 이루어지고 있다. 최근 서스펜드 브릿지 메모리(Suspend Bridge Memory : SBM)에 응용되는 마이크로 전기 기계 시스템(Micro Electro-

Mechanical System : MEMS) 기술 및 나노 전기 기계 시스템(Nano Electro-Mechanical System : NEMS) 기술이 대두되고 있다. 이 중에서 나노 전기 기계 시스템이 채용된 전기 기계적 메모리 소자가 미국공개특허 제 2004/0181630호에 개시되어 있다.

- [0005] 종래 기술에 따른 전기 기계적 메모리 소자는 나노튜브 조각에 대응되는 캔틸레버 전극이 하부 전극과 상부 전극 사이에 부유되어 있는 상태와, 상기 하부 전극 또는 상기 상부 전극에 접촉된 상태 각각에 대응되는 1 비트에 해당되는 데이터가 저장되도록 할 수 있다.
- [0006] 하지만, 종래의 전기 기계적 메모리 소자는 하부 전극 및 상부 전극에 전원전압을 인가하지 않을 경우, 캔틸레버 전극이 상기 하부 전극 및 상기 상부 전극의 중심에 대응되는 위치로 초기화되어 비휘발성 메모리 소자를 구현할 수 없다.
- [0007] 또한, 캔틸레버 전극이 하부 전극 및 상부 전극의 양측에서 대칭적인 방향으로 휘어지는 구조로서, 캔틸레버 전극의 중심에서 노드가 분리되지 않아 멀티 비트 전기 기계적 메모리 소자의 구현이 난이하다.

발명의 내용

해결 하고자하는 과제

- [0008] 상기와 같은 문제점을 해결하기 위한 본 발명의 목적은, 외부에서 인가되는 전압의 제거되어도 캔틸레버 전극의 위치가 초기화되지 않는 비휘발성 메모리 소자를 구현할 수 있는 멀티 비트 전기 기계적 메모리 소자 및 그의 제조방법을 제공하는 데 있다.
- [0009] 또한, 본 발명의 다른 목적은, 캔틸레버 전극의 중심에서 노드가 분리되도록 하여 2비트 이상의 정보를 입출력하는 멀티 비트 전기 기계적 메모리 소자 및 그의 제조방법을 제공하는 데 있다.

과제 해결수단

- [0010] 상기 목적을 달성하기 위한 본 발명의 양태에 따른 메모리 소자는, 기관; 상기 기관 상에 제 1 방향으로 형성된 비트 라인; 상기 비트 라인 상에 형성된 층간 절연막; 상기 층간 절연막 상에서 소정의 간격을 갖고 상기 제 1 방향에 교차되는 제 2 방향으로 서로 평행하게 형성된 게이트 라인 및 하부 워드 라인; 상기 게이트 라인에 인접하여 상기 비트 라인 상에 형성된 콘택 패드; 상기 콘택 패드에 연결되어 상기 게이트 라인 및 하부 워드 라인의 상부에서 하부 공극을 갖고 부양되면서 상기 제 1 및 제 2 방향에 수직하는 제 3의 방향으로 굴곡되도록 형성된 캔틸레버 전극; 및 상기 캔틸레버 전극의 상부에서 상부 공극을 갖고 상기 제 2 방향으로 형성된 상부 워드 라인을 포함함을 특징으로 한다.
- [0011] 또한, 본 발명의 다른 양태는, 기관; 상기 기관 상에서 제 1 방향으로 형성된 비트 라인; 상기 비트 라인 상에 형성된 제 1 층간 절연막; 상기 제 1 층간 절연막 상에서 트렌치에 의해 서로 대칭되면서 소정의 간격을 갖고 상기 제 1 방향에 교차되는 제 2 방향으로 형성된 제 1 및 제 2 게이트 라인과, 제 1 및 제 2 하부 워드 라인; 상기 제 1 및 제 2 게이트 라인과, 상기 제 1 및 제 2 하부 워드 라인을 전기적으로 절연시키는 제 2 층간 절연막; 상기 제 2 층간 절연막에 형성되는 콘택홀들을 통해 상기 제 1 및 제 2 게이트 라인에 인접하는 상기 비트 라인에 연결되도록 형성된 제 1 및 제 2 콘택 전극; 상기 제 1 및 제 2 콘택 전극에 연결되어 상기 제 1 및 제 2 게이트 라인과 상기 제 1 및 제 2 하부 워드 라인 상부에서 제 1 및 제 2 하부 공극을 갖고 부양되면서 상기 제 1 및 제 2 방향에 수직하는 제 3의 방향으로 굴곡되도록 형성된 제 1 및 제 2 캔틸레버 전극; 상기 제 1 및 제 2 콘택 전극 상부에 형성된 제 3 층간 절연막; 및 상기 제 3 층간 절연막에 의해 지지되면서 상기 제 1 및 제 2 캔틸레버 전극의 상부에 제 1 및 제 2 상부 공극을 갖도록 형성된 제 1 및 제 2 상부 워드 라인을 포함하는 멀티 비트 전기 기계적 메모리 소자이다.
- [0012] 그리고, 본 발명의 또 다른 양태는, 기관 상에 제 1 방향으로 비트 라인을 형성하는 단계; 상기 비트 라인 상에 제 1 층간 절연막을 형성하는 단계; 제 2 방향으로 게이트 라인 및 하부 워드 라인을 형성하는 단계; 상기 게이트 라인 및 하부 워드 라인 상에 제 1 희생막을 형성하는 단계; 상기 게이트 라인의 인접하는 상기 비트 라인 상부의 제 1 희생막 및 상기 제 1 층간 절연막을 제거하여 콘택홀을 형성하는 단계; 상기 콘택홀 내에 콘택 전극을 형성하는 단계; 상기 콘택 전극 상에서 상기 하부 워드 라인의 상부까지 연결되는 캔틸레버 전극을 형성하는 단계; 상기 게이트 라인 및 상기 하부 워드 라인의 상부의 상기 캔틸레버 전극 상에 상기 제 2 방

향으로 제 2 희생막, 트랩 사이트, 및 상부 워드 라인을 형성하는 단계; 및 상기 제 1 희생막 및 제 2 희생막을 제거하여 상기 캔틸레버 전극의 상하부에 공극을 만드는 단계를 포함하는 전기 기계적 메모리 소자의 제조방법이다.

[0013] 마지막으로, 본 발명의 또 다른 양태는, 기판 상에 제 1 방향으로 비트 라인을 형성하는 단계; 상기 비트 라인 상에 제 1 층간 절연막을 형성하는 단계; 제 2 방향으로 게이트 라인 및 하부 워드 라인을 형성하는 단계; 상기 게이트 라인과 하부 워드 라인간에 제 2 층간 절연막을 형성하는 단계; 상기 기판 상에 제 1 희생막을 형성하는 단계; 상기 게이트 라인에 인접하는 상기 제 2 층간 절연막에 교차되는 상기 비트 라인 상부의 상기 제 1 희생막, 상기 제 2 층간 절연막, 및 상기 제 1 층간 절연막을 제거하여 콘택홀을 형성하는 단계; 상기 콘택홀 내에 콘택 전극을 형성하는 단계; 상기 콘택 전극 상에서 상기 제 1 방향으로 캔틸레버 전극을 형성하는 단계; 상기 캔틸레버 전극 상에 상기 제 2 방향으로 제 2 희생막, 트랩 사이트, 및 상부 워드 라인을 형성하는 단계; 상기 제 2 희생막, 상기 트랩 사이트, 및 상부 워드 라인의 측벽에 제 3 층간 절연막을 형성하는 단계; 상기 상부 워드 라인, 상기 트랩 사이트, 상기 제 2 희생막, 상기 캔틸레버 전극, 상기 제 1 희생막, 및 상기 하부 워드 라인의 중심을 상기 제 2 방향으로 제거하여 트렌치를 형성하는 단계; 상기 제 1 희생막 및 상기 제 2 희생막을 제거하여 공극을 형성하는 단계를 포함하는 멀티 비트 전기 기계적 메모리 소자의 제조방법이다.

효 과

[0014] 본 발명에 의하면, 캔틸레버 전극의 상부에서 소정의 전하량을 갖는 전하를 포획하는 제 1 트랩 사이트 및 제 2 트랩 사이트에 전하를 포획시켜 제 1 캔틸레버 전극 및 제 2 캔틸레버 전극의 굴곡된 상태를 유지시킬 수 있기 때문에 비휘발성 메모리 소자가 구현될 수 있는 효과가 있다.

[0015] 또한, 하부 워드 라인의 하부에서 캔틸레버 전극의 방향으로 상기 캔틸레버 전극과 전기적으로 연결되는 비트 라인을 형성하고, 상기 하부 워드 라인 상부에 형성되는 캔틸레버 전극의 노드를 분리하여 2비트의 정보가 입출력되는 멀티 비트 전기 기계적 메모리 소자를 구현할 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

[0016] 이하, 첨부된 도면을 참조하여 본 발명의 실시예에 따른 멀티 비트 전기 기계적 메모리 소자 및 그의 제조방법을 더욱 상세히 설명하기로 한다. 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 첨부된 도면에서 여러 막과 영역들의 두께는 명료성을 위해서 강조되었으며, 어떤 층이 다른 층이나 기판 '상'에 존재한다고 기술될 때 다른 층이나 기판과 직접 접하면서 존재할 수도 있고 그 사이에 제 3의 층이 존재할 수 있다.

[0017] 도 1은 본 발명의 실시예에 따른 멀티 비트 전기 기계적 메모리 소자를 나타내는 사시도이고, 도 2는 도 1의 I ~ I' 선상을 취하여 나타낸 단면도이다.

[0018] 도 1 및 도 2에 도시된 바와 같이, 소정의 평탄면을 갖는 기판(10) 상에 제 1 방향으로 복수개의 비트 라인(20)이 형성되어 있다. 예컨대, 상기 기판(10)은 가요성이 우수한 절연 기판 또는 반도체 기판을 포함하여 이루어진다. 또한, 상기 복수개의 비트 라인(20)은 도전성이 우수한 금, 은, 구리, 알루미늄, 텅스텐, 텅스텐 실리사이드, 티타늄, 질화 티타늄, 탄탈륨, 탄탈륨 실리사이드와 같은 도전성 금속 재질과, 도전성 불순물로 도핑된 결정 실리콘 또는 폴리 실리콘 재질 중 적어도 하나 이상을 포함하여 이루어진다. 상기 복수개의 비트 라인(20) 상에 제 1 층간 절연막(22)이 형성되어 있다. 예컨대, 상기 제 1 층간 절연막(22)은 상기 비트 라인(20)을 전기적으로 절연시키는 유전체로서, 실리콘 산화막 또는 실리콘 산질화막을 포함하여 이루어진다.

[0019] 상기 제 1 층간 절연막(22) 상에서 상기 제 2 방향으로 트렌치(100)에 의해 양측으로 분리되는 제 1 하부 워드 라인(30A) 및 제 2 하부 워드 라인(30B)과, 제 1 게이트 라인(32A) 및 제 2 게이트 라인(32B)이 대칭적으로 형성되어 있다. 여기서, 제 1 하부 워드 라인(30A) 및 제 2 하부 워드 라인(30B)과, 제 1 게이트 라인(32A) 및 제 2 게이트 라인(32B)은 상기 제 1 층간 절연막(22)에 의해 상기 기판(10) 및 상기 복수개의 비트 라인(20)으로부터 절연되어 있다. 따라서, 제 1 하부 워드 라인(30A) 및 제 2 하부 워드 라인(30B)과, 제 1 게이트 라인(32A) 및 제 2 게이트 라인(32B)은 상기 비트 라인(20)으로부터 자유롭게 전기적인 신호가 인가될

수 있다. 예컨대, 제 1 하부 워드 라인(30A) 및 제 2 하부 워드 라인(30B)과, 제 1 게이트 라인(32A) 및 제 2 게이트 라인(32B)은 상기 비트 라인(20)과 마찬가지로, 도전성이 우수한 금, 은, 구리, 알루미늄, 텅스텐, 텅스텐 실리사이드, 티타늄, 질화 티타늄, 탄탈륨, 탄탈륨 실리사이드와 같은 도전성 금속 재질로 이루어질 수 있다.

[0020] 또한, 제 1 하부 워드 라인(30A) 및 상기 제 1 게이트 라인(32A)과, 상기 제 2 하부 워드 라인(30B) 및 제 2 게이트 라인(32B) 각각은 제 2 층간 절연막(24)에 의해 서로 전기적으로 절연되어 있다. 마찬가지로, 제 2 층간 절연막(24)은 실리콘 산화막, 실리콘 질화막, 또는 실리콘 산질화막을 포함하여 이루어진다. 도시되지는 않았지만, 상기 제 2 층간 절연막(24)의 대신에 복수개의 스페이서가 형성될 수 있다.

[0021] 제 1 하부 워드 라인(30A) 및 제 2 하부 워드 라인(30B)에 대향되는 제 1 게이트 라인(32A) 및 제 2 게이트 라인(32B)의 인접 영역에는 콘택 전극(52)이 형성되어 있다. 여기서, 콘택 전극(52)은 제 2 층간 절연막(24) 이상의 높이로 돌출되도록 형성되어 있다. 또한, 상기 콘택 전극(52)은 상기 비트 라인(20)과 마찬가지로 도전성이 우수한 금, 은, 구리, 알루미늄, 텅스텐, 텅스텐 실리사이드, 티타늄, 질화 티타늄, 탄탈륨, 탄탈륨 실리사이드와 같은 도전성 금속 재질을 포함하여 이루어진다.

[0022] 상기 콘택 전극(52)은 제 1 캔틸레버 전극(50A) 및 제 2 캔틸레버 전극(50B)을 지지한다. 여기서, 제 1 캔틸레버 전극(50A) 및 제 2 캔틸레버 전극(50B)은 제 1 하부 공극(90A) 및 제 2 하부 공극(90B)을 아래에 두고 상기 콘택 전극(52)에 의해 대칭적으로 지지된다. 제 1 캔틸레버 전극(50A) 및 제 2 캔틸레버 전극(50B)은 제 1 게이트 라인(32A) 및 제 2 게이트 라인(32B)의 상부를 거쳐, 상기 제 1 하부 워드 라인(30A) 및 상기 제 2 하부 워드 라인(30B)의 상부까지 연장되도록 형성되어 있다.

[0023] 예컨대, 제 1 캔틸레버 전극(50A) 및 제 2 캔틸레버 전극(50B)은 제 1 방향(예를 들어, X축 방향)으로 형성되어 있다. 또한, 상기 제 1 캔틸레버 전극(50A) 및 제 2 캔틸레버 전극(50B)은 상기 제 1 하부 공극(90A) 및 상기 제 2 하부 공극(90B) 내에서 유도되는 전기장에서 기인되는 정전기력에 의해 제 1 하부 워드 라인(30A) 및 제 2 하부 워드 라인(30B)에 접촉되도록 굴곡될 수 있다.

[0024] 즉, 제 1 캔틸레버 전극(50A) 및 제 1 하부 워드 라인(30A)과, 제 2 캔틸레버 전극(50B) 및 제 2 하부 워드 라인(30B)에 각각 서로 다른 극성을 갖는 소정 전하량의 전하가 인가되면 인력에 대응되는 정전기력에 의해 상기 제 1 캔틸레버 전극(50A) 및 상기 제 2 캔틸레버 전극(50B)이 제 3 방향(예를 들어, Z축 방향)으로 굴곡될 수 있다. 마찬가지로, 제 1 캔틸레버 전극(50A) 및 제 2 캔틸레버 전극(50B)과, 제 1 게이트 라인(32A) 및 제 2 게이트 라인(32B)에 각각 소정 크기 이상의 전하량을 갖는 전하가 인가되면 제 1 캔틸레버 전극(50A) 및 제 2 캔틸레버 전극(50B)이 제 3의 방향으로 굴곡될 수 있다.

[0025] 따라서, 제 1 캔틸레버 전극(50A) 및 제 2 캔틸레버 전극(50B)은 제 1 하부 워드 라인(30A) 및 제 2 하부 워드 라인(30B) 상에서 상하로 굴곡될 수 있다. 예컨대, 상기 제 1 캔틸레버 전극(50A) 및 상기 제 2 캔틸레버 전극(50B)은 티타늄, 질화 티타늄, 또는 탄소 나노튜브 재질로 이루어진다. 상기 티타늄 및 상기 질화 티타늄은 상기 제 1 하부 공극(90A) 및 상기 제 2 하부 공극(90B)으로 공기중에 노출되더라도 쉽게 산화되지 않고, 일정 수준의 만곡을 갖도록 굴곡되더라도 변형되지 않고 소성 탄성 계수 이상의 탄성력을 갖는 도전성 금속물질이다. 또한, 상기 탄소 나노튜브는, 탄소원자 6개로 이루어진 육각형 모양이 서로 연결되어 관 모양을 이루고 있고, 상기 관의 지름이 수~수십 나노미터에 불과하여 탄소 나노튜브라고 일컬어진다. 또한, 상기 탄소 나노튜브는, 전기 전도도가 구리와 비슷하고, 열전도율은 자연계에서 가장 뛰어난 다이아몬드와 같으며, 강도는 철강보다 100배나 뛰어나고, 탄소 함유가 1%만 변형시켜도 끊어지는 반면 탄소 나노튜브는 15%가 변형되어도 견딜 수 있는 복원력을 갖는다.

[0026] 제 1 캔틸레버 전극(50A) 및 제 2 캔틸레버 전극(50B)으로부터 소정의 높이로 부양되는 제 1 트랩 사이트(80A) 및 제 2 트랩 사이트(80B)와, 제 1 상부 워드 라인(40A) 및 제 2 상부 워드 라인(40B)이 제 2 방향으로 형성되어 있다. 여기서, 제 1 트랩 사이트(80A) 및 제 2 트랩 사이트(80B)와, 제 1 상부 워드 라인(40A) 및 제 2 상부 워드 라인(40B)은 상기 제 1 캔틸레버 전극(50A) 및 제 2 캔틸레버 전극(50B)의 상부에서 제 1 상부 공극(92A) 및 제 2 상부 공극(92B)을 갖도록 형성되어 있다. 또한, 제 1 트랩 사이트(80A) 및 제 2 트랩 사이트(80B)와, 상기 제 1 상부 워드 라인(40A) 및 상기 제 2 상부 워드 라인(40B)은 트렌치(100)에 의해 각각 서로 분리되도록 형성되어 있다.

[0027] 제 1 트랩 사이트(80A) 및 제 2 트랩 사이트(80B)는 제 1 상부 워드 라인(40A) 및 제 2 상부 워드 라인(40B)을 통해 인가되는 소정 전하량 이상의 전하를 소정 박막의 내부로 터널링시켜 트랩되도록 하고, 외부에서 공급되는 전하가 없을 경우에도 트랩(trap)된 전하를 항시 구속(속박)시킬 수 있도록 형성된다. 예컨대, 제 1

트랩 사이트(80A) 및 제 2 트랩 사이트(80B)는 제 1 상부 공극(92A) 및 제 2 상부 공극(92B) 상에서 제 1 실리콘 산화막(82), 실리콘 질화막(84), 및 제 2 실리콘 산화막(86)이 적층된 'ONO(Oxide-Nitride-Oxide)' 구조를 갖는 박막을 포함하여 이루어진다. 또한, 제 1 상부 워드 라인(40A) 및 제 2 상부 워드 라인(40B)은 제 1 하부 워드 라인(30A) 및 제 2 하부 워드 라인(30B)과 마찬가지로 도전성이 우수한 금, 은, 구리, 알루미늄, 텅스텐, 텅스텐 실리사이드, 티타늄, 질화 티타늄, 탄탈륨, 탄탈륨 실리사이드와 같은 도전성 금속 재질로 이루어져 있다.

[0028] 한편, 제 1 상부 워드 라인(40A) 및 제 2 상부 워드 라인(40B)에 소정의 전하가 인가되면 제 1 트랩 사이트(80A) 및 제 2 트랩 사이트(80B)에 터널링되어 포획될 수 있다. 또한, 제 1 상부 워드 라인(40A) 및 제 2 상부 워드 라인(40B)에 인가된 전하와, 상기 제 1 트랩 사이트(80A) 및 상기 제 2 트랩 사이트(80B)에 포획된 전하에 의해 유도되는 전기장에 의해 상기 제 1 캔틸레버 전극(50A) 및 상기 제 2 캔틸레버 전극(50B)의 팁(tip)이 제 1 트랩 사이트(80A) 및 제 2 트랩 사이트(80B)에 접촉될 수 있도록 제 1 캔틸레버 전극(50A) 및 제 2 캔틸레버 전극(50B)이 상부로 굴곡된다.

[0029] 이후, 제 1 상부 워드 라인(40A) 및 제 2 상부 워드 라인(40B)과 제 1 캔틸레버 전극(50A) 및 제 2 캔틸레버 전극(50B)에 인가되는 전하가 제거되더라도 상기 제 1 캔틸레버 전극(50A) 및 상기 제 2 캔틸레버 전극(50B)이 굴곡된 상태가 그대로 유지되도록 할 수 있다. 제 1 트랩 사이트(80A) 및 제 2 트랩 사이트(80B)에 포획된 전하에 의해 유도되는 전기장에 의해 제 1 캔틸레버 전극(50A) 및 제 2 캔틸레버 전극(50B)의 팁(tip)이 상기 제 1 트랩 사이트(80A) 및 상기 제 2 트랩 사이트(80B)에 접촉된 상태가 지속되기 때문이다. 즉, 상기 제 1 캔틸레버 전극(50A) 및 상기 제 2 캔틸레버 전극(50B)의 팁(tip)에서 상기 제 1 트랩 사이트(80A) 및 상기 제 2 트랩 사이트(80B)에 포획된 전하에 반대는 극성을 갖는 전하가 집중적으로 유도되고, 정전기적인 인력이 작용하여 상기 제 1 캔틸레버 전극(50A) 및 상기 제 2 캔틸레버 전극(50B)이 굴곡된 상태를 유지시킬 수 있다.

[0030] 따라서, 본 발명의 실시예에 따른 멀티 비트 전기 기계적 메모리 소자는, 전하를 포획하는 제 1 트랩 사이트(80A) 및 제 2 트랩 사이트(80B)를 이용하여 제 1 캔틸레버 전극(50A) 및 제 2 캔틸레버 전극(50B)의 굴곡된 상태를 유지시킬 수 있기 때문에 비휘발성 메모리 소자가 구현될 수 있다.

[0031] 콘택 전극(52)의 상부에서 상기 제 1 트랩 사이트(80A) 및 상기 제 2 트랩 사이트(80B)와, 상기 제 1 상부 워드 라인(40A) 및 상기 제 2 상부 워드 라인(40B)을 지지하면서 절연시키는 제 3 층간 절연막(26)이 형성되어 있다. 예컨대, 상기 제 3 층간 절연막(26)은 상기 제 1 캔틸레버 전극(50A) 및 상기 제 2 캔틸레버 전극(50B)과, 상기 제 1 상부 워드 라인(40A) 및 상기 제 2 상부 워드 라인(40B)을 전기적으로 절연시키는 실리콘 산화막, 실리콘 질화막 또는 실리콘 산질화막을 포함하여 이루어진다.

[0032] 도시되지는 않았지만, 상기 제 1 하부 공극(90A) 및 상기 제 2 하부 공극(90B)과, 상기 제 1 상부 공극(92A) 및 상기 제 2 상부 공극(92B)은 상기 트렌치(100)에 의해 노출되는 제 1 회생막(도 10a의 60)과, 제 2 회생막(도 14a의 70)이 각각 제거되어 형성되는 공간이다. 또한, 상기 제 1 캔틸레버 전극(50A) 및 상기 제 2 캔틸레버 전극(50B) 각각의 팁(tip)이 상기 기판(10)으로부터 수직하는 제 3의 방향(예를 들어, Z축 방향)으로 이동되는 공간이 될 수 있다.

[0033] 따라서, 본 발명의 실시예에 따른 멀티 비트 전기 기계적 메모리 소자는 상기 트렌치(100)를 중심으로 각각 분리되어 형성되는 제 1 메모리 유닛(102A)과, 제 2 메모리 유닛(102B)으로 이루어지거나, 상기 콘택 전극(52)을 중심으로 양측으로 분리되어 형성되는 제 1 메모리 유닛(102A)과 제 2 메모리 유닛(102B)으로 이루어지는 단위 셀(104)을 갖는다. 이때, 제 1 방향(예를 들어, X축 방향)으로 서로 이웃하는 제 1 메모리 유닛(102A)과 제 2 메모리 유닛(102B)은 하나의 비트 라인(20)을 전기적으로 서로 공유한다. 제 2 방향(예를 들어, Y축 방향)으로 서로 이웃하는 단위 셀(104) 각각의 제 1 메모리 유닛(102A)과 제 2 메모리 유닛(102B)은 각각 제 1 하부 워드 라인(30A) 또는 제 2 하부 워드 라인(30B)을 전기적으로 공유하고, 제 1 상부 워드 라인(40A) 또는 제 2 상부 워드 라인(40B)을 전기적으로 공유할 수 있다.

[0034] 또한, 트렌치(100) 또는 콘택 전극(52)을 중심으로 양측에서 분리된 제 1 캔틸레버 전극(50A) 및 제 2 캔틸레버 전극(50B)이 각각 개별적으로 스위칭 동작되는 제 1 메모리 유닛(102A)과 제 2 메모리 유닛(102B)으로 구분되는 단위 셀(104)을 포함하여 이루어지기 때문에 하나의 단위 셀(104)당 2비트 이상의 데이터를 입출력토록 할 수 있다.

[0035] 상기 제 1 캔틸레버 전극(50A) 및 제 2 캔틸레버 전극(50B)을 스위칭시키기 위해 전기적인 신호가 인가되는 제 1 상부 워드 라인(40A) 및 제 2 상부 워드 라인(40B)이 종래의 폴리 실리콘 재질에 비해 저항이 낮은 도전성 금속 재질로 구성될 수 있음으로 전력소모를 줄일 수 있기 때문에 생산성을 증대 또는 극대화할 수 있다.

- [0036] 도 3은 도 4의 멀티 비트 전기 기계적 메모리 소자가 적층된 구조를 나타낸 단면도이다.
- [0037] 도 3에 도시된 바와 같이, 본 발명의 실시예에 따른 멀티 비트 전기 기계적 메모리 소자는 제 1 단위 셀(104A) 상단에 형성된 제 4 층간 절연막(110)을 중심으로 상기 제 1 단위 셀(104A)과 제 2 단위 셀(104B)이 적층된 구조를 갖도록 형성될 수 있다. 여기서, 제 1 단위 셀(104A) 및 제 2 단위 셀(104B)의 트렌치(100) 내부는 캔틸레버 전극(50)이 상하로 이동될 수 있도록 비어 있는 진공 상태를 갖거나, 질소 가스 또는 아르곤 가스와 같은 비 반응성 가스로 충만되어도 무방하다. 또한, 상기 제 4 층간 절연막(110)은 제 1 단위 셀(104A)과 제 2 단위 셀(104B)을 구분시키기 위해 상기 제 1 단위 셀(104A)의 상단을 덮도록 형성되어 있다. 이때, 제 4 층간 절연막(110)이 트렌치(100)를 통해 공극(94) 내부에 유입되지 않도록 형성되어 있어야만 한다. 예컨대, 제 4 층간 절연막(110)은 트렌치(100) 상단의 제 3 층간 절연막(26)의 상부에 형성된 폴리머 재질을 포함하여 이루어진다. 도시되지는 않았지만, 제 1 단위 셀(104A)의 비트 라인(20)과 제 2 단위 셀(104B)의 비트 라인(20)이 서로 다른 방향을 갖도록 형성되거나, 제 1 단위 셀(104A)의 트렌치(100)와, 제 2 단위 셀(104B)의 트렌치(100)가 서로 어긋나도록 형성될 수도 있다.
- [0038] 따라서, 본 발명의 실시예에 따른 멀티 비트 전기 기계적 메모리 소자는 기관(10) 상부에 형성되는 제 1 단위 셀(104A) 상의 제 4 층간 절연막(110) 상부에서 제 2 단위 셀(104B)이 적층되는 구조를 갖도록 형성될 수 있기 때문에 메모리 소자의 집적도를 증대 또는 극대화할 수 있다.
- [0039] 이와 같이 구성된 본 발명의 실시예에 따른 멀티 비트 전기 기계적 메모리 소자의 동작방법을 설명하면 다음과 같다. 여기서, 제 1 게이트 라인(32A) 및 제 2 게이트 라인(32B)과, 제 1 하부 워드 라인(30A) 및 제 2 하부 워드 라인(30B)과, 제 1 캔틸레버 전극(50A) 및 제 2 캔틸레버 전극(50B)과, 제 1 상부 워드 라인(40A) 및 제 2 상부 워드 라인(40B)은 각각 게이트 라인(32)과, 하부 워드 라인(30)과, 캔틸레버 전극(50)과, 상부 워드 라인(40)으로 설명될 수 있고, 그 부호 또한 혼용되어 사용될 수 있다. 또한, 제 1 하부 공극(90A), 제 2 하부 공극(90B)은 하부 공극(90)으로, 제 1 상부 공극(92A), 또는 제 2 상부 공극(92B)은 상부 공극(92)으로 설명되거나, 다시 하부 공극(90) 및 상부 공극(92)은 모두 공극(94) 설명되고 그 부호는 변경되어 설명된다.
- [0040] 본 발명의 실시예에 따른 멀티 비트 전기 기계적 메모리 소자는 캔틸레버 전극(50)의 위치에 따라 소정의 정보가 프로그램, 삭제, 기록, 및 독출될 수 있다. 예컨대, 공극(94) 내에 유도되는 전기장이 존재치 않을 경우, 캔틸레버 전극(50)이 콘택 전극(52)과 동일 또는 유사한 높이에서 수평 상태로 지지될 수 있다. 반면, 공극(94) 내에 소정 세기의 전기장이 유도될 경우, 상기 전기장에 의해 캔틸레버 전극(50)의 팁에서 소정 세기의 전하가 집중된다. 따라서, 상기 캔틸레버 전극(50)이 상기 기관(10)에 수직하는 제 3의 방향으로 굴곡될 수 있다. 이때, 상기 캔틸레버 전극(50)의 팁이 하부 워드 라인(30) 또는 트랩 사이트(80)에 접촉되거나 분리되는 스위칭동작에 의해 프로그램, 삭제, 기록, 및 독출동작이 이루어지도록 할 수 있다.
- [0041] 상기 비트 라인(20), 상기 하부 워드 라인(30), 및 상기 상부 워드 라인(40) 각각에 인가되는 전압차를 제어함에 따라 단위 셀(104)을 구성하는 제 1 메모리 유닛(102A) 및 제 2 메모리 유닛(102B) 각각의 프로그램, 삭제, 및 독출이 개별적으로 실행될 수 있다.
- [0042] 예컨대, 제 1 하부 워드 라인(30A) 및 제 1 상부 워드 라인(40A) 사이에 소정 크기 이상의 전압차가 발생되면 제 1 메모리 유닛(102A)에 "0" 또는 "1"에 대응되는 데이터가 프로그램된다. 마찬가지로, 제 2 하부 워드 라인(30B) 및 제 2 상부 워드 라인(40B) 사이에 소정 크기 이상의 전압차가 발생되면, 제 2 메모리 유닛(102B)에 "0" 또는 "1"에 대응되는 데이터가 프로그램된다. 제 1 메모리 유닛(102A) 및 제 2 메모리 유닛(102B)은 서로 동일하거나 반대되는 데이터가 프로그램될 수 있다.
- [0043] 따라서, 본 발명의 실시예에 따른 멀티 비트 전기 기계적 메모리 소자의 단위 셀(104)은 상기 제 1 메모리 유닛(102A)과, 상기 제 2 메모리 유닛(102B)에 "0" 또는 "1"에 대응되는 조합(combination)된 정보를 프로그램할 수 있다.
- [0044] 이때, 상기 제 1 메모리 유닛(102A) 및 상기 제 2 메모리 유닛(102B)은 하나의 비트 라인(20)을 전기적으로 공유하고 있기 때문에 각각의 상태의 프로그램 동작과 독출 동작이 동시에 수행될 수 없다. 또한, 상기 제 1 메모리 유닛(102A) 및 제 2 메모리 유닛(102B) 중 어느 하나는 주어진 시간에 전기적으로 비트 라인(20)을 점유해야만 한다.
- [0045] 따라서, 본 발명의 실시예에 따른 멀티 비트 전기 기계적 메모리 소자는 트렌치(100) 또는 콘택 전극(52)을 중심으로 양측에 대칭적으로 각각 서로 동일한 상태 또는 서로 다른 상태를 갖도록 프로그램되는 제 1 메모리 유닛(102A) 및 제 2 메모리 유닛(102B)으로 이루어진 단일 셀에 2비트의 데이터를 프로그램할 수 있다.

- [0046] 상술한 바와 같이, 캔틸레버 전극(50)은 상부 워드 라인(40) 및 트랩 사이트(80)에 인가되는 전하와 반대되는 극성을 갖는 전하가 인가되면 인력으로 작용되는 정전기력에 의해 상기 캔틸레버 전극(50)이 상기 트랩 사이트(80)에 접촉되도록 굴곡된다. 반면, 상기 상부 워드 라인(40) 및 상기 트랩 사이트(80)에 인가되는 전하와 동일한 극성을 갖는 전하가 인가되면 척력으로 작용되는 정전기력에 의해 상기 캔틸레버 전극(50)이 상기 트랩 사이트(80)에서 분리되도록 할 수 있다. 상기 캔틸레버 전극(50)은 상기 트랩 사이트(80)에 상기 접촉부(56)가 접촉되도록 굴곡될 경우, 소정 세기의 탄성력 또는 복원력을 극복해야만 한다. 상기 탄성력 또는 복원력은 일반적으로 이동거리에 비례하는 후크의 법칙(hook's law)에 의존하고, 정전기력은 이동 거리의 제곱에 비례하는 쿨롱의 힘에 따른다.
- [0047] 도 4a 내지 도 5b는 본 발명의 실시예에 따른 멀티 비트 전기 기계적 메모리 소자의 정보 기록 또는 정보 독출 동작을 설명하기 위해 나타낸 단면도들이다.
- [0048] "0"에 대응되는 정보를 프로그램 하고자 할 경우, 상부 워드 라인(40) 및 비트 라인(20)사이 소정의 제 1 전압(예를 들어, $V_{pull-in}$)을 인가하여 도 4a에서와 같이 캔틸레버 전극(50)의 팁을 트랩 사이트(80)에 접촉시킨다.
- [0049] 또한, "0"에 대응되는 정보를 독출하고자 할 경우도 마찬가지로 캔틸레버 전극(50)은 도 4b와 같이 트랩 사이트(80)에 접촉된 상태를 지속한다. 비트 라인(20)과 상부 워드 라인(40)간에 유도되는 제 2 전압과, 상기 비트 라인(20)과 상기 하부 워드 라인(30)간에 유도되는 제 3 전압을 비교하여 상기 제 2 전압이 크다면 "0"에 대응되는 정보가 독출될 수 있다. 왜냐하면, 상기 비트 라인(20)과 전기적으로 연결되는 캔틸레버 전극(50)과 상기 상부 워드 라인(40)간의 거리가 상기 캔틸레버 전극(50)과 상기 하부 워드 라인(30)간의 거리에 비해 작고, 전압의 크기는 거리의 역수에 비례하기 때문이다. "0"에 대응되는 정보의 독출 시에 게이트 라인(32)으로 인가되는 전압은 캔틸레버 전극(50)과 트랩 사이트(80)간의 인력을 극복하지 않을 정도의 크기를 갖는다.
- [0050] 반면, "1"에 대응되는 정보를 프로그램 하고자 할 경우, 하부 워드 라인(30) 및 비트 라인(20) 사이에 소정 세기의 제 4 전압(예를 들어, $V_{pull-out}$)을 인가하여 트랩 사이트(80)로부터 상기 캔틸레버 전극(50)의 팁이 분리되면서 도 5a와 같이 상기 캔틸레버 전극(50)이 수평상태를 갖도록 한다. 여기서, 상기 캔틸레버 전극(50)의 팁과 상기 트랩 사이트(80)가 이미 분리되어 있을 경우, 상기 제 4 전압이 인가되지 않아도 무방하다.
- [0051] 그리고, 비트 라인(20)과 상부 워드 라인(40)간에 유도되는 제 2 전압과 상기 비트 라인(20)과 하부 워드 라인(30)간에 유도되는 제 3 전압을 비교하여 상기 제 2 전압에 비해 상기 제 3 전압이 클 경우, "1"에 대응되는 정보를 독출할 수 있다. 제 3 전압이 일정 수준 이상일 경우, 캔틸레버 전극(50)은 하부 워드 라인(30)에 전기적으로 접촉되어 도 5b와 같이 나타날 수 있다. 따라서, 본 발명의 실시예에 따른 멀티 비트 전기 기계적 메모리 소자는 캔틸레버 전극(50)과 하부 워드 라인(30)이 접촉되면 전압 강하(drop)가 발생되고, "1"에 대응되는 정보를 독출할 수 있다.
- [0052] 비트 라인(20)과 하부 워드 라인(30)간에 유도되는 제 3 전압이 일정 크기 이상일 경우, 캔틸레버 전극(50)과 하부 워드 라인(30)이 접촉되는 부분에서 발생하는 발열에 의해 캔틸레버 전극(50)이 녹아 내려 단선될 수 있다. 따라서, 캔틸레버 전극(50)과 게이트 라인(32)사이 제 5 전압을 인가하여 상기 캔틸레버 전극(50)을 하부 워드 라인(30)의 방향으로 용이하게 굴곡시킴으로서, 제 3 전압의 크기를 줄일 수 있다. 제 5 전압을 증가시키면 제 3 전압을 줄일 수 있다. 또한, 상기 제 3 전압의 크기가 줄어들에 따라 그에 대응되는 전류가 줄어들 수도 있다.
- [0053] 따라서, 본 발명의 실시예에 따른 멀티 비트 전기 기계적 메모리 소자는 소정의 전압이 인가되어 캔틸레버 전극(50)을 하부 워드 라인(30)의 방향으로 굴곡시키는 게이트 라인(32)을 이용하여 상기 캔틸레버 전극(50)과 하부 워드 라인(30)의 접촉 시에 발생하는 전압 강하에 따른 발열을 최소화하고 소모 전력을 최소화할 수 있다. 이때, 게이트 라인(32)과 하부 워드 라인(30)에 인가되는 전하는 동일 극성을 갖는다.
- [0054] 이와 같이 구성된 본 발명의 실시예에 따른 멀티 비트 전기 기계적 메모리 소자의 제조방법을 설명하면 다음과 같다.
- [0055] 도 6a 내지 도 17b는 본 발명의 실시예에 따른 멀티 비트 전기 기계적 메모리 소자의 제조방법을 설명하기 위해 나타낸 공정 단면도들이다. 여기서, 도 6a 내지 도 17a의 공정 단면도는 도 1의 I ~ I' 선을 따라 절취되어 순차적으로 나타내어지고, 도 6b 내지 도 17b는 도 1의 II ~ II' 선을 따라 절취되어 순차적으로 나타내어진다.

- [0056] 도 6a 및 도 6b에 도시된 바와 같이, 먼저, 수평 상태의 기판(10) 상에 제 1 방향으로 소정 두께를 갖는 비트 라인(20)을 형성한다. 여기서, 상기 비트 라인(20)은 상기 기판(10)상에서 복수개가 상기 제 1 방향으로 평행하게 형성된다. 예컨대, 상기 비트 라인(20)은 물리기상증착방법, 화학기상증착방법으로 형성된 금, 은, 구리, 알루미늄, 텅스텐, 텅스텐 실리사이드, 티타늄, 질화 티타늄, 탄탈륨, 탄탈륨 실리사이드와 같은 도전성 금속막, 도전성 불순물이 도핑된 결정 실리콘막 또는 폴리 실리콘막을 포함하여 이루어진다. 도시되지는 않았지만, 상기 비트 라인(20)은 상기 기판(10)의 전면에 소정 두께를 갖도록 형성되는 상기 도전성 금속층, 또는 폴리 실리콘막 상에서 소정의 선폴을 갖도록 차폐시키는 포토레지스트 패턴 또는 제 1 하드 마스크막(도시되지 않음)을 식각 마스크막으로 이용하는 건식식각방법에 의해 비등방적으로 식각되어 형성될 수 있다. 예컨대, 상기 도전성 금속막 또는 폴리 실리콘막의 상기 건식식각방법에 사용되는 반응 가스는 불산, 불화황산, 황산, 또는 질산이 혼합된 강산 가스를 포함하여 이루어진다. 또한, 상기 비트 라인(20)은 약 200Å 정도의 두께와, 약 50Å 정도의 선폴을 갖도록 형성된다.
- [0057] 도 7a 및 7b에 도시된 바와 같이, 상기 비트 라인(20)이 형성된 기판(10)의 전면에 소정 두께의 제 1 층간 절연막(22)을 형성한다. 여기서, 상기 제 1 층간 절연막(22)은 상기 기판(10) 상에 형성된 상기 비트 라인(20)을 후속에서 형성되는 하부 워드 라인(30)을 전기적으로 절연시킬뿐만 아니라, 상기 하부 워드 라인(30)을 제 2 방향의 길이 방향으로 분리시키는 트렌치(100)의 형성공정에서 식각 정지막으로서의 기능을 수행할 수도 있다. 예컨대, 상기 제 1 층간 절연막(22)은 화학기상증착방법으로 약 200Å 내지 약 800Å 정도의 두께를 갖도록 형성된 실리콘 산화막 또는 실리콘 질화막을 포함하여 이루어진다.
- [0058] 도 8a 및 도 8b에 도시된 바와 같이, 상기 제 1 층간 절연막(22) 상에서 상기 비트 라인(20)과 교차되는 제 2 방향으로 소정의 선폴을 갖는 게이트 라인(32) 및 하부 워드 라인(30)을 형성한다. 여기서, 게이트 라인(32) 및 하부 워드 라인(30)은 상기 제 1 층간 절연막(22) 상에서 각각 소정의 두께를 갖고 서로 평행하게 형성된다. 예컨대, 게이트 라인(32) 및 하부 워드 라인(30)은 도전성이 우수한 물리기상증착방법 또는 화학기상증착방법으로 약 200Å 정도의 두께를 갖도록 형성된 금, 은, 구리, 알루미늄, 텅스텐, 텅스텐 실리사이드, 티타늄, 질화 티타늄, 탄탈륨, 탄탈륨 실리사이드와 같은 도전성 금속막을 포함하여 이루어진다. 게이트 라인(32) 및 하부 워드 라인(30)은 제 1 층간 절연막(22) 상에 형성되는 도전성 금속막을 선택적으로 차폐하는 제 2 하드 마스크막(도시하지 않음) 또는 포토레지스트 패턴을 식각 마스크로 사용하는 건식식각방법에 의해 형성될 수 있다.
- [0059] 도 9a 및 도 9b에 도시된 바와 같이, 게이트 라인(32) 및 하부 워드 라인(30)사이에서 제 2 층간 절연막(24)을 형성한다. 여기서, 제 2 층간 절연막(24)은 게이트 라인(32) 및 하부 워드 라인(30)이 형성된 기판(10) 상에 형성된 후, 제 2 하드 마스크막이 노출되도록 상기 제 2 층간 절연막(24)이 평탄하게 제거됨으로서 상기 게이트 라인(32) 및 상기 하부 워드 라인(30)사이에서 선택적으로 형성될 수 있다. 그 다음, 제 2 하드 마스크막이 습식식각방법 또는 건식식각방법에 의해 제거되면서 제 2 층간 절연막(24) 또한 게이트 라인(32) 및 하부 워드 라인(30)과 동일 또는 유사한 레벨로 제거된다. 따라서, 제 2 층간 절연막(24)은 게이트 라인(32) 및 하부 워드 라인(30)의 측면에 매립되어 서로를 전기적으로 절연시킬 수 있다.
- [0060] 도시되지는 않았지만, 게이트 라인(32) 및 하부 워드 라인(30)을 포함하는 기판(10)의 전면에 균일한 두께의 제 2 층간 절연막(24)을 형성하고, 상기 제 2 층간 절연막(24)을 비등방 식각하여 게이트 라인(32) 및 하부 워드 라인(30) 각각의 측면을 선택적으로 둘러싸는 스페이서(spacer)가 형성될 수도 있다.
- [0061] 반면, 제 2 층간 절연막(24)을 먼저 형성한 후에 게이트 라인(32) 및 하부 워드 라인(30)을 형성할 수도 있다. 예컨대, 제 1 층간 절연막(22) 상에 제 2 층간 절연막(24)을 형성하고, 상기 제 2 층간 절연막(24)을 선택적으로 제거하여 상기 제 1 층간 절연막(22)이 선택적으로 노출되는 그루브(groove)를 형성한다. 이후, 그루브를 매립하는 도전성 금속막을 형성하고, 제 2 층간 절연막(24)이 노출되도록 상기 도전성 금속막을 평탄하게 제거하여 게이트 라인(32) 및 하부 워드 라인(30)을 형성할 수 있다.
- [0062] 도 10a 및 도 10b에 도시된 바와 같이, 게이트 라인(32) 및 하부 워드 라인(30)과 제 2 층간 절연막(24)의 상부에 소정 두께의 제 1 희생막(60)을 형성한다. 여기서, 제 1 희생막(60)은 원자층증착방법 또는 화학기상증착방법으로 형성된 폴리 실리콘재질로 이루어지며, 약 50Å 내지 약 150Å 정도의 두께를 갖도록 형성된다.
- [0063] 도 11a 및 도 11b에 도시된 바와 같이, 복수개의 게이트 라인(32)사이의 제 1 희생막(60), 제 2 층간 절연막(24), 및 제 1 층간 절연막(22)을 제거하여 비트 라인(20)을 선택적으로 노출시키는 콘택홀(54)을 형성한다. 여기서, 콘택홀(54)은 제 1 희생막(60)의 상부를 덮고 복수개의 게이트 라인(32) 사이의 제 2 층간 절연막(24)과 교차되는 비트 라인(20) 상부의 상기 제 1 희생막(60)을 노출시키는 포토레지스트 패턴을 식각 마스크

막으로 사용한 건식식각방법으로 형성될 수 있다.

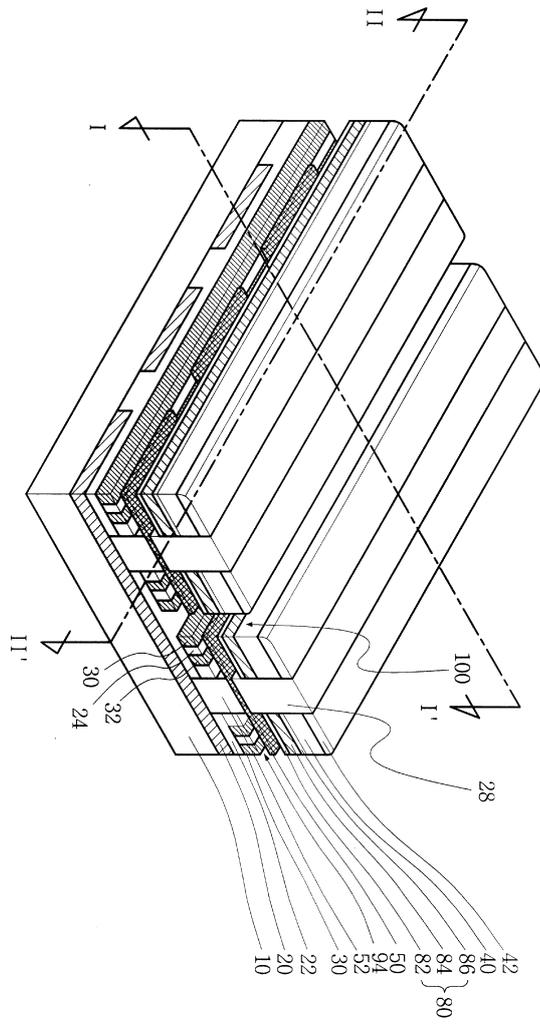
- [0064] 도 12a 및 도 12b에 도시된 바와 같이, 상기 콘택홀(54) 내부에 매립되는 콘택 전극(52)을 형성한다. 여기서, 상기 콘택 전극(52)은 상기 콘택홀(54)을 통해 노출되는 상기 비트 라인(20)과 전기적으로 연결되도록 형성된다. 도시되지는 않았지만, 상기 비트 라인(20)과 상기 콘택 전극(52) 사이에 오믹 접촉을 만들기 위한 적어도 하나이상의 티타늄 또는 티타늄질화막과 같은 도전층이 더 추가적으로 형성될 수도 있다. 예컨대, 콘택 전극(52)은 물리기상증착방법 또는 화학기상증착방법으로 소정 두께의 콘택홀(54)을 매립시키는 도전성 금속막을 형성하고, 제 1 희생막(60)이 노출되도록 상기 도전성 금속막을 평탄하게 제거하여 형성될 수 있다. 상기 콘택 전극(52)을 형성하기 전에 상기 콘택홀(54)을 통해 노출되는 상기 비트 라인(20)의 표면에 형성된 자연 산화막을 제거하는 산화막 제거 공정 또는 식각 공정이 추가적으로 수행될 수도 있다.
- [0065] 도 13a 및 도 13b에 도시된 바와 같이, 상기 콘택 전극(52)의 상부에서 게이트 라인(32) 및 하부 워드 라인(30)의 상부를 제 1 방향으로 소정 선평폭의 캔틸레버 전극(50)을 형성한다. 여기서, 상기 캔틸레버 전극(50)은 상기 콘택 전극(52), 비트 라인(20)과 동일 또는 유사한 선평폭을 가질 수 있으며, 상기 비트 라인(20)에 전기적으로 연결되기 때문에 상부 비트 라인이라 칭하여 질 수 있다. 이때, 상기 상부 비트 라인은 후속의 트렌치(100)에 의해 노드가 분리되는 캔틸레버 전극(50)으로 형성될 수 있다. 예컨대, 상기 캔틸레버 전극(50)은 물리기상증착방법, 화학기상증착방법, 또는 전기방전방법에 의해 약 30Å 내지 약 50Å 정도의 두께를 갖도록 형성되는 티타늄, 질화 티타늄, 또는 탄소 나노튜브를 포함하여 이루어진다. 이때, 상기 캔틸레버 전극(50)은 상기 비트 라인(20)의 상부에 형성된 상기 티타늄, 질화 티타늄, 또는 탄소 나노튜브를 차폐하는 포토레지스트 패턴 또는 제 3 하드 마스크막(도시하지 않음)을 식각 마스크로 사용한 건식식각방법으로 패터닝되어 형성될 수 있다. 이때, 상기 제 3 하드 마스크막은 상기 캔틸레버 전극(50)의 패터닝 시 제거된다.
- [0066] 따라서, 본 발명의 실시예에 따른 멀티 비트 전기 기계적 메모리 소자의 제조방법은 제 1 층간 절연막(22)에 의해 서로 절연되는 비트 라인(20)과 하부 워드 라인(30)의 상부에서 상기 비트 라인(20)과 전기적으로 연결되는 캔틸레버 전극(50)을 형성토록 할 수 있기 때문에 메모리 소자의 집적도를 증대 또는 극대화할 수 있다.
- [0067] 도 14a 및 도 14b에 도시된 바와 같이, 캔틸레버 전극(50) 상에 게이트 라인(32) 및 하부 워드 라인(30)과 평행한 제 2 방향으로 제 2 희생막(70), 트랩 사이트(80), 및 상부 워드 라인(40)을 형성한다. 여기서, 상기 제 2 희생막(70), 트랩 사이트(80), 및 상부 워드 라인(40)은 캔틸레버 전극(50)을 사이에 두고 상기 제 1 희생막(60), 및 상기 하부 워드 라인(30)에 대칭적으로 형성된다. 예컨대, 제 2 희생막(70)은 상기 제 1 희생막(60)과 마찬가지로 원자층증착방법 또는 화학기상증착방법으로 형성된 폴리 실리콘재질로 이루어지며, 약 50 Å 내지 약 150Å 정도의 두께를 갖도록 형성된다. 또한, 상기 트랩 사이트(80)는 화학기상증착방법으로 각각 100Å, 200Å, 및 100Å 정도의 두께를 갖도록 형성된 제 1 실리콘 산화막(82), 실리콘 질화막(84), 및 제 2 실리콘 산화막(86)을 포함하여 이루어진다. 그리고, 상기 상부 워드 라인(40)은 약 200Å 정도의 두께를 갖도록 형성된다. 그리고, 상기 제 2 희생막(70) 및 상기 상부 워드 라인(40)은 각각 약 50Å 내지 약 200Å 정도의 선평폭을 갖도록 형성된다. 이때, 상기 제 2 희생막(70), 상기 트랩 사이트(80), 및 상부 워드 라인(40)은 다음과 같이 형성될 수 있다. 먼저, 캔틸레버 전극(50)이 형성된 기관(10)의 전면에 화학기상증착방법으로 소정의 두께를 갖는 폴리 실리콘막과, 제 1 실리콘 산화막(82), 실리콘 질화막(84), 및 제 2 실리콘 산화막(86)과, 도전성 금속막, 및 제 4 하드 마스크막(42)을 순차적으로 적층시킨다. 다음, 게이트 라인(32), 하부 워드 라인(30) 상부의 상기 제 4 하드 마스크막(42)을 차폐하는 포토레지스트 패턴을 형성하고, 상기 포토레지스트 패턴을 식각 마스크로 사용하는 건식식각방법 또는 습식식각방법으로 상기 제 4 하드 마스크막(42)을 제거한 후, 상기 포토레지스트 패턴을 에싱공정으로 제거한다. 마지막으로, 제 4 하드 마스크막(42)을 식각 마스크로 사용되는 건식식각방법 또는 습식식각방법으로 상기 도전성 금속막, 제 2 실리콘 산화막(86), 실리콘 질화막(84), 제 1 실리콘 산화막(82), 및 폴리 실리콘막을 순차적으로 비등방성 식각시켜 상부 워드 라인(40), 트랩 사이트(80), 및 제 2 희생막(70)을 형성할 수 있다. 이때, 제 2 희생막(70), 트랩 사이트(80), 및 상부 워드 라인(40)의 패터닝 시에 콘택 전극(52) 상부의 캔틸레버 전극(50)을 노출시킬 수 있다.
- [0068] 따라서, 본 발명의 실시예에 따른 멀티 비트 전기 기계적 메모리 소자의 제조방법은, 상기 캔틸레버 전극(50)의 상부에서 제 2 희생막(70), 트랩 사이트(80), 및 상부 워드 라인(40)을 적층된 구조를 갖도록 형성하여 메모리 소자의 집적도를 증대 또는 극대화할 수 있다.
- [0069] 또한, 적층되는 스택 구조의 트랩 사이트(80) 및 상부 워드 라인(40)의 하부에 후속에서 제 2 희생막(70)이 제거된 공극(94)이 형성되면, 상기 공극(94) 내에서 전기적으로 스위칭되도록 형성되는 캔틸레버 전극(50)의 길이가 줄어들도록 하여 미세 구조의 상기 캔틸레버 전극(50)을 용이하게 형성토록 할 수 있기 때문에 생산수

율을 증대 또는 극대화할 수 있다.

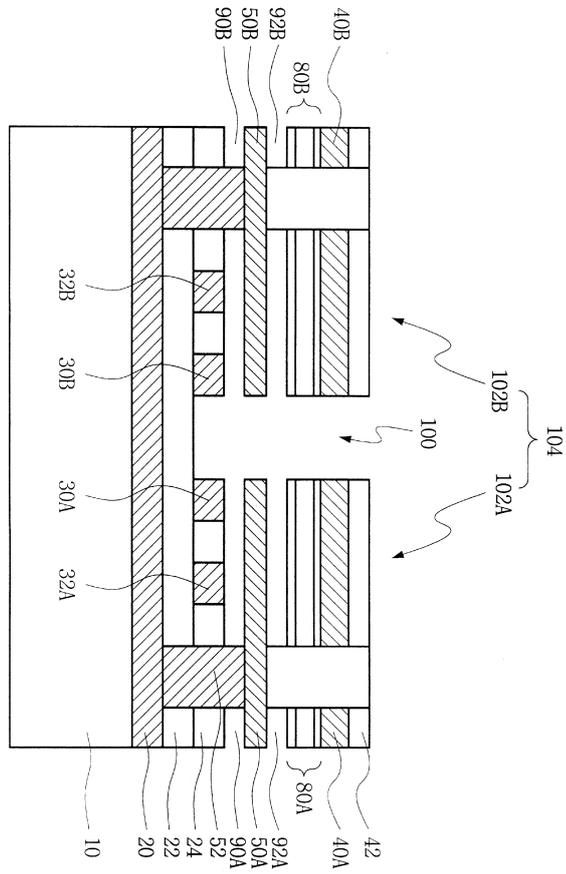
- [0070] 도 15a 및 도 15b에 도시된 바와 같이, 상기 콘택 전극(52) 상부의 캔틸레버 전극(50), 제 4 하드 마스크막(42), 및 제 2 층간 절연막(24) 상에 소정 두께의 제 3 층간 절연막(26)을 형성하고, 상기 제 4 하드 마스크막(42)이 노출되도록 상기 제 3 층간 절연막(26)을 평탄화한다. 여기서, 제 3 층간 절연막(26)은 제 2 희생막(70), 트랩 사이트(80), 및 상부 워드 라인(40)과 동일 또는 유사한 두께를 갖거나 그 이상으로 형성된다. 따라서, 제 3 층간 절연막(26)은 후속에서 제 2 희생막(70)이 제거되면 트랩 사이트(80) 및 상부 워드 라인(40)의 측면을 지지하여 캔틸레버 전극(50)으로부터 트랩 사이트(80) 및 상부 워드 라인(40)을 부양시키도록 할 수 있다. 예컨대, 제 3 층간 절연막(26)은 플라즈마 화학기상증착방법으로 형성된 실리콘 산화막을 포함하여 이루어진다. 또한, 제 3 층간 절연막(26)은 화학적 기계적 연마방법에 의해 평탄화될 수 있다. 이때, 상부 워드 라인(40)을 식각 정지막으로 사용하여 제 3 층간 절연막(26)을 평탄화할 경우, 도전성 금속막으로 이루어진 상부 워드 라인(40)이 손상될 수 있기 때문에 제 4 하드 마스크막(42)을 식각 정지막으로 사용하여야만 한다. 제 4 하드 마스크막(42)이 과도하게 제거되었을 경우, 제 4 하드 마스크막(42) 상에 실리콘 산화막 또는 실리콘 질화막을 증착시켜 제 4 하드 마스크막(42)의 두께를 증가시킬 수도 있다.
- [0071] 도 16a 및 도 16b에 도시된 바와 같이, 상부 워드 라인(40), 트랩 사이트(80), 제 2 희생막(70), 상기 캔틸레버 전극(50), 제 1 희생막(60), 및 하부 워드 라인(30)을 각각 제 1 방향에 대하여 대칭적으로 만드는 트렌치(100)를 형성한다. 여기서, 트렌치(100)는 복수개의 콘택 전극(52)사의 중심에서 제 1 층간 절연막(22)이 제 1 방향으로 노출되도록 형성될 수 있다. 예컨대, 트렌치(100)는 다음과 같이 형성될 수 있다. 먼저, 상부 워드 라인(40) 상부의 제 4 하드 마스크막(42)의 중심을 제 2 방향으로 노출시키는 포토레지스트 패턴을 식각 마스크로 사용하는 건식식각방법으로 상기 제 4 하드 마스크막(42)을 제거하고 상기 포토레지스트 패턴을 제거한다. 이후, 제 4 하드 마스크막(42)을 식각 마스크로 사용하는 건식식각방법으로 상부 워드 라인(40), 트랩 사이트(80), 제 2 희생막(70), 캔틸레버 전극(50), 제 1 희생막(60), 및 하부 워드 라인(30)을 순차적으로 제거하여 상기 제 1 층간 절연막(22)이 노출되는 트렌치(100)를 형성한다.
- [0072] 여기서, 트렌치(100)는 캔틸레버 전극(50)의 노드를 분리시킬 뿐만 아니라, 제 1 희생막(60) 및 제 2 희생막(70)을 용이하게 제거할 수 있도록 형성된다. 예컨대, 상기 건식식각방법에 사용되는 반응 가스는 CxFy계 가스나 CaHbFc계 등과 같은 불화 탄소계 가스를 사용할 수 있다. 상기 불화 탄소계 가스는, CF₄, CHF₃, C₂F₆, C₄F₈, CH₂F₂, CH₃F, CH₄, C₂H₂, C₄F₆ 등과 같은 가스 또는 이들의 혼합 가스들로 이루어진다. 따라서, 트렌치(100)는 상부 워드 라인(40), 제 2 희생막(70), 캔틸레버 전극(50), 제 1 희생막(60) 및 하부 워드 라인(30)을 제 1 방향에 대하여 서로 대칭적으로 분리시키기 위해 소정의 선폭을 갖고, 후속에서 상기 트랩 사이트(80) 하부의 상기 제 1 희생막(60) 및 상기 제 2 희생막(70)을 등방적으로 제거시키기 위한 식각 용액 또는 반응 가스가 용이하게 유입되도록 할 수 있다. 이때, 상기 트렌치(100)는 약 30Å 내지 800Å 정도의 선폭을 갖도록 형성된다.
- [0073] 도 17a 및 도 17b에 도시된 바와 같이, 트렌치(100)에 의해 노출되는 제 1 희생막(60), 제 2 희생막(70)을 제거하여 하부 워드 라인(30)과 상부 워드 라인(40) 사이에서 캔틸레버 전극(50)이 부양되는 소정의 공극(94)을 형성한다. 예컨대, 제 1 희생막(60), 제 2 희생막(70)은 습식식각방법 또는 건식식각방법에 의해 상기 트렌치(100)의 측면에서 노출된 면에서부터 측면으로 등방성 식각되어 제거될 수 있다.
- [0074] 폴리 실리콘 재질로 이루어진 제 1 희생막(60), 제 2 희생막(70)의 습식식각방법에 사용되는 식각 용액은 상기 질산, 불산, 및 초산과 같은 강산에 탈이온수가 소정의 농도로 혼합된 혼합 용액으로 이루어진다. 또한, 제 1 희생막(60) 및 제 2 희생막(70)의 건식식각방법에 사용되는 반응 가스는 CF₄, CHF₃, 등과 같은 불화 탄소계 가스를 사용할 수 있다. 습식식각방법 또는 건식식각방법에서 사용되는 식각 용액 또는 식각 가스는 트렌치(100)의 측면에서 노출되는 제 1 희생막(60), 제 2 희생막(70)을 수평방향으로 제거시키면서 상부 워드 라인(40)과 하부 워드 라인(30) 사이에 상기 공극(94)을 형성토록 할 수 있다.
- [0075] 공극(94)은 캔틸레버 전극(50)이 굴곡되면서 스위칭되는 거리를 정의하는 것으로서, 트랩 사이트(80)와 하부 워드 라인(30)사이의 공간으로 정의될 수 있다. 이때, 트랩 사이트(80)는 공극(94)의 형성 시에 트렌치(100) 내부로 유동되면서 식각 용액 또는 식각 가스에 의해 상부 워드 라인(40)이 손상되거나, 공극(94)의 하부로 함몰되는 것을 방지토록 할 수 있다.
- [0076] 따라서, 본 발명의 실시예에 따른 멀티 비트 전기 기계적 메모리 소자의 제조방법은, 트렌치(100)에 의해 노출되는 제 1 희생막(60), 제 2 희생막(70)을 제거하여 트랩 사이트(80)와 하부 워드 라인(30) 사이의 공극(94) 내에서 캔틸레버 전극(50)이 굴곡되면서 전기적으로 스위칭 동작되도록 할 수 있다.

도면

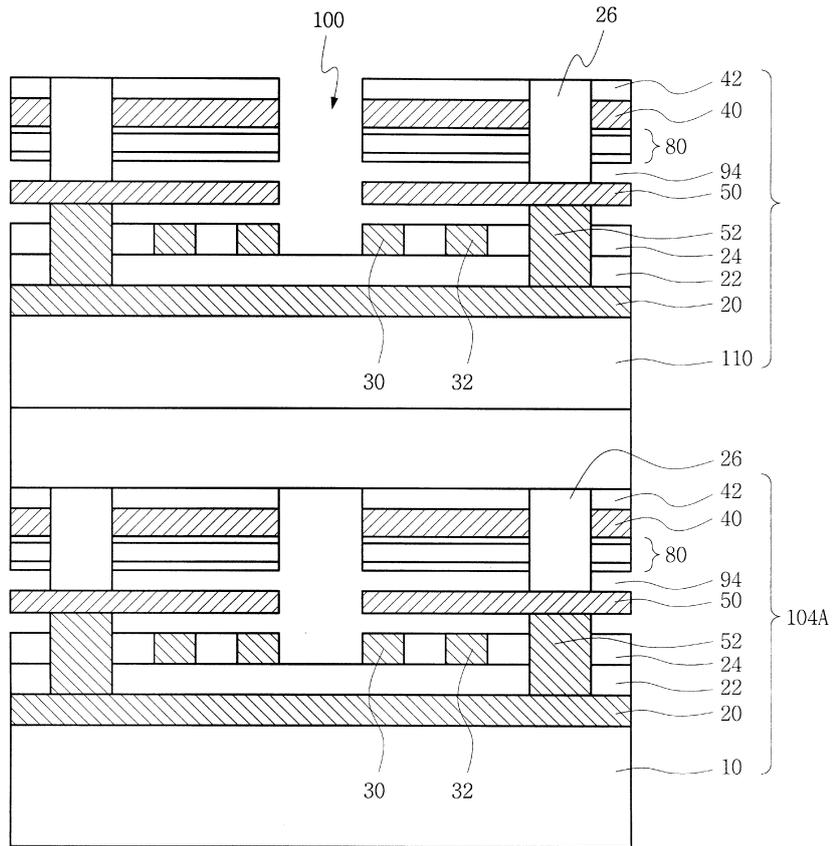
도면1



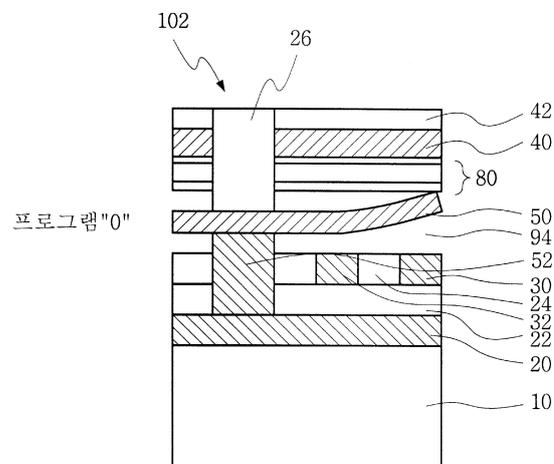
도면2



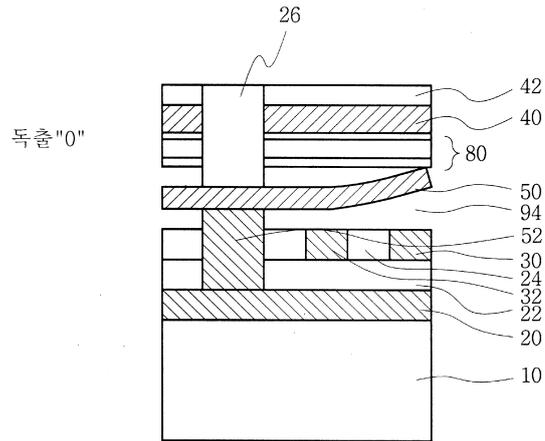
도면3



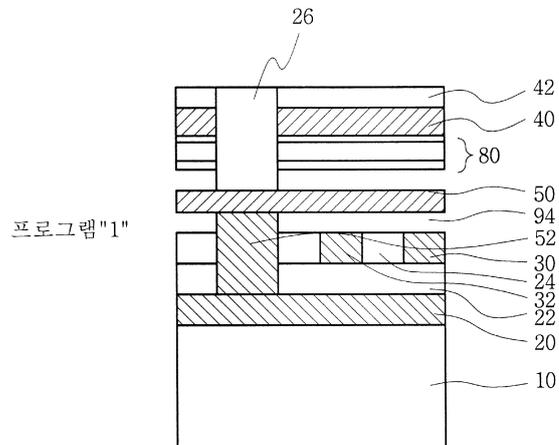
도면4a



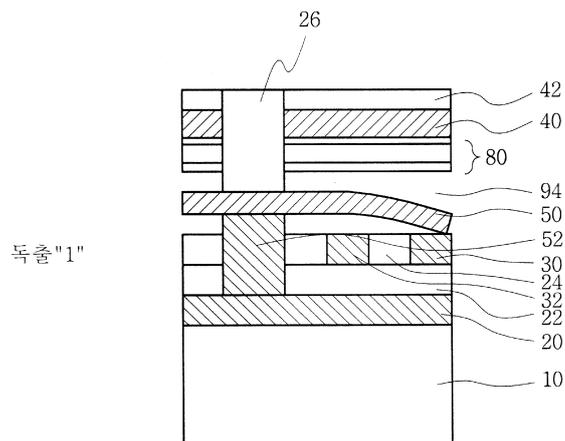
도면4b



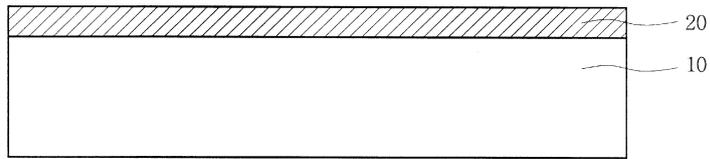
도면5a



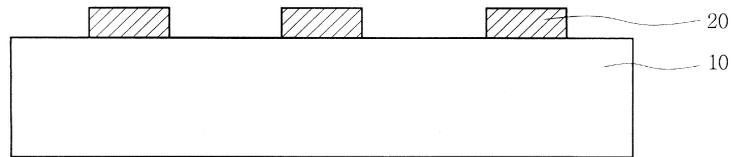
도면5b



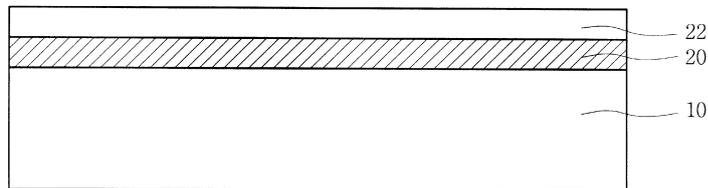
도면6a



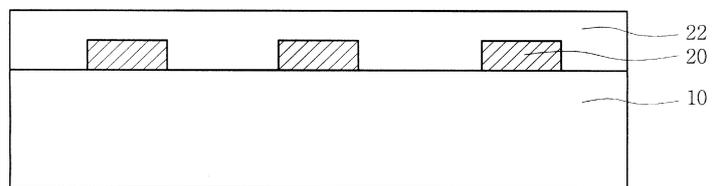
도면6b



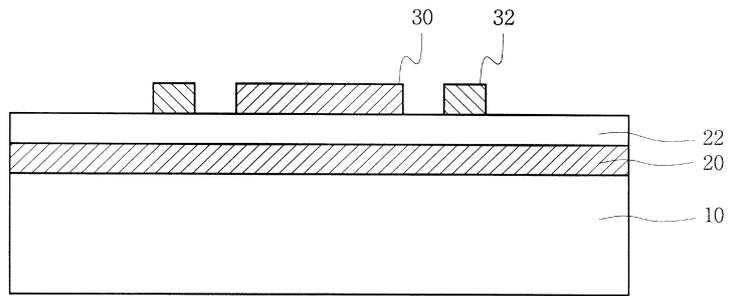
도면7a



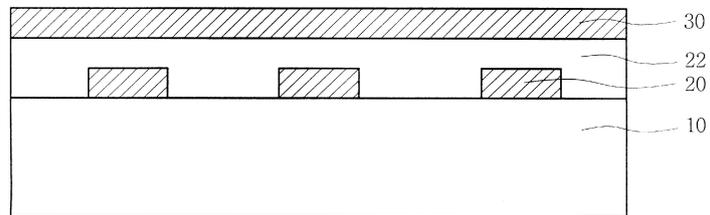
도면7b



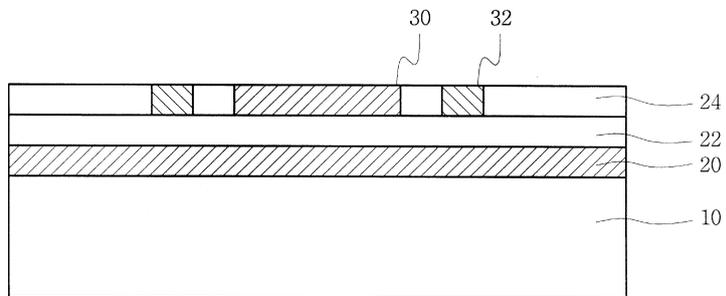
도면8a



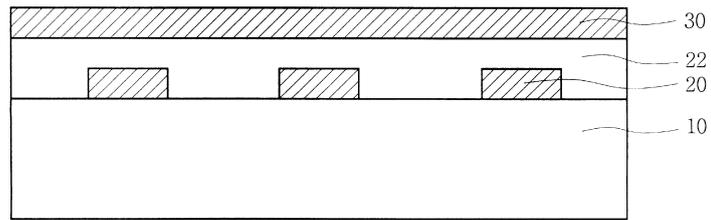
도면8b



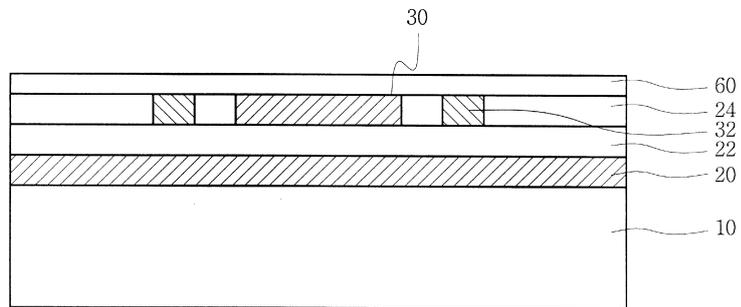
도면9a



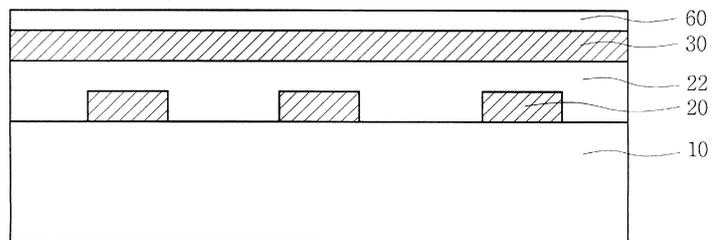
도면9b



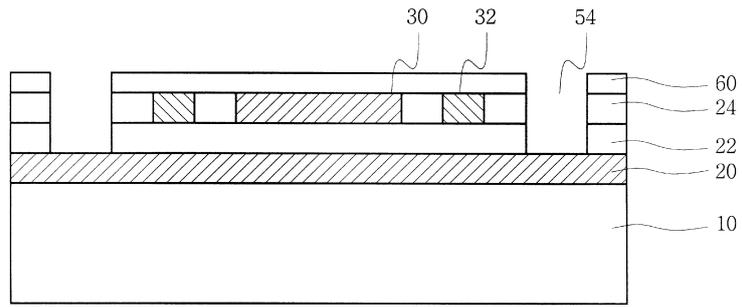
도면10a



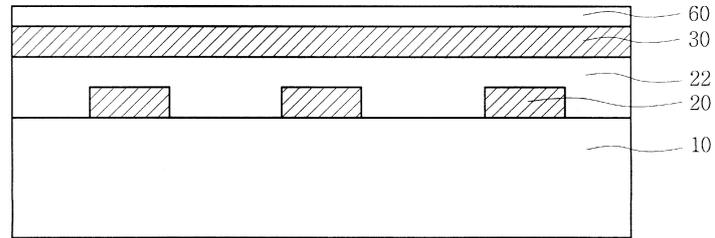
도면10b



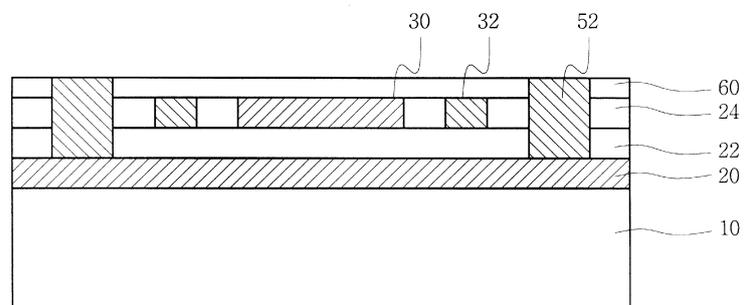
도면11a



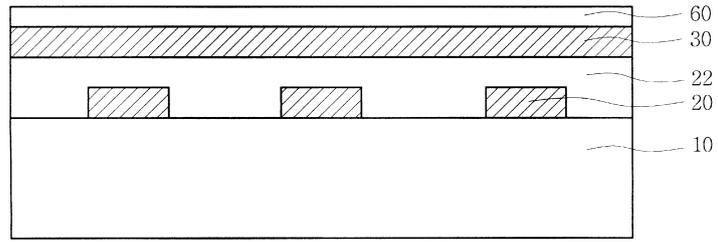
도면11b



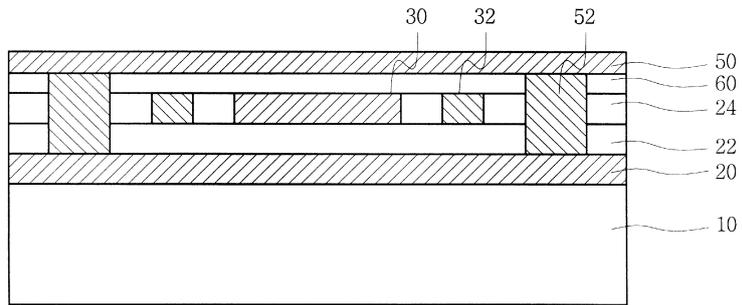
도면12a



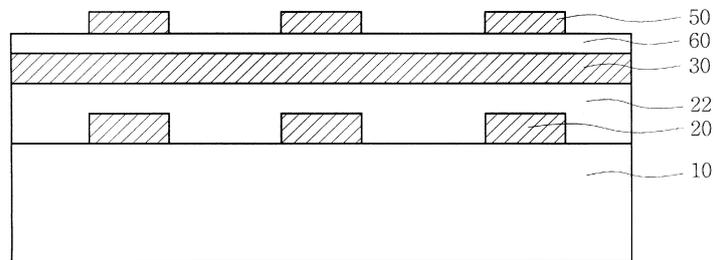
도면12b



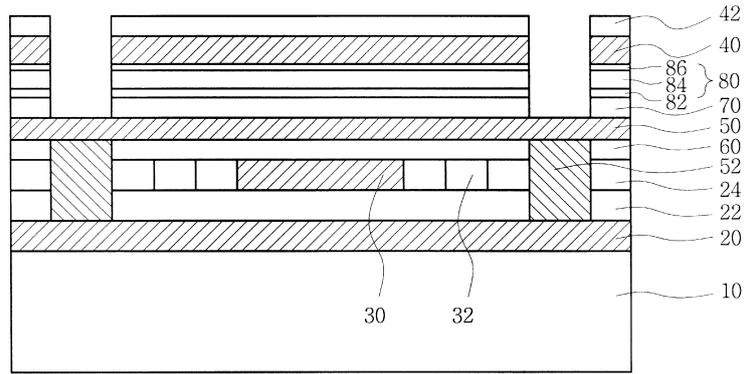
도면13a



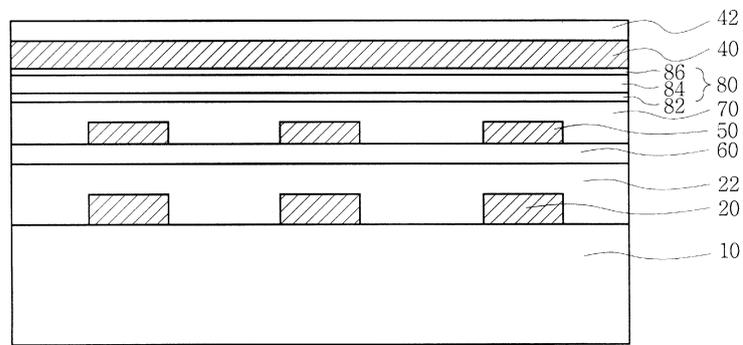
도면13b



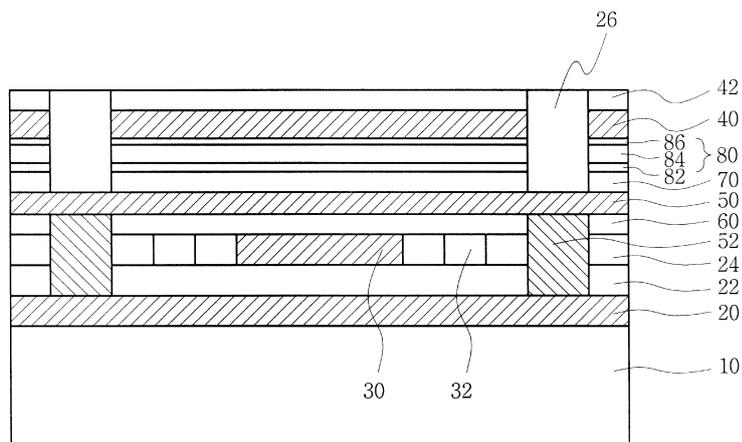
도면14a



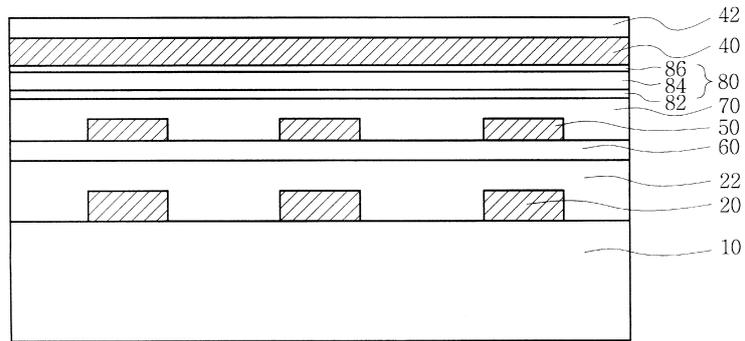
도면14b



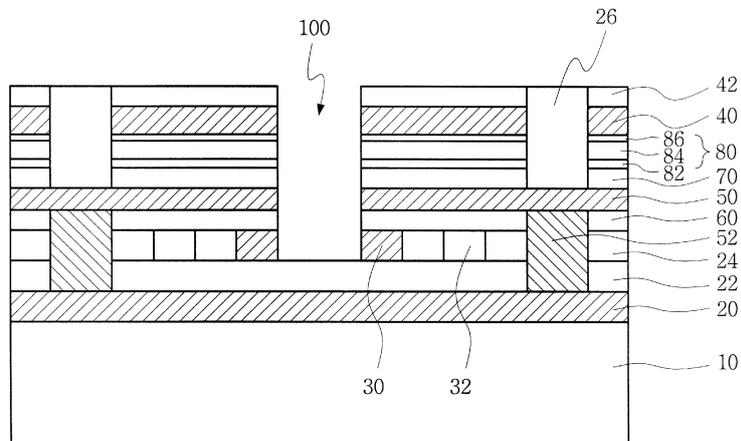
도면15a



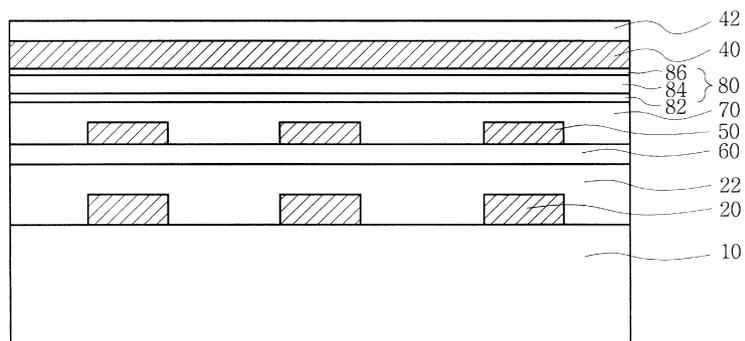
도면15b



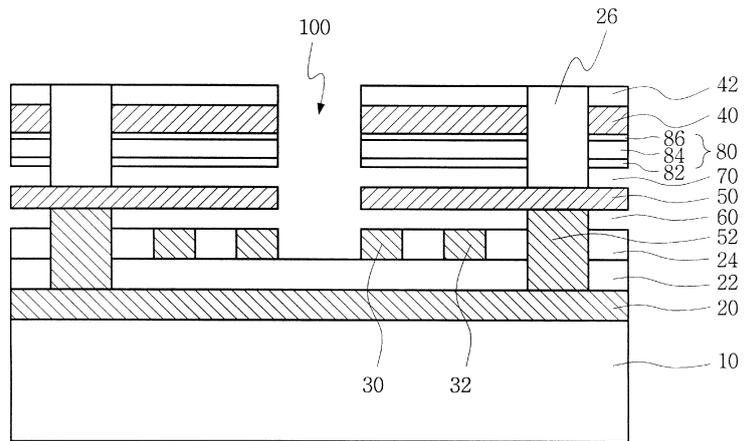
도면16a



도면16b



도면17a



도면17b

