



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I799185 B

(45)公告日：中華民國 112 (2023) 年 04 月 11 日

(21)申請案號：111109203 (22)申請日：中華民國 111 (2022) 年 03 月 14 日
(51)Int. Cl. : H01L21/76 (2006.01) H01L21/306 (2006.01)
(30)優先權：2021/06/25 美國 17/359,105
(71)申請人：台灣積體電路製造股份有限公司(中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY, LTD. (TW)
新竹市力行六路八號
(72)發明人：張壬泓 CHANG, JEN-HONG (TW)；柳依秀 LIU, YI-HSIU (TW)；林宥霆 LIN,
YOU-TING (TW)；張志仲 CHANG, CHIH-CHUNG (TW)；趙高毅 CHAO, KUO-
YI (TW)；郭俊銘 KUO, JIUN-MING (TW)；彭遠清 PENG, YUAN-CHING (TW)；
林頌恩 LIN, SUNG-EN (TW)；柯忠廷 KO, CHUNG-TING (TW)；趙家崢 CHAO,
CHIA-CHENG (TW)
(74)代理人：洪澄文
(56)參考文獻：
US 10074575B1
審查人員：林士淵
申請專利範圍項數：10 項 圖式數：18 共 46 頁

(54)名稱

半導體結構與其形成方法

(57)摘要

提供半導體結構與其形成方法。方法包括形成多個磊晶層的堆疊於基板上；自堆疊形成第一鰭狀結構與第二鰭狀結構；形成隔離結構於第一鰭狀結構與第二鰭狀結構之間；形成覆層於第一鰭狀結構與第二鰭狀結構上；順應性沉積第一介電層於覆層上；沉積第二介電層於第一介電層上；平坦化第一介電層與第二介電層，直到露出覆層；進行蝕刻製程，以蝕刻第二介電層而形成蓋凹陷；進行修整製程，以修整第一介電層而加寬蓋凹陷；以及沉積蓋結構於加寬的蓋凹陷中。

Semiconductor structures and methods of forming the same are provided. A method according to the present disclosure includes forming a stack of epitaxial layers over a substrate, forming a first fin-like structure and a second fin-like structure from the stack, forming an isolation feature between the first fin-like structure and the second fin-like structure, forming a cladding layer over the first fin-like structure and the second fin-like structure, conformally depositing a first dielectric layer over the cladding layer, depositing a second dielectric layer over the first dielectric layer, planarizing the first dielectric layer and the second dielectric layer until the cladding layer are exposed, performing an etch process to etch the second dielectric layer to form a helmet recess, performing a trimming process to trim the first dielectric layer to widen the helmet recess, and depositing a helmet feature in the widened helmet recess.

指定代表圖：

符號簡單說明：

100:方法

102,104,106,108,110,1

12,114,116,118,120,12

2,124,126,128,130:步

驟

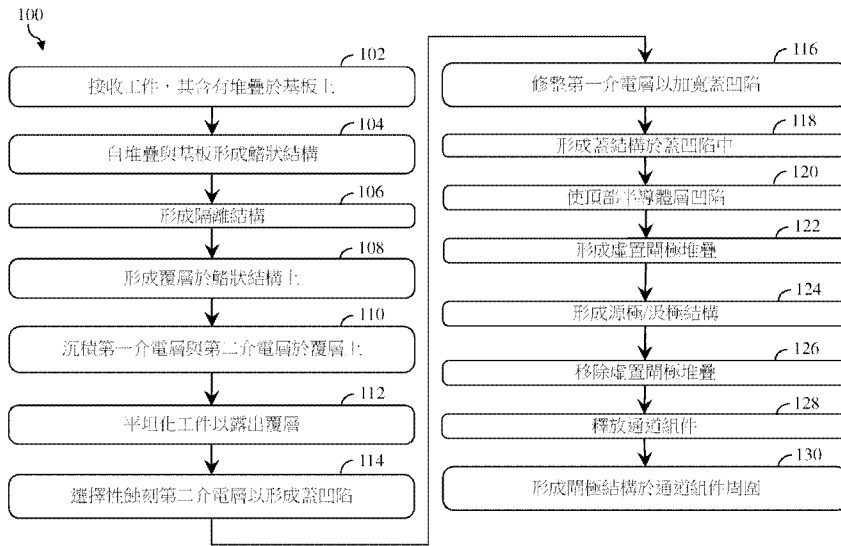


圖 1



I799185

【發明摘要】

【中文發明名稱】半導體結構與其形成方法

【英文發明名稱】SEMICONDUCTOR STRUCTURE AND METHOD OF

FORMING THE SAME

【中文】

提供半導體結構與其形成方法。方法包括形成多個磊晶層的堆疊於基板上；自堆疊形成第一鰭狀結構與第二鰭狀結構；形成隔離結構於第一鰭狀結構與第二鰭狀結構之間；形成覆層於第一鰭狀結構與第二鰭狀結構上；順應性沉積第一介電層於覆層上；沉積第二介電層於第一介電層上；平坦化第一介電層與第二介電層，直到露出覆層；進行蝕刻製程，以蝕刻第二介電層而形成蓋凹陷；進行修整製程，以修整第一介電層而加寬蓋凹陷；以及沉積蓋結構於加寬的蓋凹陷中。

【英文】

Semiconductor structures and methods of forming the same are provided. A method according to the present disclosure includes forming a stack of epitaxial layers over a substrate, forming a first fin-like structure and a second fin-like structure from the stack, forming an isolation feature between the first fin-like structure and the second fin-like structure, forming a cladding layer over the first fin-like structure and the second fin-like structure, conformally depositing a first dielectric layer over the cladding layer, depositing a second dielectric layer over the first dielectric layer, planarizing the first dielectric layer and the second dielectric layer until the cladding

layer are exposed, performing an etch process to etch the second dielectric layer to form a helmet recess, performing a trimming process to trim the first dielectric layer to widen the helmet recess, and depositing a helmet feature in the widened helmet recess.

【指定代表圖】 圖1

【代表圖之符號簡單說明】

100:方法

102,104,106,108,110,112,114,116,118,120,122,124,126, 128,130:步驟

【特徵化學式】無。

【發明說明書】

【中文發明名稱】半導體結構與其形成方法

【英文發明名稱】 SEMICONDUCTOR STRUCTURE AND METHOD OF FORMING THE SAME

【技術領域】

【0001】 本發明實施例一般關於介電隔離結構，更特別關於相鄰的源極/汲極結構之間的介電隔離結構。

【先前技術】

【0002】 半導體積體電路產業已經歷指數成長。積體電路材料與設計的技术進展，使每一代的積體電路比前一代具有更小且更複雜的電路。在積體電路演進中，功能密度(比如單位晶片面積的內連線裝置數目)通常隨著幾何尺寸(比如採用的製作製程所能產生的最小構件(或線路))縮小而增加。尺寸縮小的製程通常有利於增加產能與降低相關成本。尺寸縮小亦增加處理與製造積體電路的複雜度。

【0003】 舉例來說，隨著積體電路技術朝更小的技術節點進展，已導入多閘極裝置以增加閘極-通道耦合、降低關閉狀態電流、並降低短通道效應以改善閘極控制。多閘極裝置通常可視作閘極結構或其部分位於通道區的多側上的裝置。多閘極裝置的例子包括鰭狀場效電晶體與多橋通道電晶體，其越來越普及且為高效能與低漏電流應用的有力候選者。鰭狀場效電晶體的閘極可包覆隆起通道的多側，比如包覆自基板延伸的半導體材料的鰭狀物的頂部與側壁。

多橋通道電晶體的閘極結構可延伸以部分或完全圍繞通道區，以接觸通道區的兩側或更多側。由於多橋通道電晶體的閘極結構圍繞通道區，其亦可視作圍繞閘極電晶體或全繞式閘極電晶體。多橋通道電晶體的通道區可為奈米線、奈米片、或其他奈米結構，因此多橋通道電晶體亦可視作奈米線電晶體或奈米片電晶體。

【0004】 介電隔離結構用於隔離可能彼此接觸的積體電路裝置結構。舉例來說，介電鰭狀物用於隔離自多閘極裝置(如多橋通道電晶體)的通道組件磊晶成長的源極/汲極結構。若無介電鰭狀物則相鄰的源極/汲極結構可能合併，造成不想要的電性連接。雖然現有的介電隔離結構適用於其預定目的，但無法符合所有方面的需求。

【發明內容】

【0005】 本發明一例示性的實施例關於半導體結構的形成方法。方法包括形成多個磊晶層的堆疊於基板上；自堆疊與基板的一部分形成第一鰭狀結構與第二鰭狀結構；形成隔離結構於第一鰭狀結構與第二鰭狀結構之間；形成覆層於第一鰭狀結構與第二鰭狀結構上；順應性沉積第一介電層於覆層上；沉積第二介電層於第一介電層上；平坦化第一介電層與第二介電層，直到露出覆層；進行蝕刻製程，以蝕刻第二介電層而形成蓋凹陷；進行修整製程，以修整第一介電層而加寬蓋凹陷；以及沉積蓋結構於加寬的蓋凹陷中。

【0006】 本發明另一例示性的實施例關於半導體結構的形成方法。方法包括接收工件，其包括第一鰭狀結構與第二鰭狀結構位於基板上，隔離結構位於第一鰭狀結構與第二鰭狀結構之間，覆層位於隔離結構上並沿著第一鰭狀結

構與第二鰭狀結構的側壁延伸，順應介電層接觸覆層與隔離結構，以及填充介電層位於順應介電層上並與第一鰭狀結構、第二鰭狀結構、與隔離結構隔有順應介電層。方法更包括進行蝕刻製程，以蝕刻填充介電層而形成蓋凹陷；進行修整製程，以修整順應介電層而加寬蓋凹陷；以及沉積蓋結構於加寬的蓋凹陷中。

【0007】 本發明又一例示性的實施例關於半導體結構。半導體結構包括第一介電鰭狀物與第二介電鰭狀物；多個通道組件，位於第一介電鰭狀物與第二介電鰭狀物之間；以及閘極結構，位於第一介電鰭狀物與第二介電鰭狀物之間，並包覆每一通道組件。第一介電鰭狀物與第二介電鰭狀物各自包括基底結構以及蓋結構位於基底結構上。蓋結構包括底部寬度與頂部寬度，頂部寬度大於底部寬度，使蓋結構包括錐形輪廓。

【圖式簡單說明】

【0008】

圖1係本發明一或多個實施例中，形成半導體結構的方法之流程圖。

圖2至17係本發明一或多個實施例中，工件在圖1的方法之多種製作階段時的部分剖視圖。

圖18係本發明一或多個實施例中，蓋結構的放大部分剖視圖。

【實施方式】

【0009】 下述詳細描述可搭配圖式說明，以利理解本發明的各方面。值得注意的是，各種結構僅用於說明目的而未按比例繪製，如本業常態。實際上

為了清楚說明，可任意增加或減少各種結構的尺寸。

【0010】 可以理解的是，下述內容提供的不同實施例或例子可實施本發明實施例的不同結構。特定構件與排列的實施例係用以簡化本揭露而非侷限本發明。舉例來說，形成第一構件於第二構件上的敘述包含兩者直接接觸，或兩者之間隔有其他額外構件而非直接接觸。此外，本發明之多種實例可重複採用相同標號以求簡潔，但多種實施例及/或設置中具有相同標號的元件並不必然具有相同的對應關係。

【0011】 此外，空間性的相對用語如「下方」、「其下」、「下側」、「上方」、「上側」、或類似用語可用於簡化說明某一元件與另一元件在圖示中的相對關係。空間性的相對用語可延伸至以其他方向使用之元件，而非侷限於圖示方向。舉例來說，若將圖式中的裝置翻轉，則下方或之下的元件將轉為上方或之上的元件。元件亦可轉動 90° 或其他角度，因此方向性用語僅用以說明圖示中的方向。

【0012】 此外，當數值或數值範圍的描述有「約」、「近似」、或類似用語時，旨在涵蓋合理範圍內的數值，如本技術領域中具有通常知識者考量到製造過程中產生的固有變化。舉例來說，基於與製造具有與數值相關的已知製造容許範圍，數值或範圍涵蓋包括所述數目的合理範圍，例如在所述數目的 $\pm 10\%$ 以內。舉例來說，材料層的厚度為約 5 nm 且本技術領域中具有通常知識者已知沉積材料層的製造容許範圍為 15% 時，其包含的尺寸範圍為 4.25 nm 至 5.75 nm 。此外，本發明之多種實例可重複採用相同標號以求簡潔，但多種實施例及/或設置中具有相同標號的元件並不必然具有相同的對應關係。

【0013】 在製作多橋通道電晶體時，可實施介電鰭狀物或混合鰭狀物以

提供多種功能。在形成源極/汲極結構時，介電鰭狀物或混合鰭狀物可避免磊晶成長的材料彼此合併而造成不想要的短路。在形成閘極之後，介電鰭狀物或混合鰭狀物可作為閘極切割結構或閘極切割結構的一部分，以將閘極結構分成多個部件。在一些例子中，介電鰭狀物包括基底結構，以及蓋結構位於基底結構上。與蓋結構相較，基底結構的介電常數較低，以減少相鄰的閘極結構之間的寄生電容。蓋結構的抗蝕刻性大於基底結構的抗蝕刻性，且可作為基底結構的蓋層。本發明實施例提供具有蓋結構的介電鰭狀物，以利圖案化源極/汲極結構與形成閘極。在一些實施例中，本發明實施例的蓋結構包括底部寬度與頂部寬度，且頂部寬度大於底部寬度。此錐形輪廓的較大頂部寬度有利於圖案化源極/汲極結構，而較小的底部寬度可接觸更多的閘極溝槽。此外，本發明提供多步製程以形成蓋結構。蓋結構不過度地向下延伸至低介電常數的基底結構中而增加寄生電容。

【0014】 本發明多種實施例將依據圖式進一步說明。圖1顯示形成半導體裝置的方法100之流程圖。方法100僅為舉例，而非侷限本發明實施例至方法100實際說明的內容。在方法100之前、之中、與之後可提供額外步驟，且方法的額外實施例可置換、省略、或調動一些所述步驟。此處不詳述所有步驟以簡化說明。方法100將搭配圖2至17說明如下，而圖2至17顯示工件200在方法100的實施例的不同製作階段的部分剖視圖。由於之後自工件200形成半導體裝置或半導體結構，工件200亦可依內容需求視作半導體裝置或半導體結構。圖2至17中的X方向、Y方向、與Z方向一致且彼此垂直。舉例來說，一圖式中的X方向平行於不同圖式中的X方向。此外，本發明實施例的內容以類似標號標示類似結構。

【0015】如圖1及2所示，方法100的步驟102接收工件200。如圖2所示，工件200包括基板202與位於基板202上的堆疊204。在一實施例中，基板202可為矽基板。在一些其他實施例中，基板202可包含其他半導體材料如鍺、矽鍺、或III-V族半導體材料。III-V族半導體材料的例子可包含砷化鎵、磷化銦、磷化鎵、氮化鎵、磷砷化鎵、砷化鋁銦、砷化鋁鎵、磷化鎵銦、或砷化鎵銦。基板202亦可包含絕緣層如氧化矽層，以具有絕緣層上矽結構或絕緣層上鍺結構。在一些實施例中，基板202可包含一或多個井區(如摻雜n型摻質如磷或砷的n型井區，或摻雜p型摻質如硼或銦的p型井區)，以用於形成不同型態的裝置。摻雜n型井與p型井的方法可採用離子佈植或熱擴散。

【0016】如圖2所示，堆疊204包括多個犧牲層206夾設於多個通道層208之間。通道層208與犧牲層206可具有不同的半導體組成。在一些實施方式中，通道層208的組成為矽而犧牲層206的組成為矽鍺。在這些實施方式中，犧牲層206中的額外鍺含量，可用於選擇性移除犧牲層206或使犧牲層206凹陷，而實質上不損傷通道層208。在一些實施例中，犧牲層206與通道層208的沉積方法可採用磊晶製程。堆疊204的磊晶沉積方法可採用化學氣相沉積為主的技術如氣相磊晶及/或超高真空化學氣相沉積、分子束磊晶、及/或其他合適製程。可交錯沉積一個又一個的犧牲層206與通道層208以形成堆疊204。在所述實施例中，堆疊204可進一步包含頂部通道層208T與頂部犧牲層206T，其可一起作為硬遮罩以保護其下的堆疊204的其餘部分，且後續製程可完全移除頂部通道層208T與頂部犧牲層206T。不計頂部通道層208T與頂部犧牲層206T，圖2所示的堆疊204包括三個犧牲層206與三個通道層208，其僅用於說明目的而非侷限本發明實施例至請求項未實際記載處。堆疊204中的層狀物數目取決於半導體裝

置如工件200所需的通道組件數目。在一些實施例中，通道層208的數目(不含頂部通道層208T)可介於2至10之間。

【0017】 如圖1、3、及4所示，方法100的步驟104形成鰭狀結構212。在一些實施例中，步驟104圖案化堆疊204與基板202的一部分以形成溝槽211所定義的鰭狀結構212。如圖3所示，每一鰭狀結構212包括自基板202的一部分形成的基底部分212B，以及自堆疊204形成的頂部212T。頂部212T位於基底部分212B上。鰭狀結構212沿著Y方向縱向延伸，並沿著Z方向自基板202垂直延伸。鰭狀結構212的圖案化方法可採用合適製程，包括雙重圖案化或多重圖案化製程。一般而言，雙重圖案化或多重圖案化製程結合光微影與自對準製程，其產生的圖案間距可小於採用單一的直接光微影製程所得的圖案間距。舉例來說，一實施例可先沉積硬遮罩層於堆疊204上，接著形成材料層於硬遮罩層上。採用光微影製程可圖案化材料層。採用自對準製程可沿著圖案化的材料層側部形成間隔物。接著移除材料層，且保留的間隔物或芯之後可用於圖案化硬遮罩層。圖案化的硬遮罩層之後可用於蝕刻堆疊204與基板202以圖案化鰭狀結構212。蝕刻製程可包含乾蝕刻、濕蝕刻、反應性離子蝕刻、及/或其他合適製程。在一些實施例中，半導體襯墊214可沉積於鰭狀結構212上，如圖4所示。半導體襯墊214可包含矽或富矽的矽鍺。在一些實施方式中，半導體襯墊214的沉積方法可採用原子層沉積、電漿輔助原子層沉積、氣相磊晶、分子束磊晶、或合適方法。

【0018】 如圖1及5所示，方法100的步驟106形成隔離結構216。在形成鰭狀結構212之後，形成圖5所示的隔離結構216於相鄰的鰭狀結構212之間。隔離結構216亦可視作淺溝槽隔離結構216。在製程的一例中，先沉積隔離結構216

所用的介電材料於工件200上的半導體襯墊214上，以將介電材料填入鰭狀結構212之間的溝槽211。在一些實施例中，介電材料可包含氧化矽、氮化矽、氮氧化矽、氟矽酸鹽玻璃、低介電常數的介電層、上述之組合、及/或其他合適材料。在多種例子中，介電材料的沉積方法可為化學氣相沉積製程、可流動的化學氣相沉積製程、旋轉塗佈、及/或其他合適製程。接著可由化學機械研磨製程等方法薄化並平坦化沉積的介電材料，直到露出半導體襯墊214的至少一部分。可由乾蝕刻製程、濕蝕刻製程、及/或上述之組合使平坦化的介電材料進一步凹陷，以形成隔離結構216。如圖5所示，鰭狀結構212的頂部212T凸起高於隔離結構216，而隔離結構216可圍繞鰭狀結構212的基底部分212B。

【0019】 如圖1及6所示，方法100的步驟108形成覆層218於鰭狀結構212上。在一些實施例中，覆層218的組成可與犧牲層206的組成類似。在一例中，覆層218的組成可為矽鍺。犧牲層206與覆層218的組成類似，使後續製程可選擇性地同時移除犧牲層206與覆層218。在一些實施例中，順應性地磊晶成長覆層218的方法可採用氣相磊晶或分子束磊晶。如圖6所示，覆層218可選擇性地位於半導體襯墊214的露出表面上，而不位於介電材料所組成的隔離結構216上。在一些例子中，覆層218的厚度可介於約5 nm至約10 nm之間。在沉積覆層218之後，溝槽211中露出的隔離結構216的一部分因半導體襯墊214與覆層218而變窄。

【0020】 如圖1及7所示，方法100的步驟110沉積第一介電層220與第二介電層222於覆層上(包括沉積於溝槽211中)。在製程的例子中，第一介電層220可順應性地沉積於工件200上(包括沉積於溝槽211中)，如圖7所示。第一介電層220的沉積方法可採用電漿輔助化學氣相沉積、原子層沉積、或合適方法。

第一介電層220可襯墊溝槽211的側壁與下表面，其可在步驟110之前由覆層218所定義。第一介電層220亦可視作介電襯墊或外側層。在一些實施例中，第一介電層220的厚度介於約3 nm至約6 nm之間，比如介於約4 nm至約5 nm之間。接著沉積第二介電層222於工件200上的第一介電層220，其可採用化學氣相沉積、次壓化學氣相沉積、可流動的化學氣相沉積、原子層沉積、旋轉塗佈、及/或其他合適製程。第二介電層222亦可視作介電填充層或內側層。第一介電層220可包含矽、氮化矽、碳化矽、碳氮化矽、碳氮氧化矽、或可氧化的合適介電材料。在一些例子中，第一介電層220不含氧。在一些其他例子中，第一介電層220至少不完全氧化。在所述實施例中，第一介電層220可包含碳氮化矽。第二介電層222可包含氧化矽，或者已完全氧化或氧化劑難以氧化的其他介電層。在所述實施例中，第二介電層222的組成為氧化矽。

【0021】如圖1及8所示，方法100的步驟112在沉積第一介電層220與第二介電層222之後平坦化工件200。可採用化學機械研磨製程進行步驟112的平坦化製程，直到露出覆層218，如圖8所示。如圖8所示，頂部通道層208T、半導體襯墊214、第一介電層220、與第二介電層222的上表面共平面。

【0022】如圖1及9所示，方法100的步驟114選擇性蝕刻第二介電層222以形成蓋凹陷221。步驟114的蝕刻製程對第二介電層222 (其於所述實施例中的組成為氧化矽)具有高選擇性。在一些實施例中，步驟114的選擇性蝕刻製程可維化學氧化物移除製程或原子層蝕刻。舉例來說，可由氨與氫氟酸交錯處理含有第二介電層222的工件200。化學處理可產生六氟矽酸鹽 $(\text{NH}_4)_2\text{SiF}_6$ ，其可由退火製程或去離子水清洗製程移除。在製程的一例中，以多個化學處理的循環處理工件200。每一循環包括氨處理的第一時段，以及氫氟酸處理的第二時

段。第一時段比第二時段短。在一些例子中，第一時段約為第二時段的一半，以確保適當地化學處理第二介電層222。可重複2次至6次的處理循環。選擇性蝕刻製程可設置以選擇性地蝕刻第二介電層222，並維持實質上平坦的底部輪廓。如圖9所示，由於步驟114的蝕刻製程對第二介電層222具有高選擇性，因此實質上未蝕刻頂部通道層208T、覆層218、與第一介電層220。步驟114可形成蓋凹陷221。

【0023】如圖1及10所示，方法100的步驟116修整第一介電層220以加寬蓋凹陷221，進而形成加寬的蓋凹陷223。步驟116的修整製程對第一介電層220具有選擇性，其組成可氧化的介電材料如所述實施例的碳氮化矽。在一些實施例中，步驟116的選擇性修整製程可分成化學處理步驟與沖洗步驟。化學處理步驟可採用氧化劑以氧化第一介電層220，但不氧化第二介電層222。沖洗步驟可採用酸移除化學處理步驟的產物。舉例來說，步驟116可在化學處理步驟中以高溫硫酸與過氧化氫的混合物處理含第一介電層220的工件200，並以稀氫氟酸對工件200進行沖洗步驟。高溫硫酸與過氧化氫的混合物可氧化第一介電層220，而稀氫氟酸可移除氧化物。值得注意的是，步驟116的修整製程亦可蝕刻第二介電層222、覆層218、與頂部通道層208T，不過蝕刻速率較低。在一些實施方式中，可進行第三時段的化學處理步驟與第四時段的沖洗步驟，且第四時段比第三時段短。在一些例子中，第三時段約為第四時段的10至15倍，以確保選擇性修整第一介電層220並最小化地蝕刻第二介電層222。如圖10所示，由於步驟116的修整製程對第一介電層220具有選擇性，可加寬蓋凹陷221以形成加寬的蓋凹陷223。在圖10所示的一些實施例中，每一加寬的蓋凹陷223包括底部寬度WB與頂部寬度WT，且頂部寬度WT大於底部寬度WB。如此一來，

每一加寬的蓋凹陷223包括錐形輪廓，其沿著Z方向向下逐漸變窄。在一些例子中，底部寬度WB介於約10 nm至15 nm之間，而頂部寬度WT介於約16 nm至約20 nm之間。換言之，由於步驟116的修整，頂部寬度WT與底部寬度WB的比例可介於約1.1至1.6之間。當此寬度比例小於1.1時，額外修整步驟的成本可能抵銷優點。當此寬度比例大於1.6時，填入加寬的蓋凹陷223的蓋結構懸空的部分可能過多，反而阻礙通道釋放製程或閘極形成製程。在一些實施例中，可在修整製程之後進行清潔製程。清潔製程可採用高溫硫酸與過氧化氫的混合物。

【0024】如圖10所示，加寬的蓋凹陷223可部分地向下延伸至第一介電層220與第二介電層222中。由於步驟116的修整製程對第一介電層220具有選擇性，加寬的蓋凹陷223延伸至第一介電層220中的程度大於延伸至第二介電層222中的程度。

【0025】如圖1及11所示，方法100的步驟118形成蓋結構224於加寬的蓋凹陷223中。蓋結構224可包含氧化鋁、氮化鋁、氮氧化鋁、氧化鋯、氮化鋯、氧化鋯鋁、氧化鉛、或合適的介電材料。蓋結構224的材料選擇使其比露出的其他結構與層狀物更能抵抗非等向乾蝕刻製程。值得注意的是，蓋結構224的介電常數大於第二介電層222的介電常數。在製程的一例中，蓋結構224所用的介電材料沉積於工件200上的方法可採用原子層沉積或化學氣相沉積。接著可採用化學機械研磨製程平坦化蓋結構224所用的介電材料，以移除覆層218上的多餘介電材料而形成圖11所示的蓋結構224。蓋結構224可延續加寬的蓋凹陷223的形狀。步驟118可形成介電鰭狀物230。每一介電鰭狀物230包括第一介電層220、第二介電層222、與蓋結構224。第一介電層220與第二介電層222可組

成介電鱗狀物230的基底結構，而蓋結構224自頂部蓋住基底結構。雖然加寬的蓋凹陷223有利於形成蓋結構224，在靠近蓋結構224的上表面仍可能存在微小的非伸長空洞260。如下所述，後續蝕刻或平坦化製程易於移除空洞260，並留下實質上無空洞且無縫的蓋結構224。一旦完成平坦化製程，蓋結構224的第一高度H1可介於約20 nm至約40 nm之間。

【0026】如圖1及12所示，方法100的步驟120使頂部通道層208T、頂部犧牲層206T、與覆層218的頂部凹陷。製程的一例中非等向蝕刻工件200，可選擇性移除覆層218的頂部、半導體襯墊214的頂部、頂部通道層208T、與頂部犧牲層206T，以露出通道層208。步驟120的非等向蝕刻可為乾蝕刻製程，其包括氫氣、含氟氣體(如四氟化碳、三氟化氮、六氟化硫、二氟甲烷、氟仿、及/或六氟乙烷)、含氯氣體(如氯氣、氯仿、四氯化碳、及/或三氯化硼)、含溴氣體(如溴化氫及/或溴仿)、含碘氣體、其他合適氣體及/或電漿、及/或上述之組合。值得注意的是，步驟120的非等向蝕刻為無遮罩且自對準的製程，因為非等向蝕刻步驟以明顯較慢的速率蝕刻蓋結構224。這表示非等向蝕刻可實質上減少蓋結構224的高度並圓潤化蓋結構224的上表面，如圖12所示。在此階段中，可移除或部分露出空洞260(未圖示)。值得注意的是，第一介電層220可覆蓋蓋結構224的側壁的下側部分。蓋結構224的頂部寬度WT較大，有助於蓋結構224抵抗步驟120的蝕刻。由於錐形輪廓，步驟120可能消耗過多的蓋結構224，造成步驟124的源極/汲極結構240合併(如下述)。

【0027】如圖1、13、及14所示，方法100的步驟122形成虛置閘極堆疊232於鱗狀結構212上。在一些實施例中，可採用閘極置換製程(或閘極後製製程)，其中虛置閘極堆疊232可作為功能閘極結構的占位物。其他製程與設置亦屬可

能。雖然圖13未顯示，虛置閘極堆疊232包括虛置介電層，以及虛置閘極位於虛置介電層上。虛置閘極堆疊232下方的鰭狀結構212的區域可視作通道區。鰭狀結構212中的每一通道區，可沿著Y方向夾設於形成源極/汲極所用的兩個源極/汲極區之間。在製程的一例中，可由化學氣相沉積等製程毯覆性地沉積虛置介電層於工件200上。接著毯覆性沉積虛置閘極所用的材料層於虛置介電層上。接著採用光微影製程圖案化虛置介電層與虛置閘極所用的材料層，以形成虛置閘極堆疊232。在一些實施例中，虛置介電層可包含氧化矽，且虛置閘極可包含多晶矽。如圖13所示，虛置閘極堆疊232位於蓋結構224上，並接觸蓋結構224的側壁與上表面。

【0028】 如圖14所示，沿著虛置閘極堆疊232的側壁形成至少一閘極間隔物234。至少一閘極間隔物234可包括兩個或更多個閘極間隔物層。可選擇至少一閘極間隔物234所用的介電材料，以選擇性移除虛置閘極堆疊232。至少一閘極間隔物234所用的合適介電材料可包含氮化矽、碳氮氧化矽、碳氮化矽、氧化矽、碳氧化矽、碳化矽、氮氧化矽、及/或上述之組合。在製程的一例中，可順應性沉積至少一閘極間隔物234於工件200上，且沉積方法可採用化學氣相沉積、次壓化學氣相沉積、或原子層沉積。

【0029】 如圖1及15所示，方法100的步驟124形成源極/汲極結構240。步驟124包括使鰭狀結構212的源極/汲極區凹陷以形成源極/汲極凹陷、形成內側間隔物結構、以及沉積源極/汲極結構240於源極/汲極凹陷中。採用虛置閘極堆疊232與至少一閘極間隔物234作為蝕刻遮罩，可非等向蝕刻工件200以形成源極/汲極凹陷(未圖示，其於圖15中填有源極/汲極結構240)於鰭狀結構212的源極/汲極區上。步驟120的非等向蝕刻可包含乾蝕刻製程或合適的蝕刻製程。舉

例來說，乾蝕刻製程可實施含氧氣體、氫氣、含氟氣體(如四氟化碳、六氟化硫、三氟化氮、二氟甲烷、及/或六氟乙烷)、含氯氣體(如氯氣、氯仿、四氯化碳、及/或三氯化硼)、含溴氣體(如溴化氫及/或溴仿)、含碘氣體、其他合適氣體及/或電漿、及/或上述之組合。步驟124的乾蝕刻製程可由較慢的速率蝕刻至少一閘極間隔物234、蓋結構224、與第一介電層220，且實質上不蝕刻介電層狀物。源極/汲極凹陷中露出多個通道層208、多個犧牲層206、與覆層218的側壁。

【0030】 雖然未圖示，但步驟124亦可形成內側間隔物結構以夾設通道層208。在形成源極/汲極凹陷之後，可先使源極/汲極區中露出的犧牲層206選擇性地部分凹陷以形成內側間隔物凹陷，且實質上不蝕刻露出的通道層208。由於覆層218與犧牲層206的組成類似(如矽鍍)，步驟124亦可蝕刻覆層218。在通道層208基本上由矽所組成、犧牲層206基本上由矽鍍所組成、且覆層218基本上由矽鍍所組成的實施例中，使犧牲層206與覆層218選擇性地部分凹陷的方法可包含由氫氧化銨、過氧化氫、與水的混合物進行蝕刻。在形成內側間隔物凹陷之後，可採用化學氣相沉積或原子層沉積以順應性地沉積內側間隔物材料層於工件200上，包括沉積於內側間隔物凹陷以及覆層218的移除部分所留下的空間之上與之中。內側間隔物材料可包含氮化矽、碳氮氧化矽、碳氮化矽、氧化矽、碳氧化矽、碳化矽、或氮氧化矽。在沉積內側間隔物材料層之後，可回蝕刻內側間隔物材料層以形成內側間隔物結構。

【0031】 步驟124亦可包含沉積源極/汲極結構240於源極/汲極凹陷中。在一些實施例中，源極/汲極結構240可選擇性地磊晶沉積於通道層208與基板202其露出的半導體表面上。源極/汲極結構240的沉積方法可採用磊晶製程，比如

氣相磊晶、超高真空化學氣相沉積、分子束磊晶、及/或其他合適製程。源極/汲極結構240可為n型或p型。當源極/汲極結構240為n型時，其可包含矽並摻雜n型摻質如磷或砷。當源極/汲極結構240為p型時，其可包含矽鍺或鍺並摻雜p型摻質如硼或二氟化硼。可在沉積源極/汲極結構240時進行原位摻雜，或採用佈植製程如接面佈植製程以異位摻雜源極/汲極結構240。雖然未圖示，但源極/汲極結構240可包含不同摻雜濃度的多個磊晶層。如圖15所示，介電鰭狀物230可作為相鄰的源極/汲極凹陷中的源極/汲極結構的分隔物。在不形成介電鰭狀物230或介電鰭狀物不夠高或寬時，相鄰的源極/汲極結構240可能合併而造成不想要的短路。

【0032】 如圖1所示，方法100的步驟126移除虛置閘極堆疊232。步驟126包括沉積接點蝕刻停止層與層間介電層，並移除虛置閘極堆疊232。雖然未圖示，但接點蝕刻停止層與層間介電層可沉積於源極/汲極結構240上以保護其免於後續製程。接點蝕刻停止層可包含氮化矽，其可沉積於源極/汲極結構240上，且沉積方法可採用原子層沉積或化學氣相沉積。層間介電層的材料可包括四乙氧基矽烷的氧化物、未摻雜的矽酸鹽玻璃、摻雜的氧化矽(如硼磷矽酸鹽玻璃、氟矽酸鹽玻璃、磷矽酸鹽玻璃、或硼矽酸鹽玻璃)、及/或其他合適的介電材料。層間介電層沉積於接點蝕刻停止層上的方法，可為旋轉塗佈、可流動的化學氣相沉積製程、或其他合適的沉積技術。在沉積接點蝕刻停止層與層間介電層之後，可對工件200進行平坦化製程如化學機械研磨製程，以提供平坦的上表面而露出虛置閘極堆疊232。

【0033】 接著以選擇性蝕刻製程，自工件200移除露出的虛置閘極堆疊232。選擇性蝕刻製程可為選擇性濕蝕刻製程、選擇性乾蝕刻製程、或上述之

組合。在所述實施例中，選擇性蝕刻製程可選擇性移除虛置介電層與虛置閘極，而實質上不損傷蓋結構224、至少一閘極間隔物234、與第一介電層220。移除虛置閘極堆疊232後，形成閘極溝槽於通道區中。至少一閘極間隔物234可定義閘極溝槽。

【0034】如圖1及16所示，方法100的步驟128移除通道區中的犧牲層206，以釋放通道組件208。在移除虛置閘極堆疊232之後，閘極溝槽中可露出通道區中的通道層208、犧牲層206、與覆層218。由於通道層208之間露出了犧牲層206與覆層218的組成類似，可選擇性移除上述兩者以釋放通道層208而形成通道組件208，如圖16所示。通道組件208可沿著Z方向垂直堆疊。選擇性移除犧牲層206與覆層218的方法，可為選擇性乾蝕刻、選擇性濕蝕刻、或其他選擇性蝕刻製程。在一些實施例中，選擇性濕蝕刻包括氫氧化銨、過氧化氫、與水的混合物蝕刻。在一些其他實施例中，選擇性移除步驟包括氧化矽鍍之後，移除矽鍍氧化物。舉例來說，可由臭氧清潔提供氧化，接著以蝕刻劑如氫氧化銨移除矽鍍氧化物。在移除通道區中的犧牲層206與覆層218之後，閘極溝槽中可露出第一介電層220、通道組件208、基底部分212B的上表面、與隔離結構216。蓋結構224的錐形輪廓可確保蓋結構224與相鄰的通道層208不會夾止，或限制對下側犧牲層206的接觸。

【0035】如圖1、16、及17所示，方法100的步驟130形成閘極結構250以包覆每一通道組件208。閘極結構250的層狀物可包含界面層位於通道組件208與基板202上、閘極介電層位於界面層上、以及閘極層位於閘極介電層上。在一些實施例中，界面層包括氧化矽，且其可由預清潔製程所形成。預清潔製程的例子可採用RCE SC-1 (含氨、過氧化氫、與水)及/或RCA SC-2 (含氯化氫、

過氧化氫、與水)。預清潔製程可氧化通道組件2080與基板202的露出表面，以形成界面層。接著沉積閘極介電層於界面層上，其可採用原子層沉積、化學氣相沉積、及/或其他合適方法。閘極介電層可包含高介電常數的介電材料。此處所述的高介電常數的介電材料具有高介電常數，比如大於熱氧化矽的介電常數(約3.9)。在一實施例中，閘極介電層可包含氧化鉛。在其他實施例中，閘極介電層可包含其他高介電常數的介電層，比如氧化鈦、氧化鉛銻、氧化鉭、氧化鉛矽、二氧化銻、氧化銻矽、氧化釧、氧化鋁、氧化銻、氧化釷、鈦酸鋇、鈦酸鋇、氧化鋇銻、氧化鉛釧、氧化釧矽、氧化鋁矽、氧化鉛鉭、氧化鉛鈦、鈦酸鋇、氮化矽、氮氧化矽、上述之組合、或其他合適材料。在形成或沉積界面層與閘極介電層之後，可沉積閘極層於閘極介電層上。閘極層可為多層結構，其可包含至少一功函數層與金屬填充層。舉例來說，至少一功函數層可包含氮化鈦、鈦鋁、氮化鈦鋁、氮化鉭、鉭鋁、氮化鉭鋁、碳化鉭鋁、碳氮化鉭、或碳化鉭。金屬填充層可包含鋁、鎢、鎳、鈦、鈟、鈷、鉑、氮化鉭矽、銅、其他耐火金屬、其他合適的金屬材料、或上述之組合。在多種實施例中，閘極層的形成方法可為原子層沉積、物理氣相沉積、化學氣相沉積、電子束蒸鍍、或其他合適製程。蓋結構224的錐形輪廓可確保蓋結構224與相鄰的通道層208不會夾止，或限制對通道組件2080的接觸。

【0036】 在多種實施例中，可進行平坦化製程如化學機械研磨製程移除多餘材料，以提供閘極結構的實質上平坦表面。如圖17所示，沉積的閘極結構250可包覆每一通道組件2080並接觸介電鰭狀物230。更具體而言，閘極結構250直接接觸第一介電層220與蓋結構224。第二介電層222與閘極結構250隔有第一介電層220。如圖17所示，形成閘極結構250之後可平坦化工件200，直到介電

鱗狀物將閘極結構250分成多個部件。每一介電鱗狀物230包括第一介電層220與第二介電層222作為底部，以及蓋結構224作為頂部。如圖17所示，蓋結構224包括第二高度H2，底部包括第三高度H3，且整個介電鱗狀物230包括第四高度H4。在一些例子中，第二高度H2可介於約10 nm至30 nm之間，第三高度H3可介於約30 nm至約70 nm之間，且第四高度H4可介於約40 nm至約100 nm之間。第二高度H2與第三高度H3的比例可介於約0.3至約1之間。此比例具有一定的重要性，因其確保蓋結構224具有足夠厚度以承受蝕刻製程，但不會直接位於兩個相鄰的源極/汲極結構240之間。

【0037】 圖18係圖17中的蓋結構224的放大部分剖視圖。由於步驟120的蝕刻製程與步驟130的平坦化製程，圖18的蓋結構224包括底部寬度WB與最終頂部寬度W，且最終頂部寬度W大於底部寬度WB，其中最終頂部寬度W小於頂部寬度WT。如此一來，蓋結構224仍具有錐形輪廓。底部寬度WB介於約10 nm至約15 nm之間，而最終頂部寬度W介於約15.5 nm至18 nm之間。圖18中的蓋結構224亦可具有第二高度H2，其小於第一高度H1。如上所述，第二高度H2可介於約10 nm至約30 nm之間。蓋結構224沿著Z方向部分地延伸至第一介電層220與第二介電層222中。由於步驟116的修整製程，蓋結構224進一步延伸至第一介電層220中的程度大於延伸至第二介電層222中的程度。第二介電層222的介電常數小於第一介電層220的介電常數，且可用於降低寄生電容。蓋結構224的組成為金屬氧化物，其介電常數甚至大於第一介電層220的介電常數。由於實施本發明實施例的製程，蓋結構224不過度延伸至第二介電層222中，進而避免不想要的寄生電容增加。在步驟130的化學機械研磨之後，可移除空洞260。加寬的蓋凹陷223的錐形輪廓可避免形成伸長的縫狀空洞。伸長的縫狀空

洞在多種蝕刻或平坦化製程時，可能劣化蓋結構224的完整性。

【0038】 基於上述內容，可知本發明實施例與習知製程相較能提供許多優點。然而應理解其他實施例可提供額外優點，此處不必說明所有優點，且所有實施例不需具有特定優點。舉例來說，本發明實施例所揭露的製程可形成加寬的蓋凹陷，以及向下逐漸變窄(錐形)的蓋結構。蓋結構的頂部寬度較寬有利於圖案化源極/汲極結構，而底部寬度較窄可加大通道釋放與閘極形成的製程容許範圍。此外，錐形輪廓可避免形成縫形空洞於蓋結構中。

【0039】 本發明一例示性的實施例關於半導體結構的形成方法。方法包括形成多個磊晶層的堆疊於基板上；自堆疊與基板的一部分形成第一鰭狀結構與第二鰭狀結構；形成隔離結構於第一鰭狀結構與第二鰭狀結構之間；形成覆層於第一鰭狀結構與第二鰭狀結構上；順應性沉積第一介電層於覆層上；沉積第二介電層於第一介電層上；平坦化第一介電層與第二介電層，直到露出覆層；進行蝕刻製程，以蝕刻第二介電層而形成蓋凹陷；進行修整製程，以修整第一介電層而加寬蓋凹陷；以及沉積蓋結構於加寬的蓋凹陷中。

【0040】 在一些實施例中，覆層包括矽鍺，第一介電層包括碳氮化矽、碳化矽、或氮化矽，以及第二介電層包括氧化矽。在一些例子中，蝕刻製程包括化學氧化物移除的多個循環。在一些實施例中，蝕刻製程包括採用氨與氫氟酸。在一些實施例中，修整製程包括化學處理步驟，其包括採用氧化劑；以及沖洗步驟，其包括採用酸。在一些實施方式中，氧化劑包括高溫硫酸與過氧化氫的混合物，而酸包括稀氫氟酸。在一些例子中，化學處理步驟持續第一時段，沖洗步驟持續第二時段，第二時段比第一時段短，且第一時段與第二時段的比例介於約10至15之間。在一些實施例中，方法更包括在修整製程之後，進行清

潔製程。清潔製程包括採用高溫硫酸與過氧化氫的混合物。

【0041】本發明另一例示性的實施例關於半導體結構的形成方法。方法包括接收工件，其包括第一鰭狀結構與第二鰭狀結構位於基板上，隔離結構位於第一鰭狀結構與第二鰭狀結構之間，覆層位於隔離結構上並沿著第一鰭狀結構與第二鰭狀結構的側壁延伸，順應介電層接觸覆層與隔離結構，以及填充介電層位於順應介電層上並與第一鰭狀結構、第二鰭狀結構、與隔離結構隔有順應介電層。方法更包括進行蝕刻製程，以蝕刻填充介電層而形成蓋凹陷；進行修整製程，以修整順應介電層而加寬蓋凹陷；以及沉積蓋結構於加寬的蓋凹陷中。

【0042】在一些實施例中，在蝕刻製程之前，第一鰭狀結構、第二鰭狀結構、覆層、順應性介電層、與填充介電層的上表面共平面。在一些實施例中，填充介電層包括氧化矽，而順應性介電層實質上無氧。在一些實施例中，順應性介電層包括碳氮化矽。在一些實施例中，蓋結構包括氧化鋁、氧化鉛、氧化鋇、或氧化鋅。在一些實施例中，加寬的蓋凹陷的頂部寬度大於底部寬度，使加寬的蓋凹陷包括錐形輪廓。

【0043】本發明又一例示性的實施例關於半導體結構。半導體結構包括第一介電鰭狀物與第二介電鰭狀物；多個通道組件，位於第一介電鰭狀物與第二介電鰭狀物之間；以及閘極結構，位於第一介電鰭狀物與第二介電鰭狀物之間，並包覆每一通道組件。第一介電鰭狀物與第二介電鰭狀物各自包括基底結構以及蓋結構位於基底結構上。蓋結構包括底部寬度與頂部寬度，頂部寬度大於底部寬度，使蓋結構包括錐形輪廓。

【0044】在一些實施例中，底部寬度介於約10 nm至約15 nm之間，以及

頂部寬度介於約15.5 nm至約18 nm之間。在一些實施例中，基底結構包括外側層以接觸閘極結構，以及內側層，且內側層與閘極結構隔有外側層，以及蓋結構具有部分延伸至外側層中的第一深度，以及部分延伸至內側層中的第二深度，且第二深度小於第一深度。在一些實施例中，內側層包括氧化矽，且外側層實質上不含氧。在一些例子中，外側層包括碳氮化矽。

【0045】 上述實施例之特徵有利於本技術領域中具有通常知識者理解本發明。本技術領域中具有通常知識者應理解可採用本發明作基礎，設計並變化其他製程與結構以完成上述實施例之相同目的及/或相同優點。本技術領域中具有通常知識者亦應理解，這些等效置換並未脫離本發明精神與範疇，並可在未脫離本發明之精神與範疇的前提下進行改變、替換、或更動。

【符號說明】

【0046】

H1:第一高度

H2:第二高度

H3:第三高度

H4:第四高度

W:最終頂部寬度

WB:底部寬度

WT:頂部寬度

100:方法

102,104,106,108,110,112,114,116,118,120,122,124, 126,128,130:步驟

200:工件
202:基板
204:堆疊
206:犧牲層
206T:頂部犧牲層
208:通道層
208T:頂部通道層
211:溝槽
212:鰭狀結構
212B:基底部分
212T:頂部
214:半導體襯墊
216:隔離結構
218:覆層
220:第一介電層
221:蓋凹陷
222:第二介電層
223:加寬的蓋凹陷
224:蓋結構
230:介電鰭狀物
232:虛置閘極堆疊
234:閘極間隔物

240:源極/汲極結構

250:閘極結構

260:空洞

2080:通道組件

【發明申請專利範圍】

【請求項1】 一種半導體結構的形成方法，包括：

形成多個磊晶層的一堆疊於一基板上；

自該堆疊與該基板的一部分形成一第一鰭狀結構與一第二鰭狀結構；

形成一隔離結構於該第一鰭狀結構與該第二鰭狀結構之間；

形成一覆層於該第一鰭狀結構與該第二鰭狀結構上；

順應性沉積一第一介電層於該覆層上；

沉積一第二介電層於該第一介電層上；

平坦化該第一介電層與該第二介電層，直到露出該覆層；

進行一蝕刻製程，以蝕刻該第二介電層而形成一蓋凹陷；

進行一修整製程，以修整該第一介電層而加寬該蓋凹陷；以及

沉積一蓋結構於加寬的該蓋凹陷中。

【請求項2】 如請求項1之半導體結構的形成方法，

其中該覆層包括矽鍺，

其中該第一介電層包括碳氮化矽、碳化矽、或氮化矽，以及

其中該第二介電層包括氧化矽。

【請求項3】 如請求項1或2之半導體結構的形成方法，其中該蝕刻製程包括化學氧化物移除的多個循環。

【請求項4】 如請求項3之半導體結構的形成方法，其中該蝕刻製程包括採用氨與氫氟酸。

【請求項5】 一種半導體結構的形成方法，包括：

接收一工件，其包括：

一第一鰭狀結構與一第二鰭狀結構，位於一基板上，

一隔離結構，位於該第一鰭狀結構與該第二鰭狀結構之間，

一覆層，位於該隔離結構上並沿著該第一鰭狀結構與該第二鰭狀結構的側壁延伸，

一順應介電層，接觸該覆層與該隔離結構，以及

一填充介電層，位於該順應介電層上，並與該第一鰭狀結構、該第二鰭狀結構、與該隔離結構隔有該順應介電層；

進行一蝕刻製程，以蝕刻該填充介電層而形成一蓋凹陷；

進行一修整製程，以修整該順應介電層而加寬該蓋凹陷；以及

沉積一蓋結構於加寬的該蓋凹陷中。

【請求項6】如請求項5之半導體結構的形成方法，其中在該蝕刻製程之前，該第一鰭狀結構、該第二鰭狀結構、該覆層、該順應性介電層、與該填充介電層的上表面共平面。

【請求項7】如請求項5或6之半導體結構的形成方法，其中該填充介電層包括氧化矽，而順應性介電層實質上無氧。

【請求項8】一種半導體結構，包括：

一第一介電鰭狀物與一第二介電鰭狀物；

多個通道組件，位於該第一介電鰭狀物與該第二介電鰭狀物之間；以及

一閘極結構，位於該第一介電鰭狀物與該第二介電鰭狀物之間，並包覆每一該些通道組件；

其中該第一介電鰭狀物與該第二介電鰭狀物各自包括一基底結構以及一蓋結構位於該基底結構上，並且該第一介電鰭狀物的頂表面高於該些通道組件中

的一個，以及

其中該蓋結構包括一底部寬度與一頂部寬度，該頂部寬度大於該底部寬度，使該蓋結構包括一錐形輪廓。

【請求項9】如請求項8之半導體結構，

其中該底部寬度介於約10 nm至約15 nm之間，以及

其中該頂部寬度介於約15.5 nm至約18 nm之間。

【請求項10】如請求項8或9之半導體結構，

其中該基底結構包括一外側層以接觸該閘極結構，以及一內側層，且該內側層與該閘極結構隔有該外側層，以及

其中該蓋結構具有部分延伸至該外側層中的一第一深度，以及部分延伸至該內側層中的一第二深度，且該第二深度小於該第一深度。

【發明圖式】

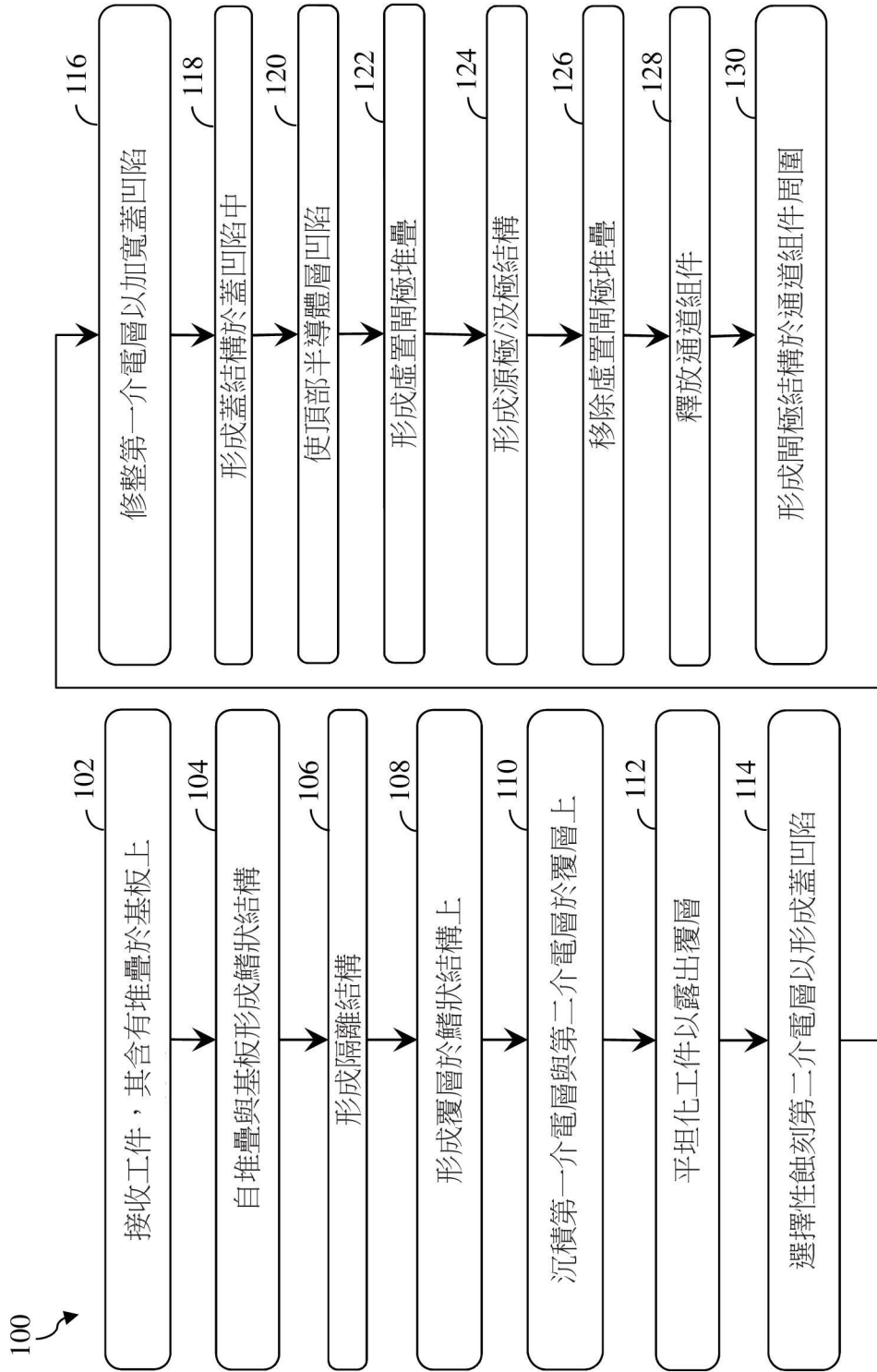


圖 1

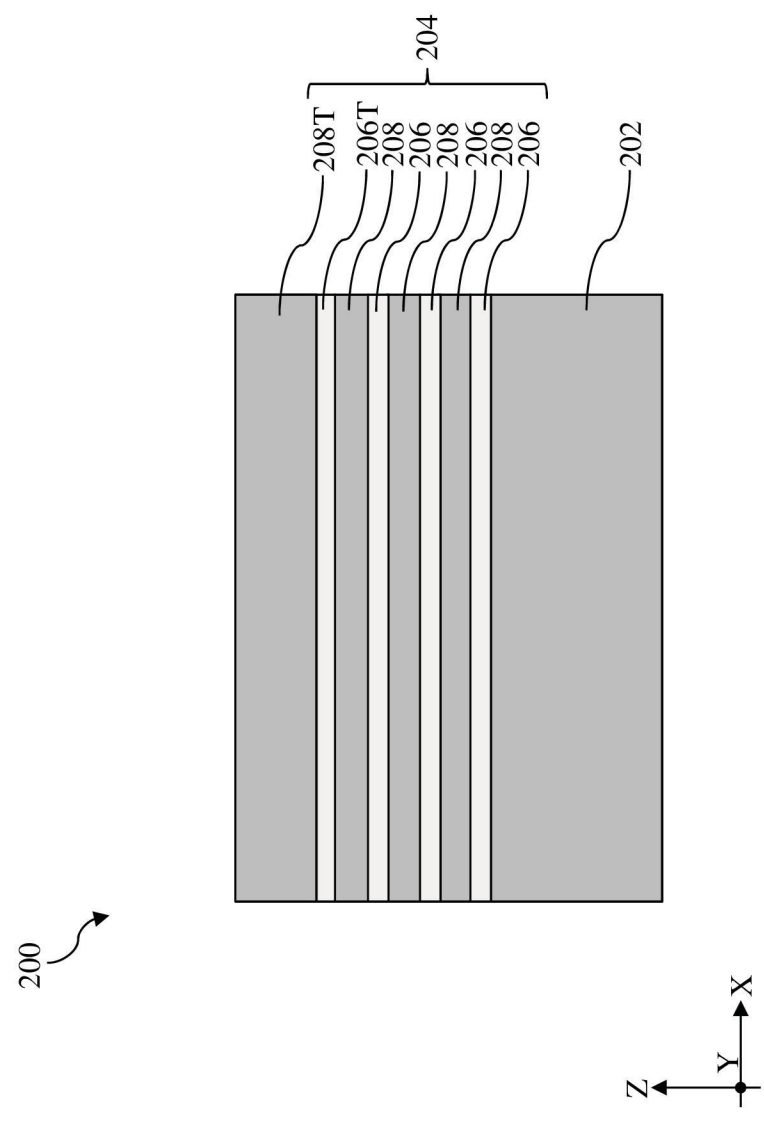


圖 2

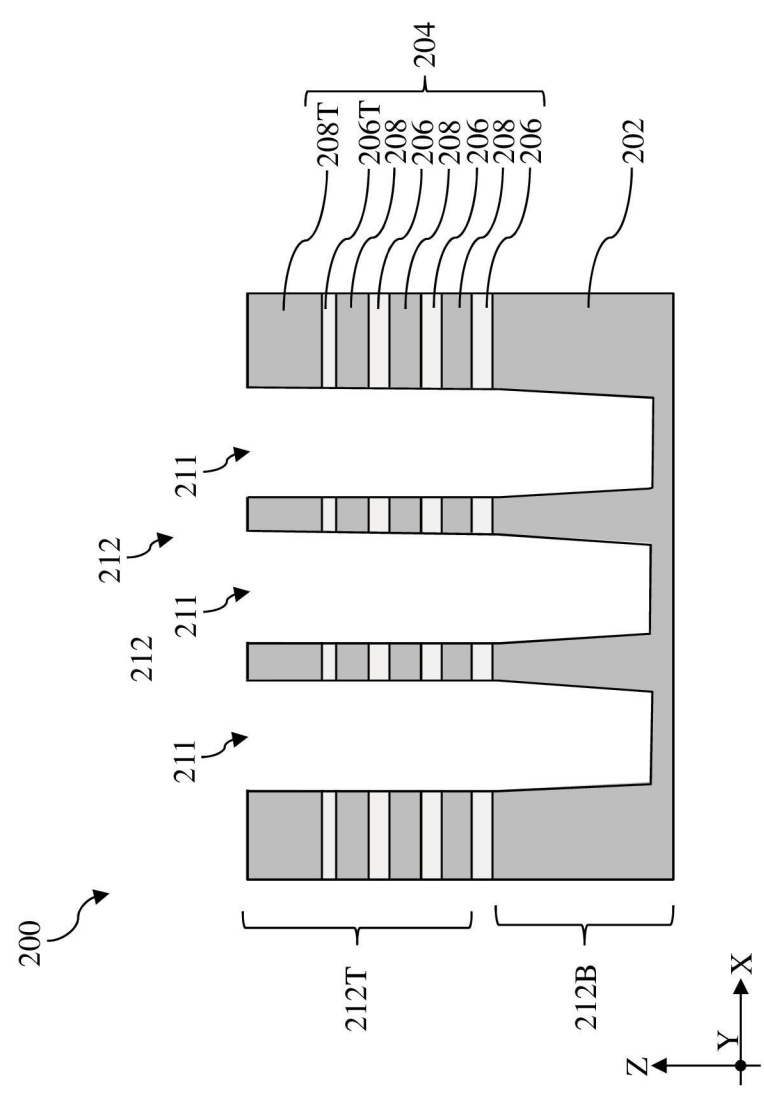


圖 3

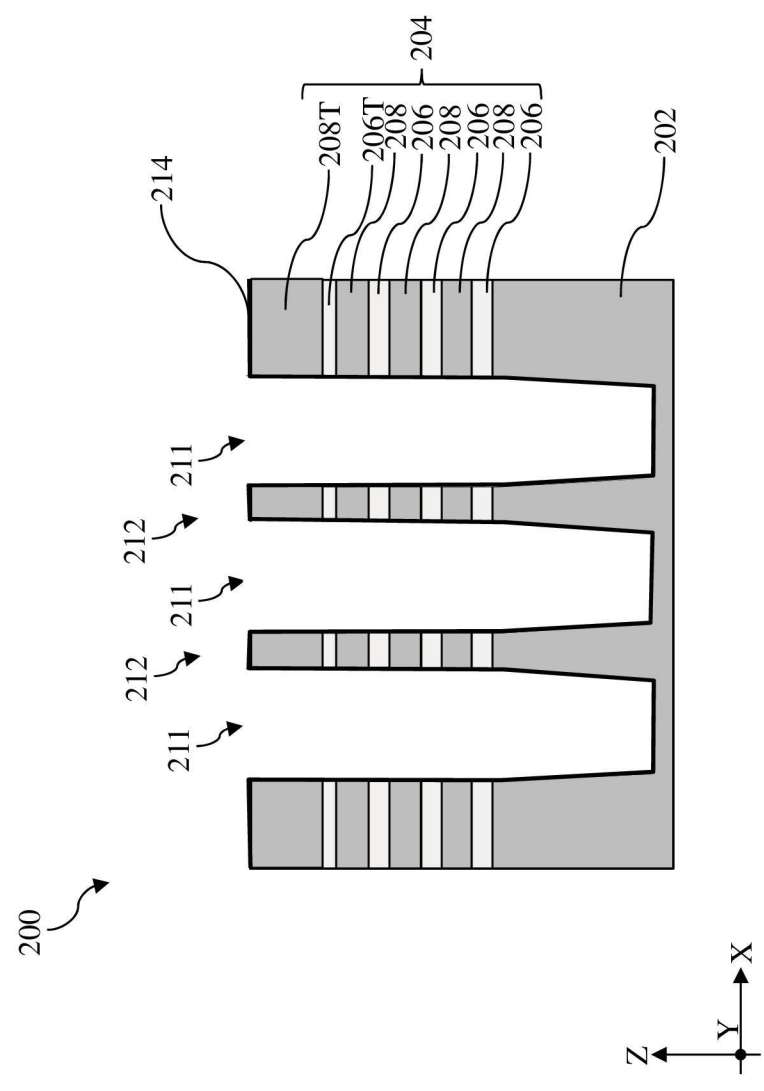


圖 4

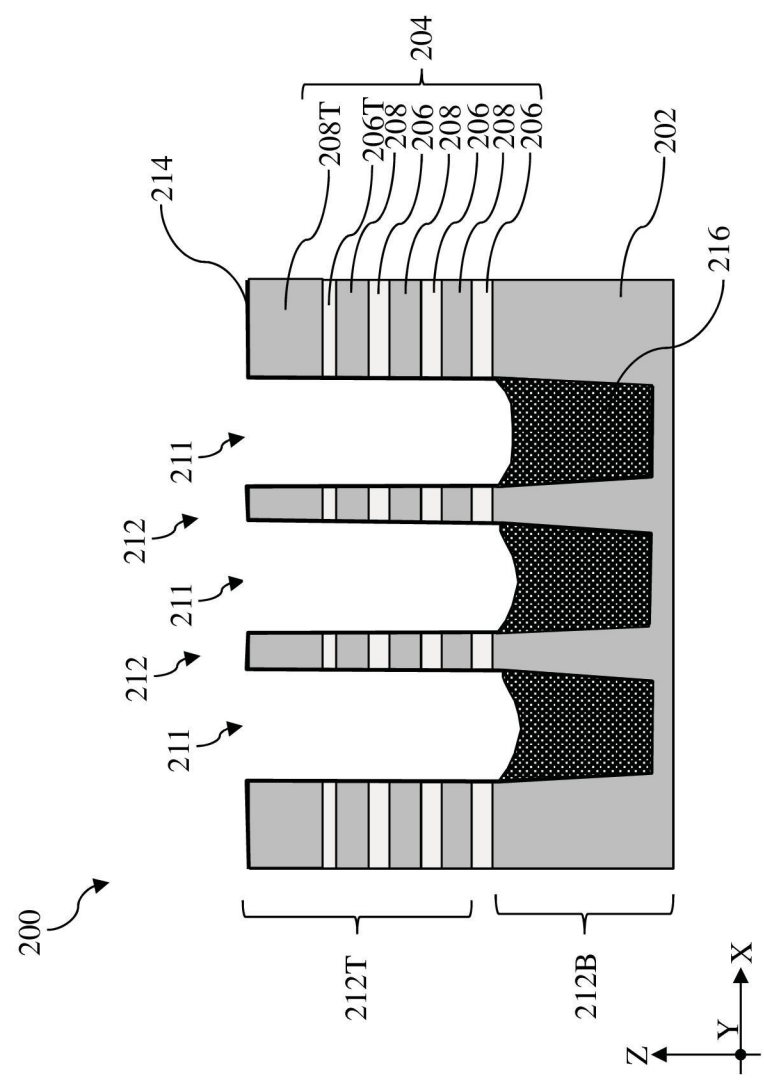


圖 5

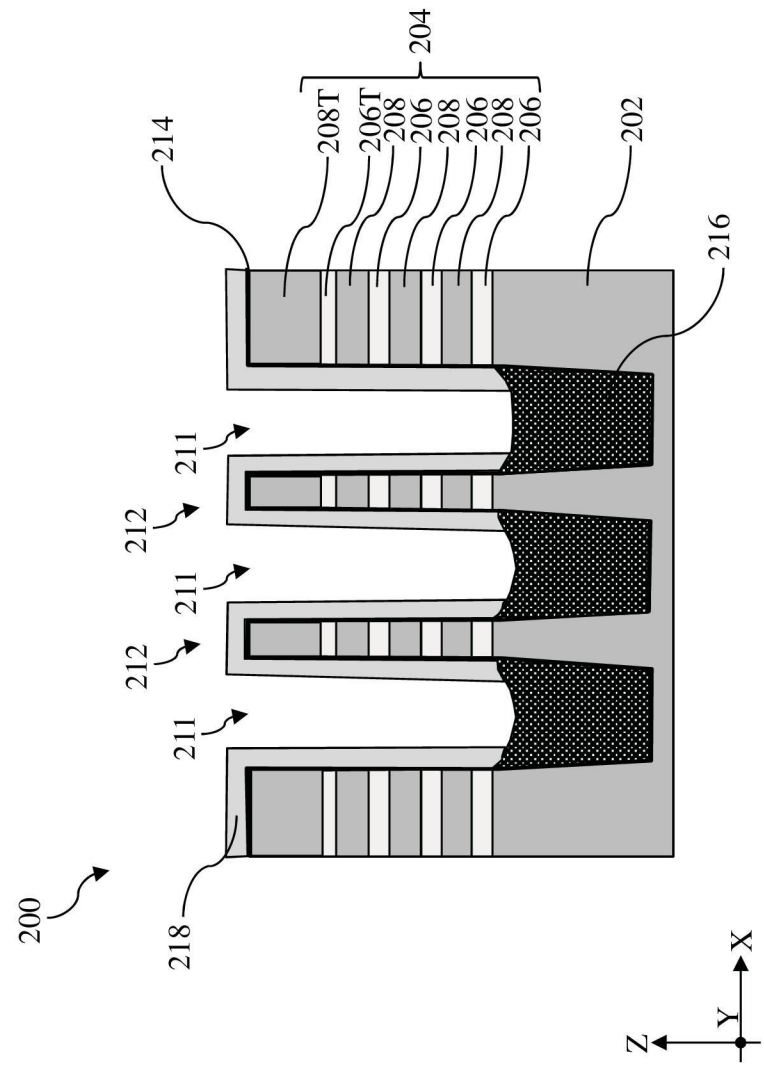


圖 6

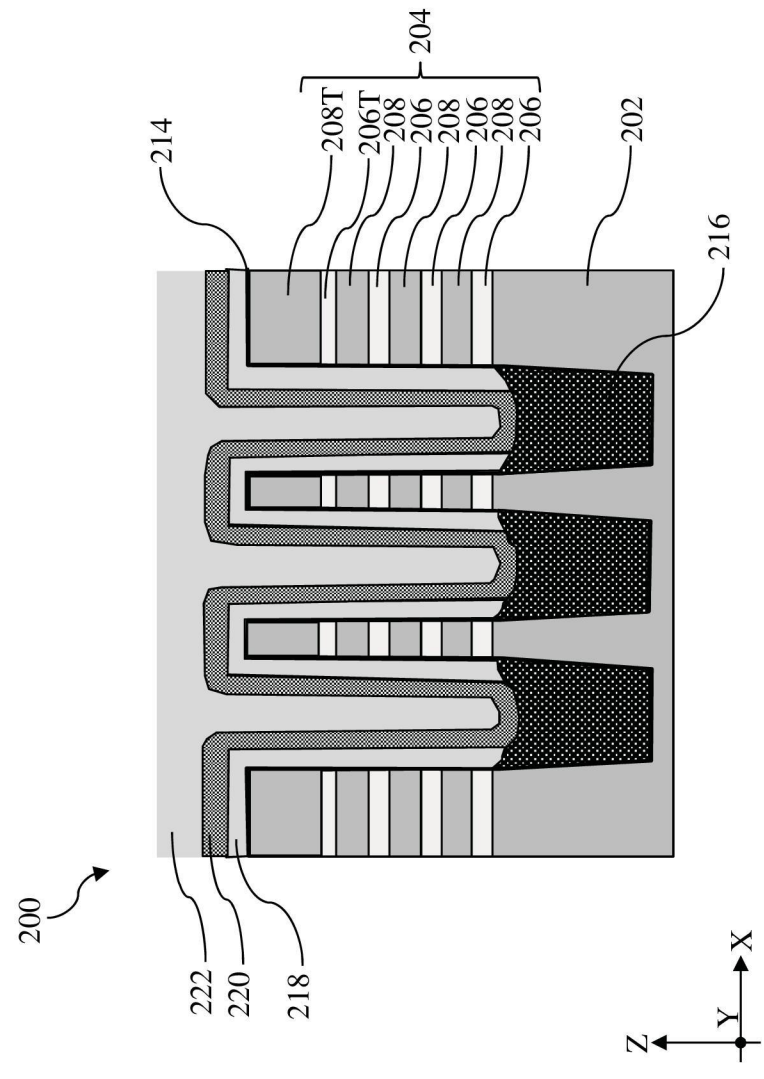


圖 7

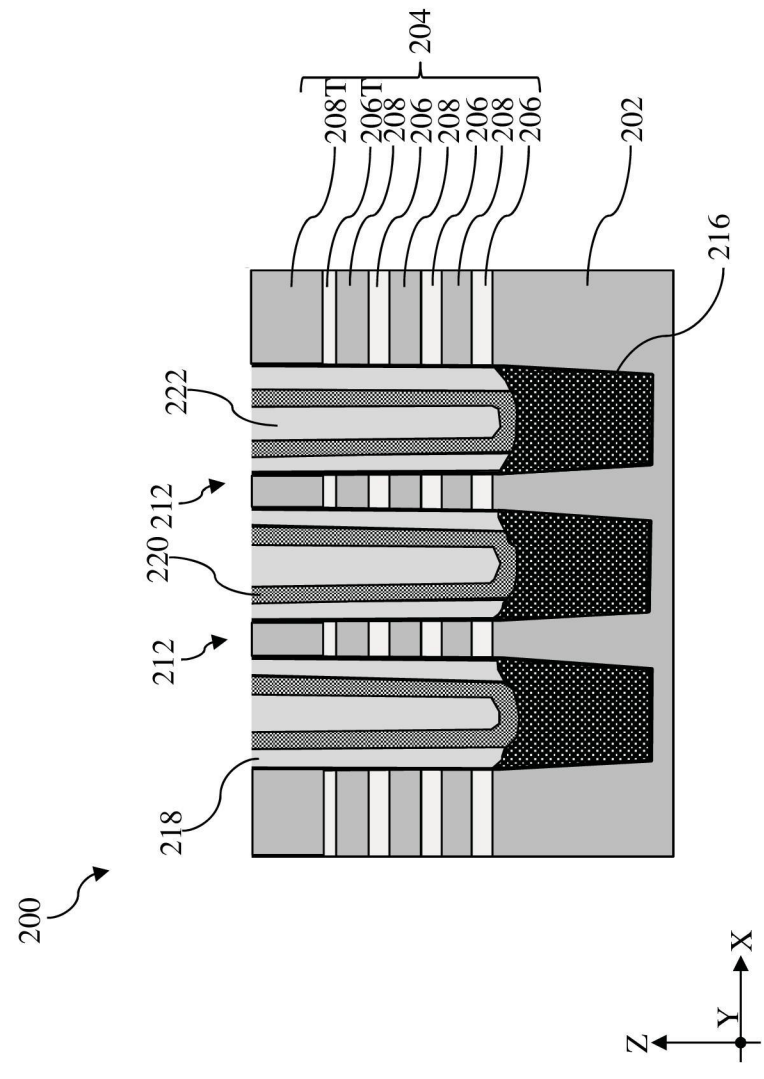


圖 8

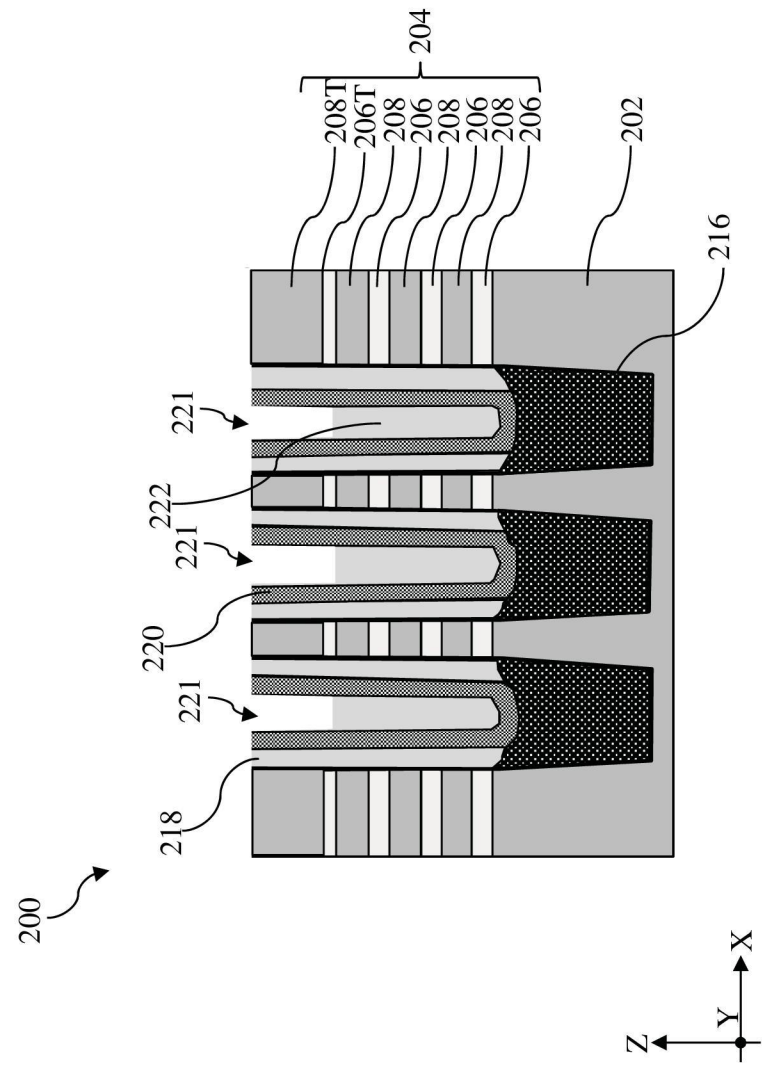


圖 9

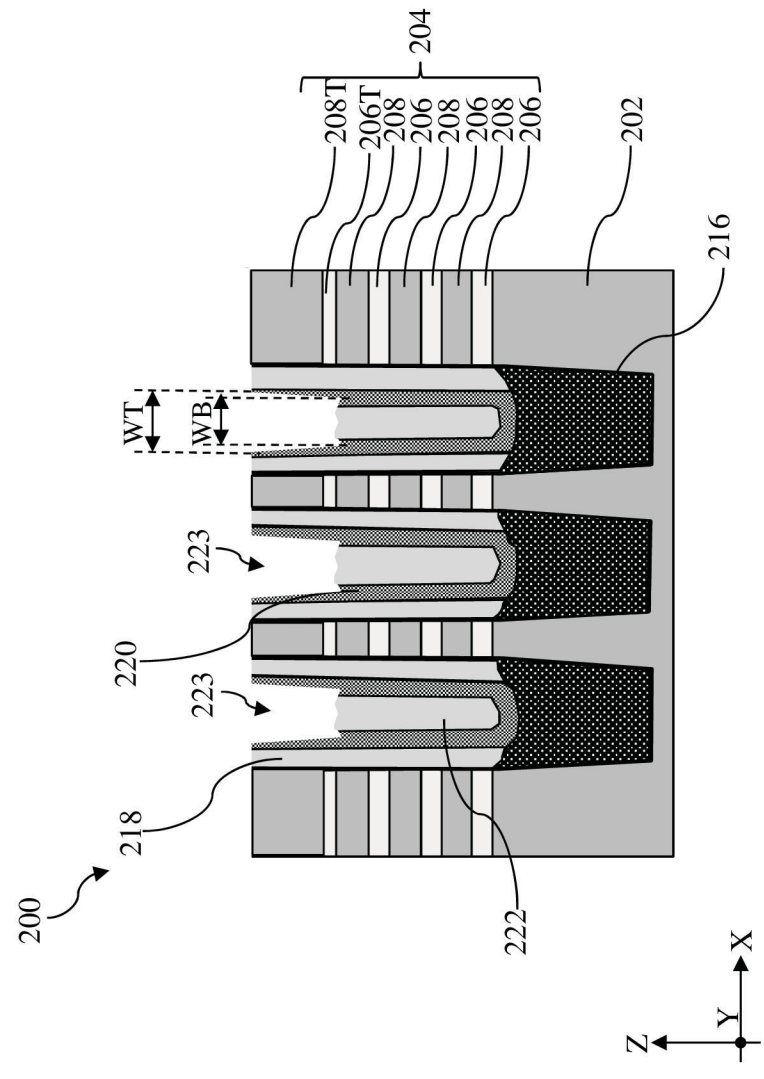


圖 10

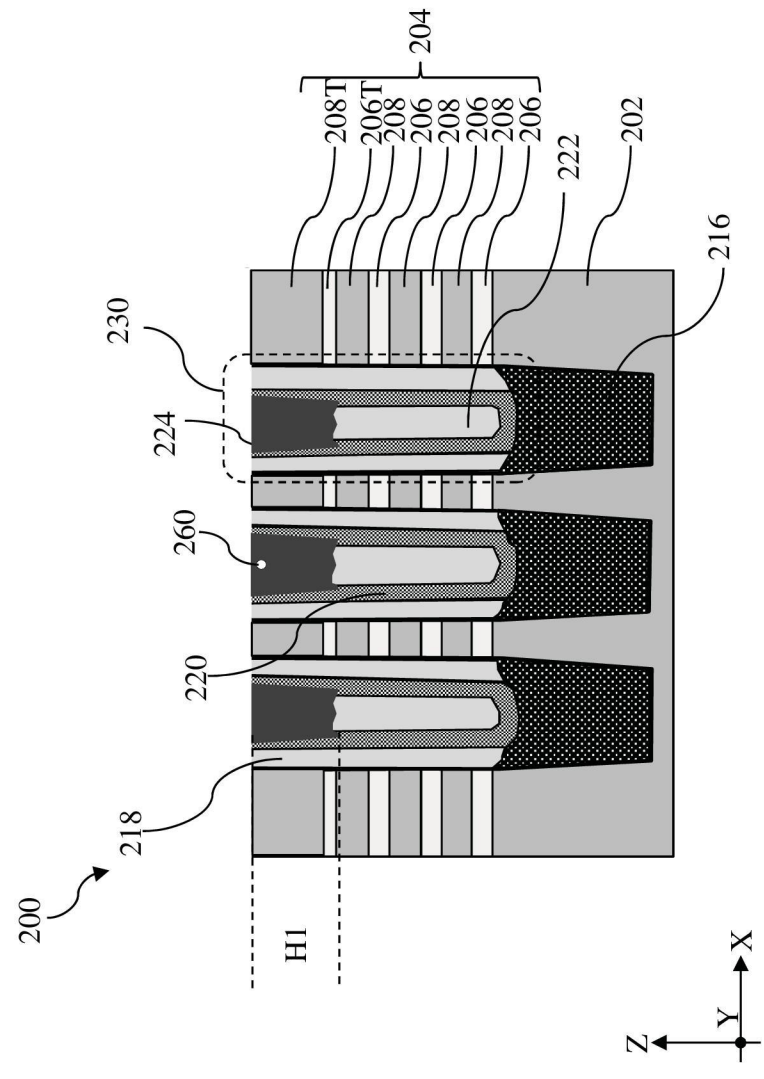


圖 11

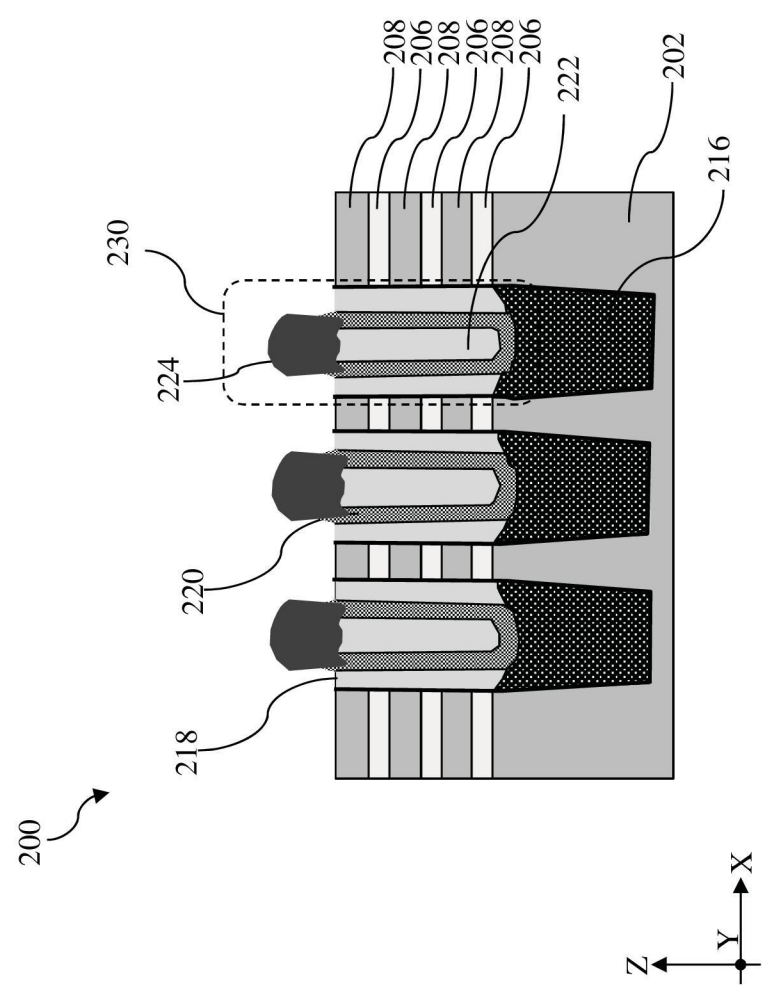


圖 12

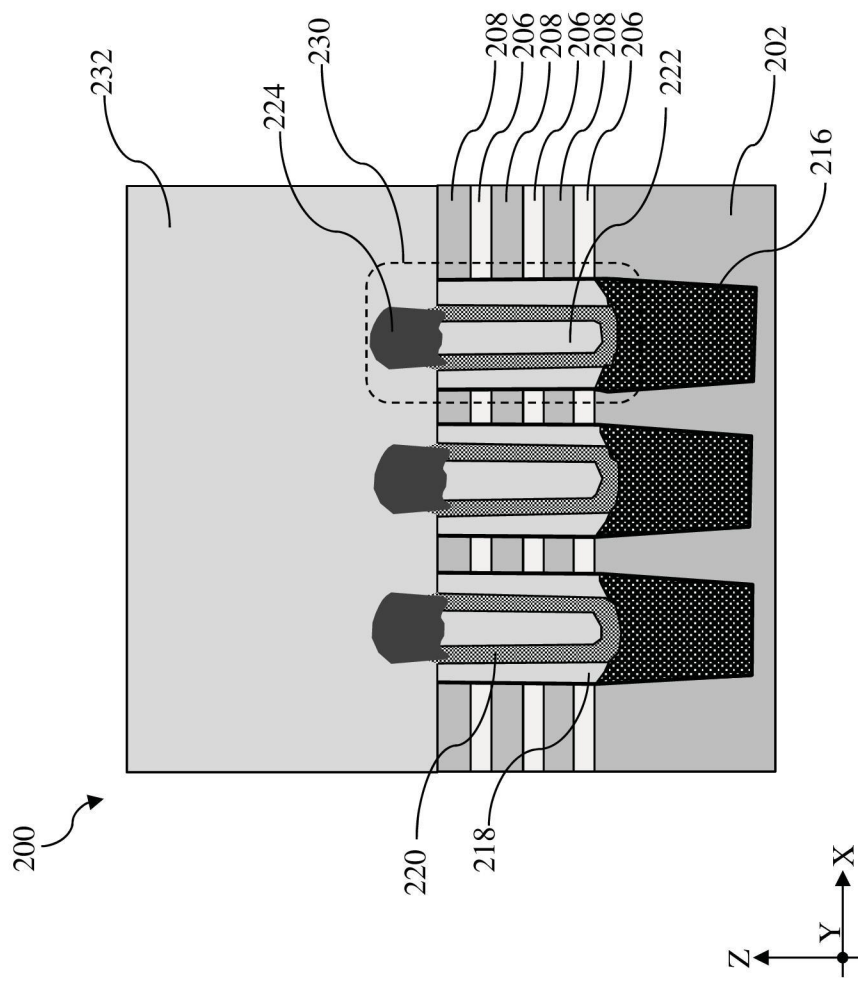


圖 13

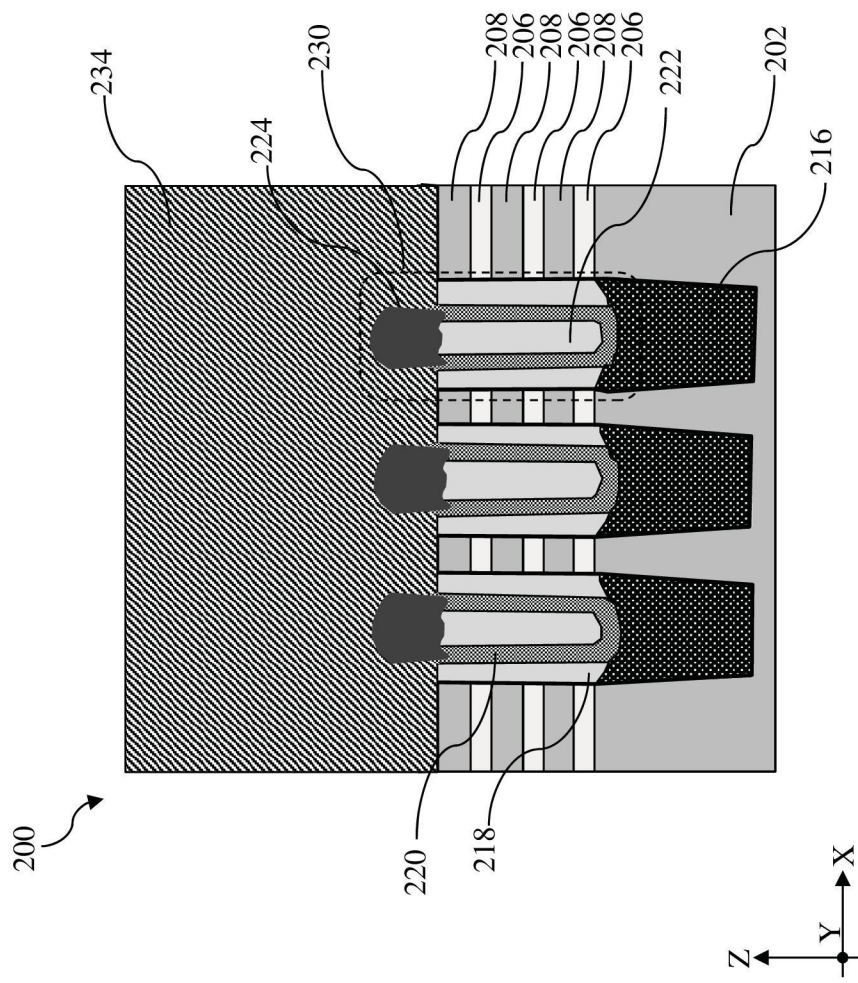


圖 14

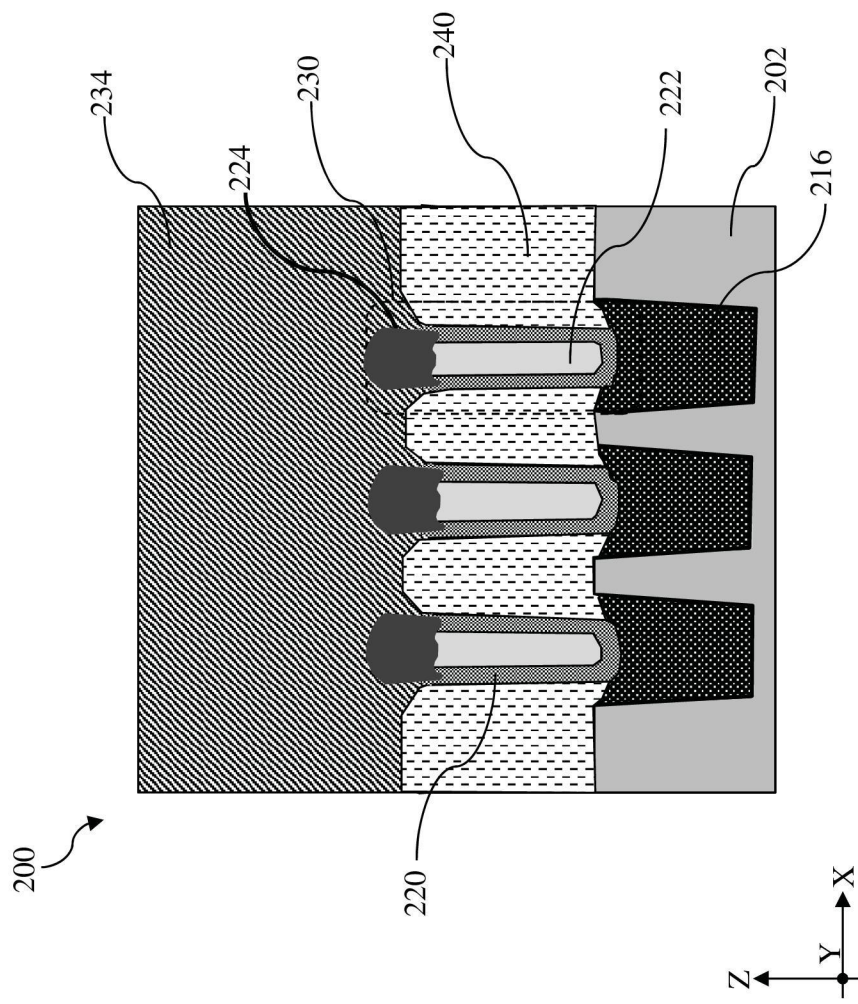


圖 15

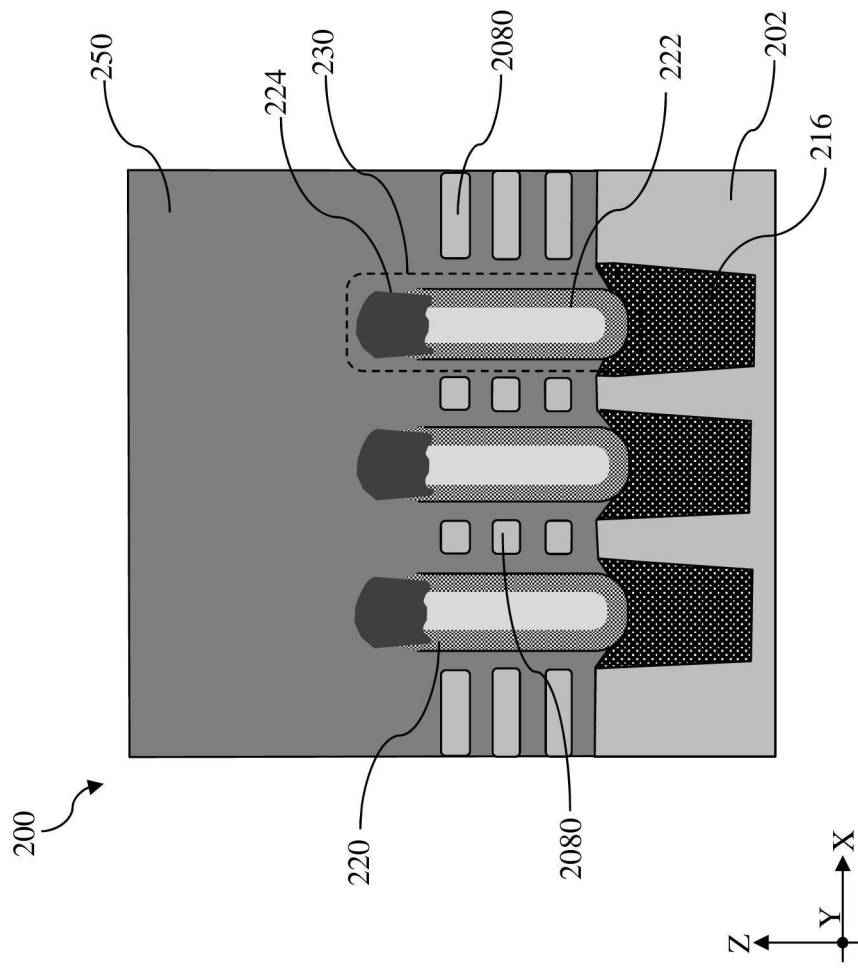


圖 16

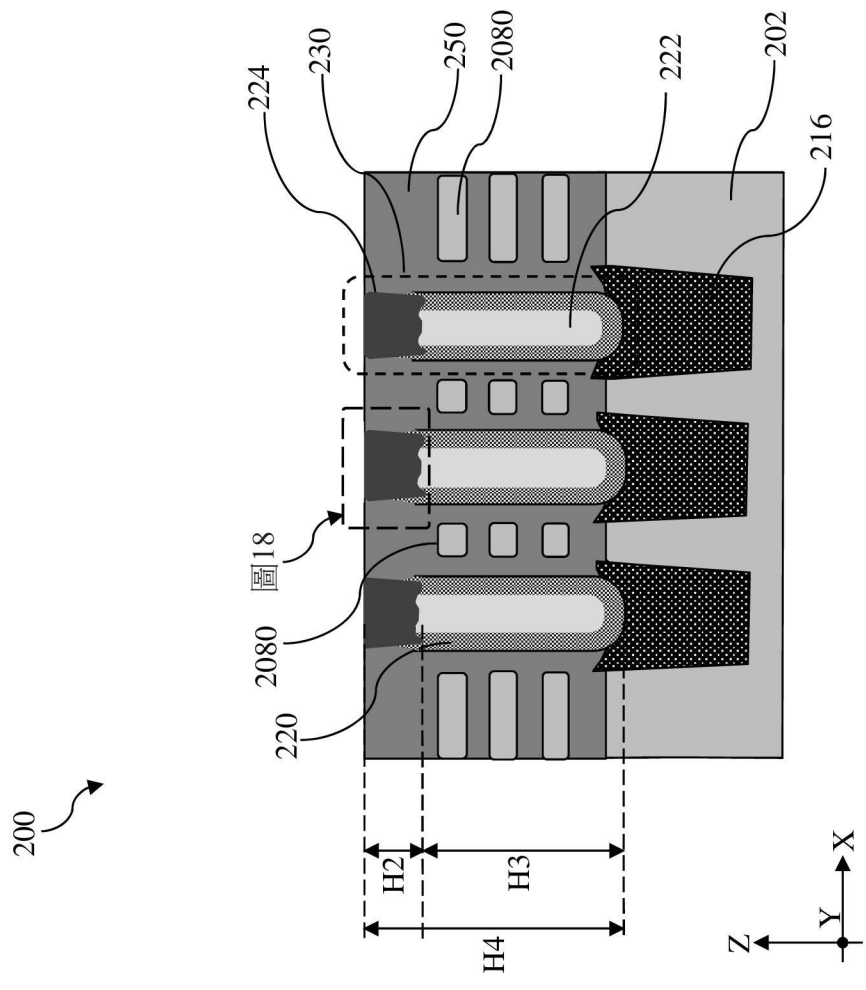


圖 17

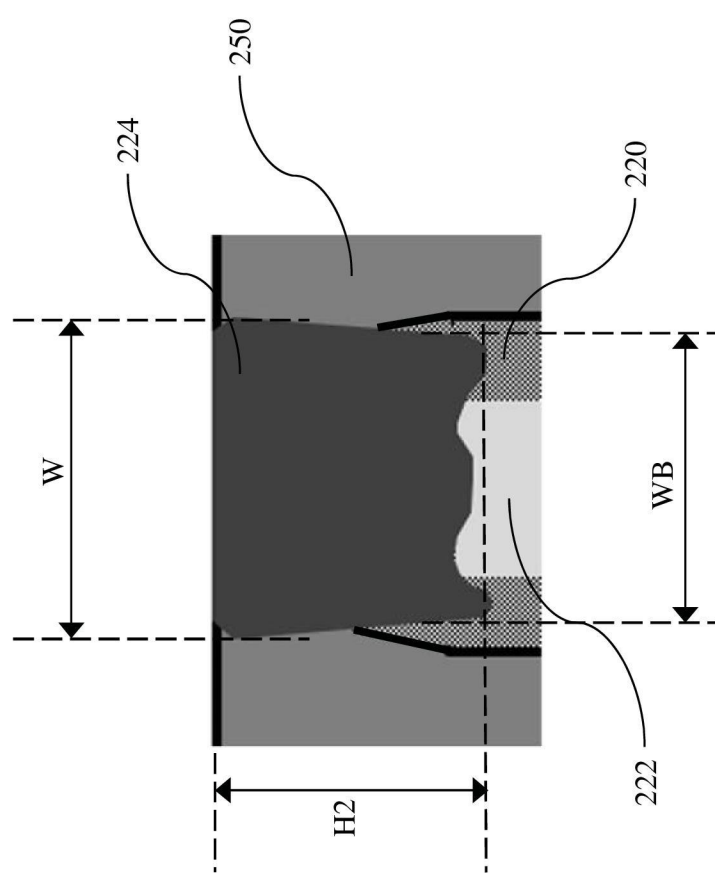


圖 18