

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3680848号  
(P3680848)

(45) 発行日 平成17年8月10日(2005.8.10)

(24) 登録日 平成17年5月27日(2005.5.27)

(51) Int. Cl.<sup>7</sup>

F I

GO2F	1/1335	GO2F	1/1335	500
GO2F	1/1343	GO2F	1/1343	
GO2F	1/1368	GO2F	1/1368	

請求項の数 13 (全 32 頁)

<p>(21) 出願番号 特願2003-209656 (P2003-209656)</p> <p>(22) 出願日 平成15年8月29日 (2003.8.29)</p> <p>(62) 分割の表示 特願平11-538193の分割</p> <p>原出願日 平成11年3月19日 (1999.3.19)</p> <p>(65) 公開番号 特開2004-126558 (P2004-126558A)</p> <p>(43) 公開日 平成16年4月22日 (2004.4.22)</p> <p>審査請求日 平成15年8月29日 (2003.8.29)</p> <p>(31) 優先権主張番号 特願平10-71035</p> <p>(32) 優先日 平成10年3月19日 (1998.3.19)</p> <p>(33) 優先権主張国 日本国 (JP)</p> <p>(31) 優先権主張番号 特願平10-176244</p> <p>(32) 優先日 平成10年6月23日 (1998.6.23)</p> <p>(33) 優先権主張国 日本国 (JP)</p>	<p>(73) 特許権者 000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号</p> <p>(74) 代理人 100095728 弁理士 上柳 雅誉</p> <p>(74) 代理人 100107076 弁理士 藤綱 英吉</p> <p>(74) 代理人 100107261 弁理士 須澤 修</p> <p>(72) 発明者 村出 正夫 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内</p> <p>審査官 石田 昌士</p> <p style="text-align: right;">最終頁に続く</p>
--	---

(54) 【発明の名称】 薄膜トランジスタを用いた基板、液晶装置、及び電子機器

(57) 【特許請求の範囲】

【請求項1】

マトリクス状に設けられた複数のスイッチング素子と、  
前記複数のスイッチング素子のそれぞれに対応して設けられた複数の画素電極と、  
前記複数のスイッチング素子のそれぞれに電気的に接続された複数のデータ線と、  
前記データ線と交差する方向に延伸するとともに、前記画素電極を挟んで互いに対向する帯状の第1及び第2の遮光膜と

を備え、

前記第1及び第2の遮光膜はそれぞれ、前記データ線に沿って、前記データ線が延在する一方向に突出した第1の突出部と、前記一方向とは反対の方向に突出した第2の突出部とを有し、

前記第1の遮光膜の前記第2の突出部の先端と前記第2の遮光膜の前記第1の突出部の先端とは、互いに対向し、かつ分離していることを特徴とするスイッチング素子を用いた基板。

【請求項2】

前記画素電極に対応して設けられた蓄積容量と、  
前記蓄積容量を構成するとともに、前記データ線に沿って突出した突出部を有する蓄積容量電極とを有する請求項1に記載のスイッチング素子を用いた基板。

【請求項3】

前記遮光膜は導電性の遮光膜であり、前記蓄積容量電極と前記遮光膜とは、前記容量電

10

20

極及び前記遮光膜の突出部において開孔されたコンタクトホールを介して接続されていることを特徴とする請求項 2 に記載のスイッチング素子を用いた基板。

【請求項 4】

前記スイッチング素子は薄膜トランジスタであり、前記蓄積容量は前記蓄積容量電極と対向する第 2 の蓄積容量電極を有し、前記蓄積容量電極と前記第 2 の蓄積容量電極とは、前記スイッチング素子のゲート絶縁膜と同一の絶縁膜からなる誘電体膜を介して対向配置されることを特徴とする請求項 3 に記載のスイッチング素子を用いた基板。

【請求項 5】

前記第 2 の蓄積容量電極は前記データ線に沿って突出した突出部を有し、当該突出部は前記遮光膜の突出部と対向配置されることを特徴とする請求項 4 に記載のスイッチング素子を用いた基板。

10

【請求項 6】

前記蓄積容量電極の突出部は前記第 2 の蓄積容量電極の突出部と対向配置されることを特徴とする請求項 4 または 5 に記載のスイッチング素子を用いた基板。

【請求項 7】

前記蓄積容量電極は前記データ線に交差する方向に延伸することを特徴とする請求項 2 乃至 6 のいずれか一項に記載のスイッチング素子を用いた基板。

【請求項 8】

前記コンタクトホールは平面的に見て前記データ線に重なる領域に形成されていることを特徴とする請求項 3 に記載のスイッチング素子を用いた基板。

20

【請求項 9】

前記蓄積容量電極及び前記遮光膜は、定電位源に接続されていることを特徴とする請求項 2 乃至 8 のいずれか一項に記載のスイッチング素子を用いた基板。

【請求項 10】

一对の基板間に液晶が挟持されてなり、前記一对の基板のうち一方の基板は、請求項 1 乃至 9 のいずれか一項に記載のスイッチング素子を用いた基板であることを特徴とする液晶装置。

【請求項 11】

前記基板に形成される複数の層間絶縁膜のうち、前記液晶に最も近い位置に形成された層間絶縁膜の前記液晶に面する側が平坦になっていることを特徴とする請求項 10 に記載の液晶装置。

30

【請求項 12】

前記基板に形成される前記複数の層間絶縁膜のうち少なくとも 1 つは、前記スイッチング素子、前記データ線、前記走査線、及び前記蓄積容量電極のうち少なくとも 1 つに対向する部分が凹状に窪んで形成されることにより、前記複数の層間絶縁膜のうち前記液晶に最も近い位置に形成された膜の前記液晶に面する側が平坦化されていることを特徴とする請求項 11 に記載の液晶装置。

【請求項 13】

請求項 10 乃至 12 のいずれか一項に記載の液晶装置を備えたことを特徴とする電子機器。

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜トランジスタ（以下適宜、TFT と称する）駆動によるアクティブマトリクス駆動方式の液晶装置の技術分野に属し、特に、液晶プロジェクタ等に用いられる、TFT の下側に遮光膜を設けた形式の液晶装置の技術分野に属する。

【0002】

【従来の技術】

従来、この種の液晶装置が液晶プロジェクタ等にライトバルブとして用いられる場合には一般に、液晶層を挟んで TFT アレイ基板に対向配置される対向基板の側から投射光が

50

入射される。ここで、投射光が T F T の a - S i (アモルファスシリコン)膜や p - S i (ポリシリコン)膜から構成されたチャンネル領域に入射すると、この領域において光電変換効果により光電流が発生してしまい、T F T のトランジスタ特性が劣化する。このため、対向基板には、各 T F T に夫々対向する位置に、C r (クロム)などの金属材料や樹脂ブラックなどからなる遮光膜が形成されるのが一般的である。この遮光膜は、各画素の開口領域(即ち、投射光が透過する領域)を規定することにより、T F T の p - S i 層に対する遮光の他に、コントラストの向上、色材の混色防止などの機能を果たしている。

#### 【0003】

この種の液晶装置においては、特にトップゲート構造(即ち、T F T アレイ基板上においてゲート電極がチャンネルの上側に設けられた構造)を採る正スタガ型又はコプラナー型の a - S i 又は p - S i T F T を用いる場合には、投射光の一部が液晶プロジェクト内の投射光学系により戻り光として、T F T アレイ基板の側から T F T のチャンネルに入射するのを防ぐ必要がある。同様に、投射光が通過する際の T F T アレイ基板の表面からの反射光や、更にカラー用に複数の液晶装置を組み合わせる使用する場合の他の液晶装置から出射した後に投射光学系を突き抜けてくる投射光の一部が、戻り光として T F T アレイ基板の側から T F T のチャンネルに入射するのを防ぐ必要もある。このために、特開平 9 - 1 2 7 4 9 7 号公報、特公平 3 - 5 2 6 1 1 号公報、特開平 3 - 1 2 5 1 2 3 号公報、特開平 8 - 1 7 1 1 0 1 号公報等では、石英基板等からなる T F T アレイ基板上において T F T に対向する位置(即ち、T F T の下側)にも、例えば不透明な高融点金属から遮光膜を形成した液晶装置を提案している。

#### 【0004】

他方、この種の液晶装置においては、走査信号をゲート電極に印加することにより T F T を導通状態として画素電極に画像信号を供給する時間に対して、画素電極に電圧が保持される時間を長くするために、即ちデューティ比が小さくても十分な時間だけ液晶駆動電圧を印加できるように、画素電極に対して蓄積容量を付加するのが一般的である。この場合、走査線に沿って形成された容量線の一部を他方の蓄積容量電極として構成する方式が一般化されている。

液晶装置においては、画質向上という一般的要請が強く、このために液晶装置の駆動周波数を高めることが重要となる。

#### 【0005】

##### 【発明が解決しようとする課題】

しかしながら、前述のように画素電極に対して蓄積容量を付加するために、例えば基板温度を 9 0 0 度等の高温にさらすプロセスを有する高温プロセスを用いる場合は、一方の蓄積容量電極を含む容量線を、走査線と同様のポリシリコン膜から形成するので、例えばデータ線のように A 1 等の低抵抗金属膜からなる配線と比較すると、低抵抗化が困難である。このため、容量線の抵抗や時定数が大きくなり、複数のデータ線の下を交差して配線された容量線における各データ線との容量カップリングにより容量線の電位が揺れて、横クロストークやゴースト等による画像劣化が発生してしまうという問題点がある。

#### 【0006】

より具体的には、図 2 0 に示したように、灰色を背景として黒部分がハイコントラストで描かれた画像 8 0 1 を表示しようとする場合、走査線に沿った一行の画素列上で他の画素に与えられる画像信号の電圧(ここでは、灰色に対応する電圧)と部分的に異なる電圧(ここでは、黒に対応する電圧)の画像信号が与えられると、このような容量カップリングによる容量線の電位揺れが安定する前に、当該画素行における各画素への書き込みが行われる。このため、実際に表示される画像 8 0 2 においては、黒表示すべき部分的に異なる電圧の画像信号が与えられた画素の左右の画素における電圧不足を招いて、灰色表示すべき行全体が白っぽくなるという現象、即ち、横クロストークやゴースト等が発生するのである。

#### 【0007】

10

20

30

40

50

この場合特に、黒表示すべき部分的に異なる電圧の画像信号が与えられる時点が、各走査線毎の書き込みの終了時点に近い時点である程、即ち、黒表示すべき画素が、一本の走査線上で左右のうち一方側から走査信号を供給する場合には他方側に近い画素である程或いは両側から走査信号を供給する場合には中央に近い画素である程、容量カップリングによる容量線の電位揺れが安定するより以前に、当該画素行における各画素への書き込みが行われるため、横クロストークやゴースト等が顕著に発生し易い。

#### 【0008】

そして、このような横クロストークやゴースト等は、所謂XGA、SXGA等の機種の液晶装置のように駆動周波数が高くなると、相対的に容量線の時定数が大きくなるために、発生し易くなる。更に、データ線に対し画像信号の電圧を小さな負荷で書き込めるようにデータ線に所定電圧レベルのプリチャージ信号を画像信号に先行して夫々供給するプリチャージを行う場合には、プリチャージするための水平帰線期間をある程度の長さ確保する必要があるために、各走査線の書き込みの終了時点に近い時点で部分的に異なる電圧の画像信号が与えられた後に、容量カップリングによる容量線の電位の揺れが安定するまでの時間を十分に確保できなくなる。このため、前述の横クロストークやゴースト等は、プリチャージを行う際には防止し難いという問題点もある。

10

#### 【0009】

このような横クロストークやゴースト等の問題を解決するためには、例えば液晶に印加される駆動電圧の極性をデータ線毎に反転するデータ線反転駆動方式(1S反転駆動方式)や画素毎に反転するドット反転駆動方式は有効であるが、これらの方式によれば、データ線や走査線に沿った液晶のディスクリネーション(配向不良)が強く発生して表示劣化を起こしてしまうため、特に画素領域の高開口率化という基本的要請の下では、これらの方式は実用的ではない。

20

本発明は上述した問題点に鑑みなされたものであり、蓄積容量及び遮光膜を用いた比較的簡易な構成により、高品質の画像表示が可能な液晶装置を提供することを課題とする。

#### 【0010】

##### 【課題を解決するための手段】

本発明の第1の発明は、マトリクス状に設けられた複数のスイッチング素子と、前記複数のスイッチング素子のそれぞれに対応して設けられた複数の画素電極と、前記複数のスイッチング素子のそれぞれに電気的に接続された複数のデータ線と、前記データ線と交差する方向に延伸するとともに、前記画素電極を挟んで互に対向する帯状の第1及び第2の遮光膜とを備え、前記第1及び第2の遮光膜はそれぞれ、前記データ線に沿って、前記データ線が延在する一方向に突出した第1の突出部と、前記一方向とは反対の方向に突出した第2の突出部とを有し、前記第1の遮光膜の前記第2の突出部の先端と前記第2の遮光膜の前記第1の突出部の先端とは、互に対向し、かつ分離していることを特徴とする。また、第1の発明においては、前記画素電極に対応して設けられた蓄積容量と、前記蓄積容量を構成するとともに、前記データ線に沿って突出した突出部を有する蓄積容量電極とを有するようにしてもよい。また、前記遮光膜は導電性の遮光膜であり、前記蓄積容量電極と前記遮光膜とは、前記容量電極及び前記遮光膜の突出部において開孔されたコンタクトホールを介して接続してもよい。

30

40

#### 【0011】

第一の発明の薄膜トランジスタを用いた基板によれば、遮光膜は、走査線に沿って延びる帯状部分と、データ線方向へ突出した突出部とから構成されている。即ち、遮光膜はデータ線に対向する所定の領域で分断されている。この際、遮光膜は薄膜トランジスタの少なくともチャンネル領域を平面的に見て夫々覆う位置に設けられている。従って、薄膜トランジスタのチャンネル領域は、光源の反対側から入射される戻り光等については、遮光膜により遮光されており、薄膜トランジスタの戻り光等による特性劣化を防止できる。

#### 【0012】

また、第1の発明は、前記スイッチング素子は薄膜トランジスタであり、前記蓄積容量は前記蓄積容量電極と対向する第2の蓄積容量電極を有し、前記蓄積容量電極と前記第2

50

の蓄積容量電極とは、前記スイッチング素子のゲート絶縁膜と同一の絶縁膜からなる誘電体膜を介して対向配置されることを特徴とする。

【0013】

第2蓄積容量電極は走査線に沿って形成されているが、この第2蓄積容量電極と、走査線に沿って延設された配線部分を含む導電性の遮光膜が電気接続されている。このため、第2蓄積容量電極の抵抗を、導電性の遮光膜の抵抗により顕著に低められる。例えば、第2蓄積容量電極をポリシリコン膜から形成し且つ遮光膜を導電性の高融点金属膜から形成すれば、第2蓄積容量電極における走査線に沿った方向の抵抗を、遮光膜のシート抵抗により支配できる。即ち、第2蓄積容量電極における大幅な低抵抗化が可能となる。

【0014】

以上の結果、低抵抗の第2蓄積容量電極により、画素電極に対して第1蓄積容量が夫々付与されるため、薄膜トランジスタを用いた基板の駆動周波数を高めても、前述の如きデータ線と第2蓄積容量電極との容量カップリングによる第2蓄積容量電極の電位揺れに起因する横クロストークやゴースト等は低減され、高品位の画像表示が行える。

【0015】

これに加えて、異物等により第2蓄積容量電極が途中で断線しても、遮光膜が第2蓄積容量電極の代わりになるので、冗長構造が実現できる。

【0016】

また、この態様では、前記第1蓄積容量電極は前記第2蓄積容量電極より下層側に形成され、前記薄膜トランジスタの前記画素電極に接続された側のソース又はドレイン領域を構成する半導体層から延設されてなり、前記遮光膜は、前記薄膜トランジスタを形成する半導体層より下層側に形成され、前記第1蓄積容量電極と層間絶縁膜を介して対向配置されることにより、第2蓄積容量が付与されるように構成してもよい。

【0017】

このように構成すれば、第1蓄積容量電極を挟んで上下両側に蓄積容量が付与される構造、即ちダブル蓄積容量構造が構築されるので、蓄積容量がより増加し、表示画像におけるフリッカや焼き付きを防止する機能が向上する。

【0018】

また、この態様によれば、第2蓄積容量電極と走査線とは、例えばポリシリコン膜等の同一の導電性薄膜からなり、蓄積容量の誘電体膜と薄膜トランジスタのゲート絶縁膜とは、例えば高温酸化膜等の同一の絶縁薄膜からなり、第2蓄積容量電極と対向配置される第1蓄積容量電極は、例えばポリシリコン膜等の半導体層部分から延設されてなるので、一方の基板上に形成される積層構造を単純化でき、更に同一の薄膜形成工程で蓄積容量電極及び走査線の両方を同時に、或いは誘電体膜及びゲート絶縁膜の両方を同時に形成できるので製造上大変有利である。

【0019】

また、本発明の第二の態様は、前記第2の蓄積容量電極は前記データ線に沿って突出した突出部を有し、当該突出部は前記遮光膜の突出部と対向配置されることを特徴とする。

【0020】

この態様によれば、蓄積容量をデータ線方向に延設することができる。この際、蓄積容量の延設した部分はデータ線と重なる領域に位置するため、画素の開口率を下げることなく蓄積容量を増加することができる、

【0021】

第一の発明の第三の態様では、前記第2蓄積容量電極と前記遮光膜との間には、層間絶縁膜が介在しており、前記蓄積容量電極と前記遮光膜とは、前記層間絶縁膜に開孔されたコンタクトホールを介して接続されたことを特徴とする。

【0022】

この態様によれば、第2蓄積容量電極と遮光膜とは、層間絶縁膜に開孔されたコンタクトホールを介して接続されているので、確実に且つ信頼性の高い電気接続状態を両者間に実現できる。

10

20

30

40

50

## 【 0 0 2 3 】

第一の発明の第四の態様では、前記コンタクトホールは、平面的に見て前記データ線に重なる領域に開孔されていることを特徴とする。

## 【 0 0 2 4 】

この態様によれば、コンタクトホールは、データ線の下に開孔されている。即ち、コンタクトホールは、画素開口領域から外れており、しかも薄膜トランジスタや該薄膜トランジスタの半導体層から延設された第1蓄積容量の一方の電極が形成されていない第1層間絶縁膜の部分に設けられているので、画素領域の有効利用を図れる。

## 【 0 0 2 5 】

第一の発明の第五の態様では、前記蓄積容量電極及び前記遮光膜は、定電位源に接続されていることを特徴とする。この態様によれば、遮光膜は定電位源に接続されているので、遮光膜は定電位とされる。従って、遮光膜に対向配置される薄膜トランジスタに対し遮光膜の電位変動が悪影響を及ぼすことはない。そして、蓄積容量電極も定電位とされるので、蓄積容量電極として良好に機能し得る。この場合、定電位源の定電位としては、例えば接地電位に等しくてもよい。

10

## 【 0 0 2 6 】

本発明における第二の発明は、薄膜トランジスタを用いた基板を備えた電子機器であることを特徴とする。この態様によれば、電子機器は、上述した第一の発明の薄膜トランジスタを用いた基板を備えているため、冗長構造により装置の信頼性が高く、横クロストーク等の表示劣化が低減されており且つ戻り光等に対する遮光性能に優れた薄膜トランジスタを用いた基板により高品位の画像表示が可能となる。

20

## 【 0 0 2 7 】

本発明における第三の発明は、一对の基板間に液晶が挟持されてなり、前記一对の基板のうち一方の基板は、第一の発明の薄膜トランジスタを用いた基板であることを特徴とする液晶装置である。この態様によれば、液晶装置は、上述した第一の発明の薄膜トランジスタを用いた基板を備えているため、冗長構造により装置の信頼性が高く、横クロストーク等の表示劣化が低減されており且つ戻り光等に対する遮光性能に優れた薄膜トランジスタを用いた基板により高品位の画像表示が可能となる。

## 【 0 0 2 8 】

第三の発明の一の態様では、前記基板に形成される前記複数の層間絶縁膜のうち少なくとも一つは、前記薄膜トランジスタ、前記データ線、前記走査線、及び前記容量線のうち少なくとも一つに対向する部分が凹状に窪んで形成されることにより、前記複数の層間絶縁膜のうち前記液晶に最も近い位置に形成された膜の前記液晶に面する側が平坦化されている。

30

## 【 0 0 2 9 】

この構成では液晶に最も近い位置に形成された層間絶縁膜の液晶に面する側が平坦化されているので、当該平坦化の度合いに応じて液晶に最も近い位置に形成された層間絶縁膜の表面の凹凸により引き起こされる液晶のディスクリネーション（配向不良）を低減できる。

## 【 0 0 3 0 】

本発明の以上のような作用及び他の利得は後述する実施形態から明らかにする。

40

## 【 0 0 3 1 】

## 【 発明の実施の形態 】

以下、本発明の実施形態を図面に基づいて説明する。

## 【 0 0 3 2 】

## [ 実施の形態 1 ]

本発明による液晶装置の第1実施形態の構成及び動作について、図1から図5を参照して説明する。図1は、液晶装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路である。図2は、データ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図であ

50

り、図3は、図2のA-A'断面図である。図4は、TFTアレイ基板上の遮光膜の2次元的な配線レイアウトを周辺回路と共に示す平面図であり、図5は、プリチャージに係る各種信号のタイミングチャートである。尚、図3においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

#### 【0033】

図1において、本実施形態による液晶装置の画像表示領域を構成するマトリクス状に形成された複数の画素は、画素電極9aと当該画素電極9aを制御するためのTFT30がマトリクス状に複数形成されており、画像信号を供給するデータ線6aが当該TFT30のソース領域に電気接続されている。データ線6aに書き込む画像信号S1、S2、...、Snは、この順に線順次に供給しても構わないし、相隣接する複数のデータ線6a同士に対して、グループ毎に供給するようにしても良い。また、TFT30のゲートに走査線3aが電気接続されており、所定のタイミングで、走査線3aにパルスの走査信号G1、G2、...、Gmを、この順に線順次で印加するように構成されている。画素電極9aは、TFT30のドレインに電気接続されており、スイッチング素子であるTFT30を一定期間だけそのスイッチを閉じることにより、データ線6aから供給される画像信号S1、S2、...、Snを所定のタイミングで書き込む。画素電極9aを介して液晶に書き込まれた所定レベルの画像信号S1、S2、...、Snは、対向基板(後述する)に形成された対向電極(後述する)との間で一定期間保持される。ここで、保持された画像信号がリークするのを防ぐために、画素電極9aと対向電極との間に形成される液晶容量と並列に蓄積容量70を付加する。例えば、画素電極9aの電圧は、ソース電圧が印加された時間よりも3桁も長い時間だけ蓄積容量70により保持される。これにより、保持特性は更に改善され、コントラスト比の高い液晶装置が実現できる。尚、蓄積容量70を形成する方法としては、容量を形成するための配線である容量線3bを設けても良いし、前段の走査線3aとの間で容量を形成しても良いことは言うまでもない。

#### 【0034】

図2において、液晶装置のTFTアレイ基板には、マトリクス状に複数の透明な画素電極9a(点線部9a'により輪郭が示されている)が設けられており、画素電極9aの縦横の境界に各々沿ってデータ線6a、走査線3a及び容量線3bが設けられている。データ線6aは、コンタクトホール5を介してポリシリコン膜からなる半導体層1aのうち後述のソース領域に電気接続されており、画素電極9aは、コンタクトホール8を介して半導体層1aのうち後述のドレイン領域に電気接続されている。また、半導体層1aのうち後述のチャンネル領域(図中右下りの斜線の領域)に対向するように走査線3aが配置されている。そして、図中右上がりの斜線で示した領域に画素部における第1遮光膜11aが設けられている。即ち第1遮光膜11aは、画素部において、半導体層1aのチャンネル領域を含むTFT、データ線6a、走査線3a及び容量線3bをTFTアレイ基板の側から見て各々重なる位置に設けられている。

#### 【0035】

図3に示すように、液晶装置は、透明な一方の基板の一例を構成するTFTアレイ基板10と、これに対向配置される透明な他方の基板の一例を構成する対向基板20とを備えている。TFTアレイ基板10は、例えば石英基板、シリコン基板からなり、対向基板20は、例えばガラス基板や石英基板からなる。TFTアレイ基板10には、画素電極9aが設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜16が設けられている。画素電極9aは例えば、ITO(Indium Tin Oxide)膜などの透明導電性薄膜からなる。また配向膜16は例えば、ポリイミド薄膜などの有機薄膜からなる。

#### 【0036】

他方、対向基板20には、その全面に渡って対向電極(共通電極)21が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜22が設けられ

10

20

30

40

50

ている。対向電極 21 は例えば、ITO 膜などの透明導電性薄膜からなる。また配向膜 22 は、ポリイミド薄膜などの有機薄膜からなる。

【0037】

TFT アレイ基板 10 には、図 3 に示すように、各画素電極 9a に隣接する位置に、各画素電極 9a をスイッチング制御する画素スイッチング用 TFT 30 が設けられている。

【0038】

対向基板 20 には、更に図 3 に示すように、各画素の開口領域以外の領域に第 2 遮光膜 23 が設けられている。このため、対向基板 20 の側から入射光が画素スイッチング用 TFT 30 の半導体層 1a のチャンネル領域 1a' や低濃度ソース領域領域 1b 及び低濃度ドレイン領域 1c に侵入することはない。更に、第 2 遮光膜 23 は、コントラストの向上、色材の混色防止などの機能を有する。

【0039】

このように構成され、画素電極 9a と対向電極 21 とが対面するように配置された TFT アレイ基板 10 と対向基板 20 との間には、後述のシール材 52 (図 18 及び図 19 参照) により囲まれた空間に液晶が封入され、液晶層 50 が形成される。液晶層 50 は、画素電極 9a からの電界が印加されていない状態で配向膜により所定の配向状態を採る。

【0040】

図 3 に示すように、画素スイッチング用 TFT 30 に各々対向する位置において TFT アレイ基板 10 と各画素スイッチング用 TFT 30 との間には、画素に沿って網目状に第 1 遮光膜 11a が各々設けられている。第 1 遮光膜 11a は、好ましくは不透明な高融点金属である Ti、Cr、W、Ta、Mo 及び Pb のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等から構成される。

【0041】

このような材料から構成すれば、TFT アレイ基板 10 上の第 1 遮光膜 11a の形成工程の後に行われる画素スイッチング用 TFT 30 の形成工程における高温処理により、第 1 遮光膜 11a が破壊されたり溶融しないようにできる。第 1 遮光膜 11a が形成されているので、TFT アレイ基板 10 の側からの戻り光等が画素スイッチング用 TFT 30 のチャンネル領域 1a' や低濃度ソース領域 1b、低濃度ドレイン領域 1c に入射する事態を未然に防ぐことができ、光電流の発生により画素スイッチング用 TFT 30 の特性が劣化することはない。

【0042】

更に、第 1 遮光膜 11a と複数の画素スイッチング用 TFT 30 との間には、第 1 層間絶縁膜 12 が設けられている。第 1 層間絶縁膜 12 は、画素スイッチング用 TFT 30 を構成する半導体層 1a を第 1 遮光膜 11a から電氣的に絶縁するために設けられるものである。更に、第 1 層間絶縁膜 12 は、TFT アレイ基板 10 の全面に形成されることにより、画素スイッチング用 TFT 30 のための下地膜としての機能をも有する。即ち、TFT アレイ基板 10 の表面の研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用 TFT 30 の特性の劣化を防止する機能を有する。第 1 層間絶縁膜 12 により、第 1 遮光膜 11a が画素スイッチング用 TFT 30 等を汚染する事態を未然に防ぐこともできる。

【0043】

本実施形態では、ゲート絶縁膜となる絶縁薄膜 2 を走査線 3a の一部からなるゲート電極に対向する位置から延設して誘電体膜として用い、半導体層 1a を延設して第 1 蓄積容量電極 1f とし、更にこれらに対向する容量線 3b の一部を第 2 蓄積容量電極とすることにより、蓄積容量 70 が構成されている。より詳細には、半導体層 1a の高濃度ドレイン領域 1e が、データ線 6a 及び走査線 3a の下に延設されて、同じくデータ線 6a 及び走査線 3a に沿って延びる容量線 3b 部分に絶縁薄膜 2 を介して対向配置されて、第 1 蓄積容量電極 1f とされている。特に蓄積容量 70 の誘電体としての絶縁薄



膜 2 は、高温酸化によりポリシリコン膜上に形成される T F T 3 0 のゲート絶縁膜の場合、薄く且つ高耐圧の絶縁膜とすることができ、蓄積容量 7 0 は比較的小面積で大容量の蓄積容量として構成できる。

【 0 0 4 4 】

これらの結果、データ線 6 a 下の領域及び走査線 3 a に平行な領域(即ち、容量線 3 b が形成された領域)という開口領域を外れたスペースを有効に利用して、画素電極 9 a の蓄積容量を増やすことが出来る。

【 0 0 4 5 】

本実施形態では特に、容量線 3 b と、第 1 遮光膜 1 1 a がコンタクトホール 1 3 を介して電気接続されている。このため、容量線 3 b の抵抗を、第 1 遮光膜 1 1 a の抵抗により顕著に低められる。本実施形態では、容量線 3 b は、例えばシート抵抗値が 2 5 / 程度のポリシリコン膜から形成されているので、対角 1 . 3 インチや 0 . 9 インチ程度の小型の液晶装置の場合には、1 0 0 ~ 2 0 0 K 程度の抵抗を有するが、第 1 遮光膜 1 1 a は、導電性の高融点金属膜から形成されているので、容量線 3 b における走査線 3 a に沿った方向の抵抗は、大幅に低抵抗化される。

【 0 0 4 6 】

この結果、容量線 3 b の時定数についても、第 1 遮光膜 1 1 a の存在により、例えば、十数  $\mu$  秒程度から数  $\mu$  秒程度にまで小さくすることが出来る。従って、データ線 6 a の下を交差して配線された容量線 3 b における各データ線 6 a との容量カップリングにより、容量線 3 b の電位が揺れることに起因した横クロストークやゴースト等の発生を低減できる。即ち、図 2 0 に示したように、灰色を背景として黒部分がハイコントラストで描かれた画像 8 0 1 を表示しようとする場合、黒表示すべき部分的に異なる電圧の画像信号が与えられる時点が走査線毎の書き込みの終了時点に近い時点であっても、画像 8 0 2 のような表示劣化の問題は起こらない。そして、特に当該液晶装置を前述のように X G A、S X G A 等の駆動周波数の高い機種として構成しても、容量線 3 b の時定数が十分に小さくされているため、やはり横クロストークやゴースト等の発生を低減できる。

【 0 0 4 7 】

従って、このような横クロストークやゴースト等の防止のために、前述の如きデータ線 6 a 毎や画素毎に液晶駆動電圧の極性を反転させる方式を採用する必要性は無く、逆に、液晶層 5 0 のディスクリネーションを低減することができ且つ画素開口率を高めるのに適した、走査線 3 a 毎に液晶駆動電圧を反転させる走査線反転駆動方式(所謂 1 H 反転駆動方式)を採用できる。

【 0 0 4 8 】

本実施形態ではさらに、第 1 遮光膜 1 1 a (及びこれに電気接続された容量線 3 b ) は定電位源に電気接続されており、第 1 遮光膜 1 1 a 及び容量線 3 b は、定電位とされる。従って、第 1 遮光膜 1 1 a に対向配置される画素スイッチング用 T F T 3 0 に対し第 1 遮光膜 1 1 a の電位変動が悪影響を及ぼすのを防ぐことができる。また、容量線 3 b は、蓄積容量 7 0 の第 2 蓄積容量電極として良好に機能し得る。この場合、定電位源としては、当該液晶装置を駆動するための周辺回路(例えば、走査線駆動回路、データ線駆動回路、サンプリング回路等)に供給される負電源、正電源等の定電位源、接地電源、対向電極 2 1 に供給される定電位源等が挙げられる。このように周辺回路等の電源を利用すれば、専用の電位配線や外部回路接続端子を設ける必要なく、第 1 遮光膜 1 1 a 及び容量線 3 b を定電位にできる。

【 0 0 4 9 】

図 3 において、画素スイッチング用 T F T 3 0 は、L D D (Lightly Doped Drain) 構造を有しており、走査線 3 a、当該走査線 3 a からの電界によりチャネルが形成される半導体層 1 a のチャネル領域 1 a'、走査線 3 a と半導体層 1 a とを絶縁する絶縁薄膜 2、データ線 6 a、半導体層 1 a の低濃度ソース領域 1 b 及び低濃度ドレイン領域 1 c、半導体層 1 a の高濃度ソース領域 1 d 並びに高濃度ドレイン領域 1 e を備え

10

20

30

40

50

ている。本実施形態では特にデータ線 6 a は、A 1 等の金属膜や金属シリサイド等の合金膜などの遮光性の薄膜から構成されている。

【 0 0 5 0 】

また、走査線 3 a 、絶縁薄膜 2 及び第 1 層間絶縁膜 1 2 の上には、高濃度ソース領域 1 d へ通じるコンタクトホール 5 及び高濃度ドレイン領域 1 e へ通じるコンタクトホール 8 が各々形成された第 2 層間絶縁膜 4 が形成されている。コンタクトホール 5 を介して、データ線 6 a は高濃度ソース領域 1 d に電気接続されている。更に、データ線 6 a 及び第 2 層間絶縁膜 4 の上には、第 3 層間絶縁膜 7 が形成されている。高濃度ドレイン領域 1 e はコンタクトホール 8 を介して画素電極 9 a に電気接続されている。尚、画素電極 9 a と高濃度ドレイン領域 1 e とは、データ線 6 a と同一の A 1 膜や走査線 3 b と同一のポリシリコン膜を中継しての電気接続するようにしてもよい。

10

【 0 0 5 1 】

画素スイッチング用 T F T 3 0 は、好ましくは上述のように L D D 構造を持つが、低濃度ソース領域 1 b 及び低濃度ドレイン領域 1 c に不純物イオンの打ち込みを行わないオフセット構造を持ってよいし、ゲート電極をマスクとして高濃度で不純物イオンを打ち込み、自己整合的に高濃度ソース及びドレイン領域を形成するセルフアライン型の T F T であってもよい。

【 0 0 5 2 】

また本実施形態では、画素スイッチング用 T F T 3 0 の走査線 3 a の一部からなるゲート電極をソース・ドレイン領域間に 1 個のみ配置したシングルゲート構造としたが、これらの間に 2 個以上のゲート電極を配置してもよい。この際、各々のゲート電極には同一の信号が印加されるようにする。このようにデュアルゲート（ダブルゲート）或いはトリプルゲート以上で T F T を構成すれば、チャンネルとソース・ドレイン領域接合部のリーク電流を防止でき、オフ時の電流を低減することができる。これらのゲート電極の少なくとも 1 個を L D D 構造或いはオフセット構造にすれば、更にオフ電流を低減でき、安定したスイッチング素子を得ることができる。

20

【 0 0 5 3 】

ここで、一般には、半導体層 1 a のチャンネル領域 1 a '、低濃度ソース領域 1 b 及び低濃度ドレイン領域 1 c 等を形成するポリシリコン膜は、光が入射するとポリシリコンが有する光電変換効果により光電流が発生してしまい画素スイッチング用 T F T 3 0 のトランジスタ特性が劣化するが、本実施形態では、走査線 3 a を上側から重なるようにデータ線 6 a が A 1 等の遮光性の金属薄膜から形成されているので、少なくとも半導体層 1 a のチャンネル領域 1 a '及び低濃度ソース領域 1 b 、低濃度ドレイン領域 1 c への入射光（即ち、図 3 で上側からの光）の入射を効果的に防ぐことができる。また、前述のように、画素スイッチング用 T F T 3 0 の下側には、第 1 遮光膜 1 1 a が設けられているので、少なくとも半導体層 1 a のチャンネル領域 1 a '及び低濃度ソース領域 1 b 、低濃度ドレイン領域 1 c への戻り光（即ち、図 3 で下側からの光）の入射を効果的に防ぐことができる。次に、本実施形態において T F T アレイ基板 1 0 上に設けられる周辺回路の構成について、図 4 を参照して説明する。

30

【 0 0 5 4 】

図 4 において、液晶装置は周辺回路として、データ線 6 a を駆動するデータ線駆動回路 1 0 1 と、走査線 3 a を駆動する走査線駆動回路 1 0 4 と、複数のデータ線 6 a に所定電圧レベルのプリチャージ信号（N R S）を画像信号 S 1、S 2、...、S n の供給に先行して夫々供給するプリチャージ回路 2 0 1 と、画像信号線に供給される画像信号 S 1、S 2、...、S n をサンプリングして複数のデータ線 6 a に夫々供給するサンプリング回路 3 0 1 とを備える。

40

【 0 0 5 5 】

走査線駆動回路 1 0 4 は、外部制御回路から供給される電源、基準クロック C L Y 及びその反転クロック等に基づいて、所定タイミングで走査線 3 a に走査信号 G 1、G 2、...、G m をパルス的に線順次で印加する。

50

## 【 0 0 5 6 】

データ線駆動回路 1 0 1 は、外部制御回路から供給される電源、基準クロック C L X 及びその反転クロック等に基づいて、走査線駆動回路 1 0 4 が走査信号 G 1 、 G 2 、 ... 、 G m を印加するタイミングに合わせて、データ線 6 a 毎にサンプリング回路駆動信号としてのシフトレジスタからの転送信号 X 1 、 X 2 、 ... 、 X n を、サンプリング回路 3 0 1 にサンプリング回路駆動信号線 3 0 6 を介して所定タイミングで供給する。

## 【 0 0 5 7 】

プリチャージ回路 2 0 1 は、スイッチング素子として、例えば T F T 2 0 2 を各データ線 6 a 毎に備えており、プリチャージ信号線 2 0 4 が T F T 2 0 2 のドレイン又はソースに接続されており、プリチャージ回路駆動信号線 2 0 6 が T F T 2 0 2 のゲート電極に接続されている。そして、動作時には、プリチャージ信号線 2 0 4 を介して、外部電源からプリチャージ信号 ( N R S ) を書き込むために必要な所定電圧の電源が供給され、プリチャージ回路駆動信号線 2 0 6 を介して、各データ線 6 a について画像信号 S 1 、 S 2 、 ... 、 S n の供給に先行するタイミングでプリチャージ信号 ( N R S ) を書き込むように、外部制御回路からプリチャージ回路駆動信号 ( N R G ) が供給される。プリチャージ回路 2 0 1 は、好ましくは中間階調レベルの画像信号 S 1 、 S 2 、 ... 、 S n に相当するプリチャージ信号 ( N R S ) ( 画像補助信号 ) を供給する。

## 【 0 0 5 8 】

サンプリング回路 3 0 1 は、 T F T 3 0 2 を各データ線 6 a 毎に備えており、画像信号線 3 0 4 が T F T 3 0 2 のドレイン又はソース電極に接続されており、サンプリング回路駆動信号線 3 0 6 が T F T 3 0 2 のゲート電極に接続されている。そして、画像信号線 3 0 4 を介して、画像信号 S 1 、 S 2 、 ... 、 S n が入力されると、これらをサンプリングする。即ち、サンプリング回路駆動信号線 3 0 6 を介してデータ線駆動回路 1 0 1 からサンプリング回路駆動信号としての転送信号 X 1 、 X 2 、 ... 、 X n が入力されると、画像信号線 3 0 4 夫々からの画像信号 S 1 、 S 2 、 ... 、 S n をデータ線 6 a に順次印加する。

## 【 0 0 5 9 】

このように本実施形態では、データ線 6 a を一本毎に選択するように構成されているが、データ線 6 a を複数本毎にまとめて同時選択するように構成してもよい。例えば、サンプリング回路 3 0 1 を構成する T F T 3 0 2 の書き込み特性及び画像信号の周波数に応じて、複数相 ( 例えば、 3 相、 6 相、 1 2 相、 ... ) にシリアルーパラレル変換された画像信号 S 1 、 S 2 、 ... 、 S n を画像信号線 3 0 4 から供給して、これらをグループ毎に同時にサンプリングするように構成してもよい。この際、少なくともシリアルーパラレル変換数だけ画像信号線 3 0 4 が必要なことは言うまでもない。

## 【 0 0 6 0 】

ここで、本実施形態の液晶装置において行われるプリチャージについて図 5 を参照して説明を加える。

## 【 0 0 6 1 】

図 5 に示すように、データ線駆動回路 1 0 1 が有するシフトレジスタには、一画素当りの選択時間  $t_1$  を規定するクロック信号 ( C L X ) が水平走査の基準として入力されるが、転送スタート信号 ( D X ) が入力されると、このシフトレジスタから転送信号 X 1 、 X 2 、 ... が順次供給される。各水平走査期間において、このような転送スタート信号 ( D X ) の入力に先行するタイミングで、プリチャージ回路駆動信号 ( N R G ) がプリチャージ回路 2 0 1 に供給される。より具体的には、垂直走査の基準とされるクロック信号 ( C L Y ) がハイレベルとなると共に画像信号 ( V I D ) が信号の電圧中心値 ( V I D 中心 ) を基準として極性反転した後、この極性反転からプリチャージをするまでのマージンである時間  $t_3$  経過後に、プリチャージ回路駆動信号 ( N R G ) は、ハイレベルとされる。他方、プリチャージ信号 ( N R S ) は、画像信号 ( V I D ) の反転に対応して、水平帰線期間で画像信号 ( V I D ) と同極性の所定レベルとされる。従って、プリチャージ回路駆動信号 ( N R G ) がハイレベルとされる時間  $t_2$  において、プリ

ャージが行われる。そして、水平帰線期間が終了して有効表示期間が始まる時点よりも時間  $t_4$  だけ前に、即ち、プリチャージが終了してから画像信号が書き込まれるまでのマージンを時間  $t_4$  として、プリチャージ回路駆動信号 (NRG) は、ローレベルとされる。以上のように、プリチャージ回路 201 は、各水平帰線期間において、プリチャージ信号 (NRS) を画像信号に先行して複数のデータ線 6a に供給する。

#### 【0062】

図5において、水平帰線期間内にプリチャージを行っているが、前述したデータ線 6a と容量線 3b との容量カップリングによる容量線 3b の電位の揺れは、時間  $t_5$  内で安定に向かう。従って、時間  $t_5$  が長くなるように各信号のタイミングを設定すれば、このような容量線 3b の電位の揺れは防止できるようなにも考えられる。しかしながら、この時間  $t_5$  を長くすると、今度は、時間  $t_3$ 、 $t_2$ 、 $t_4$  を短くする必要性が生じる。ここで、時間  $t_3$  を余り短くすると、プリチャージ回路を構成する TFT 等のゲート遅延によりプリチャージ回路駆動信号 (NRG) がハイレベルとなった時点で前段の走査線に係る TFT 30 のゲートがオンしてしまう危険が出て来る。また、時間  $t_2$  を短くしたのでは、プリチャージの能力が低下してしまうか或いは電荷供給能力の高いプリチャージ回路が必要となってしまう。更に又、時間  $t_4$  を短くしたのでは、プリチャージ信号と画像信号とが同時にデータ線 6a に印加されかねない。従って、プリチャージを良好に行うためには、容量カップリングによる容量線 3b の電位揺れを安定させる時 (34) 間  $t_5$  を安易に長くすることは出来ない。しかるに、本実施形態によれば、第1遮光膜 11a により容量線 3b の抵抗を大幅に下げると共に時定数を大幅に下げるので、容量線 3b の時定数に対する時間  $t_5$  を相対的に長くすることができるのである。

#### 【0063】

このようにプリチャージを行う場合にも、本実施形態では、プリチャージするための水平帰線期間を十分な長さだけ確保しつつ、容量カップリングによる容量線 3b の電位の揺れが安定するまでの時間  $t_5$  を実質的に十分に確保できる。以上の結果、本実施形態によれば、駆動周波数が高い場合にも、プリチャージ及び前述の走査線反転駆動を良好に行いつつ、しかも容量カップリングによる横クロストークやゴースト等を防止できるので、極めて高品位の画像表示が可能となる。

#### 【0064】

これらに加えて本実施形態によれば、異物等により容量線 3b が途中で断線しても、第1遮光膜 11a が容量線 3b の代わりになるという、冗長構造が実現されている。即ち、容量線 3b が途中で断線しても断線部の両側がコンタクトホール 13 を介して第1遮光膜 11a により相互に電気接続されていれば、実用上の問題は生じない。従って、本実施形態によれば、不良品率が低く、信頼性の高い高品位の画像表示が可能な液晶装置を実現できる。

#### 【0065】

また、容量線 3b と走査線 3a とは、同一のポリシリコン膜からなり、蓄積容量 70 の誘電体膜と TFT 30 のゲート絶縁膜となる絶縁薄膜 2 とは、同一の高温酸化膜を含み、第1蓄積容量電極 1f と、TFT 30 のチャネル領域 1a'、高濃度ソース領域 1d、高濃度ドレイン領域 1e 等とは、同一の半導体層 1a からなる。このため、TFT アレイ基板 10 上に形成される積層構造を単純化でき、更に、後述の液晶装置の製造方法において、同一の薄膜形成工程で容量線 3b 及び走査線 3a を同時に形成でき、蓄積容量 70 の誘電体膜及び絶縁薄膜 2 を同時に形成できる。

#### 【0066】

本実施形態では特に、容量線 3b と第1遮光膜 11a とは、第1層間絶縁膜 12 に開孔されたコンタクトホール 13 を介して確実に且つ高い信頼性を持って、両者は電気接続されているが、このようなコンタクトホール 13 は、画素毎に開孔されても良く、複数の画素からなる画素グループ毎に開孔されても良い。

#### 【0067】

コンタクトホール 13 を画素毎に開孔した場合には、第1遮光膜 11a による容量線

10

20

30

40

50

3 b の低抵抗化を促進でき、更に、両者間における冗長構造の度合いを高められる。他方、コンタクトホール 1 3 を複数の画素からなる画素グループ毎に（例えば 2 画素毎に或いは 3 画素毎に）開孔した場合には、容量線 3 b や第 1 遮光膜 1 1 a のシート抵抗、駆動周波数、要求される仕様等を勘案しつつ、第 1 遮光膜 1 1 a による容量線 3 b の低抵抗化及び冗長構造による利益と、多数のコンタクトホール 1 3 を開孔することによる製造工程の複雑化或いは当該液晶装置の不良化等の弊害とを適度にバランスできるので、実践上大変有利である。

【 0 0 6 8 】

また、本実施形態では特に、このような画素毎或いは画素グループ毎に設けられるコンタクトホール 1 3 は、対向基板 2 0 の側から見てデータ線 6 a の下に開孔されている。このため、コンタクトホール 1 3 は、画素開口領域から外れており、しかも T F T 3 0 や第 1 蓄積容量電極 1 f が形成されていない第 1 層間絶縁膜 1 2 の部分に設けられているので、画素領域の有効利用を図りつつ、コンタクトホール 1 3 の形成による T F T 3 0 や他の配線等の不良化を防ぐことができる。

【 0 0 6 9 】

次に、以上のような構成を持つ液晶装置の第 1 実施形態の製造プロセスについて、図 6 から図 9 を参照して説明する。尚、図 6 から図 9 は各工程における T F T アレイ基板側の各層を、図 3 と同様に図 2 の A - A ' 断面に対応させて示す工程図である。

【 0 0 7 0 】

図 6 の工程 ( 1 ) に示すように、石英基板、ハードガラス基板、シリコン基板等の T F T アレイ基板 1 0 を用意する。ここで、好ましくは N 2 ( 窒素 ) 等の不活性ガス雰囲気且つ約 9 0 0 ~ 1 3 0 0 の高温でアニール処理し、後に実施される高温プロセスにおける T F T アレイ基板 1 0 に生じる歪みが少なくなるように前処理しておく。即ち、製造プロセスにおける最高温で高温処理される温度に合わせて、事前に T F T アレイ基板 1 0 を同じ温度かそれ以上の温度で熱処理しておく。

【 0 0 7 1 】

このように処理された T F T アレイ基板 1 0 の全面に、 T i 、 C r 、 W 、 T a 、 M o 及び P b 等の金属や金属シリサイド等の金属合金膜を、スパッタリングにより、 1 0 0 ~ 5 0 0 n m 程度の膜厚、好ましくは約 2 0 0 n m の膜厚の遮光膜 1 1 を形成する。

【 0 0 7 2 】

続いて、工程 ( 2 ) に示すように遮光膜 1 1 に対しエッチングを行うことにより、第 1 遮光膜 1 1 a を形成する。

【 0 0 7 3 】

次に工程 ( 3 ) に示すように、第 1 遮光膜 1 1 a の上に、例えば、常圧又は減圧 C V D 法等により T E O S ( テトラ・エチル・オルソ・シリケート ) ガス、 T E B ( テトラ・エチル・ボートレート ) ガス、 T M O P ( テトラ・メチル・オキシ・フォスレート ) ガス等を用いて、 N S G ( ノンシリケートガラス ) 、 P S G ( リンシリケートガラス ) 、 B S G ( ボロンシリケートガラス ) 、 B P S G ( ボロンリンシリケートガラス ) などのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第 1 層間絶縁膜 1 2 を形成する。この第 1 層間絶縁膜 1 2 の膜厚は、例えば、約 5 0 0 ~ 2 0 0 0 n m とする。

【 0 0 7 4 】

次に工程 ( 4 ) に示すように、第 1 層間絶縁膜 1 2 の上に、約 4 5 0 ~ 5 5 0 、好ましくは約 5 0 0 の比較的低温環境中で、流量約 4 0 0 ~ 6 0 0 c c / m i n のモノシランガス、ジシランガス等を用いた減圧 C V D ( 例えば、圧力約 2 0 ~ 4 0 P a の C V D ) により、アモルファスシリコン膜を形成する。その後、窒素雰囲気中で、約 6 0 0 ~ 7 0 0 にて約 1 ~ 1 0 時間、好ましくは、 4 ~ 6 時間のアニール処理を施することにより、ポリシリコン膜 1 を約 5 0 ~ 2 0 0 n m の厚さ、好ましくは約 1 0 0 n m の厚さとなるまで固相成長させる。

10

20

30

40

50

## 【0075】

この際、図3に示した画素スイッチング用TFT30として、nチャネル型の画素スイッチング用TFT30を作成する場合には、当該チャネル領域にSb（アンチモン）、As（砒素）、P（リン）などのV族元素の不純物イオンを僅かにイオン注入等によりドーピングしても良い。また、画素スイッチング用TFT30をpチャネル型とする場合には、B（ボロン）、Ga（ガリウム）、In（インジウム）などのIII族元素の不純物イオンを僅かにイオン注入等によりドーピングしても良い。尚、アモルファスシリコン膜を経ないで、減圧CVD法等によりポリシリコン膜1を直接形成しても良い。或いは、減圧CVD法等により堆積したポリシリコン膜にシリコンイオンを打ち込んで一旦非晶質化（アモルファス化）し、その後アニール処理等により再結晶化させてポリシリコン膜1を形成しても良い。次に工程（5）に示すように、図2に示した如き所定パターンの半導体層1aを形成する。即ち、特にデータ線6a下で容量線3bが形成される領域及び走査線3aに沿って容量線3bが形成される領域には、画素スイッチング用TFT30を構成する半導体層1aから延設された第1蓄積容量電極1fを形成する。

10

## 【0076】

次に工程（6）に示すように、画素スイッチング用TFT30を構成する半導体層1aと共に第1蓄積容量電極1fを約900～1300の温度、好ましくは約1000の温度により熱酸化することにより、約30nmの比較的薄い厚さの熱酸化シリコン膜を形成し、更に減圧CVD法等により高温酸化シリコン膜（HTO膜）や窒化シリコン膜を約50nmの比較的薄い厚さに堆積し、多層構造を持つ画素スイッチング用TFT30のゲート絶縁膜と共に容量形成用の誘電体膜となる絶縁薄膜2を形成する（図3参照）。この結果、半導体層1a及び第1蓄積容量電極1fの厚さは、約30～150nmの厚さ、好ましくは約35～50nmの厚さとなり、絶縁薄膜2の厚さは、約20～150nmの厚さ、好ましくは約30～100nmの厚さとなる。このように高温熱酸化時間を短くすることにより、特に8インチ程度の大型基板を使用する場合に熱によるそりを防止することができる。但し、ポリシリコン膜1を熱酸化することのみにより、単一層構造を持つ絶縁薄膜2を形成してもよい。

20

## 【0077】

尚、工程（6）において特に限定されないが、第1蓄積容量電極1fとなる半導体層部分に、例えば、Pイオンをドーピング量約 $3 \times 10^{12} / \text{cm}^2$ でドーピングして、低抵抗化させてもよい。

30

## 【0078】

次に、工程（7）において、第1層間絶縁膜12に第1遮光膜11aに至るコンタクトホール13を反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより或いはウエットエッチングにより形成する。この際、反応性イオンエッチング、反応性イオンビームエッチングのような異方性エッチングにより、コンタクトホール13等を開孔した方が、開孔形状をマスク形状とほぼ同じにできるという利点がある。但し、ドライエッチングとウエットエッチングとを組み合わせると開孔すれば、これらのコンタクトホール13等をテーパ状にできるので、配線接続時の断線を防止できるという利点が得られる。

40

## 【0079】

次に工程（8）に示すように、減圧CVD法等によりポリシリコン膜3を堆積した後、Pを熱拡散し、ポリシリコン膜3を導電化する。又は、Pイオンをポリシリコン膜3の成膜と同時に導入したドーピングシリコン膜を用いてもよい。

## 【0080】

次に、図7の工程（9）に示すように、図2に示した如き所定パターンの走査線3aと共に容量線3bを形成する。これらの走査線3a及び容量線3bの膜厚は、例えば、約350nmとされる。

## 【0081】

次に工程（10）に示すように、図3に示した画素スイッチング用TFT30をLDD

50

構造を持つ n チャンネル型の T F T とする場合、半導体層 1 a に、先ず低濃度ソース領域 1 b 及び低濃度ドレイン領域 1 c を形成するために、走査線 3 a の一部となるゲート電極を拡散マスクとして、P などの V 族元素の不純物イオン 6 0 を低濃度で（例えば、P イオンを  $1 \sim 3 \times 10^{13} / \text{cm}^2$  のドーズ量にて）ドーピングする。これにより走査線 3 a 下の半導体層 1 a はチャンネル領域 1 a' となる。この不純物イオンのドーピングにより容量線 3 b 及び走査線 3 a も低抵抗化される。

【 0 0 8 2 】

続いて、工程 ( 1 1 ) に示すように、画素スイッチング用 T F T 3 0 を構成する高濃度ソース領域 1 d 及び高濃度ドレイン領域 1 e を形成するために、走査線 3 a よりも幅の広いマスクでレジスト層 6 2 を走査線 3 a 上に形成した後、同じく P などの V 族元素の不純物イオン 6 1 を高濃度で（例えば、P イオンを  $1 \sim 3 \times 10^{15} / \text{cm}^2$  のドーズ量にて）ドーピングする。また、画素スイッチング用 T F T 3 0 を p チャンネル型とする場合、半導体層 1 a に、低濃度ソース領域 1 b 及び低濃度ドレイン領域 1 c 並びに高濃度ソース領域 1 d 及び高濃度ドレイン領域 1 e を形成するために、B ( ボロン ) などの III 族元素の不純物イオンを用いてドーピングする。尚、例えば、低濃度の不純物イオンのドーピングを行わずに、オフセット構造の T F T としてもよく、走査線 3 a の一部であるゲート電極をマスクとして、P イオン、B イオン等を用いたイオン注入技術によりセルフアライン型の T F T としてもよい。

【 0 0 8 3 】

この不純物のドーピングにより容量線 3 b 及び走査線 3 a も更に低抵抗化される。

【 0 0 8 4 】

また、工程 ( 1 0 ) 及び工程 ( 1 1 ) を再度繰り返し、B イオンなどの III 族元素の不純物イオンを行うことにより、p チャンネル型 T F T を形成することができる。これにより、n チャンネル型 T F T 及び p チャンネル型 T F T から構成される相補型構造を持つデータ線駆動回路 1 0 1 及び走査線駆動回路 1 0 4 を T F T アレイ基板 1 0 上の周辺部に形成することが可能となる。このように、画素スイッチング用 T F T 3 0 を構成する半導体層 1 a をポリシリコン膜で形成すれば、画素スイッチング用 T F T 3 0 の形成時にほぼ同一工程で、データ線駆動回路 1 0 1 及び走査線駆動回路 1 0 4 を形成することができ、製造上有利である。

【 0 0 8 5 】

次に工程 ( 1 2 ) に示すように、画素スイッチング用 T F T 3 0 における走査線 3 a と共に容量線 3 b を覆うように、例えば、常圧又は減圧 C V D 法や T E O S ガス等を用いて、N S G 、P S G 、B S G 、B P S G などのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第 2 層間絶縁膜 4 を形成する。第 2 層間絶縁膜 4 の膜厚は、約 5 0 0 ~ 1 5 0 0 n m が好ましい。

【 0 0 8 6 】

次に工程 ( 1 3 ) の段階で、高濃度ソース領域 1 d 及び高濃度ドレイン領域 1 e を活性化するために約 1 0 0 0 のアニール処理を 2 0 分程度行った後、データ線 6 a に対するコンタクトホール 5 を、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより或いはウェットエッチングにより形成する。また、走査線 3 a や容量線 3 b を図示しない配線と接続するためのコンタクトホールも、コンタクトホール 5 と同一の工程により第 2 層間絶縁膜 4 に開孔する。

【 0 0 8 7 】

次に図 8 の工程 ( 1 4 ) に示すように、第 2 層間絶縁膜 4 の上に、スパッタリング等により、遮光性の A 1 等の低抵抗金属や金属シリサイド等を金属膜 6 として、約 1 0 0 ~ 5 0 0 n m の厚さ、好ましくは約 3 0 0 n m に堆積し、更に工程 ( 1 5 ) に示すように、フォトリソグラフィ工程、エッチング工程等により、データ線 6 a を形成する。

【 0 0 8 8 】

次に工程 ( 1 6 ) に示すように、データ線 6 a 上を覆うように、例えば、常圧又は減圧 C V D 法や T E O S ガス等を用いて、N S G 、P S G 、B S G 、B P S G などのシ

10

20

30

40

50

リケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第3層間絶縁膜7を形成する。第3層間絶縁膜7の膜厚は、約500～1500nmが好ましい。

【0089】

次に図9の工程(17)の段階において、画素スイッチング用TFT30において、画素電極9aと高濃度ドレイン領域1eとを電気接続するためのコンタクトホール8を、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより形成する。

【0090】

次に工程(18)に示すように、第3層間絶縁膜7の上に、スパッタリング等により、ITO膜等の透明導電性薄膜9を、約50～200nmの厚さに堆積し、更に工程(19)に示すように、画素電極9aを形成する。尚、当該液晶装置を反射型の液晶装置に用いる場合には、Al等の反射率の高い不透明な材料から画素電極9aを形成してもよい。

10

【0091】

続いて、画素電極9aの上にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜16(図3参照)が形成される。他方、図3に示した対向基板20については、ガラス基板等が先ず用意され、第2遮光膜23及び後述の額縁としての第3遮光膜(図18及び図19参照)が、例えば金属クロムをスパッタリングした後、フォトリソグラフィ工程、エッチング工程を経て形成される。尚、これらの第2遮光膜は、Cr、Ni(ニッケル)、Alなどの金属材料の他、カーボンやTiをフォトレジストに分散した樹脂ブラックなどの材料から形成してもよい。

20

【0092】

その後、対向基板20の全面にスパッタリング等により、ITO等の透明導電性薄膜を、約50～200nmの厚さに堆積することにより、対向電極21を形成する。更に、対向電極21の全面にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜22(図3参照)が形成される。

【0093】

最後に、上述のように各層が形成されたTFTアレイ基板10と対向基板20とは、配向膜16及び22が対面するようにシール材52により貼り合わされ、真空吸引等により、両基板間の空間に、例えば複数種類のネマティック液晶を混合してなる液晶が吸引されて、所定膜厚の液晶層50が形成される。

30

【0094】

[実施の形態2]

本発明による液晶装置の第2実施形態について図10を参照して説明する。

【0095】

上述した第1実施形態では、第1遮光膜11aを画素に沿って網目状に設けることにより、容量線3bの低抵抗化を促進でき、更に冗長構造の度合いを高めているが、第2実施形態では、第1遮光膜11aを、縞状(ストライプ状)に設ける。その他の構成については、第1実施形態の場合と同様であるので、図中同一の構成要素には同一の参照符号を付し、それらの説明を省略する。尚、図10は、データ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

40

【0096】

図10において、第1遮光膜11aは、走査線3aに沿って延びる複数の縞状(ストライプ状)部分から構成されている。即ち、第1遮光膜11aはデータ線6aに対向する所定の領域で分断されている。従って、第1遮光膜11aに電気接続された容量線3bの、特に走査線3aに沿った方向における低抵抗化を促進できる。また、容量線3bと第1遮光膜11aとの間における冗長構造の度合いを高められる。

【0097】

50



尚、第2実施形態の変形例として、更に、第1遮光膜11aを、走査線3a及び容量線3bをTF T アレイ基板10の側から見て夫々重なる位置に縞状に設けると共に走査線3aに沿って複数配列された縞状の各部分を容量線3bを介して相互に電気接続されるように構成してもよい。このように構成しても、容量線3bの低抵抗化を促進でき、且つ冗長構造の度合いを高められる。

#### 【0098】

##### [実施の形態3]

本発明による液晶装置の第3実施形態について図11を参照して説明する。上述した第1実施形態では、第1遮光膜11aを網目状(格子状)に設けることにより、容量線3bの低抵抗化を促進でき、更に冗長構造の度合いを高めているが、第3実施形態では、第1遮光膜11aを縞状に設け、チャンネル領域1a'を覆う位置を除き、走査線3aに対向する位置には形成していない。その他の構成については、第1実施形態の場合と同様であるので、図中同一の構成要素には同一の参照符号を付し、それらの説明を省略する。尚、図12は、データ線、走査線、画素電極、遮光膜等が形成されたTF T アレイ基板の相隣接する複数の画素群の平面図である。

10

#### 【0099】

図11に示すように、画素スイッチング用TF T 30に各々対向する位置においてTF T アレイ基板10と各画素スイッチング用TF T 30の間には、第1遮光膜11aが各々設けられている。

#### 【0100】

また、図11に示したように、本実施形態では、コンタクトホール13を介して第1遮光膜11aは、隣接する前段あるいは後段に設けられた容量線3bに電気接続されている。従って、各第1遮光膜11aが、自段の容量線に電気接続される場合と比較して、画素部の開口領域の縁に沿って、データ線6aに重ねて容量線3b及び第1遮光膜11aが形成される領域の他の領域に対する段差が少なくて済む。このように画素部の開口領域の縁に沿った段差が少ないと、当該段差に応じて引き起こされる液晶のディスクリネーション(配向不良)を低減できるので、画素部の開口領域を広げることが可能となる。

20

#### 【0101】

また、第1遮光膜11aは、前述のように直線状に伸びる本線部から突出した突出部にコンタクトホール13が開孔されている。ここで、コンタクトホール13の開孔箇所としては、縁に近い程、ストレスが縁から発散される等の理由により、クラックが生じ難いことが本願発明者の研究により判明している。従ってこの場合、どれだけ突出部の先端に近づけてコンタクトホール13を開孔するかに応じて(好ましくは、マージンぎりぎりまで先端に近づけるかに応じて)、製造プロセス中に第1遮光膜11aにかかる応力が緩和されて、より効果的にクラックを防止し得、歩留まりを向上させることが可能となる。

30

#### 【0102】

更に本実施形態では特に、第1遮光膜11aは、チャンネル領域1a'を覆う位置を除き、走査線3aに対向する位置には形成されていない。従って、第1遮光膜11aと各走査線3aとの間の容量カップリングが実践上殆ど又は全く生じないので、走査線3aにおける電位変動により、第1遮光膜11aにおける電位揺れが発生することはなく、その結果、容量線3bにおける電位揺れも発生しない。

40

#### 【0103】

尚、第3実施形態では、相隣接する前段あるいは後段の画素に設けられた容量線3bと第1遮光膜11aとを接続しているため、最上段あるいは最下段の画素に対して第1遮光膜11aに定電位を供給するための容量線3bが必要となる。そこで、容量線3bの数を垂直画素数に対して1本余分に設けておくようにすると良い。

#### 【0104】

尚、図11では、第1遮光膜11aにおける直線状の本線部分は、容量線3bの直線状

50

の本線部分にはほぼ重ねられるように形成されているが、第1 遮光膜 11a が、TFT 30 のチャネル領域を覆う位置に設けられており且つコンタクトホール 13 を形成可能なように容量線 3b と何れかの箇所でも重なれば、TFT に対する遮光機能及び容量線 3b に対する低抵抗化機能を発揮可能である。

【0105】

従って、例えば相隣接した走査線 3a と容量線 3b との間にある走査線 3a に沿った長手状の間隙領域や、走査線 3a と若干重なる位置にまでも、当該第1 遮光膜 11a を設けてもよい。

【0106】

[実施の形態4]

本発明による液晶装置の第4実施形態について図12を参照して説明する。上述した第1から第3実施形態では、第1 遮光膜 11a のうち走査線 3a や容量線 3b に沿った本線部は、概ね容量線 3b の下に形成されているが、第6実施形態では、このように走査線 3a や容量線 3b に沿った本線部は、概ね走査線 3a の下に縞状に形成され、容量線 3b の下には形成されていない。その他の構成については、第1実施形態の場合と同様であるので、図中同一の構成要素には同一の参照符号を付し、それらの説明を省略する。尚、図12は、データ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

【0107】

図12において、液晶装置では特に、縞状の第1 遮光膜 11a の走査線 3a に沿って伸びる本線部は、走査線 3a 下に配設されている。即ち、この本線部において第1 遮光膜 11a 上には、例えば画素部におけるTFTを構成するゲート絶縁膜よりも遥かに厚い第1層間絶縁膜を介して走査線 3a が形成されている。このため、仮に、製造プロセスにおいて意図しない突起等の異常形状部分が第1 遮光膜 11a 上に形成された場合にも、この突起等が第1層間絶縁膜を突き破ることにより第1 遮光膜 11a が走査線 3a とショートする可能性を極めて低く出来る。

【0108】

上述の第1乃至第3実施形態のように第1 遮光膜 11a 上に形成された突起等上に半導体層 1a 及び絶縁薄膜 2 並びに容量線 3b が更に積層形成されている場合には(図3参照)、この突起等が半導体層 1a を介して極薄い絶縁薄膜 2 を突き破って半導体層 1a と容量線 3b とがショートする可能性が高くなることを考慮すると、第4実施形態における、走査線 3a に対向する位置に第1 遮光膜 11a が形成される構成は、工程歩留まりを向上させる上でより有利である。

【0109】

従って更に、このように歩留まりを向上させる観点からは、第1 遮光膜 11a と容量線 3b とが対向して形成される基板上領域をなるべく小さくすると共に第1 遮光膜 11a と走査線 3a とが対向して形成される基板上領域をなるべく大きくすることが望ましい。このため、第4実施形態では図12に示すように、第1 遮光膜 11a と容量線 3b とをコンタクトホール 13 により電気接続するために最低限必要な領域及びTFT 30 のチャネル領域(図中、右下がりの斜線部)を遮光するために最低限必要な領域を除く領域においては、第1 遮光膜 11a は、容量線 3b に対向配置されることなく、走査線 3a に対向配置されている。

【0110】

以上の結果、第4実施形態により、第1 遮光膜 11a を容量線 3b の低抵抗化のために用いても、極薄い絶縁薄膜 2 を介して対向配置される容量線 3b と半導体層 1a とがショートする可能性を実践上殆ど又は全く高めることがなく、最終的には当該液晶装置の歩留まりの向上を図れる。

【0111】

[実施の形態5]

本発明による液晶装置の第5実施形態について図13を参照して説明する。

10

20

30

40

50

上述した第1実施形態乃至第4実施形態では、容量線3bと第1遮光膜11aとを電気接続するためのコンタクトホール13は、平面形状が四角形であるが、第5実施形態では、このコンタクトホールの平面形状を、真円、楕円等の円形にする。その他の構成については、第1実施形態乃至第4実施形態の場合と同様であり、本実施形態では第3実施形態のコンタクトホール13の形状を変形したものであり、図中同一の構成要素には同一の参照符号を付し、それらの説明を省略する。尚、図13は、データ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

【0112】

図13において、容量線3bと第1遮光膜11aとを電気接続するためのコンタクトホール13は、基板に平行な平面形状が、円形であるように構成されている。このように構成すれば、コンタクトホール13を開孔するためにウエットエッチング工程を製造プロセスに用いる場合に、第1遮光膜11aと第1層間絶縁膜12との界面にエッチング溶液が侵入して、クラックを発生させる可能性を低減できる。即ち、第3実施形態のように、平面形状が四角等の角部分を有するコンタクトホール13を、ウエットエッチングにより開孔しようとするれば、角部分に特にエッチング溶液が侵入し易く且つ応力集中も起き易いため、この角部分で第1遮光膜11a等にクラックが生じ易くなるのである。

【0113】

これに対し、第1実施形態におけるコンタクトホール13をドライエッチング工程で開孔する場合には、第1層間絶縁膜12と第1遮光膜11aとの間の選択比との関係で、極薄い第1遮光膜11aをエッチングが突き抜けてしまう可能性が高い。このため本実施形態のように、円形のコンタクトホール13'を採用してのウエットエッチング工程は、突き抜け防止及びクラック防止の観点から実践上大変有利である。

【0114】

以上の結果、第3実施形態により、コンタクトホール付近における配線の信頼性を高めることができ、当該液晶装置の歩留まりの向上を図れる。また、本実施形態のコンタクトホールの形状は、一例として第3実施形態の構成のコンタクトホールの形状を変形したが、本実施形態は、第1実施形態、第2実施形態、第4実施形態にも適用可能である。

【0115】

[実施の形態6]

本発明による液晶装置の第6実施形態について図14を参照して説明する。上述した第1及び第5実施形態では、第1遮光膜11aは、コンタクトホール13又は13'を介して前段あるいは後段の容量線3bと電気接続されているが、第6実施形態では、各遮光膜は、自段の容量線に電気接続される。その他の構成については、第5実施形態の場合と同様であるので、図中同一の構成要素には同一の参照符号を付し、それらの説明を省略する。尚、図14は、データ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

【0116】

図14において、第1遮光膜11aは、画素部において半導体層1aのチャネル領域を含むTFTをTFTアレイ基板の側から見て覆う位置に設けられており、更に、容量線3bの直線状の本線部に対向して走査線3aに沿って直線状に伸びる本線部と、データ線6aと交差する箇所からデータ線6aに沿って次段側（即ち、図中下向き）に突出した突出部と、データ線6aと交差する箇所からデータ線6aに沿って前段側（即ち、図中上向き）に突出した突出部とを有する。

【0117】

この第1遮光膜11aの下向きの突出部は、チャネル領域を覆い、更に、コンタクトホール5を覆う位置まで下向きに延びている。他方、第1遮光膜11aの上向きの突出部は、データ線6a下において容量線3bの上向きの突出部に重ねられており、この重なる先端付近には、第1遮光膜11aと容量線3bとを電気接続する円形のコンタ

10

20

30

40

50

クトホール 13' が設けられている。即ち、本実施形態では、各段（即ち、各画素の行）における第 1 遮光膜 11a は、コンタクトホール 13' により自段の容量線 3b に電気接続されている。

【0118】

このように構成すれば、データ線 6a に重ねて TFT30、容量線 3b 及び第 1 遮光膜 11a が形成される領域の他の領域に対する段差は大きくなるが、比較的容易に容量線 3b と第 1 遮光膜 11a とを電気接続することが可能となる。

【0119】

更に、このように構成すれば、第 1 遮光膜 11a の上向き突出部が、第 1 蓄積容量電極 1f と重なるので、データ線 6a 下のスペースを利用して、第 3 蓄積容量電極としての第 1 遮光膜 11a と第 1 蓄積容量電極 1f との間に形成される蓄積容量 70 を大きく出来る利点も得られる。

10

【0120】

尚、本実施形態においても、第 3 実施形態の場合と同様に、コンタクトホールを四角にして自段の容量線と遮光膜とを電気接続してもよい。また、第 3 実施形態では、自段の画素に設けられる容量線 3b と第 1 遮光膜 11a とを接続しているため、最上段あるいは最下段の画素に余分な容量線 3b を設ける必要がないので有利である。

【0121】

[実施の形態 7]

本発明による液晶装置の第 7 実施形態について図 15 を用いて説明する。上述した第 3 あるいは第 4 実施形態においては、第 1 遮光膜 11a は走査線 3a あるいは容量線 3b に沿って形成されているが、本実施形態では、データ線 6a に素って形成されている。図中同一の構成には同一の参照符号を付し、それらの説明を省略する。尚、図 15 は、データ線、走査線、画素電極、遮光膜等が形成された TFT アレイ基板の相隣接する複数の画素群の平面図である。

20

【0122】

図 15 に示されるように、第 1 遮光膜 11a はコンタクトホール 13' を介して接続されている。このような構成によれば、画素電極 9a と半導体膜 1a とを接続するためのコンタクトホール 8 から第 1 遮光膜 11a の距離を離すことができるため、第 1 遮光膜 11a を形成する金属膜の応力により、容量線 3b と半導体 1a が短絡し、点欠陥になることを防止することができる。また、第 1 遮光膜 11a は、画素領域周辺で定電位線と接続することにより、電位を固定すると良い。

30

【0123】

[実施の形態 8]

上述した第 1 実施形態乃至第 7 実施形態では、TFT30、走査線 3a、容量線 3b、データ線 6a 等を形成した積層領域における他の領域に対する段差に対して、何等の平坦化処理も施していないが、第 8 実施形態では、第 1 層間絶縁膜 12 を凹状に形成することにより、このような平坦化処理を施すものである。その他の構成については、第 1 実施形態乃至第 7 実施形態の場合と同様であるので、図中同一の構成要素には同一の参照符号を付し、それらの説明を省略する。尚、図 16 は、図 3 の A - A' 断面図である。即ち、第 8 実施形態の液晶装置の平面図は、第 1 実施形態乃至第 7 実施形態と同じである。

40

【0124】

図 16 において、第 1 層間絶縁膜 12' は、TFT30、データ線 6a、走査線 3a 及び容量線 3b に対向する部分が凹状に窪んで形成されている。これにより、第 3 層間絶縁膜 7 の液晶層 50 に面する側が平坦化されている。従って、第 4 実施形態によれば、第 3 層間絶縁膜 7 の液晶層 50 に面する側が平坦化されているので、当該平坦化の度合いに応じて第 3 層間絶縁膜 7 の表面の凹凸により引き起こされる液晶のディスクリネーション（配向不良）を低減できる。この結果、第 8 実施形態によれば、より高品位の画像表示が可能となり、画素部の開口領域を広げることが可能となる。

50

## 【 0 1 2 5 】

尚、このように第 1 層間絶縁膜 1 2 ' を形成する方法としては、第 1 層間絶縁膜 1 2 ' を二層構造として、一層のみからなる薄い部分を凹状の窪み部分として二層の厚い部分を凹状の土手部分とするように薄膜形成及びエッチングを行なえばよい。或いは、第 1 層間絶縁膜 1 2 ' を単一層構造として、エッチングにより凹状の窪みを開孔するようにしてもよい。これらの場合、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングを用いると、設計寸法通りに凹状部分を形成できる利点がある。一方、少なくともウェットエッチングを単独で又はドライエッチングと組み合わせて用いた場合には、図 1 5 に示したように凹状の窪みの側壁面をテーパ状に形成できるため、後工程で凹状の窪み内に形成されるポリシリコン膜、レジスト等の側壁周囲への残留を低減できるので、歩留まりの低下を招かない利点が見られる。T F T アレイ基板 1 0 に溝を形成して、配線や T F T 3 0 をその溝の領域に形成し、平坦化しても良い。

10

## 【 0 1 2 6 】

尚、本実施形態では、第 3 蓄積容量電極として第 1 遮光膜 1 1 a が第 1 蓄積容量電極 1 f と対向する部分においても、第 1 層間絶縁膜 1 2 ' が薄いため、この部分における蓄積容量 7 0 が増大する利点も得られる。尚、上述の如き第 8 実施形態における平坦化技術は、第 1 乃至第 7 実施形態のいずれにも適用可能である。

## 【 0 1 2 7 】

## [ 実施の形態 9 ]

本発明による液晶装置の第 9 実施形態について図 1 7 を参照して説明する。上述した第 8 実施形態では、第 1 層間絶縁膜 1 2 に凹状の窪みを形成することにより、平坦化処理を施したが、第 9 実施形態では、第 3 層間絶縁膜を凹状に形成することにより、このような平坦化処理を施すものである。その他の構成については、第 1 乃至第 8 実施形態の場合と同様であるので、図中同一の構成要素には同一の参照符号を付し、それらの説明を省略する。尚、図 1 7 は、図 2 の A - A ' 断面に対応する断面図である。即ち、第 8 実施形態の液晶装置の平面図は、第 1 実施形態乃至第 7 実施形態と同じである。

20

## 【 0 1 2 8 】

図 1 7 において、第 3 層間絶縁膜 7 ' は、T F T 3 0 、データ線 6 a 、走査線 3 a 及び容量線 3 b に対向する部分が凹状に窪んで形成されている。より具体的には、C M P ( Chemical Mechanical Polishing ) 処理が、第 3 層間絶縁膜 7 ' の上面に施されている。これにより、第 3 層間絶縁膜 7 ' の液晶層 5 0 に面する側が平坦化されている。従って、第 5 実施形態によれば、当該平坦化の度合いに応じて第 3 層間絶縁膜 7 ' の表面の凹凸により引き起こされる液晶のディスクリネーション(配向不良)を低減できる。この結果、第 5 実施形態によれば、より高品位の画像表示が可能となり、画素部の開口領域を広げることにも可能となる。

30

## 【 0 1 2 9 】

尚、このような C M P 処理の他に、スピコート等により S O G ( スピンオンガラス ) を形成して、第 3 層間絶縁膜 7 ' の上面を平坦化してもよい。

## 【 0 1 3 0 】

更に、上述した第 8 及び第 9 実施形態では夫々、第 1 及び第 3 層間絶縁膜に凹状部分を形成するようにしたが、第 2 層間絶縁膜に凹状部分を形成してもよいし、更には、これらを組み合わせてもよい。

40

## 【 0 1 3 1 】

これらに加えて、第 1 、第 2 又は第 3 層間絶縁膜に形成する凹状部分を、T F T 3 0 、データ線 6 a 、走査線 3 a 及び容量線 3 b の全てに対向する部分とするのではなく、凹状部分を少なくとも、これらのうち何等の平坦化処理も施さない場合に最も合計膜厚が厚くなるデータ線 6 a に対向する部分とすることで、第 8 又は第 9 実施形態の如き平坦化処理を施してもよい。尚、上述の如き第 8 及び第 9 実施形態における平坦化技術は、第 1 乃至第 7 実施形態のいずれにも適用可能である。

## 【 0 1 3 2 】

50

(液晶装置の全体構成)

以上のように構成された液晶装置の各実施形態の全体構成を図18及び図19を参照して説明する。尚、図18は、TFTアレイ基板10をその上に形成された各構成要素と共に対向基板20の側から見た平面図であり、図19は、対向基板20を含めて示す図18のH-H'断面図である。

【0133】

図18において、TFTアレイ基板10の上には、シール材52がその縁に沿って設けられており、その内側に並行して、例えば第2遮光膜23と同じ或いは異なる材料から成る額縁としての第3遮光膜53が設けられている。シール材52の外側の領域には、データ線駆動回路101及び外部回路接続端子102がTFTアレイ基板10の10  
一辺に沿って設けられており、走査線駆動回路104が、この一辺に隣接する2辺に沿って設けられている。走査線3aに供給される走査信号遅延が問題にならないのならば、走査線駆動回路104は片側だけでも良いことは言うまでもない。また、データ線駆動回路101を画像表示領域の辺に沿って両側に配列してもよい。例えば奇数列のデータ線6aは画像表示領域の一方の辺に沿って配設されたデータ線駆動回路から画像信号を供給し、偶数列のデータ線は前記画像表示領域の反対側の辺に沿って配設されたデータ線駆動回路から画像信号を供給するようにしてもよい。この様にデータ線6aを櫛歯状に駆動するようにすれば、データ線駆動回路の占有面積を拡張することができるため、複雑な回路を構成することが可能となる。更にTFTアレイ基板10の残る一辺には、画像表示領域の両側に設けられた走査線駆動回路104間をつなぐための複数の配線105が20  
設けられており、更に、額縁としての第3遮光膜53の下に隠れてプリチャージ回路201(図4参照)を設けてもよい。また、対向基板20のコーナー部の少なくとも1箇所においては、TFTアレイ基板10と対向基板20との間で電氣的導通をとるための導通材106が設けられている。そして、図19に示すように、図18に示したシール材52とほぼ同じ輪郭を持つ対向基板20が当該シール材52によりTFTアレイ基板10に固着されている。

【0134】

以上図1から図19を参照して説明した各実施形態における液晶装置のTFTアレイ基板10上には更に、製造途中や出荷時の当該液晶装置の品質、欠陥等を検査するための検査回路等を形成してもよい。また、データ線駆動回路101及び走査線駆動回路104をTFTアレイ基板10の上に設ける代わりに、例えばTAB(Tape Automated Bonding)基板上に実装された駆動用LSIに、TFTアレイ基板10の周辺部に設けられた異方性導電フィルムを介して電氣的及び機械的に接続するようにしてもよい。また、対向基板20の投射光が入射する側及びTFTアレイ基板10の出射光が出射する側には各々、例えば、TN(Twisted Nematic)モード、VA(Vertically Aligned)モード、PDL(Polymer Dispersed Liquid Crystal)モード等の動作モードや、ノーマリーホワイトモード/ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光手段などが所定の方向で配置される。

【0135】

以上説明した各実施形態における液晶装置は、カラー液晶プロジェクタ(投射型表示装置)に適用されるため、3枚の液晶装置がRGB用のライトバルブとして各々用いられ、各ライトバルブには各々RGB色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、各実施形態では、対向基板20に、カラーフィルタは設けられていない。しかしながら、第2遮光膜23の形成されていない画素電極9aに対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板20上に形成してもよい。このようにすれば、液晶プロジェクタ以外の直視型や反射型のカラー液晶テレビなどのカラー液晶装置に各実施形態における液晶装置を適用できる。更に、対向基板20上に1画素1個対応するようにマイクロレンズを形成してもよい。このようにすれば、入射光の集光効率を向上することで、明るい液晶装置が実現できる。更にまた、対向基板20上に、何層もの屈折率の相違する干渉層を堆40

積することで、光の干渉を利用して、RGB色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー液晶装置が実現できる。

#### 【0136】

以上説明した各実施形態における液晶装置では、従来と同様に入射光を対向基板20の側から入射することとしたが、第1遮光膜11aを設けているので、TFTアレイ基板10の側から入射光を入射し、対向基板20の側から出射するようにしても良い。即ち、このように液晶装置を液晶プロジェクタに取り付けても、半導体層1aのチャンネル領域1a'及び低濃度ソース領域1b、低濃度ドレイン領域1cに光が入射することを防ぐことが出来、高画質の画像を表示することが可能である。ここで、従来は、TFTアレイ基板10の裏面側での反射を防止するために、反射防止用のAR (Anti-reflection) 被膜された偏光手段を別途配置するか、ARフィルムを貼り付ける必要があった。しかし、各実施形態では、TFTアレイ基板10の表面と半導体層1aの少なくともチャンネル領域1a'及び低濃度ソース領域1b、低濃度ドレイン領域1cとの間に第1遮光膜11aが形成されているため、このようなAR被膜された偏光手段やARフィルムを用いたり、TFTアレイ基板10そのものをAR処理した基板を使用する必要がなくなる。従って、各実施形態によれば、材料コストを削減でき、また偏光手段の貼り付け時に、ごみ、傷等により、歩留まりを落とすことがなく大変有利である。また、耐光性が優れているため、明るい光源を使用したり、偏光ビームスプリッタにより偏光変換して、光利用効率を向上させても、光によるクロストーク等の画質劣化を生じない。

#### 【0137】

また、各画素に設けられるスイッチング素子としては、正スタガ型又はコプラナー型のポリシリコンTFTであるとして説明したが、逆スタガ型のTFTやアモルファスシリコンTFT等の他の形式のTFTに対しても、各実施形態は有効である。

#### 【0138】

(電子機器)

上記の液晶装置を用いた電子機器の一例として、投射型表示装置の構成について、図21を参照して説明する。図21において、投射型表示装置1100は、上述した液晶装置を3個用意し、夫々RGB用の液晶装置962R、962G及び962Bとして用いた投射型液晶装置の光学系の概略構成図を示す。本例の投射型表示装置の光学系には、前述した光源装置920と、均一照明光学系923が採用されている。そして、投射型表示装置は、この均一照明光学系923から出射される光束Wを赤(R)、緑(G)、青(B)に分離する色分離手段としての色分離光学系924と、各色光束R、G、Bを変調する変調手段としての3つのライトバルブ925R、925G、925Bと、変調された後の色光束を再合成する色合成手段としての色合成プリズム910と、合成された光束を投射面100の表面に拡大投射する投射手段としての投射レンズユニット906を備えている。また、青色光束Bを対応するライトバルブ925Bに導く導光系927をも備えている。

#### 【0139】

均一照明光学系923は、2つのレンズ板921、922と反射ミラー931を備えており、反射ミラー931を挟んで2つのレンズ板921、922が直交する状態に配置されている。均一照明光学系923の2つのレンズ板921、922は、それぞれマトリクス状に配置された複数の矩形レンズを備えている。光源装置920から出射された光束は、第1のレンズ板921の矩形レンズによって複数の部分光束に分割される。そして、これらの部分光束は、第2のレンズ板922の矩形レンズによって3つのライトバルブ925R、925G、925B付近で重畳される。従って、均一照明光学系923を用いることにより、光源装置920が出射光束の断面内で不均一な照度分布を有している場合でも、3つのライトバルブ925R、925G、925Bを均一な照明光で照明することが可能となる。

10

20

30

40

50

## 【 0 1 4 0 】

各色分離光学系 9 2 4 は、青緑反射ダイクロイックミラー 9 4 1 と、緑反射ダイクロイックミラー 9 4 2 と、反射ミラー 9 4 3 から構成される。まず、青緑反射ダイクロイックミラー 9 4 1 において、光束 W に含まれている青色光束 B および緑色光束 G が直角に反射され、緑反射ダイクロイックミラー 9 4 2 の側に向かう。赤色光束 R はこのミラー 9 4 1 を通過して、後方の反射ミラー 9 4 3 で直角に反射されて、赤色光束 R の出射部 9 4 4 から色合成プリズム 9 1 0 の側に出射される。

## 【 0 1 4 1 】

次に、緑反射ダイクロイックミラー 9 4 2 において、青緑反射ダイクロイックミラー 9 4 1 において反射された青色、緑色光束 B 、 G のうち、緑色光束 G のみが直角に反射されて、緑色光束 G の出射部 9 4 5 から色合成光学系の側に出射される。緑反射ダイクロイックミラー 9 4 2 を通過した青色光束 B は、青色光束 B の出射部 9 4 6 から導光系 9 2 7 の側に出射される。本例では、均一照明光学素子の光束 W の出射部から、色分離光学系 9 2 4 における各色光束の出射部 9 4 4 、 9 4 5 、 9 4 6 までの距離がほぼ等しくなるように設定されている。

10

## 【 0 1 4 2 】

色分離光学系 9 2 4 の赤色、緑色光束 R 、 G の出射部 9 4 4 、 9 4 5 の出射側には、それぞれ集光レンズ 9 5 1 、 9 5 2 が配置されている。したがって、各出射部から出射した赤色、緑色光束 R 、 G は、これらの集光レンズ 9 5 1 、 9 5 2 に入射して平行化される。

20

## 【 0 1 4 3 】

このように平行化された赤色、緑色光束 R 、 G は、ライトバルブ 9 2 5 R 、 9 2 5 G に入射して変調され、各色光に対応した画像情報が付加される。すなわち、これらの液晶装置は、不図示の駆動手段によって画像情報に応じてスイッチング制御されて、これにより、ここを通過する各色光の変調が行われる。一方、青色光束 B は、導光系 9 2 7 を介して対応するライトバルブ 9 2 5 B に導かれ、ここにおいて、同様に画像情報に応じて変調が施される。尚、本例のライトバルブ 9 2 5 R 、 9 2 5 G 、 9 2 5 B は、それぞれさらに入射側偏光手段 9 6 0 R 、 9 6 0 G 、 9 6 0 B と、出射側偏光手段 9 6 1 R 、 9 6 1 G 、 9 6 1 B と、これらの間に配置された液晶装置 9 6 2 R 、 9 6 2 G 、 9 6 2 B とからなる液晶ライトバルブである。

30

## 【 0 1 4 4 】

導光系 9 2 7 は、青色光束 B の出射部 9 4 6 の出射側に配置した集光レンズ 9 5 4 と、入射側反射ミラー 9 7 1 と、出射側反射ミラー 9 7 2 と、これらの反射ミラーの間に配置した中間レンズ 9 7 3 と、ライトバルブ 9 2 5 B の手前側に配置した集光レンズ 9 5 3 とから構成されている。集光レンズ 9 4 6 から出射された青色光束 B は、導光系 9 2 7 を介して液晶装置 9 6 2 B に導かれて変調される。各色光束の光路長、すなわち、光束 W の出射部から各液晶装置 9 6 2 R 、 9 6 2 G 、 9 6 2 B までの距離は青色光束 B が最も長くなり、したがって、青色光束の光量損失が最も多くなる。しかし、導光系 9 2 7 を介在させることにより、光量損失を抑制することができる。

## 【 0 1 4 5 】

各ライトバルブ 9 2 5 R 、 9 2 5 G 、 9 2 5 B を通って変調された各色光束 R 、 G 、 B は、色合成プリズム 9 1 0 に入射され、ここで合成される。そして、この色合成プリズム 9 1 0 によって合成された光が投射レンズユニット 9 0 6 を介して所定の位置にある投射面 1 0 0 の表面に拡大投射されるようになっている。

40

## 【 0 1 4 6 】

本例では、液晶装置 9 6 2 R 、 9 6 2 G 、 9 6 2 B には、T F T の下側に遮光層が設けられているため、当該液晶装置 9 6 2 R 、 9 6 2 G 、 9 6 2 B からの投射光に基づく液晶プロジェクタ内の投射光学系による反射光、投射光が通過する際の T F T アレイ基板の表面からの反射光、他の液晶装置から出射した後に投射光学系を突き抜けてくる投射光の一部等が、戻り光として T F T アレイ基板の側から入射しても、画素電極のスイ

50



タッチング用 T F T のチャンネルに対する遮光を十分に行うことができる。

【 0 1 4 7 】

このため、小型化に適したプリズムユニットを投射光学系に用いても、各液晶装置 9 6 2 R 、 9 6 2 G 、 9 6 2 B とプリズムユニットとの間において、戻り光防止用のフィルムを別途配置したり、偏光手段に戻り光防止処理を施したりすることが不要となるので、構成を小型且つ簡易化する上で大変有利である。

【 0 1 4 8 】

また、本実施形態では、戻り光による T F T のチャンネル領域への影響を抑えることができるため、液晶装置に直接戻り光防止処理を施した偏光手段 9 6 1 R 、 9 6 1 G 、 9 6 1 B を貼り付けなくてもよい。そこで、図 1 8 に示されるように、偏光手段を液晶装置から離して形成、より具体的には、一方の偏光手段 9 6 1 R 、 9 6 1 G 、 9 6 1 B は色合成プリズム 9 1 0 に貼り付け、他方の偏光手段 9 6 0 R 、 9 6 0 G 、 9 6 0 B は集光レンズ 9 5 3 、 9 4 5 、 9 4 4 に貼り付けることが可能である。このように、偏光手段をプリズムユニットあるいは集光レンズに貼り付けることにより、偏光手段の熱は、プリズムユニットあるいは集光レンズで吸収されるため、液晶装置の温度上昇を防止することができる。

10

【 0 1 4 9 】

また、図示を省略するが、液晶装置と偏光手段とを離間形成することにより、液晶装置と偏光手段との間には空気層ができるため、冷却手段を設け、液晶装置と偏光手段との間に冷風等の送風を送り込むことにより、液晶装置の温度上昇をさらに防ぐことができ、液晶装置の温度上昇による誤動作を防ぐことができる。

20

【 0 1 5 0 】

【 発明の効果 】

本発明の液晶装置によれば、複数の遮光膜を利用して低抵抗した容量線により、複数の画素電極に対して蓄積容量を夫々付与するようにしたので、液晶装置の駆動周波数を高めても、データ線と容量線との容量カップリングによる容量線の電位揺れに起因する横クロストークやゴースト等は低減され、高品位の画像表示が行える。更に、プリチャージや走査線反転駆動を良好に行える。これらに加えて、異物等により容量線が途中で断線しても遮光膜による配線が容量線の代わりになるので冗長構造が実現でき、また、遮光膜による配線に係るクラックの発生が少なく信頼性及び良品率の高い液晶装置を実現できる。

30

【 図面の簡単な説明 】

【 図 1 】 液晶装置の第 1 実施形態における画像表示領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等の等価回路である。

【 図 2 】 液晶装置の第 1 実施形態におけるデータ線、走査線、画素電極、遮光膜等が形成された T F T アレイ基板の相隣接する複数の画素群の平面図である。

【 図 3 】 図 2 の A - A ' 断面図である。

【 図 4 】 液晶装置の第 1 実施形態における T F T アレイ基板上に設けられた画素部及び周辺回路のブロック図である。

【 図 5 】 プリチャージに係る各種信号のタイミングチャートである。

【 図 6 】 液晶装置の第 1 実施形態の製造プロセスを順を追って示す工程図 ( その 1 ) である。

40

【 図 7 】 液晶装置の第 1 実施形態の製造プロセスを順を追って示す工程図 ( その 2 ) である。

【 図 8 】 液晶装置の第 1 実施形態の製造プロセスを順を追って示す工程図 ( その 3 ) である。

【 図 9 】 液晶装置の第 1 実施形態の製造プロセスを順を追って示す工程図 ( その 4 ) である。

【 図 1 0 】 液晶装置の第 2 実施形態におけるデータ線、走査線、画素電極、遮光膜等が形成された T F T アレイ基板の相隣接する複数の画素群の平面図である。

【 図 1 1 】 液晶装置の第 3 実施形態におけるデータ線、走査線、画素電極、遮光膜等が形

50

成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

【図12】液晶装置の第4実施形態におけるデータ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

【図13】液晶装置の第5実施形態におけるデータ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

【図14】液晶装置の第6実施形態におけるデータ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

【図15】液晶装置の第7実施形態におけるデータ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

【図16】液晶装置の第8実施形態における図2のA-A'断面図である。

10

【図17】液晶装置の第9実施形態における図2のA-A'断面図である。

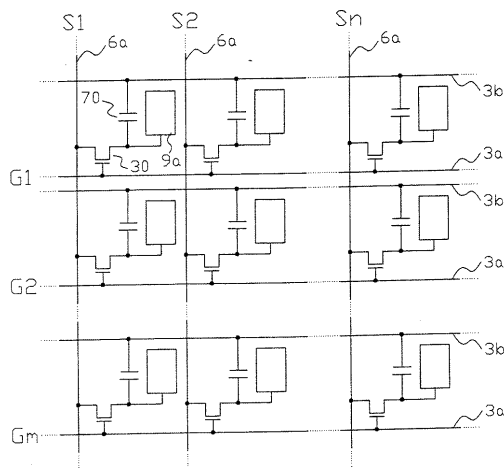
【図18】液晶装置の各実施形態におけるTFTアレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

【図19】図18のH-H'断面図である。

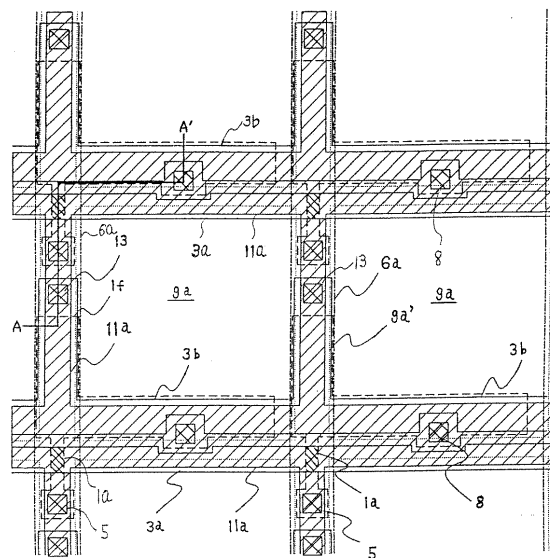
【図20】横クロストークによる表示劣化を説明するための概念図である。

【図21】液晶装置を用いた電子機器の一例である投射型表示装置の構成図である。

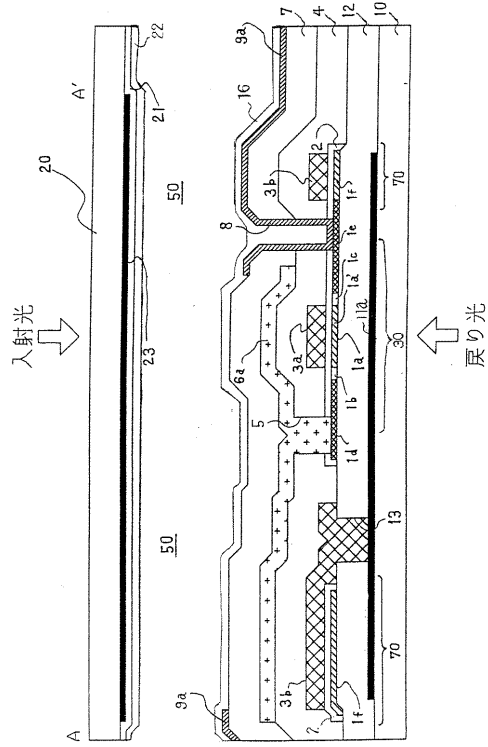
【図1】



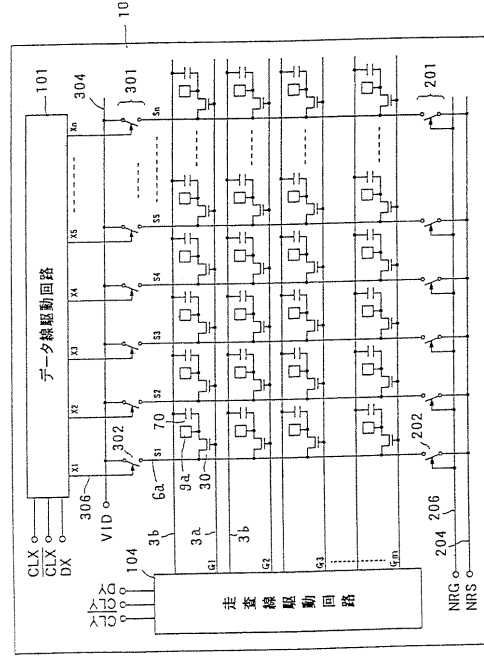
【図2】



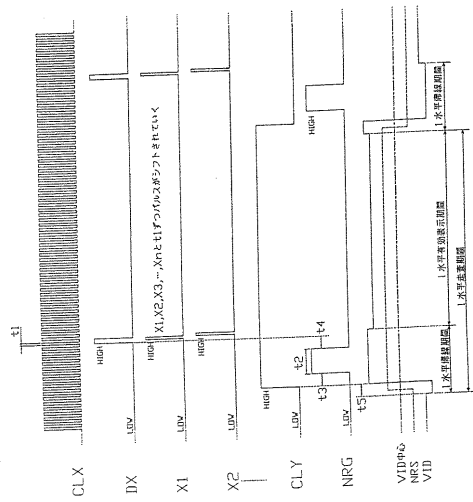
【 図 3 】



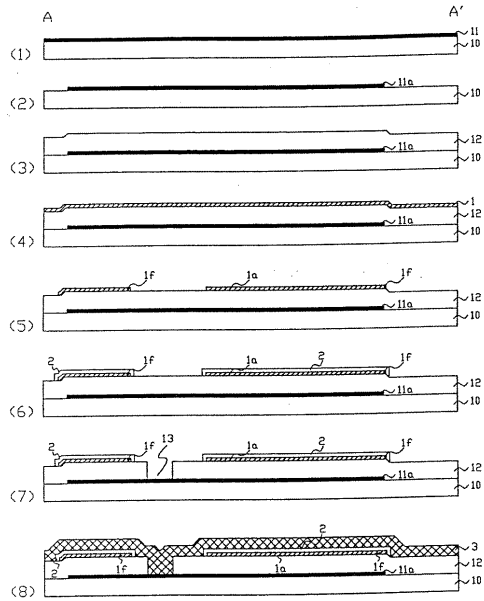
【 図 4 】



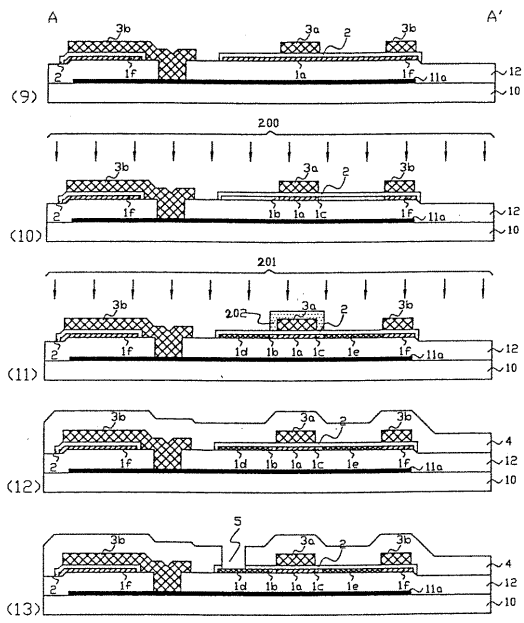
【 図 5 】



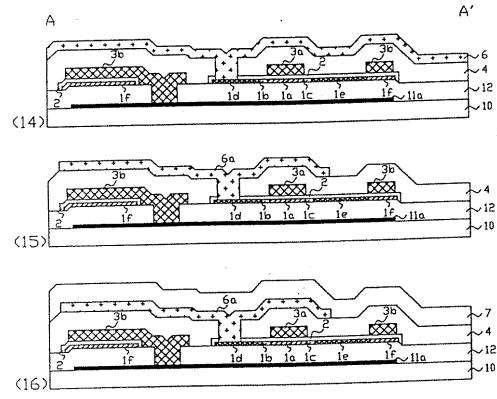
【 図 6 】



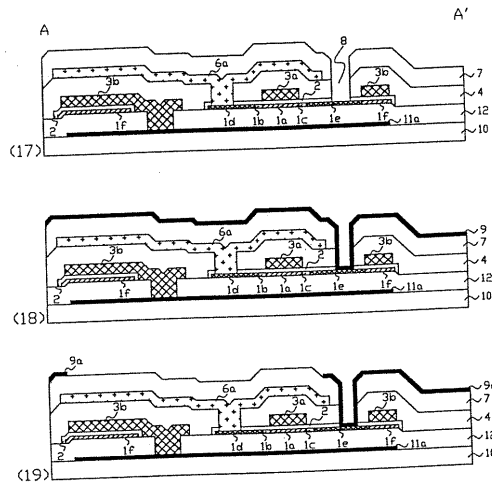
【 図 7 】



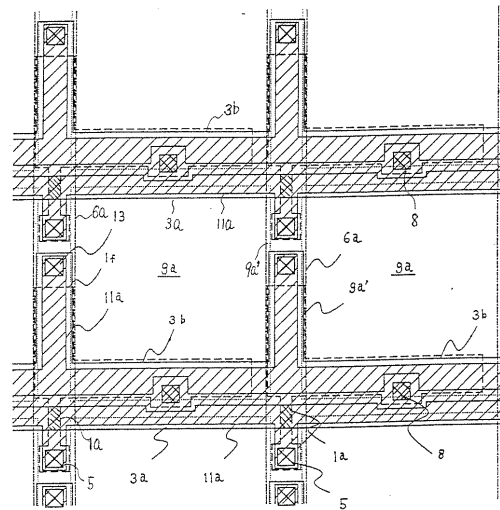
【 図 8 】



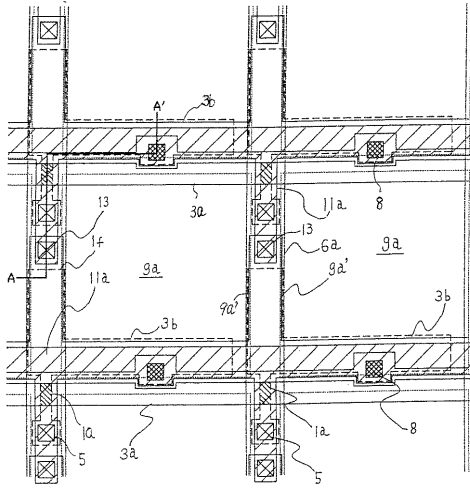
【 図 9 】



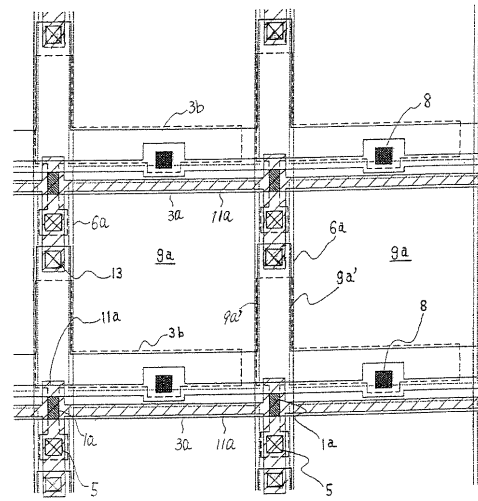
【 図 10 】



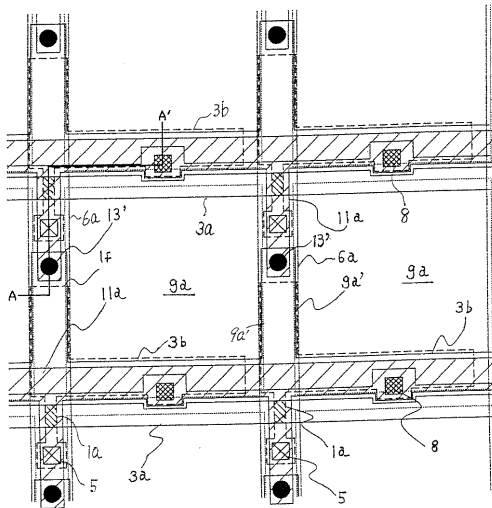
【 図 1 1 】



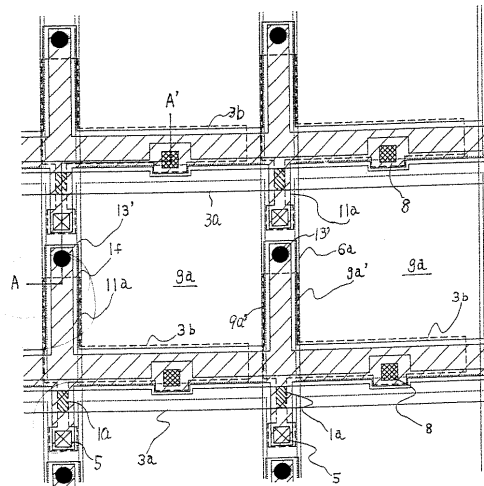
【 図 1 2 】



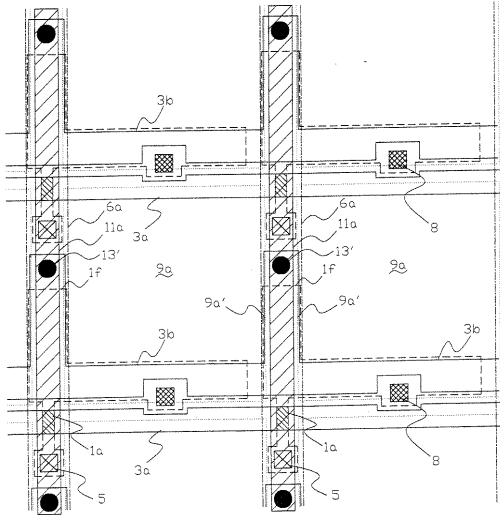
【 図 1 3 】



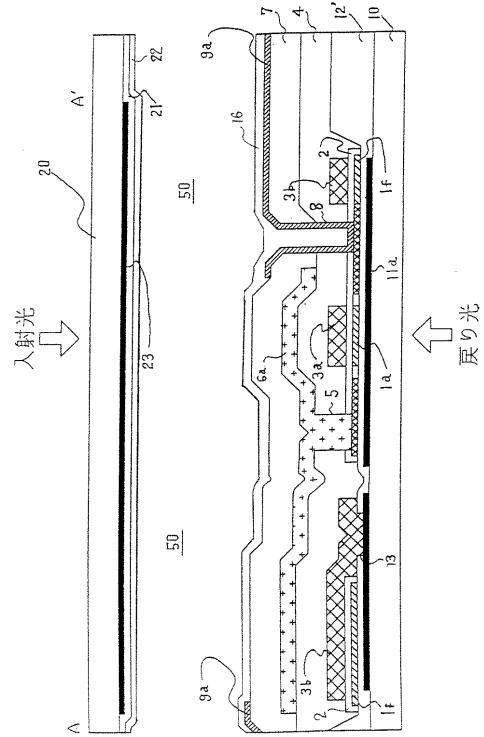
【 図 1 4 】



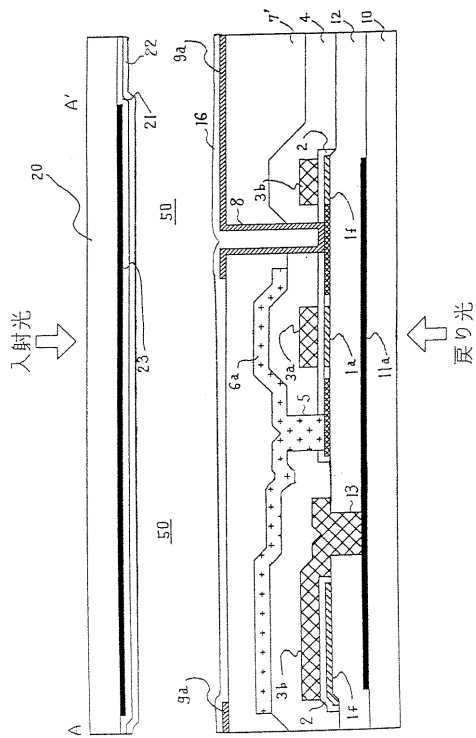
【図15】



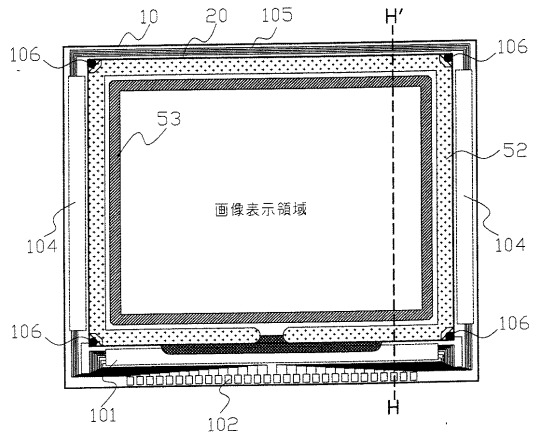
【図16】



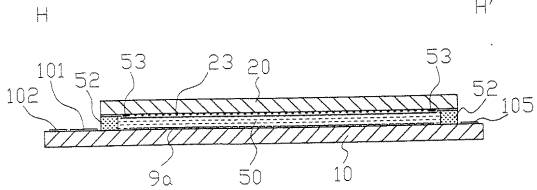
【図17】



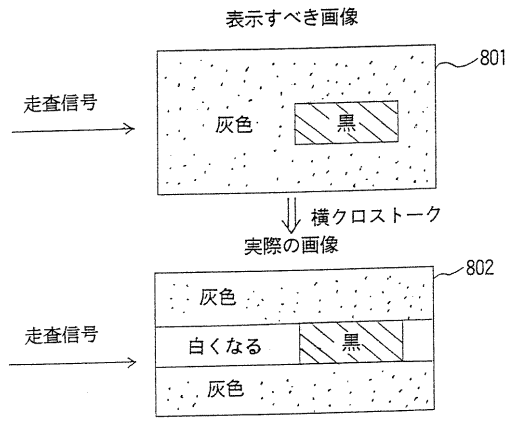
【図18】



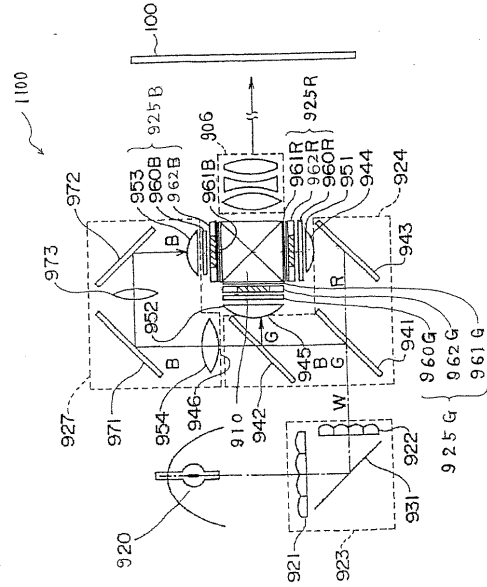
【図19】



【 図 2 0 】



【 図 2 1 】



---

フロントページの続き

- (56)参考文献 特開平10-010548(JP,A)  
特開平08-234239(JP,A)  
特開平05-257164(JP,A)  
特開昭60-002916(JP,A)  
特開平06-034962(JP,A)

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)

G02F 1/1335  
G02F 1/1343  
G02F 1/1368  
G02F 1/1333  
G02F 1/13 ,505