



(21)申請案號：106129041

(22)申請日：中華民國 106 (2017) 年 08 月 25 日

(51)Int. Cl. : H01L29/06 (2006.01)

H01L29/739 (2006.01)

H01L29/74 (2006.01)

H01L29/745 (2006.01)

H01L29/749 (2006.01)

H01L29/78 (2006.01)

(71)申請人：帥群微電子股份有限公司(中華民國) SUPER GROUP SEMICONDUCTOR CO., LTD.
(TW)

新北市汐止區工建路 366 號 6 樓

(72)發明人：許修文 HSU, HSIU WEN (TW)；葉俊瑩 YEH, CHUN YING (TW)；倪君偉 NI,
CHUN WEI (TW)；羅振達 LO, CHENG TA (TW)

(74)代理人：李世章；秦建譜

(56)參考文獻：

TW I567979B

TW 201023302A1

TW 201330286A1

TW 201705300A

審查人員：王安邦

申請專利範圍項數：15 項 圖式數：6 共 28 頁

(54)名稱

半導體元件與其製造方法

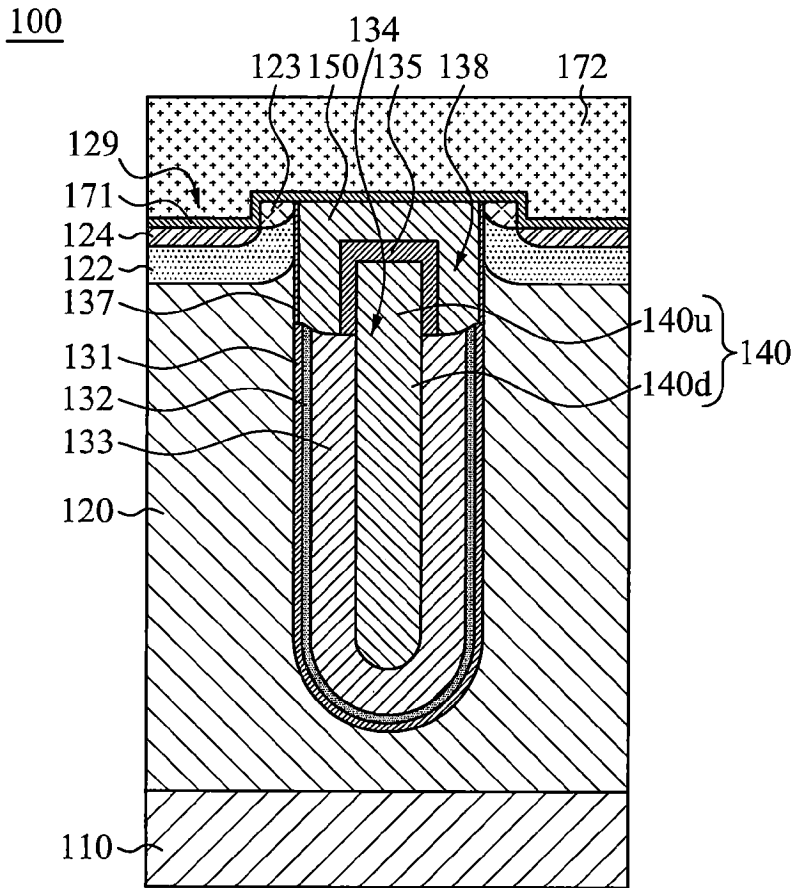
SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(57)摘要

一種半導體元件包含基板、磊晶層、第三介電層、屏蔽層、第四介電層、閘極、多個摻雜區以及第五介電層。磊晶層位於基板上。第三介電層設置於磊晶層的第一溝渠中，並形成第二溝渠於第一溝渠中。屏蔽層具有上半部分與下半部分，其中下半部分設置於第二溝渠中，上半部分凸出於第三介電層。閘極設置於磊晶層中與第三介電層上，其中第四介電層設置於屏蔽層與閘極之間。摻雜區設置於位於閘極之四周的磊晶層中。第五介電層設置於摻雜區與閘極之間。

A semiconductor device includes a substrate, an epitaxial layer, third, fourth, and fifth dielectric layers, a shield layer, a gate, and a plurality of doped areas. The third dielectric layer is disposed in a first trench of the epitaxial layer and forms a second trench in the first trench. The shield layer has an upper portion protruding from the third dielectric layer and a lower portion disposed in the second trench. The gate is disposed in the epitaxial layer and on the third dielectric layer. The fourth dielectric layer is disposed between the shield layer and the gate. The doped areas are disposed in a part of the epitaxial layer surrounding the gate. The fifth dielectric layer is disposed between the doped areas and the gate.

指定代表圖：



符號簡單說明：

- 100 . . . 半導體元件
- 110 . . . 基板
- 120 . . . 磊晶層
- 138 . . . 溝渠
- 122、123、
- 124 . . . 摻雜區
- 129 . . . 凹槽
- 131 . . . 第一介電層
- 132 . . . 第二介電層
- 133 . . . 第三介電層
- 134 . . . 第二溝渠
- 135 . . . 第四介電層
- 137 . . . 第五介電層
- 140 . . . 屏蔽層
- 140d . . . 下半部分
- 140u . . . 上半部分
- 150 . . . 閘極
- 171 . . . 金屬矽化層
- 172 . . . 金屬層

第 1G 圖

【發明說明書】

【中文發明名稱】半導體元件與其製造方法

【英文發明名稱】SEMICONDUCTOR DEVICE AND
METHOD FOR MANUFACTURING THE SAME

【技術領域】

【0001】 本發明是有關於一種半導體元件與其製造方法。

【先前技術】

【0002】 功率半導體仍是許多電力電子系統的主要元件。在現今功率半導體的應用領域中，低導通電壓與逆向電壓的高乘載能力是非常重要的能力指標。

【0003】 為了進一步改善功率半導體的各項特性，相關領域莫不費盡心思開發。如何能提供一種具有較佳特性的半導體，實屬當前重要研發課題之一，亦成為當前相關領域亟需改進的目標。

【發明內容】

【0004】 本發明之一技術態樣是在提供一種半導體元件與其製造方法，藉由適當的結構設計，使半導體元件具有較低的導通電壓且可以承載較高的逆向電壓。另外，利用特殊的製程設計，將能有效降低製造成本。

【0005】 根據本發明一實施方式，一種半導體元件的製造方法包含以下步驟。首先，形成磊晶層於基板上。然後，形成

第一溝渠於磊晶層中。之後，依序形成第一介電層、第二介電層以及第三介電層於磊晶層上，其中第三介電層形成第二溝渠，第二溝渠位於第一溝渠中。再來，形成屏蔽層於第二溝渠中。然後，移除第三介電層的上半部分，以使屏蔽層的上半部分凸出於第三介電層。之後，形成第四介電層於屏蔽層的上半部分。再來，移除未被第三介電層覆蓋的第二介電層與第一介電層，以裸露磊晶層。然後，形成第五介電層。之後，形成閘極於第三介電層上，並使第五介電層介於閘極與磊晶層之間。最後，形成多個摻雜區於閘極之四周的磊晶層中。

【0006】 根據本發明另一實施方式，一種半導體元件包含基板、磊晶層、第三介電層、屏蔽層、第四介電層、閘極、多個摻雜區以及第五介電層。磊晶層位於基板上。第三介電層設置於磊晶層的第一溝渠中，並形成第二溝渠於第一溝渠中。屏蔽層具有上半部分與下半部分，其中下半部分設置於第二溝渠中，上半部分凸出於第三介電層。第四介電層設置於上半部分上。閘極設置於磊晶層中與第三介電層上，其中第四介電層設置於屏蔽層與閘極之間。摻雜區設置於位於閘極之四周的磊晶層中。第五介電層設置於摻雜區與閘極之間。

【0007】 在半導體元件中，因為閘極可以產生的短通道效應，所以半導體元件將可以產生類似於蕭特基二極體的低導通電壓。於是，半導體元件的導通效能損失將能降低，同時可以具有高溫時優良的可靠度表現。進一步來說，因為位於閘極旁邊的介電層的厚度較薄，所以半導體元件的導通電壓可以進一步降低。

【0008】 本製造方法可以相容於傳統功率半導體元件的相關製程，因此僅需微調原有製程即可製造半導體元件。另外，在閘極下方的介電層的厚度夠厚，所以使半導體元件在具有低導通電壓的同時可以承載較高的逆向電壓。

【0009】 進一步來說，利用熱氧化屏蔽層的方式，僅需要使用一個製程就可以形成設置於閘極與屏蔽層之間的介電層。於是，相較於傳統製程，製造半導體元件所需的製程將能大幅減少，進而有效降低製造成本。

【圖式簡單說明】

【0010】 第1A圖至第1G圖繪示依照本發明一實施方式之半導體元件的製造方法各步驟的剖面圖。

第2圖繪示依照本發明另一實施方式之半導體元件的製造方法各步驟的剖面圖。

第3圖繪示依照本發明又一實施方式之半導體元件的製造方法各步驟的剖面圖。

第4A圖至第4C圖繪示依照本發明又一實施方式之半導體元件的製造方法各步驟的剖面圖。

第5圖繪示依照本發明再一實施方式之半導體元件的製造方法各步驟的剖面圖。

第6圖繪示依照本發明再一實施方式之半導體元件的製造方法各步驟的剖面圖。

【實施方式】

【0011】 以下將以圖式揭露本發明之複數個實施方式，為明確說明起見，許多實務上的細節將在以下敘述中一併說明。然而，應瞭解到，這些實務上的細節不應用以限制本發明。也就是說，在本發明部分實施方式中，這些實務上的細節是非必要的。此外，為簡化圖式起見，一些習知慣用的結構與元件在圖式中將以簡單示意的方式繪示之。

【0012】 第1A圖至第1G圖繪示依照本發明一實施方式之半導體元件100的製造方法各步驟的剖面圖。

【0013】 如第1A圖所繪示，首先，形成磊晶層120於基板110上。具體而言，基板110之材質可為單晶矽。磊晶層120之材質可為單晶矽。

【0014】 接著，形成第一溝渠121於磊晶層120中。具體而言，溝渠121的形成方法例如為蝕刻。

【0015】 然後，依序形成第一介電層131、第二介電層132、第三介電層133於磊晶層120上，其中第三介電層133形成第二溝渠134，第二溝渠134位於第一溝渠121中。具體而言，第一介電層131之材質可為二氧化矽。第二介電層132之材質可為氮化矽。第三介電層133之材質可為四乙氧基矽烷(Tetraethoxysilane, TEOS)。第一介電層131可藉由熱氧化磊晶層120而形成。第二介電層132、第三介電層133可分別藉由物理氣相沉積、化學氣相沉積或其組合而形成。

【0016】 如第1B圖所繪示，形成屏蔽層140於第二溝渠134中。具體而言，首先形成屏蔽層140於第三介電層133上(即溝渠134中與介電層133的頂面上)。然後，移除部分屏蔽層

140，僅留下位於第二溝渠134中的屏蔽層140。屏蔽層140之材質可為多晶矽。屏蔽層140可藉由物理氣相沉積、化學氣相沉積或其組合而形成。屏蔽層140的移除方法可為蝕刻。另外，屏蔽層140的頂面的高度低於磊晶層120的頂面的高度。

【0017】 如第1C圖所繪示，移除第三介電層133的上半部分而留下位於第一溝渠121中的第三介電層133，以使屏蔽層140的上半部分140u凸出於第三介電層133。具體而言，第三介電層133的移除方法可為濕蝕刻。

【0018】 如第1D圖所繪示，形成第四介電層135於屏蔽層140的上半部分140u上，因而使第四介電層135覆蓋屏蔽層140的上半部分140u。具體而言，第四介電層135之材質可為二氧化矽。第四介電層135為藉由熱氧化屏蔽層140而形成。此處需要注意的是，第二介電層132可以在熱氧化屏蔽層140的時候保護位於其下的其他結構(例如第一介電層131)不受影響。

【0019】 如第1D圖與第1E圖所繪示，移除未被第三介電層133覆蓋的第二介電層132的上半部分(即設置高度大於第三介電層133的頂面高度的部分)，以使第二介電層132的頂面高度與第三介電層133的頂面高度大致相同。具體而言，第二介電層132的移除方法可為濕蝕刻。

【0020】 然後，移除未被第三介電層133覆蓋的第一介電層131的上半部分(即設置高度大於第三介電層133的頂面的設置高度的部分)，以使第一介電層131的頂面高度與第三介電

層133的頂面高度大致相同，並裸露磊晶層120的上半部分。具體而言，第一介電層131的移除方法可為濕蝕刻。

【0021】 再來，形成第五介電層137於裸露的磊晶層120上面。具體而言，第五介電層137之材質可為二氧化矽。第五介電層137可藉由熱氧化磊晶層120而形成。

【0022】 之後，形成閘極150於溝渠138中和第三介電層133上，並使第五介電層137介於閘極150與磊晶層120之間。具體而言，首先形成閘極150於溝渠138中與第三介電層133的頂面上。然後，移除閘極150的上半部分，僅留下位於溝渠138中的閘極150。於是，閘極150設置於第一介電層131、第二介電層132、第三介電層133上且直接接觸第五介電層137。閘極150之材質可為多晶矽。閘極150可藉由物理氣相沉積、化學氣相沉積或其組合而形成。閘極150的移除方法可為蝕刻。

【0023】 如第1F圖所繪示，形成第一摻雜區122於位於閘極150(溝渠138)之四周的磊晶層120中，以做為基體區(Body)。第一摻雜區122的形成方法為離子佈植(Ion Implantation)與驅入擴散(Drive In)。

【0024】 然後，形成第二摻雜區123於位於閘極150(溝渠138)之四周的第一摻雜區122(磊晶層120)的上面部份中，以做為源極區(Source)。具體而言，第二摻雜區123的形成方法為離子佈植與驅入擴散。

【0025】 如第1F圖與第1G圖所繪示，形成凹槽129於第二摻雜區123中。具體而言，凹槽129的形成方法可為蝕刻。

【0026】 然後，根據凹槽129位置，進行離子佈植與驅入擴散，以形成第三摻雜區124於位於閘極150(溝渠138)之四周的第一摻雜區122(磊晶層120)中。

【0027】 再來，移除位於第二摻雜區123的頂面上的介電層137，並形成金屬矽化層171於第二摻雜區123、第三摻雜區124及閘極150上。具體而言，在移除介電層137後(可藉由蝕刻移除)，首先形成金屬層於第二摻雜區123、第三摻雜區124與閘極150上。在一些實施方式中，金屬層之材質可為鈦。金屬層的形成方式可為物理氣相沉積、化學氣相沉積、或其組合而形成。然後，溫度提升至適當溫度。於是，金屬層將與位於其下的第二摻雜區123、第三摻雜區124及與閘極150結合而形成金屬矽化層171。金屬矽化層171電性連接第二摻雜區123、第三摻雜區124與閘極150。在一些實施方式中，金屬矽化層171之材質可為矽化鈦。

【0028】 最後，形成金屬層172於金屬矽化層171上。具體而言，金屬層172之材質可為鋁或銅。金屬層172可藉由電化學沉積製程(Electrochemical Deposition)、物理氣相沉積製程、化學氣相沉積製程或其組合形成。

【0029】 在本實施方式中，第一摻雜區122為P-型。第二摻雜區123為N+型。第三摻雜區124為P+型。應了解到，以上所舉第一摻雜區122、第二摻雜區123與第三摻雜區124的具體實施方式僅為例示，並非用以限制本發明，本發明所屬技術領域中具有通常知識者，應視實際需要，彈性選擇第一摻雜區122、第二摻雜區123與第三摻雜區124的具體實施方式。

【0030】 在半導體元件100中，因為閘極150可以產生的短通道效應(Short Channel Effect)，所以半導體元件100將可以產生類似於蕭特基二極體的低導通電壓。於是，半導體元件100的導通效能損失將能降低，同時可以具有高溫時優良的可靠度表現。進一步來說，因為位於閘極150旁邊的介電層137的厚度較薄，所以半導體元件100的導通電壓可以進一步降低。

【0031】 本製造方法可以相容於傳統功率半導體元件的相關製程，因此僅需微調原有製程即可製造半導體元件100。另外，在閘極150下方的第一介電層131、第二介電層132、第三介電層133的厚度夠厚，所以使半導體元件100在具有低導通電壓的同時可以承載較高的逆向電壓。

【0032】 進一步來說，利用熱氧化屏蔽層140的方式，僅需要使用一個製程就可以形成設置於閘極150與屏蔽層140之間的第四介電層135。於是，相較於傳統製程，製造半導體元件100所需的製程將能大幅減少，進而有效降低製造成本。

【0033】 第2圖繪示依照本發明另一實施方式之半導體元件100的製造方法各步驟的剖面圖。如第2圖所繪示，本實施方式的製造方法與前述實施方式的製造方法大致相同，主要相異在於，形成該第二摻雜區123後，不跟第1G圖一樣要形成凹槽129於第二摻雜區123中，而是直接形成第三摻雜區124於第一摻雜區122與第二摻雜區123中，其中第三摻雜區124的底部深度大於第二摻雜區123的底部深度。

【0034】 第3圖繪示依照本發明又一實施方式之半導體元件100的製造方法各步驟的剖面圖。如第3圖所繪示，本實施

方式的製造方法與第1G圖的製造方法大致相同，主要相異在於，在本實施方式中，沒有形成凹槽129與第三摻雜區124。另外，第一摻雜區122為P-型。第二摻雜區123為P+型。應了解到，以上所舉第一摻雜區122與第二摻雜區123的具體實施方式僅為例示，並非用以限制本發明，本發明所屬技術領域中具有通常知識者，應視實際需要，彈性選擇第一摻雜區122與第二摻雜區123的具體實施方式。

【0035】 第4A圖至第4B圖繪示依照本發明又一實施方式之半導體元件100的製造方法各步驟的剖面圖。本實施方式的製造方法與前述實施方式的製造方法大致相同，以下主要將介紹其相異處。

【0036】 如第4A圖所繪示，在移除部分屏蔽層140的時候，使留下的屏蔽層140的頂面140t的設置高度約等於磊晶層120的頂面120t的設置高度。

【0037】 如第4B圖所繪示，在形成閘極150的時候，因為第四介電層135的頂面的設置高度大於或等於磊晶層120的頂面120t的設置高度，所以閘極150將不會設置於屏蔽層140的上半部分140u的上方。換句話說，閘極150沒有設置於第四介電層135的頂面上。

【0038】 如第4C圖所繪示，本實施方式所形成的半導體元件100基本上與第1G圖所形成的半導體元件100相同，主要差異在於，在本實施方式中，屏蔽層140的頂面140t的設置高度約等於磊晶層120的頂面120t的設置高度(第一摻雜區122、第二摻雜區123與第三摻雜區124為形成於磊晶層120中)，所以

閘極150沒有設置於屏蔽層140的上半部分140u的上方。進一步來說，在前述製程中，因為第四介電層135的頂面的設置高度大於或等於磊晶層120的頂面120t的設置高度，所以部分第四介電層135將會凸出於磊晶層120。在形成金屬矽化層171之前，將凸出於磊晶層120的介電層135移除，因而裸露屏蔽層140。於是，金屬矽化層171亦電性連接屏蔽層140。具體而言，移除凸出於磊晶層120的第四介電層135的方法可為化學機械平坦化製程 (Chemical Mechanical Planarization, CMP)。

【0039】 第5圖繪示依照本發明再一實施方式之半導體元件100的製造方法各步驟的剖面圖。如第5圖所繪示，本實施方式的製造方法與前述第4A圖至第4C圖實施方式的製造方法大致相同，主要相異在於，形成該第二摻雜區123後，沒有形成凹槽129直接形成第三摻雜區124於第一摻雜區122與第二摻雜區123中，其中第三摻雜區124的底部深度大於第二摻雜區123的底部深度。

【0040】 第6圖繪示依照本發明再一實施方式之半導體元件100的製造方法各步驟的剖面圖。如第6圖所繪示，本實施方式的製造方法與第4A圖至第4C圖的製造方法大致相同，主要相異在於，在本實施方式中，沒有形成凹槽129與第三摻雜區124。另外，第一摻雜區122為P-型。第二摻雜區123為P+型。應了解到，以上所舉第一摻雜區122與第二摻雜區123的具體實施方式僅為例示，並非用以限制本發明，本發明所屬技

術領域中具有通常知識者，應視實際需要，彈性選擇第一摻雜區122與第二摻雜區123的具體實施方式。

【0041】 在半導體元件中，因為閘極可以產生的短通道效應，所以半導體元件將可以產生類似於蕭特基二極體的低導通電壓。於是，半導體元件的導通效能損失將能降低，同時可以具有高溫時優良的可靠度表現。進一步來說，因為位於閘極旁邊的介電層的厚度較薄，所以半導體元件的導通電壓可以進一步降低。

【0042】 本製造方法可以相容於傳統功率半導體元件的相關製程，因此僅需微調原有製程即可製造半導體元件。另外，在閘極下方的介電層的厚度夠厚，所以使半導體元件在具有低導通電壓的同時可以承載較高的逆向電壓。

【0043】 進一步來說，利用熱氧化屏蔽層的方式，僅需要使用一個製程就可以形成設置於閘極與屏蔽層之間的介電層。於是，相較於傳統製程，製造半導體元件所需的製程將能大幅減少，進而有效降低製造成本。

【0044】 雖然本發明已以實施方式揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0045】

100：半導體元件

- 110：基板
- 120：磊晶層
- 120t、140t：頂面
- 121、134、138：溝渠
- 122：第一摻雜區
- 123：第二摻雜區
- 124：第三摻雜區
- 129：凹槽
- 131：第一介電層
- 132：第二介電層
- 133：第三介電層
- 135：第四介電層
- 137：第五介電層
- 140：屏蔽層
- 140d：下半部分
- 140u：上半部分
- 150：閘極
- 171：金屬矽化層
- 172：金屬層

申請案號： 106129041

申請日： 106/08/25

I631705

【發明摘要】

IPC 分類： *H01L 29/06* (2006.01)
H01L 29/739 (2006.01)
H01L 29/74 (2006.01)
H01L 29/745 (2006.01)
H01L 29/749 (2006.01)
H01L 29/78 (2006.01)

【中文發明名稱】半導體元件與其製造方法

【英文發明名稱】 SEMICONDUCTOR DEVICE AND
METHOD FOR MANUFACTURING THE SAME

【中文】

一種半導體元件包含基板、磊晶層、第三介電層、屏蔽層、第四介電層、閘極、多個摻雜區以及第五介電層。磊晶層位於基板上。第三介電層設置於磊晶層的第一溝渠中，並形成第二溝渠於第一溝渠中。屏蔽層具有上半部分與下半部分，其中下半部分設置於第二溝渠中，上半部分凸出於第三介電層。閘極設置於磊晶層中與第三介電層上，其中第四介電層設置於屏蔽層與閘極之間。摻雜區設置於位於閘極之四周的磊晶層中。第五介電層設置於摻雜區與閘極之間。

【英文】

A semiconductor device includes a substrate, an epitaxial layer, third, fourth, and fifth dielectric layers, a shield layer, a gate, and a plurality of doped areas. The third dielectric layer is disposed in a first trench of the epitaxial layer and forms a second trench in the first trench. The shield layer has an upper portion protruding from the third dielectric layer and a lower portion disposed in the second trench. The gate is disposed in

the epitaxial layer and on the third dielectric layer. The fourth dielectric layer is disposed between the shield layer and the gate. The doped areas are disposed in a part of the epitaxial layer surrounding the gate. The fifth dielectric layer is disposed between the doped areas and the gate.

【指定代表圖】 第1G圖

【代表圖之符號簡單說明】

100：半導體元件

110：基板

120：磊晶層

138：溝渠

122、123、124：摻雜區

129：凹槽

131：第一介電層

132：第二介電層

133：第三介電層

134：第二溝渠

135：第四介電層

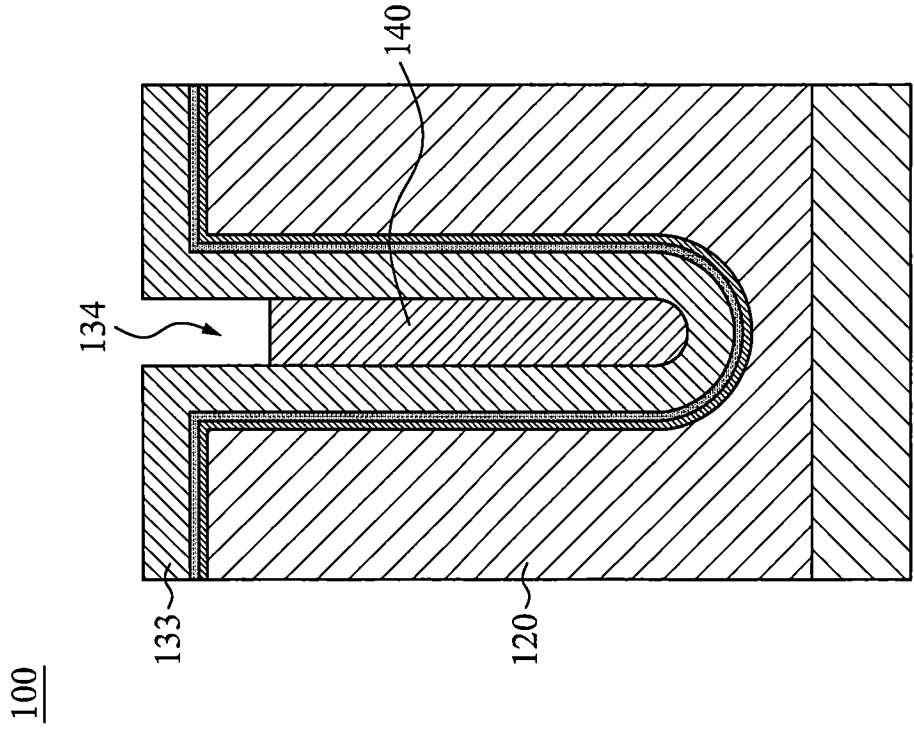
137：第五介電層

140：屏蔽層

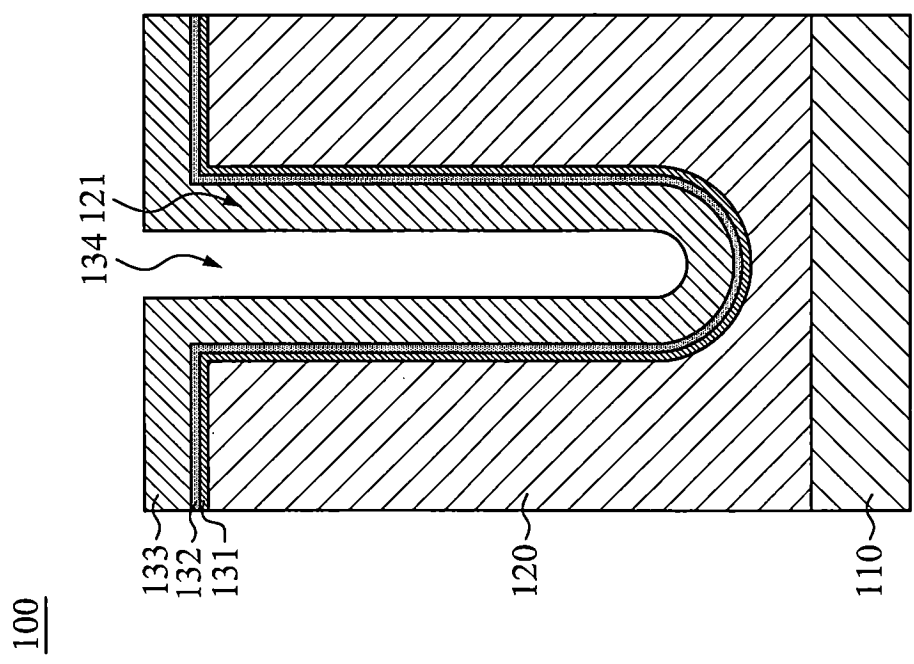
140d：下半部分

140u：上半部分

圖式

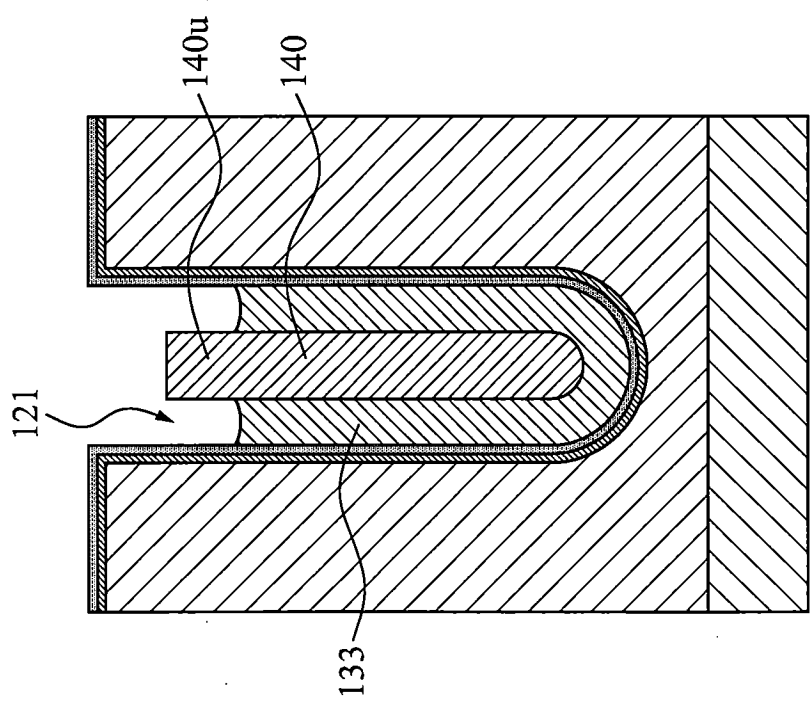


第1B圖



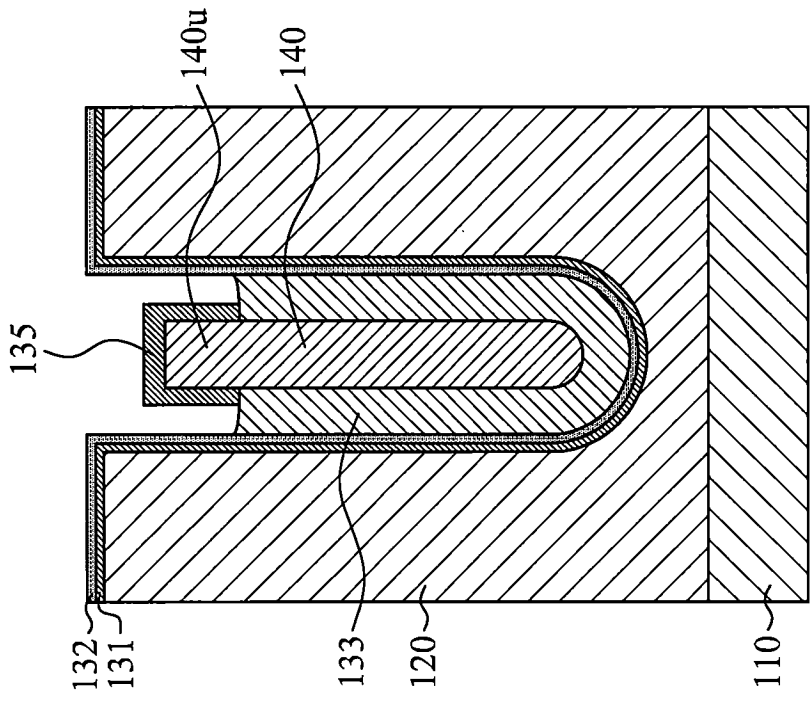
第1A圖

100



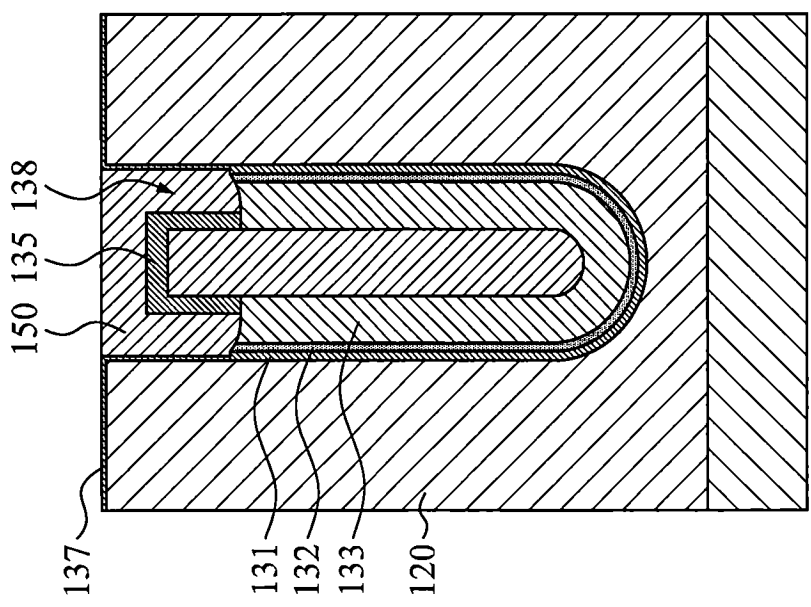
第1C圖

100



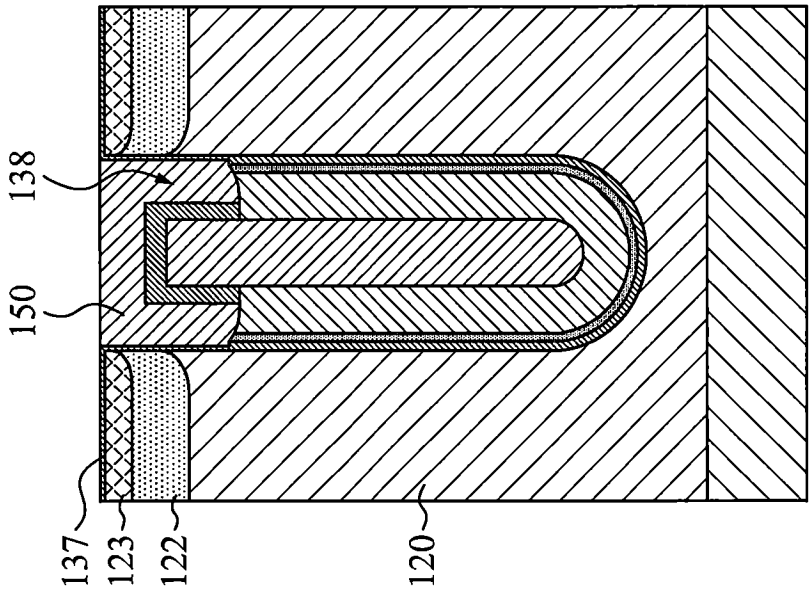
第1D圖

100

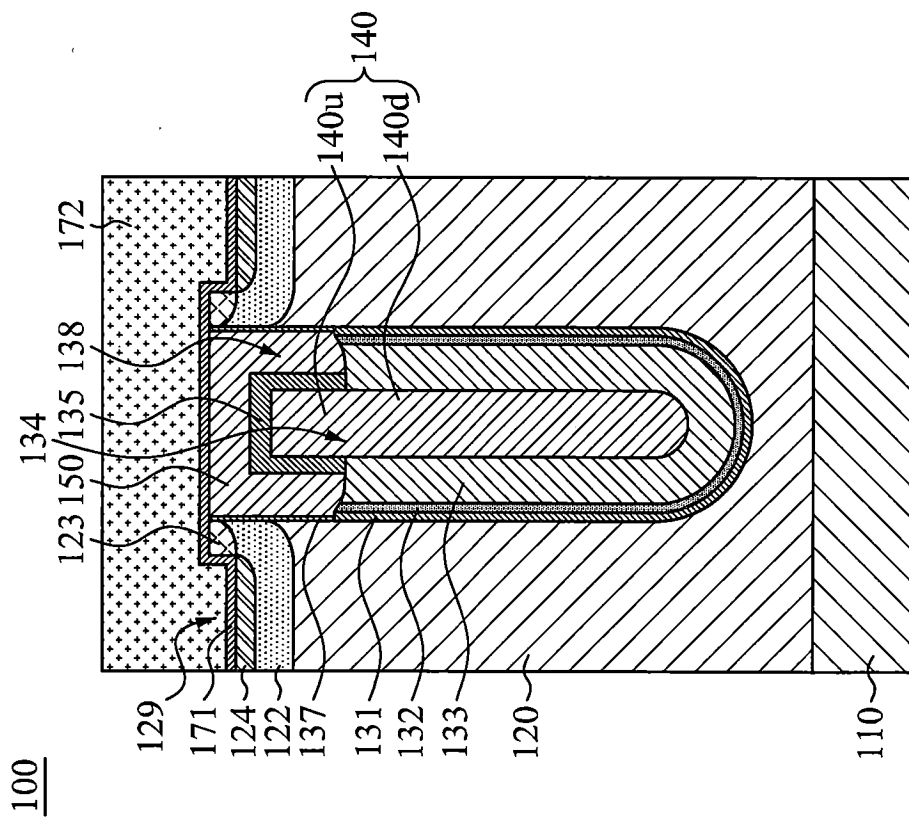


第1E圖

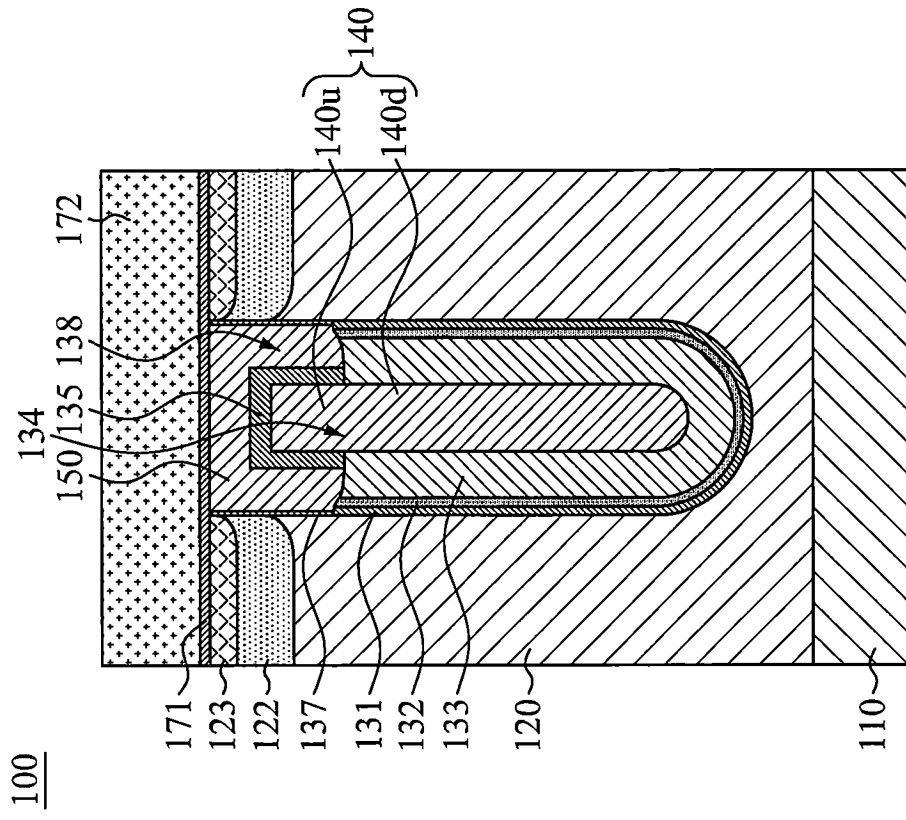
100



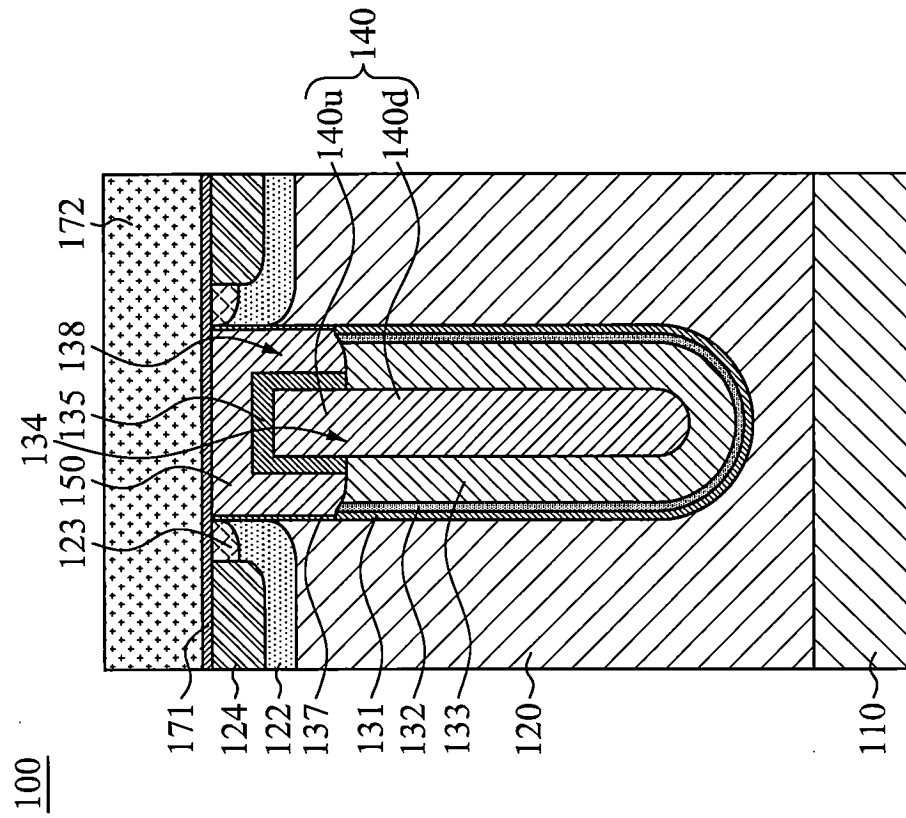
第1F圖



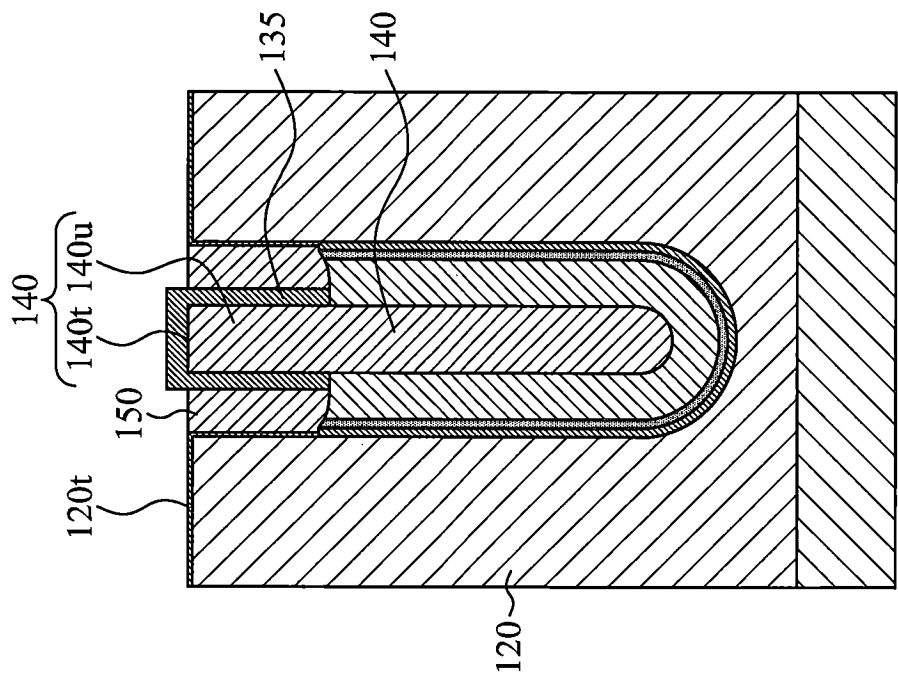
第1G圖



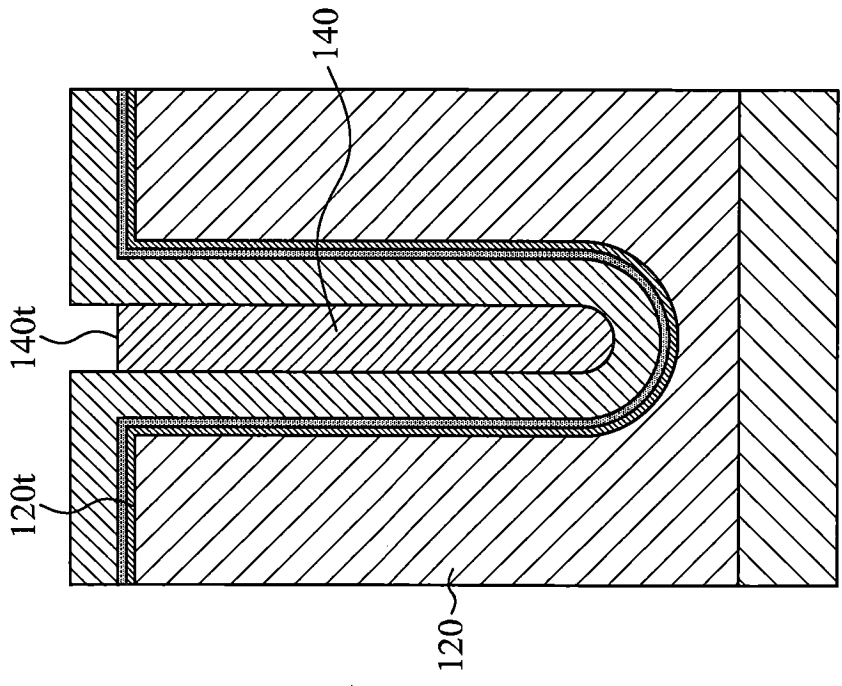
第3圖



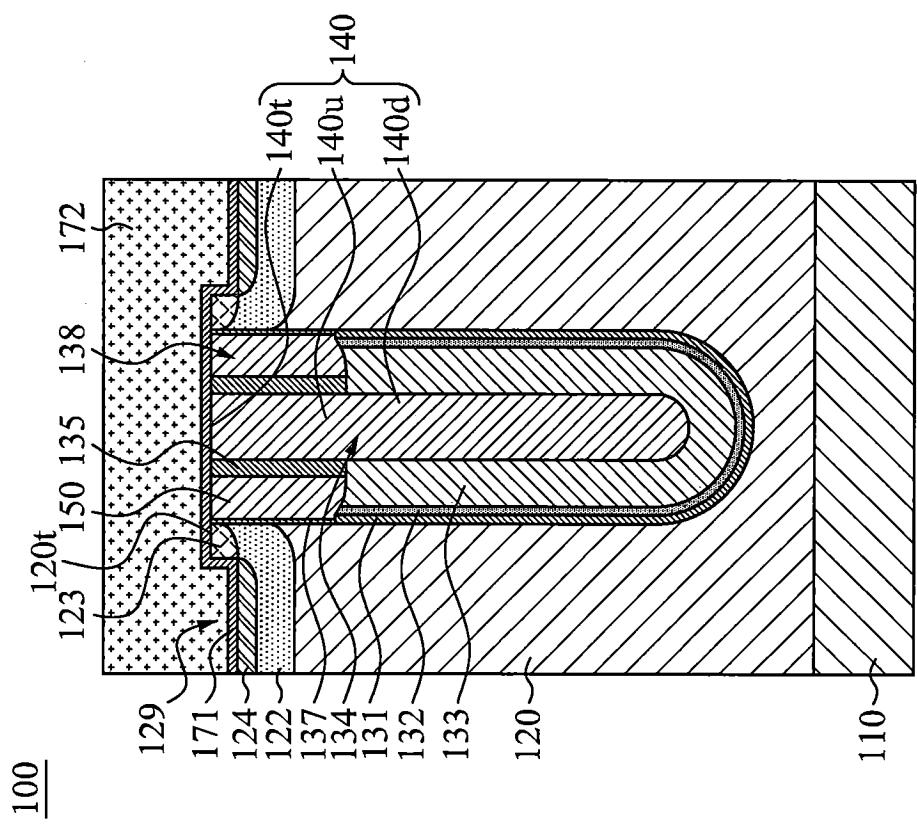
第2圖



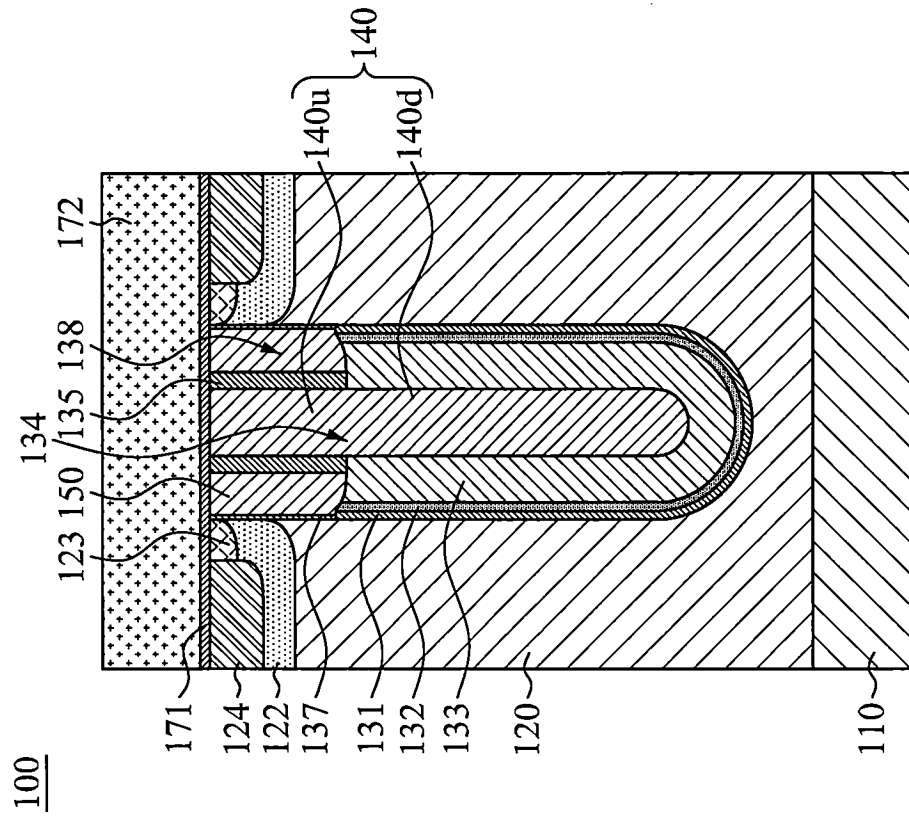
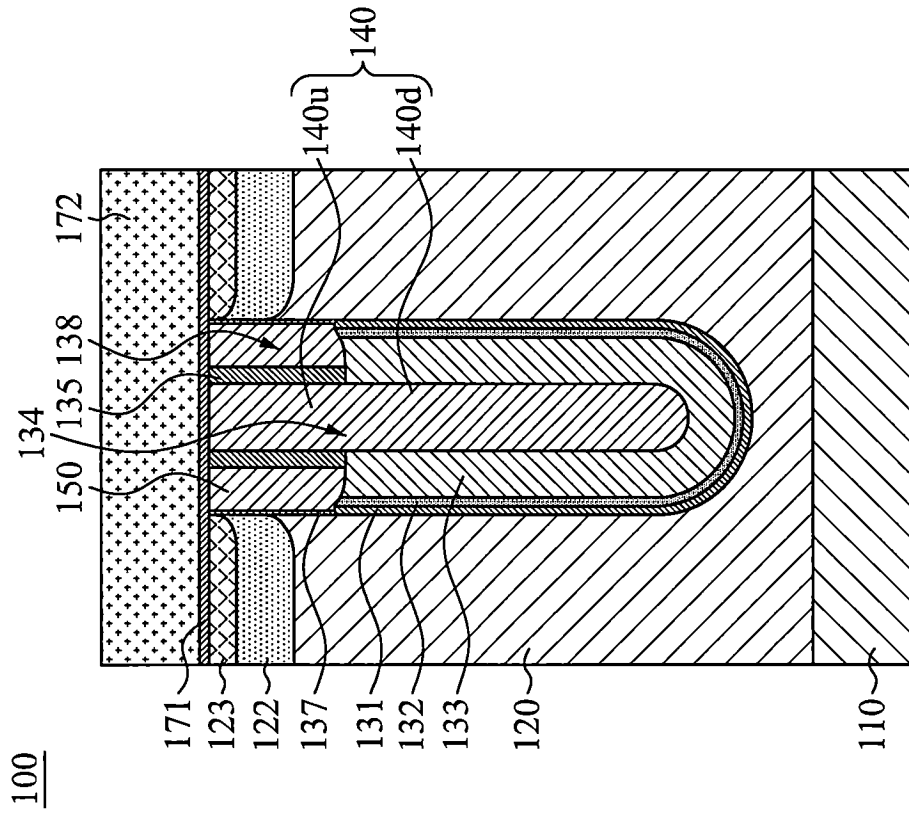
第4B圖



第4A圖



第4C圖



第6圖

第5圖

the epitaxial layer and on the third dielectric layer. The fourth dielectric layer is disposed between the shield layer and the gate. The doped areas are disposed in a part of the epitaxial layer surrounding the gate. The fifth dielectric layer is disposed between the doped areas and the gate.

【指定代表圖】 第1G圖

【代表圖之符號簡單說明】

100：半導體元件

110：基板

120：磊晶層

138：溝渠

122、123、124：摻雜區

129：凹槽

131：第一介電層

132：第二介電層

133：第三介電層

134：第二溝渠

135：第四介電層

137：第五介電層

140：屏蔽層

140d：下半部分

140u：上半部分

150：閘極

171：金屬矽化層

172：金屬層

【特徵化學式】

無

【發明申請專利範圍】

【第 1 項】一種半導體元件的製造方法，包含：

形成一磊晶層於一基板上；

形成一第一溝渠於該磊晶層中；

依序形成一第一介電層、一第二介電層以及一第三介電層於該磊晶層上，其中該第三介電層形成一第二溝渠，該第二溝渠位於該第一溝渠中；

形成一屏蔽層於該第二溝渠中；

移除該第三介電層的一上半部分，以使該屏蔽層的一上半部分凸出於該第三介電層；

形成一第四介電層於該屏蔽層的該上半部分；

移除未被該第三介電層覆蓋的該第二介電層與該第一介電層，以裸露該磊晶層；

形成一第五介電層於該第一介電層上，並暴露出部分的該第一介電層；

形成一閘極於該第三介電層上，並使該第五介電層介於該閘極與該磊晶層之間；以及

形成多個摻雜區於該閘極之四周的該磊晶層中。

【第 2 項】如請求項 1 所述之半導體元件的製造方法，其中該第四介電層為藉由熱氧化該屏蔽層而形成。

【第 3 項】如請求項 1 所述之半導體元件的製造方法，其中該屏蔽層的頂面高度低於該磊晶層的頂面高度。

【第 4 項】如請求項 1 所述之半導體元件的製造方法，其中形成該多個摻雜區包括：

形成一第一摻雜區，於位於該閘極之四周的該磊晶層中，以做為一基體區；以及

形成一第二摻雜區，於位於該閘極之四周的該第一摻雜區的上部部分中，以做為一源極區。

【第 5 項】如請求項 4 所述之半導體元件的製造方法，其中形成該第二摻雜區後，更包括：

形成一凹槽於該第二摻雜區中；以及

根據該凹槽位置，形成一第三摻雜區於該第一摻雜區中。

【第 6 項】如請求項 4 所述之半導體元件的製造方法，其中形成該第二摻雜區後，更包括：

形成一第三摻雜區於該第一摻雜區中，其中該第三摻雜區的底部深度大於該第二摻雜區的底部深度。

【第 7 項】如請求項 1 所述之半導體元件的製造方法，其中該第四介電層的頂面高度大於或等於該磊晶層的頂面高度。

【第 8 項】一種半導體元件，包含：

一基板；

一磊晶層，位於該基板上；

一第三介電層，設置於該磊晶層的一第一溝渠中，並形成一第二溝渠於該第一溝渠中；

一屏蔽層，具有一上半部分與一下半部分，其中該下半部分設置於該第二溝渠中，該上半部分凸出於該第三介電層；

一第四介電層；

一閘極，設置於該磊晶層中與該第三介電層上，其中該第四介電層設置於該屏蔽層與該閘極之間；

多個摻雜區，設置於位於該閘極之四周的該磊晶層中；
以及

一第五介電層，設置於該摻雜區與該閘極之間，其中在該第五介電層與該第一介電層的連接處，該第五介電層的厚度小於該第一介電層的厚度。

【第 9 項】如請求項 8 所述之半導體元件，其中該屏蔽層的頂面高度低於該磊晶層的頂面高度，至少部分該閘極位於該屏蔽層的該上半部分的上方。

【第 10 項】如請求項 8 所述之半導體元件，其中該第四介電層的頂面高度大於或等於該磊晶層的頂面高度。

【第 11 項】如請求項 8 所述之半導體元件，其中該第四介電層藉由熱氧化該屏蔽層形成。

【第 12 項】如請求項 8 所述之半導體元件，更包含：
該第三介電層之材質為四乙氧基矽烷；

一第一介電層，設置於該磊晶層與該第一介電層之間，其中該第一介電層之材質為二氧化矽；以及

一第二介電層，設置於該第一介電層與該第三介電層之間，其中該第二介電層之材質為氮化矽。

【第 13 項】如請求項 8 所述之半導體元件，其中該些摻雜區包括：

一第一摻雜區，位於該閘極之四周的該磊晶層中，以做為一基體區；以及

一第二摻雜區，位於該閘極之四周的該第一摻雜區的上部部分中，以做為一源極區。

【第 14 項】如請求項 13 所述之半導體元件，更包括：

一第三摻雜區，位於該第一摻雜區中，其中該第二摻雜區具有一凹槽，該第三摻雜區的位置對應於該凹槽的位置。

【第 15 項】如請求項 13 所述之半導體元件，更包括：

一第三摻雜區，位於該第一摻雜區中，其中該第三摻雜區的底部深度大於該第二摻雜區的底部深度。