



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 698 38 633 T2** 2008.08.28

(12) **Übersetzung der europäischen Patentschrift**

(97) **EP 0 905 902 B1**

(51) Int Cl.⁸: **H03K 19/003** (2006.01)

(21) Deutsches Aktenzeichen: **698 38 633.7**

(96) Europäisches Aktenzeichen: **98 113 434.9**

(96) Europäischer Anmeldetag: **18.07.1998**

(97) Erstveröffentlichung durch das EPA: **31.03.1999**

(97) Veröffentlichungstag

der Patenterteilung beim EPA: **31.10.2007**

(47) Veröffentlichungstag im Patentblatt: **28.08.2008**

(30) Unionspriorität:
940862 29.09.1997 US

(84) Benannte Vertragsstaaten:
DE, GB, IE

(73) Patentinhaber:
Qimonda AG, 81739 München, DE

(72) Erfinder:
Terletzki, Hartmund, Pleasant Valley, NY 12569, US

(54) Bezeichnung: **Konstantstrom-CMOS-Ausgangstreiberschaltung mit Dual-Gate-Transistoren**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

HINTERGRUND DER ERFINDUNG

1. Erfindungsgebiet

[0001] Die vorliegende Erfindung betrifft die Datenübertragung zwischen Halbleiter-Bauelementen und betrifft insbesondere drainstromgesteuerte CMOS-Ausgangstreiberschaltungen für Konstantstromanwendungen.

2. Stand der Technik

[0002] Es ist bekannt, daß in Hochfrequenz-Datenübertragungsanwendungen eine solche Datenübertragung typischerweise mit Übertragungsleitungen und Abschlußwiderständen bewirkt wird, um Signalreflexionen zu vermeiden, die Verzerrungen und/oder Schwingungen an Eingangs-/Ausgangssignalen verursachen können. Insbesondere kann sich ein Abschlußwiderstand entweder am Ende oder sowohl am Ende als auch am Beginn der Übertragungsleitung befinden. Der Wert eines solchen Abschlußwiderstandes (solcher Abschlußwiderstände) ist nicht festgelegt; jedoch können typische Werte 50, 60, 75 oder 100 Ohm betragen. Es versteht sich, daß (ein) solche(r) Abschlußwiderstand (Abschlußwiderstände) mit Erde, mit der Stromversorgung des Bauelements oder mit einer extern bereitgestellten Bezugsspannung verbunden sein kann (können) wie im SSTL-Standard EIA/JEDEC (Stub Series Terminated Logic) offenbart.

[0003] Als Beispiel zeigt die [Fig. 1](#) eine im Chip A befindliche chipexterne Treiber-Schaltung (OCD – off chip driver), die als Ausgangspuffer bezeichnet wird. Eine typische Anwendung eines OCD ist zum Treiben von Ausgangsdatenbit aus einem Halbleiter-Speicherbauelement wie beispielsweise einem DRAM-Bauelement (dynamic random access memory) zu einem anderen Bauelement (Empfänger). Ein solcher OCD muß typischerweise an einer Eingangsstufe des die Datenbit empfangenden Bauelements einen angegebenen Spannungshub abgeben, um eine ordnungsgemäße Funktionsweise des Datenübertragungssystems sicherzustellen. Zum Sicherstellen eines solchen angegebenen Spannungshubs wäre es vorteilhaft, daß der OCD eine steuerbare Stromquelle (p-Kanal-Transistor) und Stromsenke (n-Kanal-Transistor) bereitstellt. In einem solchen Fall verursacht der geregelte Strom einen Spannungsabfall am Abschlußwiderstand RT, der als die Eingangsspannung VIN einer Eingangsschaltung (Empfänger/Chip B) benutzt wird.

[0004] Es sind Versuche angestellt worden, ausgangstromgesteuerte Treiberschaltungen zu entwickeln. Beispielsweise offenbart das am 27. Februar 1996 erteilte US-Patent Nr. 5,495,184 (Des Rosiers

et al.) einen hochratigen ECL-E/A-CMOS-Sender mit positivem Versatz und niedriger Leistung. Der Sender enthält einen Totem-Pole-Aufbau von vier CMOS-Transistoren. Die oberen zwei CMOS-Transistoren sind PMOS-Bauelemente und die unteren zwei Transistoren sind NMOS-Bauelemente. Die oberen und unteren Transistoren fungieren als Ausgangsstromschalter, die den Stromfluß von entweder einer Sourcespannungs-Stromversorgung VSS oder einer Drainspannungs-Stromversorgung VDD zu einer Widerstands-Abschlußlast R_t abwechselnd ein- und ausschalten. Die mittleren zwei Bauelemente sind an Bezugsgleichspannungen angeschlossen, die einen unter Verwendung einer Präzisionsstromquelle an einer Last abgegebenen und unter Verwendung einer Präzisions-Stromsenke von einer Last aufgenommenen genauen Betrag an Strom regeln. Die Bezugsspannungen für die Präzisionsstromquelle und die Stromsenke benutzen eine Gegenkopplungsschaltung, die auf eine Widerstandsleiter bezogen ist, und eine durch eine Bandlücken-Bezugsspannung gesteuerte Stromquelle.

[0005] Die Anordnung in dem Sender von Des Rosiers et al. ermöglicht chipinterne Bezugnahme auf ECL-Pegel und Steuerung von Bezugsspannungen und -strömen trotz Variationen bei Prozeß, Spannung und Temperatur. Zum Steuern der Ausgangspegel werden interne ECL-Bezugspegelsignale VOL und VOH benutzt. Die jeweiligen Transistoren werden von Operationsverstärkern getrieben, so daß die Spannung an den Drainelementen der Stromquellen- und Senkentristoren den ECL-Bezugseingaben VOH und VOL gleich ist. Diese Steuerspannungen erzeugen einen präzisen Strom durch eine Stufenkopie und werden auch an die Ausgangsstufe angelegt. Alle Bauelemente in der Bezugssteuerschaltung sind zum Verringern von Gleichstrom-Leistungsverlust skaliert. Die durch den Sender von Des Rosiers et al. erzeugten Bezugsgleichspannungen, die den an die Last abgegebenen Strom und von einer Last aufgenommenen Strom steuern, berücksichtigen jedoch nachteilhafterweise nicht die an die Widerstands-Abschlußlast R_t angekoppelte externe Bezugsspannung. Die Anwendbarkeit des Ausgangstreibers nach Des Rosiers et al. auf verschiedene Datenübertragungsstandards ist infolgedessen stark begrenzt.

KURZE BESCHREIBUNG DER ERFINDUNG

[0006] In einem Aspekt der Erfindung umfaßt eine Ausgangstreiberschaltung mit einem funktionsmäßig an eine ohmsche Abschlußlast angekoppelten Ausgangsanschluß folgendes: ein pFET-Doppelgate-Bauelement mit einem Source-Transistor und einem Drain-Transistor, wobei jeder Transistor jeweils einen Gate-Anschluß, einen Source-Anschluß und einen Drain-Anschluß aufweist, wobei der Source-Anschluß des Source-Transistors funktionsmäßig an eine Spannungsquelle V angekoppelt ist, der

Drain-Anschluß des Source-Transistors funktionsmäßig an den Source-Anschluß des Drain-Transistors angekoppelt ist, der Drain-Anschluß des Drain-Transistors funktionsmäßig an den Ausgangsanschluß der Ausgangstreiberschaltung angekoppelt ist; erste, funktionsmäßig an den Gate-Anschluß des Source-Transistors des pFET-Doppelgate-Bauelements angekoppelte Schaltmittel zum Ein- und Ausschalten von Stromfluß von der Spannungsquelle V durch den Source-Transistor des pFET-Doppelgate-Bauelements; funktionsmäßig an den Gate-Anschluß des Source-Transistors des nFET-Doppelgate-Bauelements angekoppelte zweite Schaltmittel zum Ein- und Ausschalten von Stromfluß zum Erdpotential durch den Source-Transistor des nFET-Doppelgate-Bauelements; und Vorspannungserzeugungsmittel mit einem ersten, funktionsmäßig an den Gate-Anschluß des Drain-Transistors des pFET-Doppelgate-Bauelements angeschlossenen Ausgangsanschluß, der eine erste Vorspannung für den Drain-Transistor bereitstellt, die eine Funktion einer der ohmschen Abschlußlast zugeordneten Bezugsspannung ist und die im wesentlichen den Betrag an vom Drain-Transistor des pFET-Doppelgate-Bauelements bereitgestellten Strom zur ohmschen Abschlußlast steuert, wobei das Vorspannungserzeugungsmittel auch einen zweiten Ausgangsanschluß aufweist, der funktionsmäßig an den Gate-Anschluß des Drain-Transistors des nFET-Doppelgate-Bauelements angekoppelt ist und eine zweite Vorspannung zum Drain-Transistor bereitstellt, die eine Funktion der der ohmschen Abschlußlast zugeordneten Bezugsspannung ist und die im wesentlichen den Betrag an durch die ohmsche Abschlußlast für den Drain-Transistor des nFET-Doppelgate-Bauelements bereitgestellten Strom steuert.

[0007] In einem weiteren Aspekt der Erfindung umfaßt eine Ausgangstreiberschaltung mit einem funktionsmäßig an eine ohmsche Abschlußlast angekoppelten Ausgangsanschluß folgendes: ein pFET-Doppelgate-Bauelement mit einem Source-Transistor und einem Drain-Transistor, wobei jeder Transistor jeweils einen Gate-Anschluß, einen Source-Anschluß und einen Drain-Anschluß aufweist, wobei der Source-Anschluß des Source-Transistors funktionsmäßig an eine Spannungsquelle V angekoppelt ist, der Drain-Anschluß des Source-Transistors funktionsmäßig an den Source-Anschluß des Drain-Transistors angekoppelt ist, der Drain-Anschluß des Drain-Transistors funktionsmäßig an den Ausgangsanschluß der Ausgangstreiberschaltung angekoppelt ist; ein nFET-Doppelgate-Bauelement mit einem Source-Transistor und einem Drain-Transistor, wobei jeder Transistor jeweils einen Gate-Anschluß, einen Source-Anschluß und einen Drain-Anschluß aufweist, wobei der Source-Anschluß des Source-Transistors funktionsmäßig an ein Erdpotential angekoppelt ist, der Drain-Anschluß des Source-Transistors funktionsmäßig an den Source-Anschluß des

Drain-Transistors angekoppelt ist, der Drain-Anschluß des Drain-Transistors funktionsmäßig an den Ausgangsanschluß der Ausgangstreiberschaltung angekoppelt ist; erste, funktionsmäßig an den Gate-Anschluß des Drain-Transistors des pFET-Doppelgate-Bauelements angekoppelte Schaltmittel zum Ein- und Ausschalten von Stromfluß vom Source-Transistor des pFET-Doppelgate-Bauelements; zweite, funktionsmäßig an den Gate-Anschluß des Drain-Transistors des nFET-Doppelgate-Bauelements angekoppelte Schaltmittel zum Ein- und Ausschalten von Stromfluß zum Source-Transistor des nFET-Doppelgate-Bauelements; und Vorspannungserzeugungsmittel mit einem ersten, funktionsmäßig an den Gate-Anschluß des Source-Transistors des pFET-Doppelgate-Bauelements angekoppelten Ausgangsanschluß zur Bereitstellung einer ersten Vorspannung für den Source-Transistor, die eine Funktion einer der ohmschen Abschlußlast zugeordneten Bezugsspannung ist und die im wesentlichen den Betrag an für und durch den Drain-Transistor des pFET-Doppelgate-Bauelements bereitgestellten Strom zur ohmschen Abschlußlast steuert, wobei das Vorspannungserzeugungsmittel auch einen zweiten, funktionsmäßig an den Gate-Anschluß des Source-Transistors des nFET-Doppelgate-Bauelements angekoppelten Ausgangsanschluß aufweist, der eine zweite Vorspannung für den Source-Transistor bereitstellt, die eine Funktion der der ohmschen Abschlußlast zugeordneten Bezugsspannung ist und die im wesentlichen den Betrag an durch die ohmsche Abschlußlast für und durch den Drain-Transistor des nFET-Doppelgate-Bauelements bereitgestellten Strom steuert.

[0008] Es versteht sich, daß der Vorspannungsgenerator vorzugsweise Stromspiegel-Schaltungsanordnungen und mehrstufige Schaltungsanordnungen zum Erzeugen der Vorspannungen enthält, die zum wesentlichen Steuern des Betrags an Strom eingesetzt werden, der von den Ausgangstreiberschaltungen der vorliegenden Erfindung abgegeben und aufgenommen wird. Bevorzugte Ausführungsformen solcher Vorspannungserzeugungsmittel wie auch bevorzugte Ausführungsformen der Ausgangstreiberschaltung werden hier ausführlich erläutert.

[0009] Vorteilhafterweise wird durch die vorliegende Erfindung eine drainstromgesteuerte CMOS-Ausgangstreiberschaltung für Konstantstromanwendungen bereitgestellt (die vorzugsweise als chipexterner Treiber OCD (off chip driver) in einem Halbleiter-Speicherbauelement eingesetzt wird), in denen eine externe ohmsche Abschlußlast benutzt wird, z. B. SSTL_2, SSTL_3, HSTL, ECL. Der (durch das pFET-Doppelgate-Bauelement abgegebene) Drain-Strom auf dem Pull-up-Weg und der (durch das nFET-Doppelgate-Bauelement aufgenommene) Drain-Strom auf dem Pull-down-Weg werden jeweils durch die von der erfindungsgemäßen Schaltung er-

zeugten Gate-Vorspannungen gesteuert, wodurch eine externe Abschlußbezugsspannung vorteilhafterweise berücksichtigt wird.

[0010] Diese und andere Aufgaben, Merkmale und Vorteile der vorliegenden Erfindung werden aus der nachfolgenden ausführlichen Beschreibung beispielhafter Ausführungsformen derselben offenbar, die in Verbindung mit den beiliegenden Zeichnungen zu lesen ist.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0011] [Fig. 1](#) ist ein herkömmliches Hochfrequenz-Anwendungsdatenübertragungssystem mit einem externen Abschlußwiderstand;

[0012] [Fig. 2](#) ist ein Schaltschema einer Ausführungsform einer Ausgangstreiberschaltung der vorliegenden Erfindung;

[0013] [Fig. 3A](#) ist ein Schaltschema einer Ausführungsform eines Vorspannungsgenerators einer Ausgangstreiberschaltung der vorliegenden Erfindung;

[0014] [Fig. 3B](#) ist ein Schaltschema einer alternativen Ausführungsform der in [Fig. 3A](#) gezeigten Ausgangstreiberschaltung;

[0015] [Fig. 4A](#) und [Fig. 4B](#) sind graphische Darstellungen des Ausgangsstroms von Ausgangstreiberschaltungen der vorliegenden Erfindung;

[0016] [Fig. 5](#) ist ein Schaltschema einer weiteren Ausführungsform einer Ausgangstreiberschaltung der vorliegenden Erfindung;

[0017] [Fig. 6A](#) ist ein Schaltschema einer weiteren Ausführungsform eines Vorspannungsgenerators einer Ausgangstreiberschaltung der vorliegenden Erfindung;

[0018] [Fig. 6B](#) ist ein Schaltschema einer alternativen Ausführungsform der in [Fig. 6A](#) gezeigten Ausgangstreiberschaltung; und

[0019] [Fig. 7A](#) und [Fig. 7B](#) sind graphische Darstellungen des Ausgangsstroms von Ausgangstreiberschaltungen der vorliegenden Erfindung.

AUSFÜHRLICHE BESCHREIBUNG DER ERFINDUNG

[0020] Anfänglich auf [Fig. 2](#) bezugnehmend ist eine erste Ausführungsform einer erfindungsgemäßen Ausgangstreiberschaltung zur Bereitstellung von Drain-Konstantstromsteuerung für eine ohmsche Abschlußlast dargestellt. Es versteht sich, daß die Ausgangstreiberschaltung der Erfindung vorzugsweise als chipexterner Treiber (OCD – off chip driver) in ei-

nem Halbleiter-Speicherbauelement, z. B. einem DRAM-Bauelement eingesetzt wird; die Erfindung ist jedoch nicht darauf begrenzt und eine solche einmalige Ausgangstreiberschaltung kann in verschiedenen anderen vom Fachmann in Betracht gezogenen Datenübertragungsanwendungen eingesetzt werden. Die die Begriffe "Chip" und "extern" bezeichnende gestrichelte Linie in der [Fig. 2](#) soll anzeigen, daß die Ausgangstreiberschaltung als ein Teil des Chips oder des Halbleiter-Bauelements gebildet wird, von dem aus Daten zu treiben sind. Bauteile auf der anderen Seite der gestrichelten Linie sind daher chipextern, und damit die Ausgangstreiberschaltung der Erfindung.

[0021] Insbesondere enthält die Ausgangstreiberschaltung **10** ein p-Kanal-Feldeffekttransistor-(pFET-)Doppelgate-Bauelement **12**, das einen Pull-up-Weg der Ausgangstreiberschaltung bildet. Das pFET-Doppelgate-Bauelement **12** selbst enthält einen Source-Transistor **12A** und einen Drain-Transistor **12B**, die jeweils einen Source-Anschluß (S), einen Gate-Anschluß (G) und einen Drain-Anschluß (D) aufweisen. Der Source-Anschluß des Source-Transistors **2A** ist mit einer chipextern bereitgestellten Spannungsquelle V (d. h. Chip-Stromversorgung) verbunden. Der Drain-Anschluß des Drain-Transistors **12B** ist mit dem Ausgangsanschluß der Ausgangstreiberschaltung **10** verbunden.

[0022] Auch enthält die Ausgangstreiberschaltung **10** ein n-Kanal-Feldeffekttransistor-(nFET-)Doppelgate-Bauelement **14**, das einen Pull-down-Weg der Ausgangstreiberschaltung bildet. Das nFET-Doppelgate-Bauelement **14** selbst enthält einen Drain-Transistor **14A** und einen Source-Transistor **14B**, die jeweils einen Source-Anschluß (S), einen Gate-Anschluß (G) und einen Drain-Anschluß (D) aufweisen. Der Source-Anschluß des Source-Transistors **14B** ist mit einem Erdpotential verbunden. Weiterhin ist der Drain-Anschluß des Source-Transistors **14B** mit dem Source-Anschluß des Drain-Transistors **14A** verbunden. Der Drain-Anschluß des Drain-Transistors **14A** ist mit dem Ausgangsanschluß der Ausgangstreiberschaltung **10** verbunden.

[0023] Der Gate-Anschluß des Source-Transistors **12A** des pFET-Bauelements ist mit einem Ausgangsanschluß eines Schaltinverters **16** verbunden, während der Gate-Anschluß des Source-Transistors **14B** des nFET-Bauelements mit einem Ausgangsanschluß eines Schaltinverters **18** verbunden ist. Das Schaltbauelement **16** wird als Reaktion auf ein p-Kanal-Eingangssignal IN_P zum Ein- und Ausschalten des Source-Transistors **12A** benutzt, wodurch der Stromfluß von der Spannungsquelle V durch den Source-Transistor **12A** des pFET-Doppelgate-Bauelements ein- und ausgeschaltet wird. Auf ähnliche Weise wird das Schaltbauelement **18** als Reaktion auf ein n-Kanal-Eingangssignal IN_N zum Ein- und

Ausschalten des Source-Transistors **14B** benutzt, wodurch der Stromfluß zum Erdpotential durch den Source-Transistor **14B** des n-FET-Doppelgate-Bauelements ein- und ausgeschaltet wird.

[0024] Der Gate-Anschluß des Drain-Transistors **12B** des pFET-Bauelements ist mit einem ersten Ausgangsanschluß eines Vorspannungsgenerators **20** verbunden. Vom Vorspannungsgenerator **20** wird, wie ausführlich unten erläutert wird, die Vorspannung v_{BIASP} erzeugt und v_{BIASP} für den Gate-Anschluß des Drain-Transistors **12B** bereitgestellt, um den Betrag an durch den Drain-Transistor **12B** des pFET-Bauelements bereitgestellten Strom im wesentlichen zu steuern. Auf ähnliche Weise ist der Gateanschluß des Drain-Transistors **14A** des nFET-Bauelements mit einem zweiten Ausgangsanschluß des Vorspannungsgenerators **20** verbunden. Vom Vorspannungsgenerator **20** wird wie unten ausführlich erläutert die Vorspannung v_{BIASN} erzeugt und v_{BIASN} für den Gate-Anschluß des Drain-Transistors **14A** bereitgestellt, um den Betrag an den für den Drain-Transistor **14A** des nFET-Bauelements bereitgestellten Strom im wesentlichen zu steuern.

[0025] Der Ausgangsanschluß der Ausgangstreiberschaltung **10**, der am Übergang der Drain-Anschlüsse der Drain-Transistoren **12B** und **14A** gebildet wird, ist mit einem ersten Anschluß eines Abschlußwiderstandes **22** verbunden, während der zweite Anschluß des Abschlußwiderstandes **22** mit einer externen Bezugsspannungsquelle VTT verbunden ist. Der Ausgangsanschluß der Ausgangstreiberschaltung **10** ist ebenfalls mit dem Eingang des (nicht gezeigten), die Daten von der Schaltung **10** empfangenden Bauelements verbunden. Mit einer derartigen bevorzugten Konnektivität zwischen Bauteilen wird nunmehr die Funktionsweise der Ausgangstreiberschaltung **10** erläutert.

[0026] Die Ausgangstreiberschaltung der vorliegenden Erfindung liefert Konstantstrom sowohl für den pFET-Pull-up-Weg als auch den nFET-Pull-down-Weg, während sie gleichzeitig erlaubt, daß die internen (Chip) Stromversorgungsspannungen und die externe Bezugsspannung innerhalb eines gewissen zulässigen Bereichs variieren. Es versteht sich, daß der Drain-Strom von CMOS-Transistoren wie beispielsweise den Transistoren **12A**, **12B**, **14A** und **14B** (und allen hier offenbarten anderen Transistoren) im wesentlichen durch die Gate-Source-Spannung gesteuert wird. So kann durch Erzeugung von Gatespannungen (z. B. v_{BIASP} und v_{BIASN}) gemäß der Erfindung und jeweiliges Anlegen solcher Spannungen an die Gate-Anschlüsse der Drain-Transistoren (bzw. Source-Transistoren, wie in einer alternativen Ausführungsform erläutert wird) der Drain-Strom jedes Weges (Pull-up und Pull-down) vorteilhafterweise so gesteuert werden, daß ein Konstantstrom durch diese bereitge-

stellt wird. Die Source-Transistoren werden in dieser bestimmten Ausführungsform zum effektiven Freigeben und Sperren der Pull-up- und Pull-down-Wege benutzt (während, wie erläutert wird, in einer alternativen Ausführungsform diese Funktion durch die Drain-Transistoren bereitgestellt wird).

[0027] Als Beispiel ist dargestellt, daß der Abschlußwiderstand **22** einen Wert von 50 Ohm aufweist. Der Wert des Abschlußwiderstandes ist so gewählt, daß er dem von der Ausgangstreiberschaltung abzugebenden/zu senkenden Strom und der Eingangsspannung des Empfängers entspricht. So wird gemäß dem in [Fig. 2](#) gezeigten Beispiel ein 50-Ohm-Abschlußwiderstand einen Konstantstrom von rund 8 Milliampere (mA) am Ausgangsanschluß der Ausgangstreiberschaltung ergeben und damit einen Spannungsabfall von rund ± 400 Millivolt (mV) am Eingang des Empfängers verursachen. Im vorliegenden Beispiel ist ± 400 mV die vom Empfänger erforderte Eingangsspannung.

[0028] Wenn dementsprechend das Signal IN_P ein logisches Hoch (rund 5 Volt) ist und das Signal IN_N damit auch ein logisches Hoch ist, wird vom Schaltinverter **16** ein logisches Tief (rund 0 Volt) ausgegeben, das wiederum den Source-Transistor **12A** einschaltet und den pFET-Pull-up-Weg freigibt, während der Schaltinverter **18** ein logisches Tief ausgibt, das den Source-Transistor **14B** ausschaltet und den nFET-Pull-down-Weg sperrt. Bei freigegebenem Pull-up-Weg und gesperrtem Pull-down-Weg bewirkt das Anlegen von v_{BIASP} an den Gate-Anschluß des Transistors **12B**, daß der gewünschte Drainstrom (z. B. rund 8 mA) durch den Pull-up-Weg abgegeben wird.

[0029] Wenn umgekehrt das Signal IN_N ein logisches Tief ist und das Signal IN_P daher ebenfalls ein logisches Tief ist, wird vom Schaltinverter **18** ein logisches Hoch ausgegeben, das den Source-Transistor **14B** einschaltet und den nFET-Pull-down-Weg freigibt, während der Schaltinverter **16** ein logisches Hoch ausgibt, das den Source-Transistor **12A** abschaltet und den pFET-Pull-up-Weg sperrt. Bei freigegebenem Pull-down-Weg und gesperrtem Pull-up-Weg bewirkt das Anlegen von v_{BIASN} an den Gateanschluß des Transistors **14A** die Aufnahme des gewünschten Drain-Stroms (z. B. rund 8 mA) durch den Pull-down-Weg.

[0030] Nunmehr beziehend auf [Fig. 3A](#) ist eine erste Ausführungsform eines Vorspannungsgenerators **20** zum Erzeugen der Vorspannungen v_{BIASP} und v_{BIASN} dargestellt. Es versteht sich, daß der Vorspannungsgenerator **20** vorzugsweise durch drei zusammengeschaltete Stufen gebildet wird, wie erläutert wird. Die an die Vorspannungsgeneratorschaltung zum Erzeugen von v_{BIASP} und v_{BIASN} angelegten Spannungen umfassen eine als VINT be-

zeichnete interne Stromversorgungsspannung; eine als CMN bezeichnete Bandlücken-Bezugsspannung und die Bezugsspannung VTT des externen Abschlußwiderstandes **22** (Fig. 2). Es versteht sich, daß CMN (Bandlückenbezugsspannung) eine hochpräzise konstante Bezugsspannung ist, die Stromfluß durch die erste Stufe der Vorspannungsgeneratorschaltung als Funktion der externen Bezugsspannung VTT garantiert wie erläutert wird.

[0031] So besteht die erste Stufe aus einem pFET-Doppelgate-Transistorbauelement, das aus dem mit dem Drain-Transistor P1B in Reihe geschalteten Source-Transistor P1A besteht. Das pFET-Doppelgate-Bauelement P1A/P1B ist in Reihe zwischen eine Spannungsquelle V (d. h. die gleiche wie die mit dem Transistor **12A** verbundene Spannungsquelle (Fig. 2)) und dem Widerstand R1 geschaltet. Der Widerstand R1 ist in Reihe mit dem Widerstand R2 geschaltet. Die erste Stufe besteht auch aus einem nFET-Doppelgate-Transistorbauelement, das aus dem in Reihe mit dem Draintransistor N1A geschalteten Sourcetransistor N1B besteht. Das nFET-Doppelgate-Bauelement N1A/N1B ist in Reihe zwischen Erde und dem Widerstand R2 geschaltet. Auch besteht die erste Stufe aus einem ersten Operationsverstärker IVTT mit einem mit einer Verbindungsstelle zwischen Widerständen R1 und R2 verbundenen invertierenden Anschluß und einem mit VTT verbundenen nichtinvertierenden Anschluß. Der Ausgangsanschluß des ersten Operationsverstärkers IVTT ist mit dem Gate-Anschluß des Drain-Transistors P1B verbunden. Der Gate-Anschluß des Source-Transistors P1A ist mit Erde verbunden. Die Gateanschlüsse sowohl des Source-Transistors N1B als auch das Drain-Transistors N1A sind mit CMN verbunden.

[0032] Die zweite Stufe besteht aus einem pFET-Doppelgate-Transistorbauelement ähnlich dem pFET-Bauelement P1A/P1B in der ersten Stufe, das aus dem mit dem Drain-Transistor P2B in Reihe geschalteten Source-Transistor P2A besteht. Das pFET-Doppelgate-Bauelement P2A/P2B ist in Reihe zwischen die Spannungsquelle V und den Widerstand R3 geschaltet. Auch besteht die zweite Stufe aus einem nFET-Doppelgate-Transistorbauelement, das aus dem mit dem Drain-Transistor N2A in Reihe geschalteten Source-Transistor N2B besteht. Das nFET-Doppelgate-Bauelement N2A/N2B ist in Reihe zwischen Erde und den Widerstand R3 geschaltet. Auch besteht die zweite Stufe aus einem zweiten Operationsverstärker IN mit einem mit einer Verbindungsstelle zwischen den Widerstand R3 und dem nFET-Bauelement N2A/N2B verbundenen invertierenden Anschluß und einem mit einer Verbindungsstelle zwischen dem Widerstand R2 und dem nFET-Bauelement N1A/N1B (erste Stufe) verbundenen nichtinvertierenden Anschluß. Der Ausgangsanschluß des zweiten Operationsverstärkers IN ist mit

dem Gate-Anschluß des Drain-Transistors N2A verbunden. Der Gate-Anschluß des Source-Transistors N2B ist mit der internen Stromversorgungsspannung VINT verbunden. Es versteht sich, daß die Spannung VINT vorzugsweise weniger gleich der Spannung V ist. Der Gateanschluß des pFET-Source-Transistors P2A ist mit Erde verbunden, während der Gateanschluß von P2B mit dem Ausgangsanschluß des ersten Operationsverstärkers IVTT verbunden ist. Wie erläutert wird, wird durch den Ausgangsanschluß des zweiten Operationsverstärkers IN auch die Vorspannung vBIASN für den Pull-down-Weg der Ausgangstreiberschaltung bereitgestellt.

[0033] Die dritte Stufe besteht aus einem pFET-Doppelgate-Transistorbauelement, das aus dem in Reihe mit dem Drain-Transistor P3B geschalteten Source-Transistor P3A besteht. Das pFET-Doppelgate-Bauelement P3A/P3B ist in Reihe zwischen die Spannungsquelle V und den Widerstand R4 geschaltet. Auch besteht die dritte Stufe aus einem nFET-Doppelgate-Bauelement ähnlich dem nFET-Bauelement N2A/N2B (zweite Stufe), das aus dem in Reihe mit dem Drain-Transistor N3A geschalteten Source-Transistor N3B besteht. Das nFET-Doppelgate-Bauelement N3A/N3B ist in Reihe zwischen Erde und den Widerstand R4 geschaltet. Auch besteht die dritte Stufe aus einem dritten Operationsverstärker IP mit einem mit einer Verbindungsstelle zwischen dem Widerstand R4 und dem pFET-Bauelement P3A/P3B verbundenen invertierenden Anschluß und einem mit einer Verbindungsstelle zwischen Widerstand R1 und pFET-Bauelement P1A/P1B (erste Stufe) verbundenen nichtinvertierenden Anschluß. Der Ausgangsanschluß des dritten Operationsverstärkers IP ist mit dem Gate-Anschluß des Drain-Transistors P3B verbunden. Der Gate-Anschluß des Source-Transistors P3A ist mit Erde verbunden. Der Gate-Anschluß des nFET-Source-Transistors N3B ist mit VINT verbunden, während der Gate-Anschluß von N3A mit dem Ausgangsanschluß des zweiten Operationsverstärkers IN verbunden ist. Wie erläutert wird, wird durch den Ausgangsanschluß des dritten Operationsverstärkers IP auch die Vorspannung vBIASP für den Pull-up-Weg der Ausgangstreiberschaltung bereitgestellt. Mit derartiger bevorzugter Konnektivität zwischen Bauteilen in den drei Stufen wird nunmehr die Funktionsweise des Vorspannungsgenerators **20** erläutert.

[0034] Die Bereitstellung der Spannung CMN für das nFET-Bauelement N1A/N1B erlaubt einen Stromfluß durch die erste Stufe z. B. 100 Mikroampere (μA). Durch den Strom durch die erste Stufe wird ein Spannungsabfall an den Widerständen R1 und R2 verursacht. Es versteht sich, daß die Werte der Widerstände R1 und R2 so gewählt sind, daß sie dem externen Abschlußwiderstand **22** entsprechen (Fig. 2). Das heißt, bezugnehmend auf das frühere Beispiel, wo der Abschlußwiderstand **22** vorzugswei-

se 50 Ohm beträgt und der von der Ausgangstreiber-schaltung abzugebende oder aufzunehmende Strom rund 8 mA beträgt und in der Annahme, daß der Strom durch die erste Stufe rund 100 μA beträgt, werden die Werte von R1 und R2 vorzugsweise als 4K-Ohm gewählt.

[0035] Angenommen daher, daß am 50-Ohm-Abschlußwiderstand ein Spannungsabfall von rund 400 mV erforderlich ist (um dem Eingangsspannungserfordernis des Empfängers zu genügen), ist ein entsprechender Spannungsabfall von rund 400 mV an jedem Widerstand R1 bzw. R2 erforderlich. Der Spannungsabfall an R1 wird als PREF bezeichnet, während der Spannungsabfall an R2 als NREF bezeichnet wird.

[0036] Die Spannung VTT, die externe Bezugsspannung des Abschlußwiderstandes **22**, wird zusammen mit der Spannung zwischen R1 und R2, d. h. CVTT, für den Operationsverstärker IVTT bereitgestellt, um VTT zu regeln, ehe sie für die Gateanschlüsse der Drain-Transistoren P1B und P2B bereitgestellt wird. Das heißt, alle Variationen der externen Bezugsspannung VTT werden vom Operationsverstärker IVTT kompensiert, so daß von IVTT eine geregelte VTT-Spannung, d. h. VTTReg ausgegeben wird. Die Spannung VTTReg wird sowohl für den Gateanschluß des Drain-Transistors P1B (erste Stufe) als auch P2B (zweite Stufe) bereitgestellt, um einen Stromfluß durch die jeweiligen Stufen der Vorspannungsgeneratorschaltung zu erlauben. Es versteht sich, daß das pFET-Doppelgate-Bauelement P1A/P1B und das pFET-Doppelgate-Bauelement P2A/P2B eine Stromspiegelschaltung bilden, so daß der gleiche Strom, der das Bauelement P1A/P1B durchfließt, auch das Bauelement P2A/P2B durchfließt, z. B. 100 μA .

[0037] Es versteht sich, daß mit jedem Transistor eine (als Breiten-/Längenverhältnis bezeichnete) Kanalbreite und Kanallänge verbunden ist. Die Maßeinheiten sind nicht dargestellt, sind aber vorzugsweise in Mikrometern (μm). Durch derartige Eigenschaften der Transistoren wird im wesentlichen die Kapazität des Transistors bestimmt. Damit daher das Bauelement P2A/P2B das Bauelement P1A/P1B spiegelt, werden ihre Breiten-/Längenverhältnisse im wesentlichen als gleich ausgewählt, z. B. 40/1.

[0038] Weiterhin wird die Spannung NRef (z. B. VTT -400 mV) zusammen mit der Spannung an der Verbindungsstelle zwischen R3 und dem nFET-Doppelgate-Bauelement N2A/N2B, d. h. TN, für den Operationsverstärker IN bereitgestellt. Als Reaktion auf diese Eingaben erzeugt der Operationsverstärker IN die N-Kanal-Vorspannung vBIASN, die für den Drain-Transistor **14A** (Fig. 2) der Ausgangstreiber-schaltung bereitgestellt wird. Zusätzlich wird die Ausgabe des Operationsverstärkers IN für die Gate-An-

schlüsse der Drain-Transistoren N2A und N3A bereitgestellt. Von dem nFET-Doppelgate-Bauelement N2A/N2B und dem nFET-Doppelgate-Bauelement N3A/N3B wird eine Stromspiegelschaltung gebildet, so daß der gleiche Strom, der das Bauelement N2A/N2B durchfließt auch das Bauelement N3A/N3B durchfließt, z. B. 100 μA . Damit das Bauelement N3A/N3B daher das Bauelement N2A/N2B spiegelt, werden ihre Breiten-/Längenverhältnisse im wesentlichen als gleich ausgewählt, z. B. 2/0,4.

[0039] Es ist jedoch von Bedeutung, zu beachten, daß das Kanal-Breiten-/Längenverhältnis des Bauelements N2A/N2B (und damit des Bauelements N3A/N3B) so ausgewählt wird, daß es dem Kanal-Breiten-/Längenverhältnis des nFET-Doppelgate-Bauelements **14** der Ausgangstreiber-schaltung entspricht. Das heißt, die Kanallänge jedes Transistors (sowohl Source- als auch Drain-Transistor) wird als im wesentlichen gleich zwischen den Transistoren ausgewählt, z. B. 0,4. Die Kanalbreite der Transistoren N2A, N3A, N2B und N3B wird jedoch als proportional zur Kanalbreite der Transistoren **14A** und **14B** ausgewählt, wobei die Proportionalität das Äquivalent der zwischen dem jeweiligen, die Bauelemente durchfließenden Strom gewünschten Proportionalität ist. Dementsprechend wird in der Annahme, daß der durch das nFET-Bauelement **14** aufzunehmende Strom rund 8 mA beträgt und eine Kanalbreite für jeden Transistor **14A** und **14B** als 160 ausgewählt wird, und in der Annahme, daß der das Bauelement N2A/N2B (und damit das Bauelement N3A/N3B) durchfließende Strom rund 100 μA beträgt, die Kanalbreite der Transistoren der Bauelemente N2A/N2B und N3A/N3B als 2 ausgewählt (d. h. $160/2 = 80$ und $80 \times 100 \mu\text{A} = 8 \text{ mA}$).

[0040] Weiterhin wird die Spannung PRef (z. B. VTT + 400 mV) zusammen mit der Spannung an der Verbindungsstelle zwischen R4 und dem pFET-Doppelgate-Bauelement P3A/P3B, d. h. TP, für den Operationsverstärker IP bereitgestellt. Als Reaktion auf diese Eingaben erzeugt der Operationsverstärker IP die p-Kanal-Vorspannung vBIASP, die für den Drain-Transistor **12B** (Fig. 2) der Ausgangstreiber-schaltung bereitgestellt wird. Zusätzlich wird die Ausgabe des Operationsverstärkers IP für den Gate-Anschluß des Drain-Transistors P3B bereitgestellt.

[0041] Ähnlich der Entsprechung des Kanal-Breiten-/Längenverhältnisses der Bauelemente N2A/N2B und N3A/N3B zu dem nFET-Doppelgate-Bauelement **14** entspricht das Kanal-Breiten-/Längenverhältnis des Bauelements P3A/P3B dem des pFET-Doppelgate-Bauelements **12** der Ausgangstreiber-schaltung. So wird die Kanallänge jedes Transistors (sowohl Source- als auch Drain-Transistor) als im wesentlichen unter den Transistoren gleich ausgewählt, z. B. 0,5, während die Kanalbreite der Transistoren P3A und P3B als proportional zur Ka-

nalbreite der Transistoren **12A** und **12B** ausgewählt wird, wobei die Proportionalität das Äquivalent der zwischen dem die Bauelemente durchfließenden jeweiligen Strom gleichwertig ist. Dementsprechend wird in der Annahme, daß der vom pFET-Bauelement **12** abzugebende Strom rund 8 mA beträgt und eine Kanalbreite für jeden Transistor **12A** und **12B** als 400 ausgewählt wird und in der Annahme, daß der das Bauelement P3A/P3B durchfließende Strom rund 100 µA beträgt, die Kanalbreite der Transistoren des Bauelements P3A/P3B als 5 ausgewählt (d. h. $400/5$ ist gleich 80 und $80 \times 100 \mu\text{A} = 8 \text{ mA}$).

[0042] Es versteht sich, daß die Widerstände R3 und R4 jeweils in der zweiten und dritten Stufe der Vorspannungsgeneratorschaltung bereitgestellt werden, um einen Spannungsabfall an dem Source-Element und Drain-Element des n-Kanal- und p-Kanal-Transistors in jeder Stufe bereitzustellen, der dem durch die Reihenkombination von Widerständen von R1 und R2 in der ersten Stufe bereitgestellten Spannungsabfall gleichwertig ist. In der Annahme, daß R1 und R2 jeweils 4 K Ohm betragen (damit eine Reihenkombination von 8 K Ohm) werden daher R3 und R4 jeweils vorzugsweise als 8 K Ohm gewählt. Auch ist es von Bedeutung, zu beachten, daß die im Zusammenhang mit der [Fig. 2](#) besprochenen Signale IN_P und IN_N durch VINP bereitgestellt werden. Es versteht sich, daß, wenn VINT kleiner als V ist, anstatt des Inverters **16** ein Pegelumsetzer zum Ansteuern des Eingangs der Transistoren **12A** erforderlich ist, um ein Hoch (V) am Gate von **12A** sicherzustellen. Wenn V gleich VINT ist, dann kann die Stromversorgung des Inverters **16** mit V oder VINT verbunden werden. Wie aber schon oben erwähnt muß, wenn V höher als VINT ist, der Inverter **16** mit V verbunden werden (oder ein Pegelumsetzer eingesetzt werden), ansonsten würde der Transistor **12A** nicht richtig ausschalten. Der Inverter **18** kann mit V oder VINT verbunden werden. Auch ist zu bemerken, daß die Vorspannung vBIASN keine perfekt konstante Spannung ist. Das heißt vBIASN variiert mit der externen Bezugsspannung VTT und auch mit Prozeßtoleranzen und Temperatur. Die Vorspannung vBIASP variiert ebenfalls als Funktion dieser Faktoren, variiert aber zusätzlich mit der Stromversorgungsspannung V des Chips, auf dem die Ausgangstreiberschaltung ausgebildet ist.

[0043] Bezugnehmend auf [Fig. 3B](#) ist eine alternative Ausführungsform des Vorspannungsgenerators **20** dargestellt. Es versteht sich, daß ein Vorspannungsgenerator **20'** im wesentlichen dem Vorspannungsgenerator **20** der [Fig. 3A](#) ähnlich ist, wobei die einzige Ausnahme ist, daß die Doppelgate-Transistorbauelemente P1A/P1B, P2A/P2B und N1A/N1B jeweils durch Einzeltransistorbauelemente P1, P2 und N1 ersetzt sind. Die Verwendung der Doppelgate-Transistoren P1A/P1B, P2A/P2B und N1A/N1B ist zu bevorzugen, besonders wenn die Stromversor-

gung V höher als die interne Stromversorgung VINT ist, so daß die Spannung an solchen Transistoren durch die internen Schaltungen geteilt/verteilt werden kann. Ansonsten fungiert der Vorspannungsgenerator **20'** genau wie der im Zusammenhang mit [Fig. 3A](#) erläuterte Vorspannungsgenerator **20**.

[0044] Es ist zu beachten, daß das obige Beispiel eine Funktionsweise beschreibt, bei der bezüglich eines Abschlußwiderstandes **22** von rund 50 Ohm rund 8 mA vom Ausgangstreiber der vorliegenden Erfindung abgegeben und aufgenommen werden. Wenn der Abschlußwiderstand jedoch rund 25 Ohm beträgt und von der Ausgangstreiberschaltung rund 16 mA abgegeben und aufgenommen werden, würden die Kanalbreiten der Transistoren **12A** und **12B** und Transistoren **14A** und **14B** anders sein. Um daher die Proportionalität mit den vorher in der Vorspannungsgeneratorschaltung beschriebenen Transistoren aufrechtzuerhalten, würden die Kanalbreiten der Transistoren **12A** und **12B** 800 betragen und die Kanalbreiten der Transistoren **14A** und **14B** würden 320 betragen.

[0045] Graphische Darstellungen von Beispielen des Ausgangsstroms sowohl für den Pull-up-Weg (mit A bezeichnete Kurve) als auch den Pull-down-Weg (mit B bezeichnete Kurve) der Ausgangstreiberschaltung **10** der Erfindung sind in der [Fig. 4A](#) für einen 50-Ohm-Abschluß (8 mA) und in der [Fig. 4B](#) für einen 25-Ohm-Abschluß (16 mA) dargestellt. Die Stromkurven in der [Fig. 4A](#) zeigen das hier beschriebene Beispiel wo erwünscht ist, daß ein Strom von rund 8 mA abwechselnd von der Ausgangstreiberschaltung der Erfindung abgegeben und aufgenommen wird. Ein ähnliches Beispiel ist in der [Fig. 4B](#) für eine Ausführungsform mit 16 mA dargestellt.

[0046] Nunmehr auf [Fig. 5](#) Bezug nehmend ist eine zweite Ausführungsform einer erfindungsgemäßen Ausgangstreiberschaltung zur Bereitstellung konstanter Drain-Stromsteuerung für eine ohmsche Abschlußlast dargestellt. Eine solche Ausgangstreiberschaltung der Erfindung wird wiederum vorzugsweise als chipexterner Treiber (OCD – off chip driver) in einem Halbleiter-Speicherbauelement eingesetzt, z. B. einem DRAM-Bauelement. Die Ausgangstreiberschaltung **110** ist im wesentlichen der Ausgangstreiberschaltung **10** ([Fig. 2](#)) ähnlich und als solches sind alle, Bauteilen in der [Fig. 5](#) zugeordneten Bezugsziffern die gleichen wie die, gleichartigen Bauteilen in der [Fig. 2](#) zugeordneten Bezugsziffern, nur daß sie um 100 erhöht sind.

[0047] Der Hauptunterschied zwischen der Ausgangstreiberschaltung **110** und der Ausgangstreiberschaltung **10** besteht darin, daß die durch die jeweiligen Drain- und Source-Transistoren der pFET- und nFET-Doppelgatebauelemente durchgeführten

Funktionen ausgetauscht sind. Das heißt, anstelle dessen, daß die Source-Transistoren **112A** (des pFET-Bauelements **112**) und **114B** (des nFET-Bauelements **114**) jeweils mit Schaltinvertern zur Freigabe und Sperrung der Pull-up und Pull-down-Wege verbunden sind und anstelle dessen, daß die Drain-Transistoren **112B** (des pFET-Bauelements **112**) und **114A** (des nFET-Bauelements **114**) mit einem Vorspannungsgenerator verbunden sind, sind die Source-Transistoren **112A** und **114B** in der Schaltung **110** mit einem Vorspannungsgenerator **120** verbunden, während die Drain-Transistoren **112B** und **114A** mit Schaltinvertern **116** bzw. **118** verbunden sind. Dementsprechend wird durch die Drain-Transistoren in der Schaltung **110** die Wegfreigabe-/Sperrungsfunktion durchgeführt und von den Source-Transistoren wird die Konstantstromsteuerungsfunktion durchgeführt. Es versteht sich, daß eine solche alternative Anordnung, während sie ein ähnliches Funktionsergebnis wie die Schaltung **10** bereitstellt, auch zur Verbesserung der Eingangskapazität der Ausgangstreiberschaltung im Zustand der hohen Impedanz der Ausgangstreiberschaltung dient. Anders gesagt, im Zustand hoher Impedanz (wenn die Pull-up- und Pull-down-Ausgangstransistoren beide ausgeschaltet sind) besitzt die Ausgangstreiberschaltung eine gewisse Kapazität am Ausgangsknoten. Die Höhe der Kapazität ist vom Diffusionsbereich (Übergänge der Transistoren **12** und **14**) und dem Bereich in Richtung des Gates der Ausgangstransistoren abhängig. In der Anordnung in [Fig. 2](#) befinden sich die Schalttransistoren an der Source-Seite der Doppelgate-Transistoren und die (mit vBIASP und vBIASN verbundenen) Drain-Transistoren sind eingeschaltet. Der Übergang und der Gate-Bereich am Ausgangsknoten (mit "zum Empfänger" bezeichnet) ist relativ hoch und damit auch die damit verbundene Kapazität. In der Anordnung der [Fig. 5](#) ist jedoch der Gate-Bereich viel kleiner, da beide Drain-Transistoren der Doppelgate-Transistorbauelemente im Zustand hoher Impedanz ausgeschaltet sind und der Übergangsbereich am Ausgangsknoten auf die Drain-Elemente beider Transistoren begrenzt ist. Die Kapazität am Ausgangsknoten der Schaltung **110** ist infolge dessen relativ kleiner als die Kapazität am Ausgang der Schaltung **10**. Unter Annahme des gleichen Abschlußwiderstandes von 50 Ohm für den Abschlußwiderstand **122** und in der Annahme, daß die Eingangsspannung des (nicht gezeigten) Empfängers rund +/- 400 mV beträgt, werden trotzdem vom Pull-up-Weg (pFET-Bauelement **112**) vorzugsweise rund 8 mA gegeben und vom Pull-down-Weg (nFET-Bauelement **114**) vorzugsweise rund 8 mA aufgenommen.

[0048] [Fig. 6A](#) zeigt Einzelheiten einer bevorzugten Ausbildung des Vorspannungsgenerators **120**. Es versteht sich, daß der Vorspannungsgenerator **120** auch im wesentlichen dem Vorspannungsgenerator **20** ([Fig. 3A](#)) ähnlich ist, nur daß, ähnlich dem Aus-

tausch der jeweiligen Funktionen der Drain- und Source-Transistoren der Bauelemente **112** und **114** im Vergleich zu Bauelementen **12** und **14** der Schaltung **10**, jede Source- und Drain-Transistorfunktion in den pFET- und nFET-Bauelementen im Vorspannungsgenerator **120** ausgetauscht ist. In der Tat sind die im Vorspannungsgenerator **120** benutzten Bezugsziffern und Spannungsbezeichnungen die gleichen wie die im Vorspannungsgenerator **20** benutzten. Dementsprechend ist im Vorspannungsgenerator **120** der Ausgangsanschluß des ersten Operationsverstärkers IVTT mit den jeweiligen Gate-Anschlüssen von P1A und P2A verbunden, während die jeweiligen Gate-Anschlüsse von P2B und P1B geerdet sind. Weiterhin ist im Vorspannungsgenerator **120** der Ausgangsanschluß des zweiten Operationsverstärkers IN mit den jeweiligen Gate-Anschlüssen von N2B und N3B verbunden, während die jeweiligen Gate-Anschlüsse von N2A und N3A mit VINT verbunden sind. Weiterhin ist auch der Ausgangsanschluß des dritten Operationsverstärkers IP mit dem Gateanschluß von P3A verbunden, während der Gate-Anschluß von P3B geerdet ist. Ansonsten wird vBIASP und vBIASN auf genau die gleiche Weise wie oben in bezug auf den Vorspannungsgenerator **20** beschrieben erzeugt.

[0049] Nunmehr auf [Fig. 6B](#) Bezug nehmend ist ähnlich dem Verhältnis zwischen der Vorspannungsgeneratorschaltung **20** ([Fig. 3A](#)) und der Vorspannungsgeneratorschaltung **20'** ([Fig. 3B](#)) die alternative Vorspannungsgeneratorschaltung **120'** im wesentlichen der Vorspannungsgeneratorschaltung **120** ähnlich, nur werden Doppelgate-Transistorbauelemente P1A/P1B, P2A/P2B und N1A/N1B aus dem gleichen Grund wie oben für Schaltungen **20** und **20'** erläutert durch Einzeltransistoren P1, P2 bzw. N1 ersetzt. So ist die Ausgabe der Schaltung **120'** genau die gleiche wie die der Schaltung **120**.

[0050] Ähnlich den [Fig. 4A](#) und [Fig. 4B](#) sind in [Fig. 7A](#) und [Fig. 7B](#) graphische Darstellungen von Beispielen des Ausgangsstroms für den Pull-up-Weg (mit A bezeichnete Kurve) sowie den Pull-down-Weg (mit B bezeichnete Kurve) der Ausgangstreiberschaltung **110** der Erfindung dargestellt. Die Stromkurven in der [Fig. 7A](#) erläutern das hier beschriebene Beispiel, wo gewünscht wird, daß ein Strom von rund 8 mA (50 Ohm Abschlußwiderstand) abwechselnd von der Ausgangstreiberschaltung der Erfindung abgegeben und aufgenommen werden soll, während die Stromkurven in der [Fig. 7B](#) ein Beispiel mit 16 mA (25 Ohm Abschlußwiderstand) erläutern.

[0051] Obwohl hier beispielhafte Ausführungsformen der vorliegenden Erfindung unter Bezugnahme auf die beiliegenden Zeichnungen beschrieben worden sind, versteht es sich, daß die Erfindung nicht auf diese genauen Ausführungsformen begrenzt ist und daß verschiedene andere Änderungen und Abände-

rungen vom Fachmann daran ausgeübt werden können, ohne aus dem Rahmen der in den Ansprüchen definierten Erfindung zu weichen.

Patentansprüche

1. Ausgangstreiberschaltung (10) mit einem funktionsmäßig an eine ohmsche Abschlußlast angekoppelten Ausgangsanschluß, mit folgendem: einem pFET-Doppelgate-Bauelement (12) mit einem Source-Transistor (12A) und einem Drain-Transistor (12B), wobei jeder Transistor jeweils einen Gate-Anschluß (G), einen Source-Anschluß (S) und einen Drain-Anschluß (D) aufweist, wobei der Source-Anschluß (S) des Source-Transistors (12A) funktionsmäßig an eine Spannungsquelle V angekoppelt ist, der Drain-Anschluß (D) des Source-Transistors (12A) funktionsmäßig an den Source-Anschluß (S) des Drain-Transistors (12B) angekoppelt ist, der Drain-Anschluß (D) des Drain-Transistors (12B) funktionsmäßig an den Ausgangsanschluß der Ausgangstreiberschaltung (10) angekoppelt ist; einem nFET-Doppelgate-Bauelement (14) mit einem Source-Transistor (14B) und einem Drain-Transistor (14A), wobei jeder Transistor jeweils einen Gate-Anschluß (G), einen Source-Anschluß (S) und einen Drain-Anschluß (D) aufweist, wobei der Source-Anschluß (S) des Source-Transistors (14B) funktionsmäßig an ein Erdpotential angekoppelt ist, der Drain-Anschluß (D) des Source-Transistors (14B) funktionsmäßig an den Source-Anschluß (S) des Drain-Transistors (14A) angekoppelt ist, der Drain-Anschluß (D) des Drain-Transistors (14A) funktionsmäßig an den Ausgangsanschluß der Ausgangstreiberschaltung (10) angekoppelt ist; einem ersten, funktionsmäßig an den Gate-Anschluß (G) des Source-Transistors (12A) des pFET-Doppelgate-Bauelements (12) angekoppelten Schalter (16) zum Ein- und Ausschalten des Stromflusses vom Source-Transistor (12A) des pFET-Doppelgate-Bauelements (12); einem zweiten, funktionsmäßig an den Gate-Anschluß (G) des Source-Transistors (14B) des nFET-Doppelgate-Bauelements (14) angekoppelten Schalter (18) zum Ein- und Ausschalten des Stromflusses zum Erdpotential durch den Source-Transistor (14B) des nFET-Doppelgate-Bauelements (14); und einem Vorspannungsgenerator (20) mit einem ersten, funktionsmäßig an den Gate-Anschluß (G) des Drain-Transistors (12B) des pFET-Doppelgate-Bauelements (12) angekoppelten Ausgangsanschluß zur Bereitstellung einer ersten Vorspannung (BIASP) für den Drain-Transistor (12B), die eine Funktion einer der ohmschen Abschlußlast zugeordneten Bezugsspannung ist und die im wesentlichen den Betrag an durch den Drain-Transistor (12B) des pFET-Doppelgate-Bauelements (12) für die ohmsche Abschlußlast bereitgestellten Strom steuert, wobei der Vorspannungsgenerator auch einen zweiten, funktionsmäßig

an den Gate-Anschluß (G) des Drain-Transistors (14A) des nFET-Doppelgate-Bauelements (14) angekoppelten Ausgangsanschluß aufweist und eine zweite Vorspannung (BIASN) für den Drain-Transistor (14A) bereitstellt, die eine Funktion der der ohmschen Abschlußlast zugeordneten Bezugsspannung ist und die im wesentlichen den Betrag an durch die ohmsche Abschlußlast für den Drain-Transistor (14A) des nFET-Doppelgate-Bauelements (14) bereitgestellten Strom steuert.

2. Ausgangstreiberschaltung (10) nach Anspruch 1, wobei der erste Schalter (16) einen Schaltinverter enthält.

3. Ausgangstreiberschaltung (10) nach Anspruch 1, wobei der zweite Schalter (18) einen Schaltinverter enthält.

4. Ausgangstreiberschaltung (10) nach Anspruch 1, wobei die Source- und Drain-Transistoren (12A, 12B, 14A, 14B) CMOS-Transistoren sind.

5. Ausgangstreiberschaltung (10) nach Anspruch 1, wobei der Vorspannungsgenerator (20) weiterhin eine erste Stufe mit folgendem umfaßt: einem auf eine erste Spannungsquelle reagierenden und einen Stromfluß durch die erste Stufe zulassenden nFET-Bauelement (N1A/N1B); einem auf die der ohmschen Abschlußlast zugeordnete Bezugsspannung (VTTReg) und den Stromfluß durch die erste Stufe reagierenden Operationsverstärker (IVTT), der der Bezugsspannung zugeordnete Variationen regelt; einem auf die geregelte Bezugsspannung (VTTReg) reagierenden und einen Stromfluß durch die erste Stufe zulassenden pFET-Bauelement (P1A/P1B); einem ersten, auf den Stromfluß durch die erste Stufe reagierenden und einen ersten Spannungsabfall daran bereitstellenden Widerstand (R1); und einem zweiten, auf den Stromfluß durch die erste Stufe reagierenden und einen zweiten Spannungsabfall daran bereitstellenden Widerstand (R2).

6. Ausgangstreiberschaltung (10) nach Anspruch 5, wobei das pFET-Bauelement (P1A/P1B) weiterhin einen in Reihe mit einem Drain-Transistor (P1B) geschalteten Source-Transistor (P1A) enthält, wobei jeder Transistor einen Gate-Anschluß (G) aufweist, wobei der Gate-Anschluß (G) des Source-Transistors (P1A) geerdet ist und der Gate-Anschluß (G) des Drain-Transistors (P1B) mit der geregelten Bezugsspannung (VTTReg) verbunden ist.

7. Ausgangstreiberschaltung (10) nach Anspruch 5, wobei das nFET-Bauelement (N1A/N1B) weiterhin einen in Reihe mit einem Drain-Transistor (N1A) geschalteten Source-Transistor (N1B) enthält, wobei jeder Transistor einen Gate-Anschluß (G) aufweist, wobei die Gate-Anschlüsse (G) der Source- (N1B) und

Drain-Transistoren (N1A) mit der ersten Spannungsquelle (CMN) verbunden sind.

8. Ausgangstreiberschaltung (**10**) nach Anspruch 5, wobei die erste Spannungsquelle (CMN) eine Bandlückenbezugsspannungsquelle ist.

9. Ausgangstreiberschaltung (**10**) nach Anspruch 5, wobei der Vorspannungsgenerator (**20**) weiterhin eine zweite Stufe mit folgendem umfaßt:
 einem auf die geregelte Bezugsspannung (VTTReg) reagierenden und einen Stromfluß durch die zweite Stufe, der dem Stromfluß durch die erste Stufe im wesentlichen gleichwertig ist, zulassenden pFET-Bauelement (P2A/P2B);
 einem auf den Spannungsabfall am zweiten Widerstand (**2**) der ersten Stufe und den Stromfluß durch die zweite Stufe reagierenden Operationsverstärker (IN);
 einem auf den Operationsverstärker (IN) und eine interne Spannungsquelle (VINT) reagierenden und Stromfluß durch die zweite Stufe zulassenden nFET-Bauelement (N2A/N2B);
 und
 einem auf den Stromfluß durch die zweite Stufe reagierenden und einen Spannungsabfall im wesentlichen gleichwertig wie die Summe der Spannungsabfälle an dem ersten (R1) und zweiten (R2) Widerstand der ersten Stufe bereitstellenden Widerstand (R3);
 wobei der zweite Operationsverstärker (IN) die erste Vorspannung erzeugt.

10. Ausgangstreiberschaltung (**10**) nach Anspruch 9, wobei das pFET-Bauelement (P2A/P2B) weiterhin einen in Reihe mit einem Drain-Transistor (P2B) geschalteten Source-Transistor (P2A) enthält, wobei jeder Transistor einen Gate-Anschluß (G) aufweist, wobei der Gate-Anschluß (G) des Source-Transistors (P2A) geerdet ist und der Gate-Anschluß (G) des Drain-Transistors (P2B) mit der geregelten Bezugsspannung (VTTReg) verbunden ist.

11. Ausgangstreiberschaltung (**10**) nach Anspruch 9, wobei das nFET-Bauelement (N2A/N2B) weiterhin einen in Reihe mit einem Drain-Transistor (N2A) verbundenen Source-Transistor (N2B) enthält, wobei jeder Transistor einen Gate-Anschluß (G) aufweist, wobei der Gate-Anschluß (G) des Source-Transistors (N2B) mit der internen Spannungsquelle (VINT) verbunden ist und der Gate-Anschluß (G) des Drain-Transistors (N2A) mit der zweiten Vorspannung verbunden ist.

12. Ausgangstreiberschaltung (**10**) nach Anspruch 9, wobei der Vorspannungsgenerator (**20**) weiterhin eine dritte Stufe mit folgendem umfaßt:
 einem auf Operationsverstärker (IN) der zweiten Stufe und die interne Spannungsquelle (VINT) reagierenden und Stromfluß durch die dritte Stufe zulassenden nFET-Bauelement (N3A/N3B);
 einem auf den ersten Spannungsabfall am ersten Wi-

derstand (R1) der ersten Stufe und den Stromfluß durch die dritte Stufe reagierenden Operationsverstärker (IP);

einem auf den Operationsverstärker (IP) der dritten Stufe reagierenden und Stromfluß durch die dritte Stufe zulassenden pFET-Bauelement (P3A/P3B);
 und

einem auf den Stromfluß durch die dritte Stufe reagierenden und einen Spannungsabfall im wesentlichen gleichwertig der Summe der Spannungsabfälle an dem ersten (R1) und zweiten (R2) Widerstand der ersten Stufe bereitstellenden Widerstand (R4);
 wobei der dritte Operationsverstärker (IP) die zweite Vorspannung erzeugt.

13. Ausgangstreiberschaltung (**10**) nach Anspruch 12, wobei das pFET-Bauelement (P3A/P3B) weiterhin einen in Reihe mit einem Drain-Transistor (P3B) geschalteten Source-Transistor (P3A) enthält, wobei jeder Transistor einen Gate-Anschluß (G) aufweist, wobei der Gate-Anschluß (G) des Source-Transistors (P3A) geerdet ist und der Gate-Anschluß (G) des Drain-Transistors (P3B) mit der ersten Vorspannung (BIASP) verbunden ist.

14. Ausgangstreiberschaltung (**10**) nach Anspruch 12, wobei das nFET-Bauelement (N3A/N3B) weiterhin einen in Reihe mit einem Drain-Transistor (N3A) verbundenen Source-Transistor (N3B) enthält, wobei jeder Transistor einen Gate-Anschluß (G) aufweist, wobei der Gate-Anschluß (G) des Source-Transistors (N3B) mit der internen Spannungsquelle (VINT) verbunden ist und der Gate-Anschluß (G) des Drain-Transistors (N3A) mit der zweiten Vorspannung verbunden ist.

15. Ausgangstreiberschaltung nach Anspruch 1, wobei ein erster Schalter den Stromfluß von der Spannungsquelle V durch den Source-Transistor des pFET-Doppelgate-Bauelements ein- und ausschaltet.

16. Ausgangstreiberschaltung nach Anspruch 15, wobei der erste Schalter einen Schaltinverter enthält.

17. Ausgangstreiberschaltung nach Anspruch 15, wobei der zweite Schalter einen Schaltinverter enthält.

18. Ausgangstreiberschaltung nach Anspruch 15, wobei die Source- und Drain-Transistoren CMOS-Transistoren sind.

19. Ausgangstreiberschaltung nach Anspruch 15, wobei das Vorspannungserzeugungsmittel weiterhin eine erste Stufe mit folgendem umfaßt:
 einem auf eine erste Spannungsquelle reagierenden und einen Stromfluß durch die erste Stufe zulassenden nFET-Bauelement;

einem auf die der ohmschen Abschlußlast zugeordnete Bezugsspannung und den Stromfluß durch die erste Stufe reagierenden und der Bezugsspannung zugeordnete Variationen regelnden Operationsverstärker;

einem auf die geregelte Bezugsspannung reagierenden und einen Stromfluß durch die erste Stufe zulassenden pFET-Bauelement;

einem ersten, auf den Stromfluß durch die erste Stufe reagierenden und einen ersten Spannungsabfall daran bereitstellenden Widerstand; und

einem zweiten, auf den Stromfluß durch die erste Stufe reagierenden und einen zweiten Spannungsabfall daran bereitstellenden Widerstand.

20. Ausgangstreiberschaltung nach Anspruch 19, wobei das pFET-Bauelement weiterhin einen in Reihe mit einem Drain-Transistor geschalteten Source-Transistor enthält, wobei jeder Transistor einen Gate-Anschluß aufweist, wobei der Gate-Anschluß des Drain-Transistors geerdet ist und der Gate-Anschluß des Source-Transistors mit der geregelten Bezugsspannung verbunden ist.

21. Ausgangstreiberschaltung nach Anspruch 19, wobei das nFET-Bauelement weiterhin einen in Reihe mit einem Drain-Transistor geschalteten Source-Transistor enthält, wobei jeder Transistor einen Gate-Anschluß aufweist, wobei die Gate-Anschlüsse der Source- und Drain-Transistoren mit der ersten Spannungsquelle verbunden sind.

22. Ausgangstreiberschaltung nach Anspruch 19, wobei die erste Spannungsquelle eine Bandlückenbezugsspannungsquelle ist.

23. Ausgangstreiberschaltung nach Anspruch 19, wobei das Vorspannungserzeugungsmittel weiterhin eine zweite Stufe mit folgendem umfaßt:

einem auf die geregelte Bezugsspannung reagierenden und einen Stromfluß durch die zweite Stufe, der dem Stromfluß durch die erste Stufe im wesentlichen gleichwertig ist, zulassenden pFET-Bauelement;

einem auf den Spannungsabfall am zweiten Widerstand der ersten Stufe und den Stromfluß durch die zweite Stufe reagierenden Operationsverstärker; einem auf den Operationsverstärker und eine interne Spannungsquelle reagierenden und Stromfluß durch die zweite Stufe zulassenden nFET-Bauelement; und einem auf den Stromfluß durch die zweite Stufe reagierenden und einen Spannungsabfall im wesentlichen gleichwertig der Summe der Spannungsabfälle an dem ersten und zweiten Widerstand der ersten Stufe bereitstellenden Widerstand;

wobei der zweite Operationsverstärker die erste Vorspannung erzeugt.

24. Ausgangstreiberschaltung nach Anspruch 23, wobei das pFET-Bauelement weiterhin einen in Reihe mit einem Drain-Transistor geschalteten Sour-

ce-Transistor enthält, wobei jeder Transistor einen Gate-Anschluß aufweist, wobei der Gate-Anschluß des Drain-Transistors geerdet ist und der Gate-Anschluß des Source-Transistors mit der geregelten Bezugsspannung verbunden ist.

25. Ausgangstreiberschaltung nach Anspruch 23, wobei das nFET-Bauelement weiterhin einen in Reihe mit einem Drain-Transistor geschalteten Source-Transistor enthält, wobei jeder Transistor einen Gate-Anschluß aufweist, wobei der Gate-Anschluß des Drain-Transistors mit der internen Spannungsquelle verbunden ist und der Gate-Anschluß des Source-Transistors mit der zweiten Vorspannung verbunden ist.

26. Ausgangstreiberschaltung nach Anspruch 23, wobei das Vorspannungserzeugungsmittel weiterhin eine dritte Stufe mit folgendem umfaßt:

einem auf den Operationsverstärker der zweiten Stufe und die interne Spannungsquelle reagierenden und Stromfluß durch die dritte Stufe zulassenden nFET-Bauelement;

einem auf den ersten Spannungsabfall am ersten Widerstand der ersten Stufe und den Stromfluß durch die dritte Stufe reagierenden Operationsverstärker;

einem auf den Operationsverstärker der dritten Stufe reagierenden und Stromfluß durch die dritte Stufe zulassenden pFET-Bauelement; und

einem auf den Stromfluß durch die dritte Stufe reagierenden und einen Spannungsabfall im wesentlichen gleichwertig der Summe der Spannungsabfälle am ersten und zweiten Widerstand der ersten Stufe bereitstellenden Widerstand; wobei der dritte Operationsverstärker die zweite Vorspannung erzeugt.

27. Ausgangstreiberschaltung nach Anspruch 26, wobei das pFET-Bauelement weiterhin einen in Reihe mit einem Drain-Transistor geschalteten Source-Transistor enthält, wobei jeder Transistor einen Gate-Anschluß aufweist, wobei der Gate-Anschluß des Drain-Transistors geerdet ist und der Gate-Anschluß des Source-Transistors mit der ersten Vorspannung verbunden ist.

28. Ausgangstreiberschaltung nach Anspruch 26, wobei das nFET-Bauelement weiterhin einen in Reihe mit einem Drain-Transistor geschalteten Source-Transistor enthält, wobei jeder Transistor einen Gate-Anschluß aufweist, wobei der Gate-Anschluß des Drain-Transistors mit der internen Spannungsquelle verbunden ist und der Gate-Anschluß des Source-Transistors mit der zweiten Vorspannung verbunden ist.

Es folgen 8 Blatt Zeichnungen

Anhängende Zeichnungen

FIG. 1
(STAND DER TECHNIK)

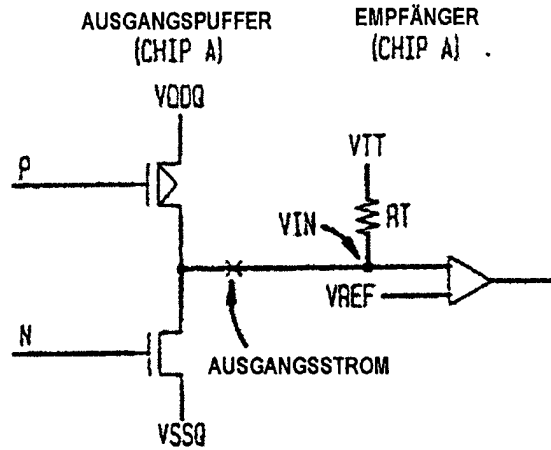


FIG. 2

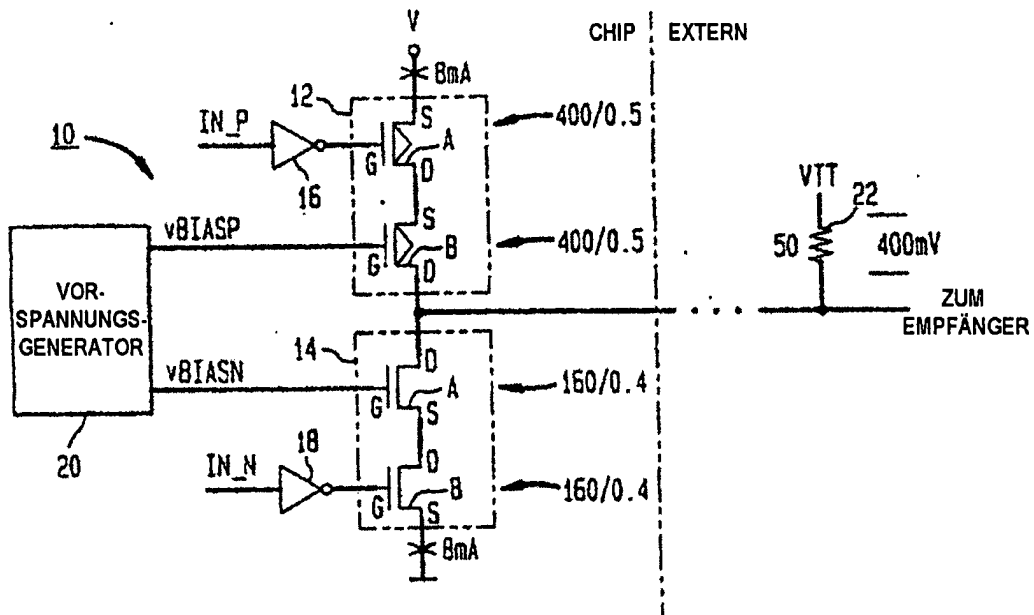


FIG. 3A

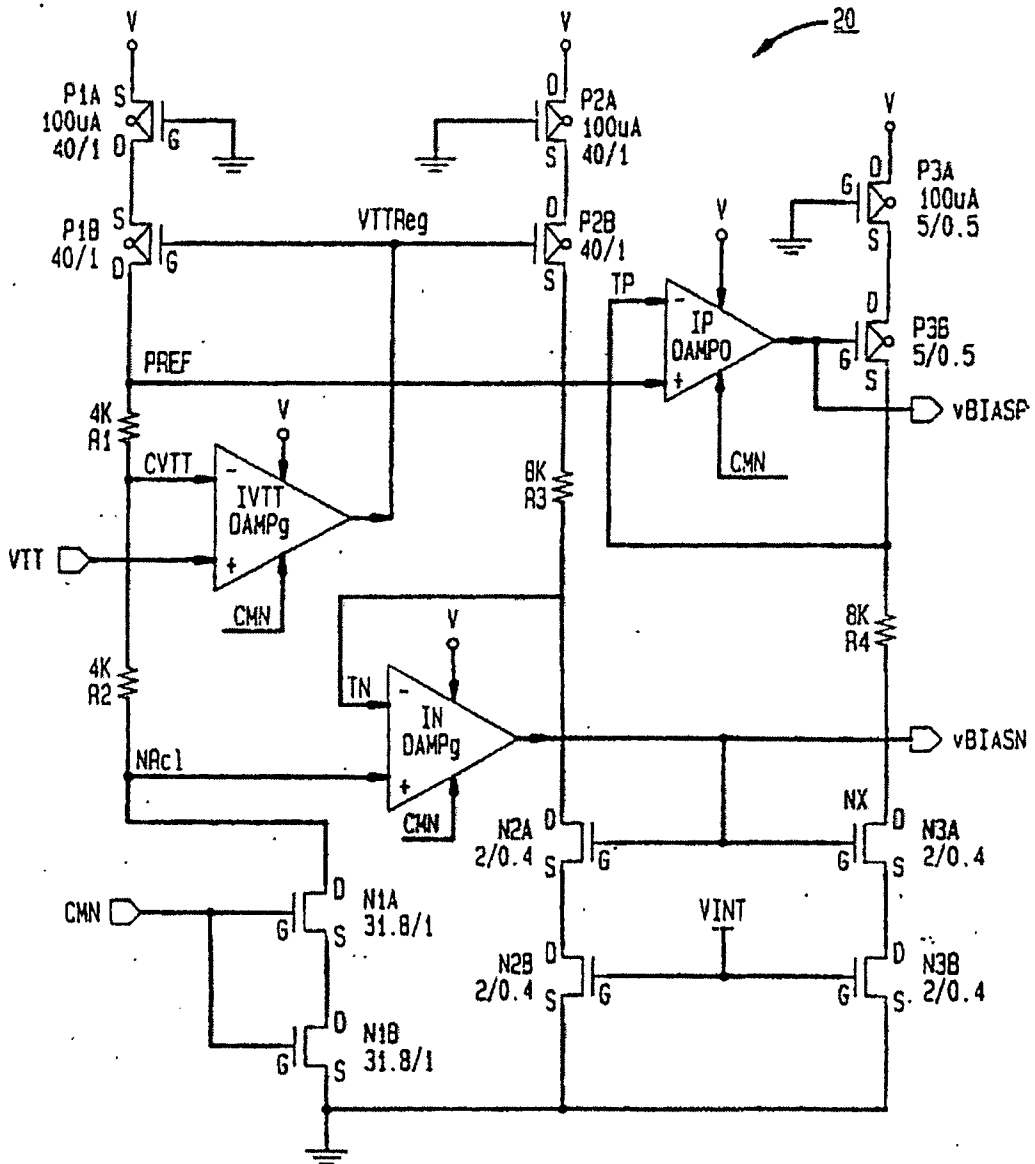


FIG. 3B

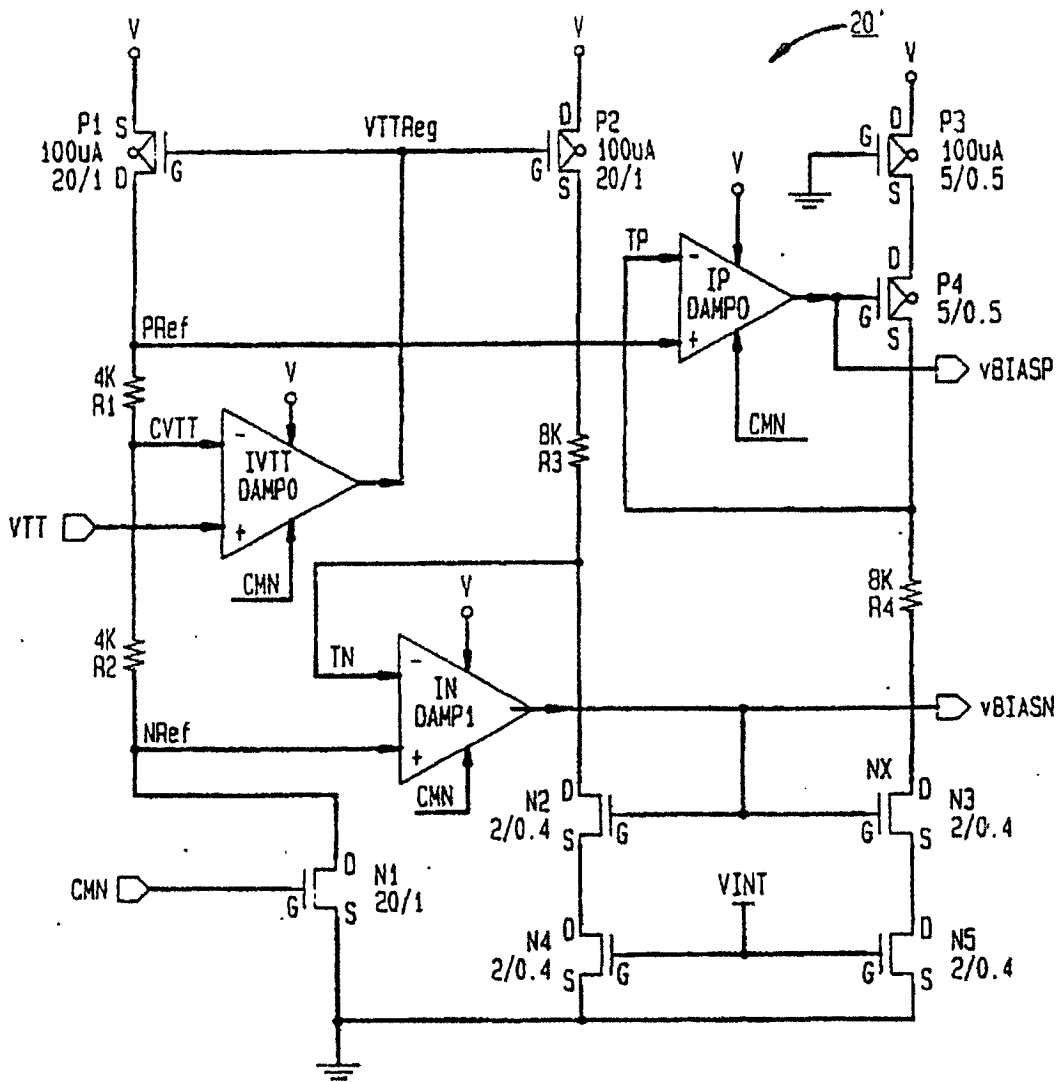


FIG. 4A

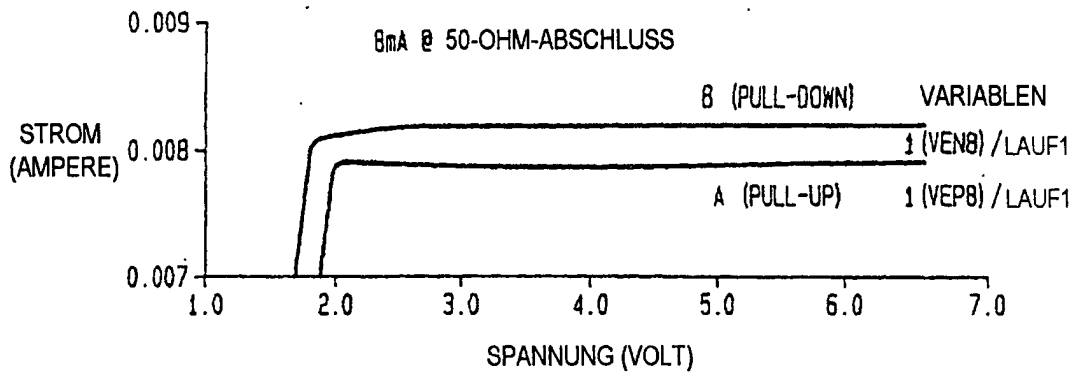


FIG. 4B

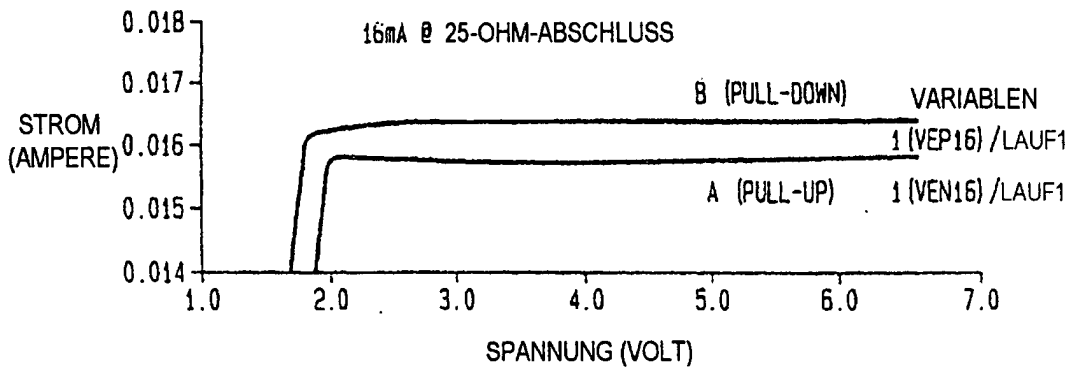


FIG. 5

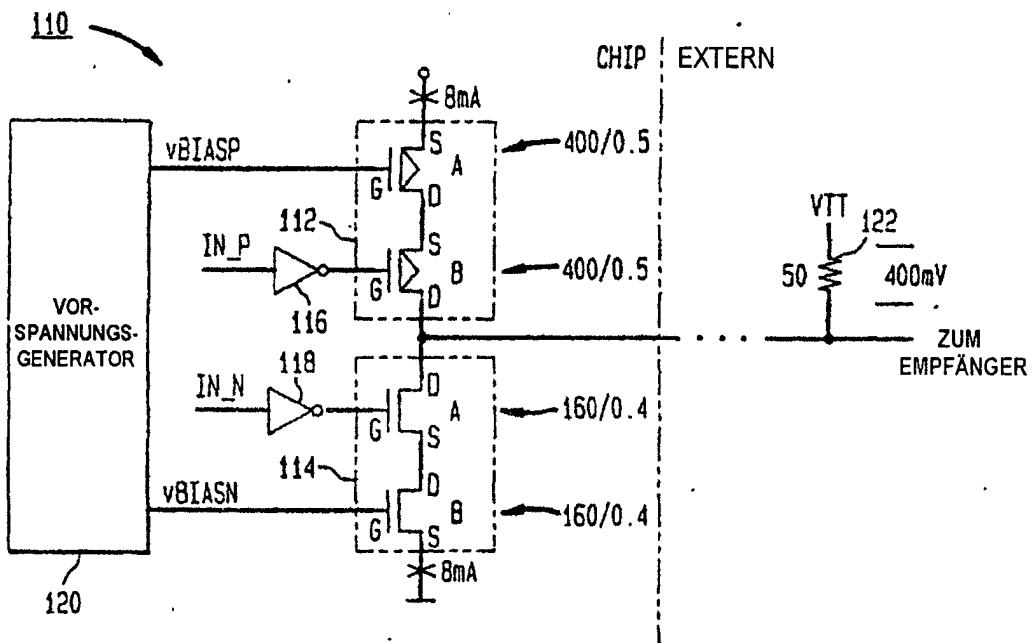


FIG. 6B

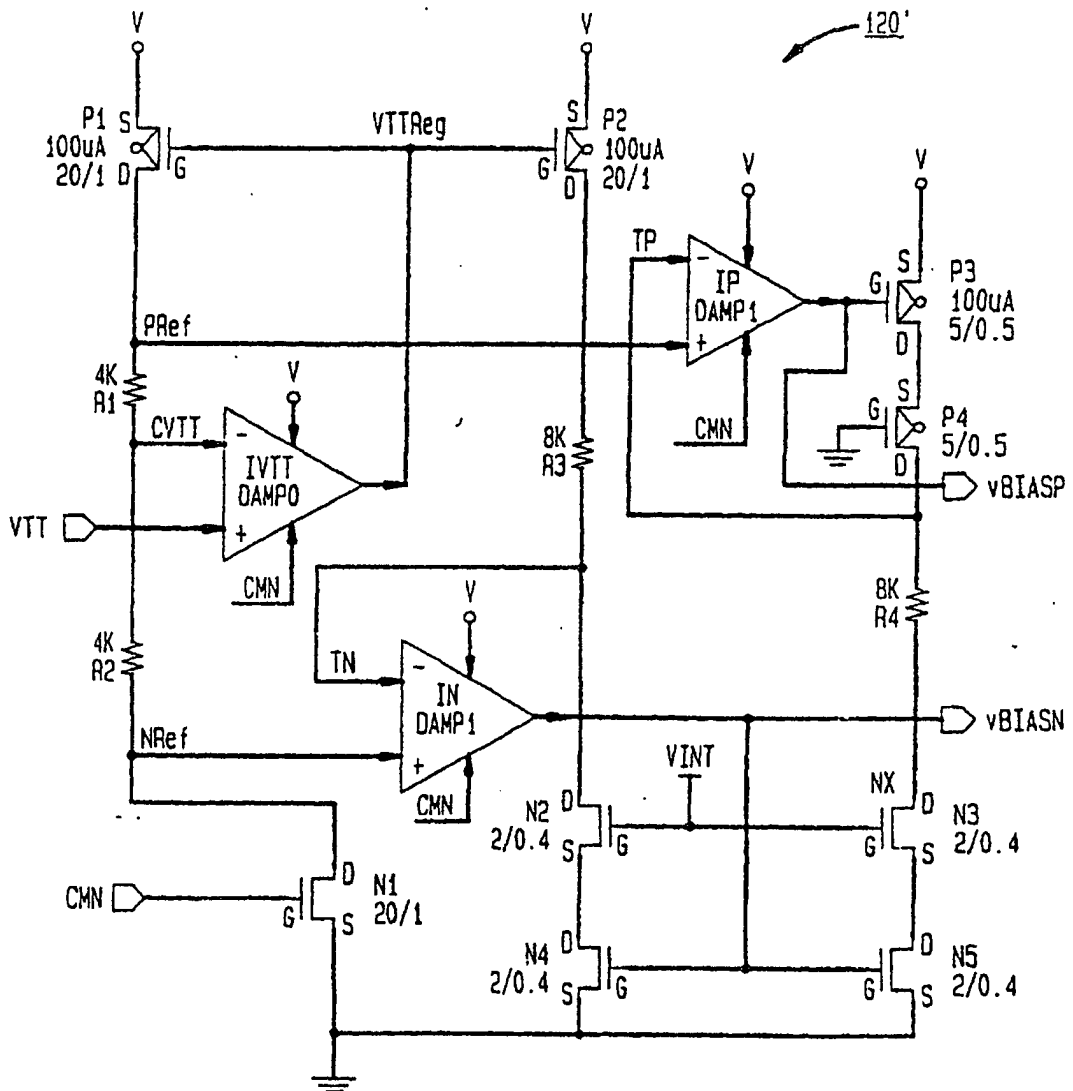


FIG. 7A

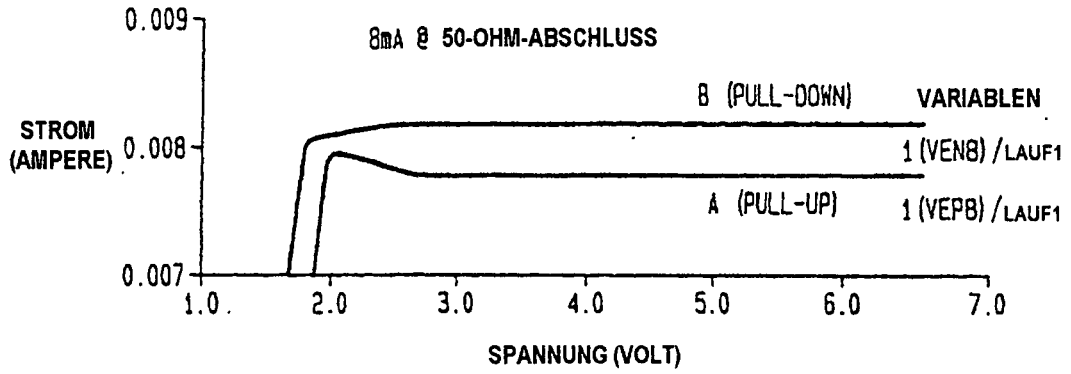


FIG. 7B

