

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7023684号
(P7023684)

(45)発行日 令和4年2月22日(2022.2.22)

(24)登録日 令和4年2月14日(2022.2.14)

| | | | | | |
|------------|-----------------|---------|--------|-------|---|
| (51)国際特許分類 | | F I | | | |
| H 0 4 N | 5/357(2011.01) | H 0 4 N | 5/357 | 7 0 0 | |
| H 0 4 N | 5/378(2011.01) | H 0 4 N | 5/378 | | |
| H 0 4 N | 5/3745(2011.01) | H 0 4 N | 5/3745 | 7 0 0 | |
| H 0 1 L | 27/146(2006.01) | H 0 1 L | 27/146 | | A |

請求項の数 13 (全44頁)

| | | | |
|----------|----------------------------------|----------|--|
| (21)出願番号 | 特願2017-230984(P2017-230984) | (73)特許権者 | 000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号 |
| (22)出願日 | 平成29年11月30日(2017.11.30) | (74)代理人 | 100126240 弁理士 阿部 琢磨 |
| (65)公開番号 | 特開2019-102947(P2019-102947 A) | (74)代理人 | 100124442 弁理士 黒岩 創吾 |
| (43)公開日 | 令和1年6月24日(2019.6.24) | (72)発明者 | 和田 洋一 東京都大田区下丸子3丁目30番2号キ ヤノン株式会社内 |
| 審査請求日 | 令和2年11月26日(2020.11.26) | (72)発明者 | 吉田 大介 東京都大田区下丸子3丁目30番2号キ ヤノン株式会社内 |
| | | (72)発明者 | 乾 文洋 東京都大田区下丸子3丁目30番2号キ 最終頁に続く |

(54)【発明の名称】 撮像装置、撮像システム、移動体

(57)【特許請求の範囲】

【請求項1】

複数行および複数列に渡って配された複数の画素と、
前記複数列の1列に対応して配され、それぞれが互いに異なる行の画素に接続され、第1方向に沿って延在する、第1信号線と第2信号線とを有する複数の信号線と、
第1配線層と、前記第1配線層よりも前記画素に近接する第2配線層とを有し、
前記複数行のうちの第1行の画素を、前記第1方向と交差する第2方向に沿って通過する線の位置である第1位置において、前記第1信号線と前記第2信号線は重なる位置に配されており、
前記複数行のうちの第2行の画素を、前記第2方向に沿って通過する線の位置である第2位置において、前記第1信号線と前記第2信号線は重ならない位置に配されており、
前記複数行のうちの第3行の画素を、前記第2方向に沿って通過する線の位置である第3位置において、前記第1信号線と前記第2信号線は重なる位置に配され、
前記第1位置から前記第2位置を経由して前記第3位置に渡って、前記第1信号線が前記第1配線層に位置し、かつ前記第2信号線が前記第2配線層に位置することを特徴とする撮像装置。

【請求項2】

前記第1信号線と前記第2信号線は重ならない位置が、前記第2行の画素と前記第1信号線とが電氣的に接続される位置であることを特徴とする請求項1に記載の撮像装置。

【請求項3】

前記複数の画素の各々は、画素出力部と、前記画素出力部が接続される接続配線とを有し、前記第 1 信号線と前記第 2 信号線は重ならない位置が、前記第 2 行の画素の前記接続配線と前記第 1 信号線とを接続するビアプラグが設けられた位置であることを特徴とする請求項 1 または 2 に記載の撮像装置。

【請求項 4】

前記複数の信号線が接続されたマルチプレックス回路と、前記マルチプレックス回路に接続された A/D 変換部とをさらに備えることを特徴とする請求項 3 に記載の撮像装置。

【請求項 5】

複数行および複数列に渡って配された複数の画素と、

前記複数列の 1 列に対応して配され、それぞれが互いに異なる行の画素に接続され、第 1 方向に沿って延在する、第 1 信号線と第 2 信号線とを有する複数の信号線と、

10

前記複数の信号線のうち、第 1 信号線は第 1 配線層に配され、第 2 信号線は前記第 1 配線層よりも前記画素に近接する第 2 配線層に配され、

前記複数行のうちの第 1 行の画素を、前記第 1 方向と交差する第 2 方向に沿って通過する線の位置において、前記第 1 信号線と前記第 2 信号線は重なる位置に配されており、

前記複数行のうちの第 2 行の画素を、前記第 2 方向に沿って通過する線の位置において、前記第 1 信号線と前記第 2 信号線は重ならない位置に配されており、

前記複数行のうちの第 3 行の画素を、前記第 2 方向に沿って通過する線の位置において、前記第 1 信号線と前記第 2 信号線は重なる位置に配され、

前記複数の画素の各々は、画素出力部と、前記画素出力部が接続される接続配線とを有し、前記第 1 信号線と前記第 2 信号線は重ならない位置が、前記第 2 行の画素の前記接続配線と前記第 1 信号線とを接続するビアプラグが設けられた位置であり、

20

前記複数の信号線が接続されたマルチプレックス回路と、前記マルチプレックス回路に接続された A/D 変換部とをさらに備えることを特徴とする撮像装置。

【請求項 6】

前記マルチプレックス回路は、前記複数の信号線の一方を前記 A/D 変換部に接続した後、前記複数の信号線の他方を前記 A/D 変換部に接続することを特徴とする請求項 4 または 5 に記載の撮像装置。

【請求項 7】

前記複数の信号線と前記 1 列に含まれる複数行の画素とを各々が有する複数の組と、複数のマルチプレックス回路とを備え、

30

前記 1 列の複数行の画素は、第 1 色のカラーフィルタを備える複数の第 1 画素と、前記第 1 色とは別の色の第 2 色のカラーフィルタを備える複数の第 2 画素とを含み、

前記第 1 信号線と前記第 2 信号線のそれぞれに、前記複数の第 1 画素の一部ずつが接続され、

前記複数の信号線のうちの第 3 信号線と第 4 信号線のそれぞれに、前記複数の第 2 画素の一部ずつが接続され、

前記複数のマルチプレックス回路の 1 つに、前記第 1 信号線と前記第 2 信号線とが接続され、

前記複数のマルチプレックス回路の別の 1 つに、前記第 3 信号線と前記第 4 信号線とが接続されることを特徴とする請求項 4 ~ 6 のいずれか 1 項に記載の撮像装置。

40

【請求項 8】

前記撮像装置はさらに制御部を備え、

前記複数の画素の各々は、複数の光電変換部を備え、

前記複数の画素の各々は、前記複数の光電変換部のうちの一部のみの光電変換部の信号に基づく第 1 信号と、前記複数の光電変換部の信号に基づく第 2 信号とを出力し、前記第 1 信号に対応する前記光電変換部の光電変換期間と前記第 2 信号に対応する前記光電変換部の光電変換期間の少なくとも一部が重なっており、

前記複数の画素は、第 1 画素と第 2 画素とを含み、

前記制御部は、

50

第 1 期間に、前記 A D 変換部に、前記第 1 画素が出力する前記第 1 信号をデジタル信号に変換する A D 変換を行わせ、

前記第 1 期間の後の第 2 期間に、前記 A D 変換部に、前記第 1 画素が出力する前記第 2 信号をデジタル信号に変換する A D 変換を行わせる前に、前記第 2 画素が出力する前記第 1 信号をデジタル信号に変換する A D 変換を行わせ、

前記第 2 期間の後の第 3 期間に、前記 A D 変換部に、前記第 1 画素が出力する前記第 2 信号をデジタル信号に変換する A D 変換を行わせ、

前記第 3 期間の後の第 4 期間に、前記 A D 変換部に、前記第 2 画素が出力する前記第 2 信号をデジタル信号に変換する A D 変換を行わせることを特徴とする請求項 4 ~ 7 のいずれか 1 項に記載の撮像装置。

10

【請求項 9】

前記 A D 変換部が、前記第 1 信号とランプ信号との比較による A D 変換と、前記第 2 信号とランプ信号との比較による A D 変換とを行うことを特徴とする請求項 8 に記載の撮像装置。

【請求項 10】

前記 A D 変換部が、逐次比較型の A D 変換部であることを特徴とする請求項 8 に記載の撮像装置。

【請求項 11】

前記 A D 変換部がデルタシグマ型の A D 変換部であることを特徴とする請求項 8 に記載の撮像装置。

20

【請求項 12】

請求項 1 ~ 11 のいずれか 1 項に記載の撮像装置と、前記撮像装置が出力する信号を処理することによって画像を生成する信号処理部とを有することを特徴とする撮像システム。

【請求項 13】

請求項 1 ~ 11 のいずれか 1 項に記載の撮像装置と、前記撮像装置からの信号に基づく視差画像から、対象物までの距離情報を取得する距離情報取得手段と、を有する移動体であって、前記距離情報に基づいて前記移動体を制御する制御手段をさらに有することを特徴とする移動体。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、撮像装置、撮像システム、移動体に関する。

【背景技術】

【0002】

複数行および複数列に渡って配された複数の画素を有する撮像装置が知られている。特許文献 1 に記載の撮像装置は、画素が配された列に対応して設けられた信号線が設けられている。さらにこの撮像装置は、信号出力線をコの字型に配置されたレイアウトが記載されている。

40

【先行技術文献】

【特許文献】

【0003】

【文献】特開 2005 - 228956 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献 1 では、1 列の画素が出力する信号を伝送する信号線を複数とし、かつ多層配線とした場合における、信号線の好適なレイアウトに関して検討がなされていない。

【0005】

50

本発明は、1列の画素に対して複数の信号線を設け、かつ多層配線層とした場合における、信号線の配線領域の面積を低減するレイアウトを提供するものである。

【課題を解決するための手段】

【0006】

本発明は上記の課題を鑑みて為されたものであり、一の態様は、複数行および複数列に渡って配された複数の画素と、

前記複数列の1列に対応して配され、それぞれが互いに異なる行の画素に接続され、第1方向に沿って延在する、第1信号線と第2信号線とを有する複数の信号線と、

第1配線層と、前記第1配線層よりも前記画素に近接する第2配線層とを有し、

前記複数行のうちの第1行の画素を、前記第1方向と交差する第2方向に沿って通過する線の位置である第1位置において、前記第1信号線と前記第2信号線は重なる位置に配されており、

前記複数行のうちの第2行の画素を、前記第2方向に沿って通過する線の位置である第2位置において、前記第1信号線と前記第2信号線は重ならない位置に配されており、

前記複数行のうちの第3行の画素を、前記第2方向に沿って通過する線の位置である第3位置において、前記第1信号線と前記第2信号線は重なる位置に配され、

前記第1位置から前記第2位置を経由して前記第3位置に渡って、前記第1信号線が前記第1配線層に位置し、かつ前記第2信号線が前記第2配線層に位置することを特徴とする撮像装置である。

【発明の効果】

【0007】

本発明により、1列の画素に対して複数の信号線を設け、かつ多層配線とした場合における、信号線の配線領域の面積を低減するレイアウトを提供することができる。

【図面の簡単な説明】

【0008】

【図1】撮像装置の構成を示す図

【図2】平面視における撮像装置の画素と信号処理回路の配置を示す図

【図3】画素と信号処理回路のブロック図

【図4】画素、信号線、信号処理回路の接続を示す図

【図5】信号線とシールド配線の上面図と断面図

【図6】画素の等価回路図

【図7】撮像装置の動作を示す図

【図8】撮像装置の動作を示す図

【図9】画素と信号処理回路のブロック図

【図10】画素、信号線、信号処理回路の接続を示す図

【図11】撮像装置の動作を示す図

【図12】撮像装置の動作を示す図

【図13】画素と信号処理回路のブロック図

【図14】撮像装置の動作を示す図

【図15】AD変換部の等価回路を示す図

【図16】AD変換部の動作を示す図

【図17】信号線とシールド配線の上面図

【図18】信号線とシールド配線の断面図

【図19】信号線とシールド配線の断面図

【図20】信号線とシールド配線の上面図

【図21】信号線とシールド配線の上面図

【図22】撮像システムの構成を示す図

【図23】移動体の構成を示す図

【図24】撮像システムの動作を示す図

【発明を実施するための形態】

10

20

30

40

50

【 0 0 0 9 】

以下、図面を参照しながら各実施例を説明する。なお、以下の説明では、特に断りの無い限り、トランジスタはN型トランジスタであるものとする。しかし、以下に述べる実施例はN型トランジスタに限定されるものでは無く、P型トランジスタを適宜用いてもよい。その場合には、トランジスタのゲート、ソース、ドレインの電位を、実施例中の説明に対し適宜変更することができる。例えば、スイッチとして動作させるトランジスタであれば、ゲートに供給する電位のローレベルとハイレベルとを、実施例中の説明に対し逆転させるようにすればよい。

【 0 0 1 0 】

(実施例 1)

(撮像装置の全体構成)

図 1 は、本実施例の撮像装置が備える、第 1 チップ 1、第 2 チップ 5 を示した図である。第 1 チップ 1 には、複数行および複数列に渡って画素 1 1 が配されている。また、第 2 チップ 5 には、複数行および複数列に渡って、信号処理回路 2 1 が配されている。なお、ここでは画素 1 1 と信号処理回路 2 1 のみを図示しているが、他に画素 1 1 を制御する制御線、画素 1 1 が出力する信号を伝送する信号線が適宜、第 1 チップ 1 に配される。また、垂直走査回路、タイミングジェネレータ等の駆動回路が適宜、第 1 チップ 1 あるいは第 2 チップ 5 に配される。

【 0 0 1 1 】

(平面視における、画素と信号処理回路の配置関係)

図 2 は、平面視における、第 1 チップ 1 が備える画素 1 1 と、第 2 チップ 5 が備える信号処理回路 2 1 のレイアウトを示した図である。図 2 では、画素 1 1 が備えるカラーフィルタの色も合わせて示している。図 2 に示した R は、画素 1 1 が赤 (R) のカラーフィルタを備えることを示している。以下、同じく G、B はそれぞれ、画素 1 1 が緑 (G)、青 (B) のカラーフィルタを備えることを示している。

【 0 0 1 2 】

別の言い方をすれば、第 1 色に対応する波長の光が入射する画素と、第 2 色に対応する波長の光が入射する画素とを備えるとも言える。

【 0 0 1 3 】

典型的には、赤色に対応する波長は 6 0 0 ~ 8 3 0 n m である。また、緑色に対応する波長は、5 0 0 ~ 6 0 0 n m である。また、青色に対応する波長は 3 6 0 ~ 5 0 0 n m である。

【 0 0 1 4 】

また、カラーフィルタの色は、カラーフィルタの透過率がピークとなるピーク波長で区別してもよい。典型的には、青色のカラーフィルタの透過率のピーク波長は約 4 5 0 n m である。また、緑色のカラーフィルタの透過率のピーク波長は約 5 4 0 n m である。また、赤色のカラーフィルタの透過率のピーク波長は約 6 3 0 n m である。

【 0 0 1 5 】

1 つの画素 1 1 のカラーフィルタは、単一のカラーフィルタ部材によって構成されていてもよい。また、1 つの画素 1 1 のカラーフィルタは、カラーフィルタが設けられる領域の一部と他の一部とで、実質的に同一色とみなせる範囲で、互いに組成が異なるカラーフィルタ部材が設けられた例であってもよい。

【 0 0 1 6 】

1 つの信号処理回路 2 1 は、複数行および複数列に渡って配された画素 1 1 と重なるように配置されている。ここでは、1 つの信号処理回路 2 1 は、4 行 1 2 列の画素 1 1 に重なるように配置されている。後述するが、信号処理回路 2 1 は、マルチプレックス回路、A D 変換回路 (A D 変換部) を有する。したがって、1 つの信号処理回路 2 1 のマルチプレックス回路と A D 変換回路の一方、あるいは両方が、画素 1 1 に重なるように配置されていると言える。

【 0 0 1 7 】

10

20

30

40

50

また、後述するが、1つの信号処理回路21のAD変換回路は、第1色のカラーフィルタを備える画素11が出力する信号をAD変換し、第2色のカラーフィルタを備える画素11が出力する信号のAD変換を行わない。したがって、1つの信号処理回路21のAD変換回路とマルチプレックス回路の一方あるいは両方は、AD変換を行う対象の画素11と、AD変換を行わない対象の画素11との双方に対し、平面視において重なる関係となっている。

【0018】

なお、この配置は一例であって、本実施例では、1つの信号処理回路21に対し、複数行、複数列の画素11が配されている形態を採用することができる。

【0019】

(撮像装置の構成)

図3は、図1、図2に示した撮像装置のブロック図である。図3では、図2に示した画素11のうち、奇数列の画素11のみを示している。第1チップ1の画素11は、1列の画素11に対し、4本の信号線201(A)~(D)を有する。なお、以下では信号線201(A)~(D)を区別なく表記する場合には、単に信号線201と表記する。1行目の画素11は信号線201(A)に接続されている。以下、同様に2~4行目の画素11は、順に信号線201(B)~(D)に接続されている。信号線201(A)~(D)は、他の列においても、1列目の画素11と同じように配されている。

【0020】

信号線201(A)、201(C)のそれぞれは、接続部303を介して、信号処理回路21が備えるマルチプレックス回路(以下、MPX回路と表記する)350(A)に接続されている。また、信号処理回路21は、AD変換回路(以下、明細書および図面にてADCと表記する)360(A)、360(B)を有する。MPX回路350(A)は、信号線201(A)、201(C)に接続される入力部と、ADC360(A)に接続される出力部とを備える第1選択部である。

【0021】

信号線201(B)、201(D)のそれぞれは、接続部303を介して、信号処理回路21が備えるMPX回路350(B)に接続されている。MPX回路350(B)は、信号線201(B)、201(D)に接続される入力部と、ADC360(B)に接続される出力部とを備える第2選択部である。

【0022】

図3に示しているように、ADC360(A)に接続される画素11は全て、Rのカラーフィルタを備える画素11である。一方、ADC360(B)に接続される画素11は全て、Gのカラーフィルタを備える画素11である。このように、各々が第1色(R)のカラーフィルタを備える複数の第1画素11は、第2AD変換部であるADC360(B)に接続されずに第1AD変換部であるADC360(A)に接続される。また、各々が第2色(G)のカラーフィルタを備える複数の第1画素11は、第1AD変換部であるADC360(A)に接続されずに第2AD変換部であるADC360(B)に接続される。

【0023】

また、図3に示したように、第2チップ5は電流源310を有する。電流源310は、接続部303を介して、各列の信号線201に電流を供給する。

【0024】

(撮像装置の接続部周りの断面構造)

図4は、図3に示した撮像装置の斜視図である。図4では、4行1列に配された画素11と、1行目11列目の画素11とを中心に記載している。図1に示した第1チップ1と第2チップ5は、接合面300で接合されている。

【0025】

本実施例の撮像装置は、裏面照射型の撮像装置である。画素11は、不図示の光電変換部を備える。この光電変換部と、接合面300との間に信号線201(A)~(D)のそれぞれが設けられている。信号線201(A)~(D)のそれぞれは、画素11の所定の方

10

20

30

40

50

向（図では列に沿った方向である第1方向）に延在している。また、信号線201（A）～（D）と光電変換部との間に、信号線201が延在する方向に対して交差する方向である第2方向に延在する、配線211（A）～（D）を備える。配線211（A）は1行目の画素11と、信号線201（A）とに接続されている。配線211（B）は2行目の画素11と、信号線201（B）とに接続されている。配線211（C）は3行目の画素11と、信号線201（C）とに接続されている。配線211（D）は4行目の画素11と、信号線201（D）とに接続されている。配線211（A）～（D）のそれぞれは第1配線層に配されている。また、信号線201（A）～（D）のそれぞれは、第1配線層に対して第2チップ5側に位置する第2配線層に配されている。信号線201（A）～（D）のそれぞれは、接続配線401を介して接続部303に接続される。また、MPX回路350（A）は、接続配線405を介して接続部303に接続される。接続配線401、接続配線405、接続部303は、平面視において重なるように配置されている。信号処理回路21と信号線201との接続は、接続配線405に対して、平面視において重なる位置に接続配線401を形成することによって行うことができるとも言える。そして、所定の方向に沿って延在する信号線201と接続配線401とを接続することによって、信号線201と、MPX回路350とを接続することができる。信号線201が所定の方向に延在していることにより、接続配線401と信号線201との接続を容易にすることができる。また、配線211（A）～（D）を備えることにより、同一配線層に配された信号線201（A）～（D）に、1列の画素11を接続することができる。

10

【0026】

なお、図4では、シールド配線250（A）と、第2シールド配線であるシールド配線250（B）を示している。シールド配線250（B）は、信号線201（B）と信号線201（C）との間に、信号線201（B）、（C）が延在する方向に沿って配されている。シールド配線250（A）は、隣りあう画素列に対応する信号線201（D）との間に配されている。シールド配線250（A）、250（B）のそれぞれには、接地電位（GND電圧）が与えられている。

20

【0027】

一方、信号線201（A）と信号線201（B）の間にはシールド配線は配されていない。また、信号線201（C）と信号線201（D）の間にはシールド配線は配されていない。

30

【0028】

図5（a）は、図4に示した撮像装置の、接合面300から画素11を見た上面図である。図5（a）では、図4に示した部材と同じ部材については、図4で付した符号と同じ符号を図5（a）においても付している。

【0029】

信号線201（A）は接続部280（ピアプラグ）を介して、配線211（A）に接続されている。配線211（A）は、図6に関する説明で後述する、画素11が備える選択トランジスタ608のソース領域に接続されている。選択トランジスタ608のドレイン領域は画素出力部である増幅トランジスタ607のソース領域に接続されているから、配線211（A）は、画素出力部に電氣的に接続された接続配線である。

40

【0030】

また、第3シールド配線255が配されている。第3シールド配線255は、配線211（A）が延在する方向に沿って延在している。第3シールド配線255には、接地電位（GND電位）が与えられている。

【0031】

図5（b）は、図5（a）において、A - Bとして示した位置の断面を示した図である。

【0032】

第3シールド配線255は、第1配線層に配された配線211（A）と、信号線201（A）が配された第2配線層との間の第3配線層に配されている。第3配線層には、さらに接続部280が設けられている。

50

【 0 0 3 3 】

第3シールド配線255は、信号線201(B)、シールド配線250(B)、信号線201(C)、信号線201(D)に渡って配されている。これにより、信号線201(B)、201(C)、201(D)と配線211(A)との間のカップリング容量を小さくすることができる。よって、信号線201(B)、201(C)、201(D)の電位の変動が配線211(A)に伝搬しにくくなっている。

【 0 0 3 4 】

また、シールド配線250(A)の幅は、シールド配線250(B)の幅よりも太い。

【 0 0 3 5 】

図5(c)は、図5(a)において、C-Dとして示した位置の断面を示した図である。図5(b)との違いは、1つの画素11において、第3シールド配線255を複数に分けて設けている点である。これにより、信号線201(A)、201(C)、201(D)の電位の変動が、配線211(B)に伝搬しにくくなっている。

10

【 0 0 3 6 】

(画素の等価回路)

図6は、本実施例の画素11の等価回路図である。画素11は、光電変換部であるフォトダイオード601a、601bを有する。フォトダイオード601a、601bには、不図示の1つのマイクロレンズと、図2に示した配列に従って設けられたカラーフィルタを透過した光が入射する。つまり、フォトダイオード601aに入射する光と、フォトダイオード601bに入射する光の波長は実質的に同じである。

20

【 0 0 3 7 】

フォトダイオード601aは、転送トランジスタ603aを介して、フローティングディフュージョン部(以下、FD部)605に接続されている。また、転送トランジスタ603aのゲートは、制御線650を介して、不図示の垂直走査回路に接続されている。

【 0 0 3 8 】

フォトダイオード601bは、転送トランジスタ603bを介して、フローティングディフュージョン部(以下、FD部)605に接続されている。また、転送トランジスタ603bのゲートは、制御線655を介して、不図示の垂直走査回路に接続されている。

【 0 0 3 9 】

FD部605は、リセットトランジスタ606と、画素出力部である増幅トランジスタ607のゲートに接続されている。

30

【 0 0 4 0 】

リセットトランジスタ606および増幅トランジスタ607は、電源電圧V_{dd}が供給される。リセットトランジスタ606のゲートは、制御線660を介して、不図示の垂直走査回路に接続されている。

【 0 0 4 1 】

増幅トランジスタ607は、選択トランジスタ608に接続されている。選択トランジスタ608のゲートは、制御線665を介して、不図示の垂直走査回路に接続されている。

【 0 0 4 2 】

選択トランジスタ608は、信号線201に接続されている。

40

【 0 0 4 3 】

垂直走査回路は、ADC360のAD変換を行う信号の順序を制御する制御部でもある。

【 0 0 4 4 】

(撮像装置の動作; 撮像モード)

図7は、図6に示した画素11を備える撮像装置の動作を示した図である。図7での動作は、画素11は焦点検出用の信号を出力せず、撮像用の信号を出力する。つまり、画素11は、複数のフォトダイオードのうちの一部のみのフォトダイオードの信号に基づく第1信号の出力は行わず、複数のフォトダイオードの信号に基づく第2信号の出力を行う。

【 0 0 4 5 】

図7の信号PRESは、図6の制御線660を介して垂直走査回路からリセットトランジ

50

スタ606のゲートに供給される信号を示している。同じく、信号PSELは、制御線665を介して垂直走査回路からN行目の画素11の選択トランジスタ608のゲートに供給される信号を示している。なお、信号PSELについては、出力される画素11の行位置を末尾に合わせて示している。つまり、信号PSEL(1)は、1行目の画素11に出力される信号PSELであることを示している。信号PTXAは、制御線650を介して垂直走査回路から転送トランジスタ603aのゲートに供給される信号を示している。信号PTXBは、制御線655を介して垂直走査回路から転送トランジスタ603bのゲートに供給される信号を示している。

【0046】

図7では、MPX回路350(A)、MPX回路350(B)、ADC360(A)、ADC360(B)に関わる動作を示している。このMPX回路350(A)、ADC360(A)には、図3で示したように、Rのカラーフィルタを備える、1行目および3行目であって、1~12列のうちの奇数列に位置する画素11の信号が入力される。MPX回路350(B)、ADC360(B)には、図3で示したように、Gのカラーフィルタを備える、2行目および4行目であって、1~12列のうちの奇数列に位置する画素11の信号が入力される。したがって、図7では、1~4行目であって、1~12列のうちの奇数列に位置する画素11の動作に関わる動作を示している。

【0047】

また、図7では、MPX回路350(A)、350(B)が、ADC360(A)、360(B)に信号を出力する列としてどの列を選択しているかを、Col_{nm}として示している。このnmの表記を説明する。nは画素11の列番号を示している。また、mは、1列の画素11に対応して配される信号線201(A)~(D)のアルファベットを示している。つまり、Col_{1A}であれば、1列目の画素11に対応された信号線201(A)を示している。

【0048】

なお、1行目の画素11からの信号の読出しは、2行目の画素11からの信号の読出しと並行して行われる。1行目の画素11の信号のAD変換は、2行目の画素11の信号のAD変換と並行して行われる。3行目の画素11からの信号の読出しは、4行目の画素11からの信号の読出しと並行して行われる。3行目の画素11の信号のAD変換は、4行目の画素11の信号のAD変換と並行して行われる。

【0049】

時刻t1において、垂直走査回路は、1~4行目の画素11に出力する信号PRESをHighレベルとしている。これにより、1~4行目の画素11のリセットトランジスタ606がオンしている。よって、1~4行目の各画素11のFD部605は、電源電圧V_{dd}に対応する電位にリセットされている。また、時刻t1において垂直走査回路は、信号PSEL(1)、PSEL(2)をHighレベルとしている。これにより、1行目と2行目の画素11の選択トランジスタ608がオンする。よって、図3に示した電流源310が供給する電流が、1行目と2行目のそれぞれの画素11の選択トランジスタ608を介して増幅トランジスタ607に供給される。これにより、電源電圧V_{dd}、増幅トランジスタ607、電流源310によるソースフォロワ回路が形成される。つまり、増幅トランジスタ607は、FD部605の電位に対応する信号を、選択トランジスタ608を介して信号線201に出力するソースフォロワ動作を行う。

【0050】

(動作：1行目と2行目のそれぞれの画素11に対応するN信号の読み出し)

時刻t2に、垂直走査回路は、1行目と2行目のそれぞれの画素11に出力する信号PRESをLowレベルとする。これにより、1行目と2行目のそれぞれの画素11のリセットトランジスタ606がオフする。よって、FD部605のリセットが解除される。1行目の画素11の増幅トランジスタ607は、リセットが解除されたFD部605の電位に基づく信号を、図3に示した信号線201(A)に出力する。2行目の画素11の増幅トランジスタ607は、リセットが解除されたFD部605の電位に基づく信号を、図3に

10

20

30

40

50

示した信号線 201 (B) に出力する。この信号を、N 信号 (ノイズ信号) と表記する。これにより、各列の信号線 201 (A) には、画素 11 から N 信号が出力されている。2 行目の画素 11 の増幅トランジスタ 607 は、リセットが解除された FD 部 605 の電位に基づく信号を、図 3 に示した信号線 201 (B) に出力する。これにより、各列の信号線 201 (B) には、画素 11 から N 信号が出力されている。

【0051】

(動作：1 行目と 2 行目のそれぞれの画素 11 に対応する N 信号の AD 変換)

時刻 t2 以降、MPX 回路 350 (A) は、タイミングジェネレータから供給される信号 MPX によって、1 ~ 12 列のうち奇数列の画素 11 に対応する信号線 201 (A) を、順次 ADC 360 (A) に接続する。MPX 回路 350 (B) は、タイミングジェネレータから供給される信号 MPX によって、1 ~ 12 列のうち奇数列の画素 11 に対応する信号線 201 (B) を、順次 ADC 360 (B) に接続する。

10

【0052】

ADC 360 (A) は、MPX 回路 350 (A) から出力される、1 列目の信号線 201 (A) のノイズ信号をデジタル信号に AD 変換する。その後、順次、1 ~ 12 列のうちの奇数列の画素 11 に対応する信号線 201 (A) に出力されているノイズ信号をデジタル信号に AD 変換する。

【0053】

ADC 360 (B) は、MPX 回路 350 (B) から出力される、2 列目の信号線 201 (B) のノイズ信号をデジタル信号に AD 変換する。その後、順次、1 ~ 12 列のうちの奇数列の画素 11 に対応する信号線 201 (B) に出力されているノイズ信号をデジタル信号に AD 変換する。

20

【0054】

(動作：3 行目と 4 行目のそれぞれの画素 11 に対応する N 信号の読み出し)

時刻 t16 に、垂直走査回路は、3 行目と 4 行目のそれぞれの画素 11 に出力する信号 PRES を Low レベルとする。これにより、3 行目と 4 行目のそれぞれの画素 11 のリセットトランジスタ 606 がオフする。よって、FD 部 605 のリセットが解除される。3 行目の画素 11 の増幅トランジスタ 607 は、リセットが解除された FD 部 605 の電位に基づく信号である N 信号を、図 3 に示した信号線 201 (C) に出力する。これにより、各列の信号線 201 (C) には、画素 11 から N 信号が出力されている。4 行目の画素 11 の増幅トランジスタ 607 は、リセットが解除された FD 部 605 の電位に基づく信号である N 信号を、図 3 に示した信号線 201 (D) に出力する。これにより、各列の信号線 201 (D) には、画素 11 から N 信号が出力されている。

30

【0055】

(動作：3 行目と 4 行目のそれぞれの画素 11 に対応する N 信号の AD 変換)

時刻 t16 以降、MPX 回路 350 (A) は、タイミングジェネレータから供給される信号 MPX によって、1 ~ 12 列のうち奇数列の画素 11 に対応する信号線 201 (C) を、順次 ADC 360 (A) に接続する。MPX 回路 350 (B) は、タイミングジェネレータから供給される信号 MPX によって、1 ~ 12 列のうち奇数列の画素 11 に対応する信号線 201 (D) を、順次 ADC 360 (B) に接続する。

40

【0056】

ADC 360 (A) は、MPX 回路 350 (A) から出力される、1 列目の信号線 201 (C) の N 信号をデジタル信号に AD 変換する。その後、順次、1 ~ 12 列のうちの奇数列の画素 11 に対応する信号線 201 (C) に出力されている N 信号をデジタル信号に AD 変換する。

【0057】

ADC 360 (B) は、MPX 回路 350 (B) から出力される、1 列目の信号線 201 (D) の N 信号をデジタル信号に AD 変換する。その後、順次、1 ~ 12 列のうちの奇数列の画素 11 に対応する信号線 201 (D) に出力されている N 信号をデジタル信号に AD 変換する。

50

【 0 0 5 8 】

(動作：1行目と2行目のそれぞれの画素11に対応するA+B信号の読み出し)

時刻t16に、垂直走査回路は、1行目と2行目のそれぞれの画素11に出力する信号PTXA、PTXBをHighレベルとする。これにより、フォトダイオード601a、601bが蓄積した電荷(本実施例では電子である)が、転送トランジスタ603a、603bを介してFD部605に転送される。FD部605では、フォトダイオード601a、601bのそれぞれの電荷が加算される。これにより、FD部605は、フォトダイオード601a、601bのそれぞれの電荷を加算した電荷に対応する電位となる。仮に、フォトダイオード601aのみの電荷によるFD部605の電位に基づいて増幅トランジスタ607が出力する信号をA信号とする。また、仮に、フォトダイオード601bのみの電荷によるFD部605の電位に基づいて増幅トランジスタ607が出力する信号をB信号とする。この表記に従うと、フォトダイオード601a、601bのそれぞれの電荷を加算した電荷に対応するFD部605の電位に基づいて増幅トランジスタ607が出力する信号はA信号とB信号を加算したA+B信号とみなすことができる。各列の信号線201(A)には、1行目の画素11のA+B信号が出力されている。A+B信号は、複数のフォトダイオードが生成した信号に基づく第2信号である。第2信号は、撮像用の信号として用いることができる。

10

【 0 0 5 9 】

各列の信号線201(B)には、2行目の画素11のA+B信号が出力されている。

【 0 0 6 0 】

(動作：1行目と2行目のそれぞれの画素11に対応するA+B信号のAD変換)

時刻t30以降、MPX回路350(A)は、タイミングジェネレータから供給される信号MPXによって、1~12列のうち奇数列の画素11に対応する信号線201(A)を、順次ADC360(A)に接続する。MPX回路350(B)は、タイミングジェネレータから供給される信号MPXによって、1~12列のうち奇数列の画素11に対応する信号線201(B)を、順次ADC360(B)に接続する。

20

【 0 0 6 1 】

ADC360(A)は、MPX回路350(A)から出力される、1列目の信号線201(A)のA+B信号をデジタル信号にAD変換する。その後、順次、1~12列のうちの奇数列の画素11に対応する信号線201(A)に出力されているA+B信号をデジタル信号にAD変換する。

30

【 0 0 6 2 】

ADC360(B)は、MPX回路350(B)から出力される、1列目の信号線201(B)のA+B信号をデジタル信号にAD変換する。その後、順次、1~12列のうちの奇数列の画素11に対応する信号線201(B)に出力されているA+B信号をデジタル信号にAD変換する。

【 0 0 6 3 】

(動作：3行目と4行目のそれぞれの画素11に対応するA+B信号の読み出し)

時刻t30に、垂直走査回路は、3行目と4行目のそれぞれの画素11に出力する信号PTXA、PTXBをHighレベルとする。これにより、各列の信号線201(C)には、3行目の画素11のA+B信号が出力されている。また、各列の信号線201(D)には、4行目の画素11のA+B信号が出力されている。

40

【 0 0 6 4 】

(動作：3行目と4行目のそれぞれの画素11に対応するA+B信号のAD変換)

時刻t44以降、MPX回路350(A)は、タイミングジェネレータから供給される信号MPXによって、1~12列のうち奇数列の画素11に対応する信号線201(C)を、順次ADC360(A)に接続する。MPX回路350(B)は、タイミングジェネレータから供給される信号MPXによって、1~12列のうち奇数列の画素11に対応する信号線201(D)を、順次ADC360(B)に接続する。

【 0 0 6 5 】

50

A D C 3 6 0 (A) は、 M P X 回路 3 5 0 (A) から出力される、 1 列目の信号線 2 0 1 (C) の A + B 信号をデジタル信号に A D 変換する。その後、順次、 1 ~ 1 2 列のうちの奇数列の画素 1 1 に対応する信号線 2 0 1 (C) に出力されている A + B 信号をデジタル信号に A D 変換する。

【 0 0 6 6 】

A D C 3 6 0 (B) は、 M P X 回路 3 5 0 (B) から出力される、 1 列目の信号線 2 0 1 (D) の A + B 信号をデジタル信号に A D 変換する。その後、順次、 1 ~ 1 2 列のうちの奇数列の画素 1 1 に対応する信号線 2 0 1 (D) に出力されている A + B 信号をデジタル信号に A D 変換する。

【 0 0 6 7 】

また、時刻 t 4 4 に、「 5 行目 (R) ・ 6 行目 (G) のステート」として示したように、垂直走査回路は、 5 行目と 6 行目の画素 1 1 に出力する信号 P S E L を H i g h レベルとする。これにより、信号線 2 0 1 (A) の信号レベルが、 1 行目の画素 1 1 の A + B 信号のレベルから、 5 行目の画素 1 1 の N 信号に相当する信号のレベルに変化する。また、信号線 2 0 1 (B) の信号レベルが、 2 行目の画素 1 1 の A + B 信号のレベルから、 6 行目の画素 1 1 の N 信号に相当する信号のレベルに変化する。

【 0 0 6 8 】

(図 7 の動作における、撮像装置が行う並行動作)

本実施例の特徴的な効果については、別途後述する。その効果とは別の効果について、先に説明する。

【 0 0 6 9 】

図 7 に示した動作では、以下のように、複数の動作を並行して行っている。

(1) 1 行目の画素 1 1 に対応する N 信号の A D 変換と、 3 行目の画素 1 1 に対応する N 信号の読み出しとの並行動作

(2) 3 行目の画素 1 1 に対応する N 信号の A D 変換と、 1 行目の画素 1 1 に対応する A + B 信号の読み出しとの並行動作

(3) 1 行目の画素 1 1 に対応する A + B 信号の A D 変換と、 3 行目の画素 1 1 に対応する A + B 信号の読み出しとの並行動作

【 0 0 7 0 】

この並行動作により、 A D C 3 6 0 (A) が 1 度の A D 変換を終えてから、次の A D 変換を行うまでの待機期間を短縮することができる。これにより、全ての画素 1 1 が出力する信号の A D 変換に要する期間を短縮することができる。よって、撮像装置の高フレームレート化を進展させることができる。

【 0 0 7 1 】

(本実施例の効果)

図 4 に示したように、第 1 列の画素 1 1 に対応する信号線 2 0 1 (A) と、第 1 列と隣り合う第 2 列の画素 1 1 に対応する信号線 2 0 1 (D) との間にシールド配線 2 5 0 (A) が配されている。また、第 1 列の画素 1 1 に対応する信号線 2 0 1 (B) と、第 1 列の画素 1 1 に対応する信号線 2 0 1 (C) との間にシールド配線 2 5 0 (B) が配されている。

【 0 0 7 2 】

上述したように、垂直走査回路は 5 行目と 6 行目の画素 1 1 の信号 P S E L を時刻 t 4 4 に H i g h レベルとする。以下、 5 行目の画素 1 1 に着目して説明する。信号 P S E L (5) が H i g h レベルになることにより、各列の信号線 2 0 1 (A) に、 5 行目の画素 1 1 の信号の読み出しが開始される。各列の信号線 2 0 1 (A) は、時刻 t 4 4 の直前において、 1 行目の画素 1 1 の A + B 信号が出力されていた。したがって、時刻 t 4 4 において、 1 行目の画素 1 1 の A + B 信号から、 5 行目の画素の N 信号相当の信号レベルまで電位が変化することとなる。仮に、シールド配線 2 5 0 (A) が設けられていなかったとすると、この信号線 2 0 1 (A) の電位の変動は、信号線 2 0 1 (A) と信号線 2 0 1 (D) との間のカップリング容量により、信号線 2 0 1 (D) の電位を変動させる。時刻 t 4 4 から時刻 t 5 6 の期間は、 4 行目の画素 1 1 の A + B 信号を A D 変換している期間である

10

20

30

40

50

ので、信号線 201 (D) の電位の変動により、AD 変換精度が低下することとなる。一方、本実施例では、信号線 201 (A) と信号線 201 (D) との間にシールド配線 250 (A) を設ける。これにより、信号線 201 (A) の電位が大きく変動しても、信号線 201 (D) の電位の変動を抑えることができる。

【0073】

また、信号線 201 (B) と信号線 201 (C) は、異なる位相で動作する配線である。つまり、時刻 t_2 に示したように、信号線 201 (B) に読み出された N 信号を AD 変換している期間、信号線 201 (C) には 3 行目の画素 11 からの N 信号の読み出しが開始される。よって、時刻 t_2 に、信号線 201 (C) の信号レベルは、前の行の A + B 信号から N 信号に相当する信号レベルまで変化する。この信号線 201 (C) の電位の変動は、シールド配線 250 (B) が設けられていない場合、隣接する信号線 201 (B) にカップリング容量によって伝搬する。よって、信号線 201 (B) の N 信号の AD 変換精度が低下する。

10

【0074】

同じように、時刻 t_{16} においても、信号線 201 (C) に読み出された N 信号を AD 変換している期間、信号線 201 (B) に A + B 信号の読み出しが開始される。つまり、信号線 201 (B) の信号レベルが、N 信号から A + B 信号に変化する。この信号線 201 (B) の電位の変動は、シールド配線 250 (B) が設けられていない場合、隣接する信号線 201 (C) にカップリング容量によって伝搬する。よって、信号線 201 (C) の N 信号の AD 変換精度が低下する。

20

【0075】

同じように、時刻 t_{30} においても、信号線 201 (B) に読み出された A + B 信号を AD 変換している期間、信号線 201 (C) に A + B 信号の読み出しが開始される。つまり、信号線 201 (C) の信号レベルが、N 信号から A + B 信号に変化する。この信号線 201 (C) の電位の変動は、シールド配線 250 (B) が設けられていない場合、隣接する信号線 201 (B) にカップリング容量によって伝搬する。よって、信号線 201 (B) の A + B 信号の AD 変換精度が低下する。

【0076】

本実施例では、信号線 201 (B) と信号線 201 (C) との間にシールド配線 250 (B) を設けている。これにより、信号線 201 (B) と信号線 201 (C) との間のカップリング容量を低減することができる。よって、異なる位相で動作する信号線同士の間における、一方の信号線の電位変動が他方の信号線の電位を変動させる電位変動を生じにくくすることができる。よって、AD 変換精度の低下を抑制することができる。

30

【0077】

本実施例では、信号線 201 (A)、信号線 201 (B) について、一方の信号線 201 の信号が AD 変換されている期間において、他方の信号線 201 の電位の変動が生じにくいように駆動している。具体的には、信号線 201 (B) の A + B 信号が AD 変換されている期間に、信号線 201 (A) の信号レベルは A + B 信号の信号レベルを維持している。したがって、信号線 201 (A) と信号線 201 (B) との間のシールド配線を省略することを可能にしている。

40

【0078】

また、図 7 の動作で示したように、互いに同相で動作する配線としている。ここで言う同相とは、信号レベルの変化が開始するタイミングが同期していることを指す。具体的には、時刻 $t_2 \sim t_{16}$ 、時刻 $t_{30} \sim t_{42}$ の動作を指している。つまり、ある行の画素 11 から信号線 201 (A) への信号の読み出しが開始されるタイミングと、別の行の画素 11 から信号線 201 (B) への信号の読み出しが開始されるタイミングとが同期されている。また、信号線 201 (C)、信号線 201 (D) を、図 7 の動作で示したように互いに同相で動作する配線としている。具体的には、時刻 $t_{16} \sim t_{28}$ 、時刻 $t_{44} \sim t_{56}$ の動作を指す。つまり、ある行の画素 11 から信号線 201 (C) への信号の読み出しが開始されるタイミングと、別の行の画素 11 から信号線 201 (D) への信号の読み

50

出しが開始されるタイミングとが同期されている。このように本実施例では、同相で動作する信号線 201 (A) と信号線 201 (B) との間、および信号線 201 (C) と信号線 201 (D) との間において、一方の信号線の電位変動が他方の信号線の電位を変動させる電位変動を生じにくくしている。これにより本実施例では、信号線 201 (A) と信号線 201 (B) との間、および信号線 201 (C) と信号線 201 (D) との間のそれぞれにおいて、シールド配線を省略することを可能にしている。これにより、同相で動作する信号線の間ではシールド配線を省略することができる。これにより、複数の信号線 201 同士の全ての間にシールド配線を設ける場合に比べて、シールド配線の配線面積を低減することができる。

【0079】

このように、本実施例の撮像装置は、シールド配線の配線面積の増加を抑制しながら、複数の配線間の寄生容量を好適に抑制することができる。

【0080】

(撮像装置の動作；焦点検出+撮像モード)

図8は、図6に示した画素11を備える撮像装置の別の動作を示した図である。図8での動作は、画素11は焦点検出用の信号と、撮像用の信号を出力する。つまり、画素11は、複数のフォトダイオードのうちの一部のみのフォトダイオードの信号に基づく第1信号と、複数のフォトダイオードの信号に基づく第2信号の出力を行う。

【0081】

A信号に対応する光電変換期間は、A+B信号に対応する光電変換期間と、少なくとも一部が重なっている関係にある。つまり、図8で言えば、少なくとも時刻t70から時刻t74までの期間は重なっている。実際には、時刻t70よりも以前に行われる、フォトダイオード601a、601bの電荷をリセットするフォトダイオードリセットを行ってから、フォトダイオード601aの電荷をFD部605に転送するまでの期間が重なっている。

【0082】

時刻t72までの動作は、図7で説明した時刻t16までの動作と同じとすることができる。

【0083】

(動作：1行目と2行目のそれぞれの画素11に対応するA信号の読み出し)

時刻t72に、垂直走査回路は、1行目と2行目のそれぞれの画素11に出力する信号PTXAを高レベルとする。これにより、フォトダイオード601aが蓄積した電荷が、転送トランジスタ603aを介してFD部605に転送される。これにより、FD部605は、フォトダイオード601aの電荷に対応する電位となる。各列の信号線201(A)には、1行目の画素11のA信号が出力されている。また、各列の信号線201(B)には、2行目の画素11のA信号が出力されている。このA信号は、複数のフォトダイオードのうちの一部のみのフォトダイオードの信号に基づく第1信号である。この第1信号は、焦点検出用の信号として用いることができる。

【0084】

(動作：1行目の画素11に対応するA信号のAD変換)

時刻t74以降、MPX回路350(A)は、タイミングジェネレータから供給される信号MPXによって、1~12列のうち奇数列の画素11に対応する信号線201(A)を、順次ADC360(A)に接続する。

【0085】

ADC360(A)は、MPX回路350(A)から出力される、1列目の信号線201(A)のA信号をデジタル信号にAD変換する。その後、順次、1~12列のうち奇数列の画素11に対応する信号線201(A)に出力されているA信号をデジタル信号にAD変換する。

【0086】

時刻t74以降、MPX回路350(B)は、タイミングジェネレータから供給される信号MPXによって、1~12列のうち奇数列の画素11に対応する信号線201(B)を

10

20

30

40

50

、順次ADC360(B)に接続する。

【0087】

ADC360(B)は、MPX回路350(B)から出力される、1列目の信号線201(B)のA信号をデジタル信号にAD変換する。その後、順次、1~12列のうちの奇数列の画素11に対応する信号線201(B)に出力されているA信号をデジタル信号にAD変換する。

【0088】

(動作：3行目と4行目のそれぞれの画素11に対応するA信号の読み出し)

時刻t74に、垂直走査回路は、3行目と4行目のそれぞれの画素11に出力する信号PTXAをHighレベルとする。これにより、各列の信号線201(C)には、3行目の画素11のA信号が出力されている。また、各列の信号線201(D)には、4行目の画素11のA信号が出力されている。

10

【0089】

(動作：3行目と4行目のそれぞれの画素11に対応するA+B信号のAD変換)

時刻t76以降、MPX回路350(A)は、タイミングジェネレータから供給される信号MPXによって、1~12列のうち奇数列の画素11に対応する信号線201(C)を、順次ADC360(A)に接続する。

【0090】

ADC360(A)は、MPX回路350(A)から出力される、1列目の信号線201(C)のA信号をデジタル信号にAD変換する。その後、順次、1~12列のうちの奇数列の画素11に対応する信号線201(C)に出力されているA信号をデジタル信号にAD変換する。

20

【0091】

時刻t76以降、MPX回路350(B)は、タイミングジェネレータから供給される信号MPXによって、1~12列のうち奇数列の画素11に対応する信号線201(D)を、順次ADC360(B)に接続する。

【0092】

ADC360(B)は、MPX回路350(B)から出力される、1列目の信号線201(D)のA信号をデジタル信号にAD変換する。その後、順次、1~12列のうちの奇数列の画素11に対応する信号線201(D)に出力されているA信号をデジタル信号にAD変換する。

30

【0093】

(動作：1行目と2行目のそれぞれの画素11に対応するA+B信号の読み出し)

時刻t76の前において、1行目と2行目のそれぞれの画素11のFD部605には、時刻t74に信号PTXAがHighレベルからLowレベルに変化することによって、フォトダイオード601aが生成した電荷が保持されている。

【0094】

このFD部605がフォトダイオード601aの電荷を保持した状態で、時刻t76に垂直走査回路は、1行目と2行目のそれぞれの画素11に出力する信号PTXA、PTXBをHighレベルとする。フォトダイオード601bが蓄積した電荷と、フォトダイオード601aが時刻t74から時刻t76までに蓄積した電荷が、転送トランジスタ603a、603bを介してFD部605に転送される。FD部605では、フォトダイオード601a、601bのそれぞれの電荷が加算される。これにより、FD部605は、フォトダイオード601a、601bのそれぞれの電荷を加算した電荷に対応する電位となる。各列の信号線201(A)には、1行目の画素11のA+B信号が出力されている。また、各列の信号線201(B)には、2行目の画素11のA+B信号が出力されている。

40

【0095】

(動作：1行目と2行目のそれぞれの画素11に対応するA+B信号のAD変換)

時刻t78以降、MPX回路350(A)は、タイミングジェネレータから供給される信号MPXによって、1~12列のうち奇数列の画素11に対応する信号線201(A)を

50

、順次ADC360(A)に接続する。

【0096】

ADC360(A)は、MPX回路350(A)から出力される、1列目の信号線201(A)のA+B信号をデジタル信号にAD変換する。その後、順次、1~12列のうちの奇数列の画素11に対応する信号線201(A)に出力されているA+B信号をデジタル信号にAD変換する。

【0097】

時刻t78以降、MPX回路350(B)は、タイミングジェネレータから供給される信号MPXによって、1~12列のうち奇数列の画素11に対応する信号線201(B)を、順次ADC360(B)に接続する。

10

【0098】

ADC360(B)は、MPX回路350(B)から出力される、1列目の信号線201(B)のA+B信号をデジタル信号にAD変換する。その後、順次、1~12列のうちの奇数列の画素11に対応する信号線201(B)に出力されているA+B信号をデジタル信号にAD変換する。

【0099】

(動作：3行目と4行目のそれぞれの画素11に対応するA+B信号の読み出し)

時刻t78に、垂直走査回路は、3行目と4行目のそれぞれの画素11に出力する信号PTXA、PTXBをHighレベルとする。これにより、各列の信号線201(C)には、3行目の画素11のA+B信号が出力されている。また、各列の信号線201(D)には、4行目の画素11のA+B信号が出力されている。

20

【0100】

(動作：3行目と4行目のそれぞれの画素11に対応するA+B信号のAD変換)

時刻t80以降、MPX回路350(A)は、タイミングジェネレータから供給される信号MPXによって、1~12列のうち奇数列の画素11に対応する信号線201(C)を、順次ADC360(A)に接続する。

【0101】

ADC360(A)は、MPX回路350(A)から出力される、1列目の信号線201(C)のA+B信号をデジタル信号にAD変換する。その後、順次、1~12列のうちの奇数列の画素11に対応する信号線201(C)に出力されているA+B信号をデジタル信号にAD変換する。

30

【0102】

時刻t80以降、MPX回路350(B)は、タイミングジェネレータから供給される信号MPXによって、1~12列のうち奇数列の画素11に対応する信号線201(D)を、順次ADC360(B)に接続する。

【0103】

ADC360(B)は、MPX回路350(B)から出力される、1列目の信号線201(D)のA+B信号をデジタル信号にAD変換する。その後、順次、1~12列のうちの奇数列の画素11に対応する信号線201(D)に出力されているA+B信号をデジタル信号にAD変換する。

40

【0104】

(本実施例の効果)

図7の撮像動作と同じように、図8の焦点検出+撮像動作においても、本実施例の撮像装置は、信号線201(A)、201(B)を同相で動作させる。また、本実施例の撮像装置は、信号線201(C)、201(D)を同相で動作させる。一方、信号線201(B)と信号線(C)は異なる位相で動作する。また、信号線201(A)と信号線201(D)は異なる位相で動作する。

【0105】

仮に、シールド配線250(B)が設けられていない場合について説明する。図7で説明した撮像動作では、信号線(B)、201(C)の一方の信号線の電位の変動がカップリ

50

ング容量によって他方の信号線の電位を変動させるタイミングは、時刻 t_{2} 、 t_{16} 、 t_{30} 、 t_{44} の 4 回存在する。また、図 8 の焦点検出 + 撮像動作では、シールド配線 250 (B) が設けられていない場合、時刻 t_{70} 、 t_{72} 、 t_{74} 、 t_{76} 、 t_{78} 、 t_{80} の 6 回存在する。

【0106】

本実施例では、信号線 201 (B) と信号線 201 (C) との間にシールド配線 250 (B) を設けている。これにより、信号線 201 (B) と信号線 201 (C) との間のカップリング容量を低減することができる。よって、異なる位相で動作する信号線同士の間における、一方の信号線の電位変動が他方の信号線の電位を変動させる電位変動を生じにくくすることができる。よって、AD変換精度の低下を抑制することができる。

10

【0107】

図 4 に示したように、第 1 列の画素 11 に対応する信号線 201 (A) と、第 1 列と隣り合う第 2 列の画素 11 に対応する信号線 201 (D) との間にシールド配線 250 (A) が配されている。また、第 1 列の画素 11 に対応する信号線 201 (B) と、第 1 列の画素 11 に対応する信号線 201 (C) との間にシールド配線 250 (B) が配されている。これにより焦点検出 + 撮像動作においても、異なる位相で動作する信号線同士の間における、一方の信号線の電位変動が他方の信号線の電位を変動させる電位変動を生じにくくすることができる。

【0108】

また、本実施例では焦点検出 + 撮像動作においても、同相で動作させる信号線を設けている。これにより、信号線 201 (A) と信号線 201 (B) との間、および信号線 201 (C) と信号線 201 (D) との間のそれぞれにおいて、シールド配線を省略している。これにより、複数の信号線 201 同士の全ての間にシールド配線を設ける場合に比べて、シールド配線の配線面積を低減することができる。

20

【0109】

このように、本実施例の撮像装置は、シールド配線の配線面積の増加を抑制しながら、複数の配線間の寄生容量を好適に抑制することができる。

【0110】

(本実施例のさらなる効果：動作モード変更回数低減)

本実施例の撮像装置が備える、さらなる効果について説明する。

30

【0111】

本実施例の撮像装置は、第 1 行の画素 11 の A 信号を AD 変換した後、第 1 行の画素 11 の A + B 信号を AD 変換する前に、第 2 行の画素 11 の A 信号を AD 変換している。A 信号の AD 変換と、A + B 信号の AD 変換では、ADC 360 の動作モードの変更、例えば補正パラメータの変更等有る。この構成の場合、ビット数の切り替えの制御の待機時間が生じたり、ADC 360 の動作の変更による補正パラメータの変更が生じたりする。補正パラメータの変更とは、例えば、後述する実施例 4 に記載の逐次比較型の比較器で言えば、基準電圧 V_{RF} の補正パラメータなどが有る。ここで、2 行の画素 11 の信号の AD 変換に着目する。この場合、第 1 行の A 信号の AD 変換と A + B 信号の AD 変換の間と、第 1 行の A + B 信号の AD 変換と第 2 行の A 信号の AD 変換の間と、第 2 行の A 信号の AD 変換と A + B 信号の AD 変換との間の計 3 回の動作モードの変更が必要になる。これは AD 変換を行う画素行数が N 行であるとすると、 $2N - 1$ 回の動作モードの変更処理が必要になる。仮に $N = 8$ であれば、15 回の動作モードの変更が必要となる。一方で、本実施例は、第 1 行の画素 11 の A 信号を AD 変換した後、第 1 行の画素 11 の A + B 信号を AD 変換する前に、第 2 行の画素 11 の A 信号を AD 変換している。この動作では、動作モードの変更は、1 つの ADC 360 に対して接続される信号線 201 の本数を M 本とすると、 $(N/M) - 1 + (N/M) = (2N/M) - 1$ (回) となる。本実施例であれば、 $N = 8$ として、 $M = 4$ であるから、3 回となる。つまり、第 1 ~ 第 4 行の画素 11 の A 信号を順次 AD 変換した後、動作モードを変更して (変更 1 回目)、第 1 ~ 第 4 行の A + B 信号を順次 AD 変換する。そして、動作モードを変更して (変更 2 回目)、第 5 ~ 第 8

40

50

行の画素 1 1 の A 信号を順次 A D 変換する。そして、動作モードを変更して（変更 3 回目）、第 5 ~ 第 8 行の A + B 信号を順次 A D 変換する。よって、第 1 行の画素 1 1 の A 信号と A + B 信号を順に A D 変換する場合には、1 5 回の動作モードの変更が必要であった。一方で、本実施例の形態であれば動作モードの変更は 3 回で済む。このように、本実施例の読み出し方は、A 信号と A + B 信号の A D 変換の動作モードの変更に適した読み出し方であると言える。

【 0 1 1 2 】

（本実施例のさらなる効果：図 8 の動作における、撮像装置が行う並行動作）

図 8 に示した動作では、以下のように、複数の動作を並行して行っている。

（ 1 ） 1 行目の画素 1 1 に対応する N 信号の A D 変換と、 3 行目の画素 1 1 に対応する N 信号の読み出しとの並行動作

10

（ 2 ） 3 行目の画素 1 1 に対応する N 信号の A D 変換と、 1 行目の画素 1 1 に対応する A 信号の読み出しとの並行動作

（ 3 ） 1 行目の画素 1 1 に対応する A 信号の A D 変換と、 3 行目の画素 1 1 に対応する A 信号の読み出しとの並行動作

（ 4 ） 3 行目の画素 1 1 に対応する A 信号の A D 変換と、 1 行目の画素 1 1 に対応する A + B 信号の読み出しとの並行動作

（ 5 ） 1 行目の画素 1 1 に対応する A + B 信号の A D 変換と、 3 行目の画素 1 1 に対応する A + B 信号の読み出しとの並行動作

【 0 1 1 3 】

20

特に、本実施例の撮像装置は、（ 4 ）の動作を行っている。この並行動作により、A D C 3 6 0（ A ）が 1 度の A D 変換を終えてから、次の A D 変換を行うまでの待機期間を短縮することができる。特に、A + B 信号は、複数のフォトダイオードの各々の電荷を加算した加算電荷に対応する信号であるため、振幅が A 信号に比べて大きくなる傾向にある。したがって、A 信号が信号線 2 0 1 に出力される場合に比べて、A + B 信号が信号線 2 0 1 に出力される場合の方が、信号が静定するのに要する時間が長くなる傾向にある。よって、信号の静定に時間を要する、第 1 行の A + B 信号の信号線 2 0 1 への読み出しを、第 2 行の A 信号の A D 変換を行っている期間に重ねる。これにより、信号の静定に時間を要する、第 1 行の A + B 信号の信号線 2 0 1 への読み出しの期間が、撮像装置の動作速度を律速するのを生じにくくすることができる。

30

【 0 1 1 4 】

これにより、全ての画素 1 1 が出力する信号の A D 変換に要する期間を短縮することができる。よって、撮像装置の高フレームレート化、多画素化を進展させることができる。

【 0 1 1 5 】

（本実施例のさらなる効果：画素のカラーフィルタに対応した A D C）

本実施例の撮像装置では、前述したように、1 つの A D C 3 6 0（ A ）に接続される画素 1 1 は全て、R のカラーフィルタを備える画素 1 1 である。一方、A D C 3 6 0（ B ）に接続される画素 1 1 は全て、G のカラーフィルタを備える画素 1 1 である。このように、各々が第 1 色（ R ）のカラーフィルタを備える複数の第 1 画素 1 1 は、第 2 A D 変換部である A D C 3 6 0（ B ）に接続されずに第 1 A D 変換部である A D C 3 6 0（ A ）に接続される。また、各々が第 2 色（ G ）のカラーフィルタを備える複数の第 1 画素 1 1 は、第 1 A D 変換部である A D C 3 6 0（ A ）に接続されずに第 2 A D 変換部である A D C 3 6 0（ B ）に接続される。

40

【 0 1 1 6 】

この構成を備えることにより、1 つの A D C が A D 変換する信号に対応する光の色を 1 色のみとすることができる。複数の A D C を備える撮像装置においては、A D C ごとの A D 変換特性のばらつきに対応するため、A D 変換の補正処理、あるいは A D 変換後の補正処理が必要になることがある。A D 変換の補正処理は、例えば A D C が使用する基準信号の補正がある。また、A D 変換後の補正処理は、例えばデジタル信号の補正がある。1 つの A D C が A D 変換する信号に対応する光の色を複数とすると、複数の色のそれぞれに応じ

50

た補正パラメータを用意する必要が生じうる。このため、A D変換の補正、A D変換後の補正が煩雑になるという課題が有る。

【0117】

一方、本実施例の撮像装置は、1つのADCがA D変換する信号に対応する光の色を1色のみとしている。これにより、本実施例の撮像装置はA D変換の補正、A D変換後の補正を簡略にすることができるという効果を有する。

【0118】

このように、本実施例の撮像装置は、複数の第1画素に第1色のカラーフィルタが配され、複数の第2画素に第2色のカラーフィルタが配される場合における、画素とA D変換部との好適な接続関係を備える撮像装置を提供することができる。

10

【0119】

(他の形態；1つのADCがA D変換する画素の色をフレーム単位で変更)

本実施例では、第1色のカラーフィルタが配された画素11が接続され、第2色のカラーフィルタが配された画素11が接続されていない信号線201が、ADC360に接続される例を説明した。この例では、当該ADC360と第2色のカラーフィルタが配された画素11とが接続される接続部が設けられない形態となる。

【0120】

(実施例2)

本実施例の撮像装置について、実施例1と異なる点を中心に説明する。

【0121】

図9は、本実施例の撮像装置のブロック図である。本実施例の撮像装置は、1列の画素11に対して複数の信号線201(A)~(D)が設けられている。そして、1列の画素11に対応して配される複数の信号線201(A)~(D)が1つのMPX回路350(A)に接続される。このMPX回路350(A)の出力が、ADC360(A)に入力される。

20

【0122】

本実施例におけるシールド配線250、信号線201のレイアウトは、図5(a)、(b)、(c)と同じである。

【0123】

図10は、本実施例の撮像装置の画素11から信号処理回路21に至る接続レイアウトを示した図である。図4の接続レイアウトに対し、本実施例の撮像装置は、第2チップ5において、1列の画素11に対応する接続部303が、共通のMPX回路350に接続されている点異なる。その他の点については、図4の接続レイアウトと同じである。

30

【0124】

(撮像装置の動作；撮像モード)

図11は、図9に示した撮像装置の動作を示した図である。図7の動作と異なる点を中心に説明する。図11の動作は、撮像装置が撮像用の信号を出力する動作である。図11では、各行の画素11の信号の処理を、ステートで表している。ステートのそれぞれにおける動作は図7と同じである。

【0125】

図9に示したMPX回路350(A)は、1列の画素11に対応して配される複数の信号線201(A)~(D)の信号を順次、ADC360(A)に出力する。図11では、MPX回路350(A)が出力する信号を、Row_nとして示している。nは、MPX回路350(A)がADC360(A)に出力する信号に対応する画素行を示している。つまり、Row_1がHighレベルであれば、MPX回路350(A)はADC360(A)に1行目の画素11が信号線201(A)に出力した信号を出力していることを示す。

40

【0126】

(動作：各行の画素11からのN信号の読出し)

時刻t1に、1行目と2行目のそれぞれの画素11のN信号の読み出しが開始される。これにより、信号線201(A)には1行目の画素11のN信号が読み出される。また、信

50

号線 2 0 1 (B) には 2 行目の画素 1 1 の N 信号が読み出される。

【 0 1 2 7 】

時刻 t_3 に、3 行目と 4 行目のそれぞれの画素 1 1 の N 信号の読み出しが開始される。これにより、信号線 2 0 1 (C) には 3 行目の画素 1 1 の N 信号が読み出される。また、信号線 2 0 1 (D) には 4 行目の画素 1 1 の N 信号が読み出される。

【 0 1 2 8 】

(動作 : 各行の画素 1 1 の N 信号の A D 変換)

時刻 t_5 に、MPX 回路 3 5 0 (A) は信号線 2 0 1 (A) の信号、すなわち 1 行目の画素 1 1 の N 信号を ADC 3 6 0 (A) に出力する。ADC 3 6 0 (A) は、1 行目の画素 1 1 の N 信号をデジタル信号に変換する。

10

【 0 1 2 9 】

時刻 t_7 に、MPX 回路 3 5 0 (A) は信号線 2 0 1 (B) の信号、すなわち 2 行目の画素 1 1 の N 信号を ADC 3 6 0 (A) に出力する。ADC 3 6 0 (A) は、2 行目の画素 1 1 の N 信号をデジタル信号に変換する。

【 0 1 3 0 】

時刻 t_{10} に、MPX 回路 3 5 0 (A) は信号線 2 0 1 (C) の信号、すなわち 3 行目の画素 1 1 の N 信号を ADC 3 6 0 (A) に出力する。ADC 3 6 0 (A) は、3 行目の画素 1 1 の N 信号をデジタル信号に変換する。

【 0 1 3 1 】

時刻 t_{11} に、MPX 回路 3 5 0 (A) は信号線 2 0 1 (D) の信号、すなわち 4 行目の画素 1 1 の N 信号を ADC 3 6 0 (A) に出力する。ADC 3 6 0 (A) は、4 行目の画素 1 1 の N 信号をデジタル信号に変換する。

20

【 0 1 3 2 】

(動作 : 各行の画素 1 1 の A + B 信号の読出し)

時刻 t_{10} に、垂直走査回路は、1 行目と 2 行目のそれぞれの画素 1 1 に出力する信号 P T X A、P T X B を High レベルとする。これにより、フォトダイオード 6 0 1 a、6 0 1 b が蓄積した電荷が、転送トランジスタ 6 0 3 a、6 0 3 b を介して FD 部 6 0 5 に転送される。これにより、信号線 2 0 1 (A) には、1 行目の画素 1 1 の A + B 信号が出力される。

【 0 1 3 3 】

また、信号線 2 0 1 (B) には、2 行目の画素 1 1 の A + B 信号が出力される。

30

【 0 1 3 4 】

時刻 t_{13} に、垂直走査回路は、3 行目と 4 行目のそれぞれの画素 1 1 に出力する信号 P T X A、P T X B を High レベルとする。これにより、フォトダイオード 6 0 1 a、6 0 1 b が蓄積した電荷が、転送トランジスタ 6 0 3 a、6 0 3 b を介して FD 部 6 0 5 に転送される。これにより、信号線 2 0 1 (C) には、3 行目の画素 1 1 の A + B 信号が出力される。また、信号線 2 0 1 (D) には、4 行目の画素 1 1 の A + B 信号が出力される。

【 0 1 3 5 】

(動作 : 各行の画素 1 1 の A + B 信号の A D 変換)

時刻 t_{13} に、MPX 回路 3 5 0 (A) は信号線 2 0 1 (A) の信号、すなわち 1 行目の画素 1 1 の A + B 信号を ADC 3 6 0 (A) に出力する。ADC 3 6 0 (A) は、1 行目の画素 1 1 の A + B 信号をデジタル信号に変換する。

40

【 0 1 3 6 】

時刻 t_{15} に、MPX 回路 3 5 0 (A) は信号線 2 0 1 (B) の信号、すなわち 2 行目の画素 1 1 の A + B 信号を ADC 3 6 0 (A) に出力する。ADC 3 6 0 (A) は、2 行目の画素 1 1 の A + B 信号をデジタル信号に変換する。

【 0 1 3 7 】

時刻 t_{20} に、MPX 回路 3 5 0 (A) は信号線 2 0 1 (C) の信号、すなわち 3 行目の画素 1 1 の A + B 信号を ADC 3 6 0 (A) に出力する。ADC 3 6 0 (A) は、3 行目の画素 1 1 の A + B 信号をデジタル信号に変換する。

50

【 0 1 3 8 】

時刻 t_{21} に、MPX 回路 350 (A) は信号線 201 (D) の信号、すなわち 4 行目の画素 11 の A + B 信号を ADC 360 (A) に出力する。ADC 360 (A) は、4 行目の画素 11 の A + B 信号をデジタル信号に変換する。

【 0 1 3 9 】

以降、同様の動作が繰り返される。

【 0 1 4 0 】

このようにして、本実施例の撮像装置は、各画素の N 信号に基づくデジタル信号と、各画素の A + B 信号に基づくデジタル信号とを得ることができる。

【 0 1 4 1 】

また、時刻 t_{15} に、5 行目と 6 行目のそれぞれの画素 11 の N 信号の読み出しが開始される。これにより、信号線 201 (A) には 5 行目の画素 11 の N 信号が読み出される。また、信号線 201 (B) には 6 行目の画素 11 の N 信号が読み出される。

【 0 1 4 2 】

シールド配線 250 (B) が設けられていない場合には、時刻 t_{10} の 3 行目の画素 11 の N 信号の AD 変換において、2 行目の画素 11 の A + B 信号が信号線 201 (B) に読み出されることによる電位変動が信号線 201 (C) に生じる。また、時刻 t_{15} の 2 行目の画素 11 の A + B 信号の AD 変換において、3 行目の画素 11 の A + B 信号が信号線 201 (C) に読み出されることによる電位変動が信号線 201 (B) に生じる。また、時刻 t_{20} の 3 行目の画素 11 の A + B 信号の AD 変換において、6 行目の画素 11 の N 信号が信号線 201 (B) に読み出されることによる電位変動が信号線 201 (C) に生じる。

【 0 1 4 3 】

シールド配線 250 (A) が設けられていない場合には、時刻 t_{11} の 4 行目の画素 11 の N 信号の AD 変換において、1 行目の画素 11 の A + B 信号が信号線 201 (A) に読み出されることによる電位変動が信号線 201 (D) に生じる。また、時刻 t_{13} の 1 行目の画素 11 の A + B 信号の AD 変換において、4 行目の画素 11 の A + B 信号が信号線 201 (D) に読み出されることによる電位変動が信号線 201 (A) に生じる。また、時刻 t_{21} の 4 行目の画素 11 の A + B 信号の AD 変換において、5 行目の画素 11 の N 信号が信号線 201 (A) に読み出されることによる電位変動が信号線 201 (D) に生じる。

【 0 1 4 4 】

これらの電位変動により、AD 変換精度の低下が生じる。

【 0 1 4 5 】

一方、本実施例の撮像装置は、実施例 1 の撮像装置と同じく、シールド配線 250 (A)、250 (B) を、図 5 (a)、(b)、(c) で示したレイアウトで配置する。また、本実施例の撮像装置の撮像動作においても、信号線 201 (A)、201 (B) を同相で動作させる。また、信号線 201 (C)、201 (D) を同相で動作させる。

【 0 1 4 6 】

これにより、本実施例の撮像装置においても、実施例 1 と同じく、シールド配線の配線面積の増加を抑制しながら、複数の配線間の寄生容量を好適に抑制することができる。

【 0 1 4 7 】

(本実施例のさらなる効果：図 11 の動作における、撮像装置が行う並行動作による高速化)

図 11 に示した動作では、以下のように、複数の動作を並行して行っている。

(1) 1 行目の画素 11 に対応する N 信号の読出しと 2 行目の画素 11 に対応する N 信号の読出しとの並行動作

(2) 1 行目の画素 11 に対応する N 信号の AD 変換と、2 行目の画素 11 に対応する N 信号の読み出しとの並行動作

(3) 4 行目の画素 11 に対応する N 信号の AD 変換と、1 行目の画素 11 に対応する A

10

20

30

40

50

+ B 信号の読み出しとの並行動作

(4) 1 行目の画素 1 1 に対応する A + B 信号の読み出しと、2 行目の画素 1 1 に対応する A + B 信号の読み出しとの並行動作

(5) 1 行目の画素 1 1 に対応する A + B 信号の A D 変換と、2 行目の画素 1 1 に対応する A + B 信号の読み出しとの並行動作

【 0 1 4 8 】

この並行動作により、A D C 3 6 0 (A) が 1 度の A D 変換を終えてから、次の A D 変換を行うまでの待機期間を短縮することができる。これにより、全ての画素 1 1 が出力する信号の A D 変換に要する期間を短縮することができる。よって、撮像装置の高フレームレート化を進展させることができる。

【 0 1 4 9 】

(撮像装置の動作 ; 焦点検出 + 撮像モード)

図 1 2 は、図 9 に示した撮像装置の動作を示した図である。図 1 2 の動作は、撮像装置が焦点検出用の信号と、撮像用の信号を出力する動作である。

【 0 1 5 0 】

以下、図 1 1 に示した動作と異なる点を中心に説明する。

【 0 1 5 1 】

(動作 : 各行の画素 1 1 からの N 信号の読み出し)

図 1 1 に示した動作と同じである。

【 0 1 5 2 】

(動作 : 各行の画素 1 1 の N 信号の A D 変換)

図 1 1 に示した動作と同じである。

【 0 1 5 3 】

(動作 : 各行の画素 1 1 に対応する A 信号の読み出し)

時刻 t_{10} に、垂直走査回路は、1 行目および 2 行目の画素 1 1 の A 信号の読み出しを開始する。つまり、垂直走査回路は、1 行目および 2 行目の画素 1 1 に出力する信号 P T X A を H i g h レベルとする。これにより、フォトダイオード 6 0 1 a が蓄積した電荷が、転送トランジスタ 6 0 3 a を介して F D 部 6 0 5 に転送される。これにより、F D 部 6 0 5 は、フォトダイオード 6 0 1 a の電荷に対応する電位となる。各列の信号線 2 0 1 (A) には、1 行目の画素 1 1 の A 信号が出力される。また、各列の信号線 2 0 1 (B) には、2 行目の画素 1 1 の A 信号が出力される。この A 信号は、複数のフォトダイオードのうちの一部のみのフォトダイオードの信号に基づく第 1 信号である。この第 1 信号は、焦点検出用の信号として用いることができる。

【 0 1 5 4 】

時刻 t_{13} に、垂直走査回路は、3 行目および 4 行目の画素 1 1 の A 信号の読み出しを開始する。つまり、垂直走査回路は、3 行目および 4 行目の画素 1 1 に出力する信号 P T X A を H i g h レベルとする。これにより、各列の信号線 2 0 1 (C) には、3 行目の画素 1 1 の A 信号が出力される。また、各列の信号線 2 0 1 (D) には、4 行目の画素 1 1 の A 信号が出力される。

【 0 1 5 5 】

(動作 : 各行の画素 1 1 に対応する A 信号の A D 変換)

時刻 t_{13} に、M P X 回路 3 5 0 (A) は信号線 2 0 1 (A) の信号、すなわち 1 行目の画素 1 1 の A 信号を A D C 3 6 0 (A) に出力する。A D C 3 6 0 (A) は、1 行目の画素 1 1 の A 信号をデジタル信号に変換する。

【 0 1 5 6 】

時刻 t_{15} に、M P X 回路 3 5 0 (A) は信号線 2 0 1 (B) の信号、すなわち 2 行目の画素 1 1 の A 信号を A D C 3 6 0 (A) に出力する。A D C 3 6 0 (A) は、2 行目の画素 1 1 の A 信号をデジタル信号に変換する。

【 0 1 5 7 】

時刻 t_{20} に、M P X 回路 3 5 0 (A) は信号線 2 0 1 (C) の信号、すなわち 3 行目の

10

20

30

40

50

画素 1 1 の A 信号を A D C 3 6 0 (A) に出力する。A D C 3 6 0 (A) は、3 行目の画素 1 1 の A 信号をデジタル信号に変換する。

【 0 1 5 8 】

時刻 t 2 1 に、M P X 回路 3 5 0 (A) は信号線 2 0 1 (D) の信号、すなわち 4 行目の画素 1 1 の A 信号を A D C 3 6 0 (A) に出力する。A D C 3 6 0 (A) は、4 行目の画素 1 1 の A 信号をデジタル信号に変換する。

【 0 1 5 9 】

(動作 : 各行の画素 1 1 の A + B 信号の読出し)

時刻 t 2 0 に、垂直走査回路は、1 行目と 2 行目の画素 1 1 の A + B 信号の読出しを開始する。つまり、垂直走査回路は、1 行目および 2 行目の画素 1 1 に出力する信号 P T X A、P T X B を H i g h レベルとする。これにより、フォトダイオード 6 0 1 a、6 0 1 b が蓄積した電荷が、転送トランジスタ 6 0 3 a、6 0 3 b を介して F D 部 6 0 5 に転送される。これにより、信号線 2 0 1 (A) には、1 行目の画素 1 1 の A + B 信号が出力される。また、信号線 2 0 1 (B) には、2 行目の画素 1 1 の A + B 信号が出力される。

10

【 0 1 6 0 】

時刻 t 2 2 に、垂直走査回路は、3 行目と 4 行目の A + B 信号の読出しを開始する。つまり、垂直走査回路は、3 行目と 4 行目の画素 1 1 に出力する信号 P T X A、P T X B を H i g h レベルとする。これにより、フォトダイオード 6 0 1 a、6 0 1 b が蓄積した電荷が、転送トランジスタ 6 0 3 a、6 0 3 b を介して F D 部 6 0 5 に転送される。これにより、信号線 2 0 1 (C) には、3 行目の画素 1 1 の A + B 信号が出力される。また、信号線 2 0 1 (D) には、4 行目の画素 1 1 の A + B 信号が出力される。

20

【 0 1 6 1 】

(動作 : 各行の画素 1 1 の A + B 信号の A D 変換)

時刻 t 2 2 に、M P X 回路 3 5 0 (A) は信号線 2 0 1 (A) の信号、すなわち 1 行目の画素 1 1 の A + B 信号を A D C 3 6 0 (A) に出力する。A D C 3 6 0 (A) は、1 行目の画素 1 1 の A + B 信号をデジタル信号に変換する。

【 0 1 6 2 】

時刻 t 2 3 に、M P X 回路 3 5 0 (A) は信号線 2 0 1 (B) の信号、すなわち 2 行目の画素 1 1 の A + B 信号を A D C 3 6 0 (A) に出力する。A D C 3 6 0 (A) は、2 行目の画素 1 1 の A + B 信号をデジタル信号に変換する。

30

【 0 1 6 3 】

時刻 t 2 4 に、M P X 回路 3 5 0 (A) は信号線 2 0 1 (C) の信号、すなわち 3 行目の画素 1 1 の A + B 信号を A D C 3 6 0 (A) に出力する。A D C 3 6 0 (A) は、3 行目の画素 1 1 の A + B 信号をデジタル信号に変換する。

【 0 1 6 4 】

時刻 t 2 5 に、M P X 回路 3 5 0 (A) は信号線 2 0 1 (D) の信号、すなわち 4 行目の画素 1 1 の A + B 信号を A D C 3 6 0 (A) に出力する。A D C 3 6 0 (A) は、4 行目の画素 1 1 の A + B 信号をデジタル信号に変換する。

【 0 1 6 5 】

このようにして、本実施例の撮像装置は、各画素の N 信号に基づくデジタル信号と、各画素の A 信号に基づくデジタル信号と、各画素の A + B 信号に基づくデジタル信号とを得ることができる。

40

【 0 1 6 6 】

また、時刻 t 2 3 に、垂直走査回路は、5 行目と 6 行目の N 信号の読み出しを開始する。

【 0 1 6 7 】

シールド配線 2 5 0 (B) が設けられていない場合には、時刻 t 1 0 の 3 行目の画素 1 1 の N 信号の A D 変換において、2 行目の画素 1 1 の A 信号が信号線 2 0 1 (B) に読み出されることによる電位変動が信号線 2 0 1 (C) に生じる。また、時刻 t 1 5 の 2 行目の画素 1 1 の A 信号の A D 変換において、3 行目の画素 1 1 の A 信号が信号線 2 0 1 (C) に読み出されることによる電位変動が信号線 2 0 1 (B) に生じる。また、時刻 t 2 0 の

50

3行目の画素11のA信号のAD変換において、6行目の画素11のA+B信号が信号線201(B)に読み出されることによる電位変動が信号線201(C)に生じる。また、時刻t20の3行目の画素11のA信号のAD変換において、2行目の画素11のA+B信号が信号線201(B)に読み出されることによる電位変動が信号線201(C)に生じる。また、時刻t23の2行目の画素11のA+B信号のAD変換において、3行目の画素11のA+B信号が信号線201(C)に読み出されることによる電位変動が信号線201(B)に生じる。また、時刻t24の3行目の画素11のA+B信号のAD変換において、6行目の画素11のN信号が信号線201(B)に読み出されることによる電位変動が信号線201(C)に生じる。

【0168】

シールド配線250(A)が設けられていない場合には、時刻t11の4行目の画素11のN信号のAD変換において、1行目の画素11のA信号が信号線201(A)に読み出されることによる電位変動が信号線201(D)に生じる。また、時刻t13の1行目の画素11のA信号のAD変換において、4行目の画素11のA信号が信号線201(D)に読み出されることによる電位変動が信号線201(A)に生じる。また、時刻t21の4行目の画素11のA信号のAD変換において、1行目の画素11のA+B信号が信号線201(A)に読み出されることによる電位変動が信号線201(D)に生じる。また、時刻t22の1行目の画素11のA+B信号のAD変換において、4行目の画素11のA+B信号が信号線201(D)に読み出されることによる電位変動が信号線201(A)に生じる。また、時刻t25の4行目の画素11のA+B信号のAD変換において、5行目の画素11のN信号が信号線201(A)に読み出されることによる電位変動が信号線201(D)に生じる。

【0169】

これらの電位変動により、AD変換精度の低下が生じる。

【0170】

一方、本実施例の撮像装置は、実施例1の撮像装置と同じく、シールド配線250(A)、250(B)を、図5(a)、(b)、(c)で示したレイアウトで配置する。また、本実施例の撮像装置の撮像動作においても、信号線201(A)、201(B)を同相で動作させる。また、信号線201(C)、201(D)を同相で動作させる。

【0171】

これにより、本実施例の撮像装置においても、実施例1と同じく、シールド配線の配線面積の増加を抑制しながら、複数の配線間の寄生容量を好適に抑制することができる。

【0172】

(本実施例のさらなる効果：図12の動作における、撮像装置が行う並行動作による高速化)

図12に示した動作では、以下のように、複数の動作を並行して行っている。

(1) 1行目の画素11に対応するN信号の読出しと2行目の画素11に対応するN信号の読出しとの並行動作

(2) 1行目の画素11に対応するN信号のAD変換と、2行目の画素11に対応するN信号の読み出しとの並行動作

(3) 4行目の画素11に対応するN信号のAD変換と、1行目の画素11に対応するA信号の読み出しとの並行動作

(4) 1行目の画素11に対応するA信号の読出しと、2行目の画素11に対応するA信号の読出しとの並行動作

(5) 1行目の画素11に対応するA信号のAD変換と、2行目の画素11に対応するA信号の読出しとの並行動作

(6) 4行目の画素11に対応するA信号のAD変換と、1行目の画素11に対応するA+B信号の読み出しとの並行動作

(7) 1行目の画素11に対応するA+B信号の読出しと、2行目の画素11に対応するA+B信号の読出しとの並行動作

10

20

30

40

50

(8) 1 行目の画素 1 1 に対応する A + B 信号の A D 変換と、 2 行目の画素 1 1 に対応する A 信号の読出しとの並行動作

【 0 1 7 3 】

この並行動作により、 A D C 3 6 0 (A) が 1 度の A D 変換を終えてから、次の A D 変換を行うまでの待機期間を短縮することができる。これにより、全ての画素 1 1 が出力する信号の A D 変換に要する期間を短縮することができる。よって、撮像装置の高フレームレート化を進展させることができる。

【 0 1 7 4 】

本実施例は、この例に限定されるものではない。例えば、 1 フレーム期間において、第 1 色のカラーフィルタが配された画素 1 1 と接続され、第 2 色のカラーフィルタが配された画素 1 1 とは接続されないようにすることもできる。 1 列目の画素 1 1 に注目して説明すると、 M P X 回路 3 5 0 (A) は、第 1 色である R のカラーフィルタを有する画素 1 1 が接続された信号線 2 0 1 (A)、 2 0 1 (C) を A D C 3 6 0 (A) に接続する。一方、当該 1 フレーム期間において、 M P X 回路 3 5 0 (A) は、第 2 色である G のカラーフィルタを有する画素 1 1 が接続された信号線 2 0 1 (B)、 2 0 1 (D) を A D C 3 6 0 (A) に接続しない。この構成においても、実施例 1 において説明した、 A D 変換の補正、 A D 変換後の補正を簡略にすることができるという効果を得ることができる。

【 0 1 7 5 】

(実施例 3)

本実施例の撮像装置について、実施例 2 と異なる点を中心に説明する。

【 0 1 7 6 】

実施例 2 の撮像装置では、信号線 2 0 1 に出力された信号をサンプルホールドする回路が設けられていない。したがって、図 1 1、図 1 2 の動作では、信号の読み出し期間の長さが画素行によって異なっていた。具体的には、図 1 1 で言えば、 N 信号の読み出し期間の長さが、 1 行目の画素 1 1 では時刻 t 1 から時刻 t 5 までであるのに対し、 2 行目の画素 1 1 では、時刻 t 1 から時刻 t 7 までとなっていた。同じように、 A + B 信号についても読み出し期間の長さが画素行によって異なっていた。この読み出し期間の長さの違いにより、仮に 1 行目と 2 行目の画素 1 1 の F D 部 6 0 5 の電位が等しいものであったとしても、 A D 変換回路 3 6 0 に入力される信号レベルが異なる場合がある。たとえば、 1 行目の画素 1 1 の信号の読み出し期間が、信号線 2 0 1 の信号が静定するまでの期間よりも短い場合、信号線 2 0 1 の信号が静定する前に A D 変換が行われることとなる。一方、 2 行目の画素 1 1 の読み出し期間は 1 行目の画素 1 1 の信号の読み出し期間よりも長い。このため、信号線 2 0 1 の信号が、 1 行目の画素 1 1 の信号線 2 0 1 の信号に比べて、静定レベルにより近づいた状態で A D 変換が行われることとなる。これにより、 1 行目と 2 行目の画素 1 1 の F D 部 6 0 5 の電位が仮に等しかったとしても、 1 行目と 2 行目の画素 1 1 の信号を A D 変換して得られる信号の値が異なることとなる。

【 0 1 7 7 】

本実施例の撮像装置のブロック図を図 1 3 に示す。図 1 3 の構成では、信号線 2 0 1 と M P X 回路 3 5 0 との間に、サンプルホールド部 (図面では S / H と記載している。以下、 S / H 部とする) 3 5 5 を備える。 S / H 部 3 5 5 は、信号線 2 0 1 に読み出された信号をホールドする。そして、このホールドした信号を、 M P X 回路 3 5 0 に出力する。 1 つの S / H 部 3 5 5 は 4 つの S / H 回路を備える。この 4 つの S / H 回路の各々は、信号線 2 0 1 (A) ~ (D) の 1 つに対応して設けられている。

【 0 1 7 8 】

図 1 4 は、本実施例の撮像装置の撮像動作を示した図である。図 1 1 の動作と異なる点を中心に説明する。

【 0 1 7 9 】

< 各行の N 信号の読み出し、ホールド、 A D 変換 >

時刻 t 3 に、信号線 2 0 1 (A) には 1 行目の画素 1 1 の N 信号が読み出され、信号線 2 0 1 (B) には 2 行目の画素 1 1 の N 信号が読み出されている。そして、時刻 t 3 に、 3

10

20

30

40

50

行目の画素 1 1 の N 信号の信号線 2 0 1 (C) への読み出しと、4 行目の画素 1 1 の N 信号の信号線 2 0 1 (D) への読み出しが開始される。これにより、信号線 2 0 1 (C)、2 0 1 (D) の電位が変動する。

【 0 1 8 0 】

時刻 t 4 に、信号線 2 0 1 (A) に接続された S / H 回路と、信号線 2 0 1 (B) に接続された S / H 回路のそれぞれは、N 信号のホールドを行う。つまり、1 行目の画素 1 1 の N 信号と、2 行目の画素 1 1 の N 信号が、対応するそれぞれの S / H 回路にホールドされる。

【 0 1 8 1 】

時刻 t 5 に M P X 回路 3 5 0 (A) は、信号線 2 0 1 (A) の信号をホールドした S / H 回路を A D C 3 6 0 (A) に接続する。これにより、1 行目の画素 1 1 の N 信号が A D 変換される。

10

【 0 1 8 2 】

時刻 t 7 に M P X 回路 3 5 0 (A) は、信号線 2 0 1 (B) の信号をホールドした S / H 回路を A D C 3 6 0 (A) に接続する。これにより、2 行目の画素 1 1 の N 信号が A D 変換される。

【 0 1 8 3 】

時刻 t 8 に、信号線 2 0 1 (C) に接続された S / H 回路と、信号線 2 0 1 (D) に接続された S / H 回路のそれぞれは、N 信号のホールドを行う。つまり、3 行目の画素 1 1 の N 信号と、4 行目の画素 1 1 の N 信号が、対応するそれぞれの S / H 回路にホールドされる。

20

【 0 1 8 4 】

時刻 t 1 0 に M P X 回路 3 5 0 (A) は、信号線 2 0 1 (C) の信号をホールドした S / H 回路を A D C 3 6 0 (A) に接続する。これにより、3 行目の画素 1 1 の N 信号が A D 変換される。

【 0 1 8 5 】

時刻 t 1 1 に M P X 回路 3 5 0 (A) は、信号線 2 0 1 (D) の信号をホールドした S / H 回路を A D C 3 6 0 (A) に接続する。これにより、2 行目の画素 1 1 の N 信号が A D 変換される。

【 0 1 8 6 】

< 各行の A 信号の読み出し、ホールド、A D 変換 >

時刻 t 1 0 に、垂直走査回路は、1 行目と 2 行目の画素 1 1 の A 信号の読み出しを開始する。信号線 2 0 1 (A) には 1 行目の画素 1 1 の A 信号が読み出され、信号線 2 0 1 (B) には 2 行目の画素 1 1 の A 信号が読み出される。

【 0 1 8 7 】

そして、時刻 t 1 3 に、3 行目の画素 1 1 の A 信号の信号線 2 0 1 (C) への読み出しと、4 行目の画素 1 1 の A 信号の信号線 2 0 1 (D) への読み出しが開始される。これにより、信号線 2 0 1 (C)、2 0 1 (D) の電位が変動する。

【 0 1 8 8 】

以降、N 信号の場合と同じく、S / H 回路による A 信号のホールドと、A D C 3 6 0 (A) による A D 変換が行われる。

40

【 0 1 8 9 】

< 各行の A + B 信号の読み出し、ホールド、A D 変換 >

時刻 t 2 2 に、垂直走査回路は、1 行目と 2 行目の画素 1 1 の A + B 信号の読み出しを開始する。信号線 2 0 1 (A) には 1 行目の画素 1 1 の A + B 信号が読み出され、信号線 2 0 1 (B) には 2 行目の画素 1 1 の A + B 信号が読み出される。

【 0 1 9 0 】

そして、時刻 t 2 4 に、3 行目の画素 1 1 の A + B 信号の信号線 2 0 1 (C) への読み出しと、4 行目の画素 1 1 の A + B 信号の信号線 2 0 1 (D) への読み出しが開始される。これにより、信号線 2 0 1 (C)、2 0 1 (D) の電位が変動する。

50

【 0 1 9 1 】

以降、N信号、A信号の場合と同じく、S/H回路によるA+B信号のホールドと、ADC360(A)によるAD変換が行われる。

【 0 1 9 2 】

また、時刻t27に、垂直走査回路は、5行目と6行目の画素11のN信号の読み出しを開始する。信号線201(A)には5行目の画素11のN信号が読み出され、信号線201(B)には6行目の画素11のN信号が読み出される。これにより、信号線201(A)、201(B)の電位が変動する。

【 0 1 9 3 】

時刻t3の4行目の画素11のN信号の読み出し開始によって信号線201(D)の電位が変動する。この電位変動は、シールド配線250(A)が設けられていない場合、信号線201(D)と信号線201(A)との間のカップリング容量によって、1行目の画素11のN信号の読み出しを行っている信号線201(A)の電位を変動させる。同じように、時刻t13においても、4行目の画素11のA信号の読み出し開始によって、信号線201(A)の電位が変動する。また、時刻t24においても、4行目の画素11のA+B信号の読み出し開始によって、信号線201(A)の電位が変動する。また、時刻t27においても、5行目の画素11のN信号の読み出し開始によって、信号線201(D)の電位が変動する。

10

【 0 1 9 4 】

時刻t3の3行目の画素11のN信号の読み出し開始によって信号線201(C)の電位が変動する。この電位変動は、シールド配線250(B)が設けられていない場合、信号線201(C)と信号線201(B)との間のカップリング容量によって、2行目の画素11のN信号の読み出しを行っている信号線201(B)の電位を変動させる。同じように、時刻t13においても、3行目の画素11のA信号の読み出し開始によって、信号線201(B)の電位が変動する。また、時刻t24においても、3行目の画素11のA+B信号の読み出し開始によって、信号線201(B)の電位が変動する。また、時刻t27においても、6行目の画素11のN信号の読み出し開始によって、信号線201(C)の電位が変動する。

20

【 0 1 9 5 】

これらの電位変動により、AD変換精度の低下が生じる。

30

【 0 1 9 6 】

一方、本実施例の撮像装置は、実施例1の撮像装置と同じく、シールド配線250(A)、250(B)を、図5(a)、(b)、(c)で示したレイアウトで配置する。また、本実施例の撮像装置の撮像動作においても、信号線201(A)、201(B)を同相で動作させる。また、信号線201(C)、201(D)を同相で動作させる。

【 0 1 9 7 】

これにより、本実施例の撮像装置においても、実施例1と同じく、シールド配線の配線面積の増加を抑制しながら、複数の配線間の寄生容量を好適に抑制することができる。

【 0 1 9 8 】

また、本実施例の撮像装置は、複数のS/H回路のそれぞれが、複数の信号線201の1つに対応して設けられている。これにより、信号の読み出し期間の長さを各画素行で揃えることができる。これにより、信号の読み出し期間の長さが異なることによって生じていた信号のばらつきを抑制することができる。

40

【 0 1 9 9 】

(実施例4)

本実施例について、実施例1と異なる点を中心に説明する。本実施例の撮像装置は、実施例1のADC360(A)、ADC360(B)として、逐次比較型のAD変換器を用いた例である。その他の構成は、実施例1の撮像装置の構成と同じとすることができる。

【 0 2 0 0 】

なお、本実施例では主に実施例1のADCへの適用を主として説明するが、実施例2の撮

50

像装置で示したADCにも適用可能である。

【0201】

(逐次比較型ADCの等価回路)

図15は、本実施例のADC360の等価回路図である。

【0202】

ADC360は入力端子IN及び出力端子OUTを有し、入力端子INから入力されたアナログ信号Sin(MPX回路350の出力)をデジタル信号Soutに変換して出力端子OUTから出力する。このアナログ信号Sinは、実施例1で説明した、N信号とS信号の一方あるいは両方とすることができる。ADC360はMPX回路出力を5ビットの分解能でデジタル信号Soutに変換する。

10

【0203】

ADC360はアナログ信号Sinとの比較に用いられる比較信号を生成する生成回路810を更に有する。生成回路810はバイナリウエイトの容量値を有する複数の容量素子cp0~cp4と、容量素子cp0~cp4に接続された複数のスイッチsw0~sw4とを有する。複数のスイッチsw0~sw4によって、容量素子cp0~cp4のうちの1つ以上を選択するスイッチ回路が構成される。バイナリウエイトとは、公比2の等比数列をなす重み(容量値)の集合のことである。図15の例では、容量素子cp0~cp4は順に、1C、2C、4C、8C、16Cの容量値を有する。容量素子cp0~cp4の一方の電極は生成回路810の供給端子SPLに接続され、他方の電極はそれぞれスイッチsw0~sw4に接続される。スイッチsw0~sw4はそれぞれ、一端が容量素子cp0~cp4に接続され、他端が端子Aと端子Bとの間をトグルする。端子Aには接地電位GNDが供給され、端子Bには基準電圧VRFが供給される。基準電圧VRFはADC360の外部から供給される定電圧であり、接地電位GNDよりも大きな値である。スイッチsw0が端子Aにトグルすると、容量素子cp0に接地電位GNDが供給され、スイッチsw0が端子Bにトグルすると、容量素子cp0に基準電圧VRFが供給される。他のスイッチsw1~sw4についても同様である。スイッチsw0~sw4が切り替わることによって、供給端子SPLと基準電圧VRFとの間に接続される容量素子の合成容量値が変化し、その結果として供給端子SPLから出力される比較信号Vcmpの値が変化

20

【0204】

ADC360は比較器815を更に有する。比較器815はアナログ信号Sinの値と比較信号Vcmpの値とを比較して、比較結果に応じた信号を出力する。比較器815の非反転端子には容量素子cp6を介してアナログ信号Sinが供給され、比較器815の反転端子には生成回路810の供給端子SPLから比較信号Vcmpが供給される。それにより、アナログ信号Sinの値が比較信号Vcmpの値以上の場合にHighが出力され、アナログ信号Sinの値が比較信号Vcmpの値未満の場合にLowが出力される。この例ではアナログ信号Sinの値と比較信号Vcmpの値が等しい場合にHighを出力しているが、Lowを出力してもよい。容量素子cp6はアナログ信号Sinの値を比較信号Vcmpとの比較が可能な範囲に調整する。本実施形態では、説明を簡単にするために、アナログ信号Sinの値は接地電位GND以上、基準電圧VRF以下であり、アナログ信号Sinと同じ大きさの信号が比較器815の非反転端子に供給される場合を扱う。

30

40

【0205】

図15の例ではアナログ信号Sinを比較器815の非反転端子に供給し、比較信号Vcmpを比較器815の反転端子に供給するが、アナログ信号Sinの値と比較信号Vcmpの値との大小関係を判定できれば他の構成も取りうる。例えば、アナログ信号Sinと比較信号Vcmpとの差分を比較器815の非反転端子に供給し、接地電位GNDを比較器815の反転端子に供給してもよい。

【0206】

ADC360はスイッチsw5、sw6を更に有する。これらのスイッチsw5、sw6が導通状態になると、比較器815の非反転端子、反転端子に接地電位GNDが供給され

50

、比較器 815 がリセットされる。

【0207】

A D C 360 は、制御回路 820 を更に備える。制御回路 820 には比較器 815 から比較結果が供給され、制御回路 820 はこの比較結果に基づいてデジタル信号 *S o u t* を生成し、出力端子 *O U T* から出力する。制御回路 820 はまた、各スイッチ *s w 0 ~ s w 6* に制御信号を送信してその状態を切り替える。

【0208】

(逐次比較型 A D C の動作)

図 16 において、*s w 0 ~ s w 6* は制御回路 820 からスイッチ *s w 0 ~ s w 6* に供給される制御信号の値を示す。スイッチ *s w 0 ~ s w 4* は、供給される制御信号が *H i g h* である場合に端子 B へトグルし、制御信号が *L o w* である場合に端子 A へトグルする。スイッチ *s w 5*、*s w 6* は、供給される制御信号が *H i g h* である場合に導通状態となり、制御信号が *L o w* である場合に非導通状態となる。図 16 の下側にはアナログ信号 *S i n* 及び比較信号 *V c m p* が示される。図 16 では、アナログ信号 *S i n* の値が 2 進数で 00110 に相当する場合を例として扱う。

10

【0209】

続いて、A D 変換器 100 の A D 変換動作を時系列に沿って説明する。制御回路 820 は準備期間において、スイッチ *s w 0 ~ s w 4* に供給される制御信号を *L o w* にし、スイッチ *s w 5*、*s w 6* に供給される制御信号を *H i g h* にする。これにより、比較器 815 の非反転端子及び反転端子が接地電位 *G N D* にリセットされるとともに、比較信号 *V c m p* の値が接地電位 *G N D* に等しくなる。その後、制御回路 820 はスイッチ *s w 5*、*s w 6* に供給される制御信号を *L o w* にする。以降の動作において、比較器 815 の非反転端子にはアナログ信号 *S i n* が供給され続ける。

20

【0210】

次に、逐次比較期間が始まると、制御回路 820 はスイッチ *s w 4* に供給される制御信号を *H i g h* に変更する。これにより、スイッチ *s w 4* は端子 B にトグルし、バイナリウェイトの中で 1 番目に大きな容量値を有するキャパシタ *c p 4* を介して生成回路 810 の供給端子 *S P L* に基準電圧 *V R F* が印加される。その結果、比較信号 *V c m p* が $V R F / 2$ だけ増加し、比較信号 *V c m p* の値は $V R F / 2$ に等しくなる。制御回路 820 は、比較器 815 からの比較結果に基づいて、アナログ信号 *S i n* の値が比較信号 *V c m p* の値 ($V R F / 2$) よりも小さいと判定し、スイッチ *s w 4* に供給される制御信号を *L o w* に戻す。これにより、比較信号 *V c m p* の値は接地電位 *G N D* に戻る。この比較結果は、デジタル信号 *S o u t* の値の *M S B* (*L S B* を 1 ビット目とした場合に 5 ビット目) が 0 であることを意味する。

30

【0211】

次に、制御回路 820 はスイッチ *s w 3* に供給される制御信号を *H i g h* に変更する。これにより、バイナリウェイトの中で 2 番目に大きな容量値を有するキャパシタ *c p 3* を介して生成回路 810 の供給端子 *S P L* に基準電圧 *V R F* が印加される。その結果、比較信号 *V c m p* が $V R F / 4$ だけ増加し、比較信号 *V c m p* の値は $V R F / 4$ に等しくなる。制御回路 820 は、比較器 815 からの比較結果に基づいて、アナログ信号 *S i n* の値が比較信号 *V c m p* の値 ($V R F / 4$) よりも小さいと判定し、スイッチ *s w 3* に供給される制御信号を *L o w* に戻す。これにより、比較信号 *V c m p* の値は接地電位 *G N D* に戻る。この比較結果は、デジタル信号 *S o u t* の値の 4 ビット目が 0 であることを意味する。

40

【0212】

次に、制御回路 820 はスイッチ *s w 2* に供給される制御信号を *H i g h* に変更する。これにより、バイナリウェイトの中で 3 番目に大きな容量値を有するキャパシタ *c p 2* を介して生成回路 810 の供給端子 *S P L* に基準電圧 *V R F* が印加される。その結果、比較信号 *V c m p* が $V R F / 8$ だけ増加し、比較信号 *V c m p* の値は $V R F / 8$ に等しくなる。制御回路 820 は、比較器 815 からの比較結果に基づいて、アナログ信号 *S i n* の値が比較信号 *V c m p* の値 ($V R F / 8$) よりも大きいと判定し、スイッチ *s w 2* に供給され

50

る制御信号を High のままにする。それにより、比較信号 V_{cmp} の値は $V_{RF} / 8$ に維持される。この比較結果は、デジタル信号 S_{out} の値の 3 ビット目が 1 であることを意味する。

【0213】

次に、制御回路 820 はスイッチ sw_1 に供給される制御信号を High に変更する。これにより、バイナリウエイトの中で 4 番目に大きな容量値を有するキャパシタ cp_1 と、キャパシタ cp_2 とを介して生成回路 810 の供給端子 SPL に基準電圧 V_{RF} が印加される。その結果、比較信号 V_{cmp} が $V_{RF} / 16$ だけ増加し、比較信号 V_{cmp} の値は $V_{RF} * 3 / 16$ に等しくなる。なお、本明細書で用いる「*」は乗算を意味している。制御回路 820 は、比較器 815 からの比較結果に基づいて、アナログ信号 S_{in} の値が比較信号 V_{cmp} の値 ($V_{RF} * 3 / 16$) よりも大きいと判定し、スイッチ sw_1 に供給される制御信号を High のままにする。それにより、比較信号 V_{cmp} の値は $V_{RF} * 3 / 16$ に維持される。この比較結果は、デジタル信号 S_{out} の値の 2 ビット目が 1 であることを意味する。

10

【0214】

最後に、制御回路 820 はスイッチ sw_0 に供給される制御信号を High に変更する。これにより、バイナリウエイトの中で 5 番目に大きな容量値を有するキャパシタ cp_0 と、 cp_1 、 cp_2 とを介して生成回路 810 の供給端子 SPL に基準電圧 V_{RF} が印加される。その結果、比較信号 V_{cmp} が $V_{RF} / 32$ だけ増加し、比較信号 V_{cmp} の値は $V_{RF} * 7 / 32$ に等しくなる。制御回路 820 は、比較器 815 からの比較結果に基づいて、アナログ信号 S_{in} の値が比較信号 V_{cmp} の値 ($V_{RF} * 7 / 32$) よりも小さいと判定し、スイッチ sw_0 に供給される制御信号を Low に戻す。それにより、比較信号 V_{cmp} の値は $V_{RF} * 3 / 16$ に戻る。この比較結果は、デジタル信号 S_{out} の値の 1 ビット目が 0 であることを意味する。

20

【0215】

以上の逐次比較により、制御回路 820 はアナログ信号に対応するデジタル信号 S_{out} が 00110 であると決定する。

【0216】

このようにして、ADC 360 は、入力されるアナログ信号に対応するデジタル信号を生成する AD 変換を行うことができる。

30

【0217】

(他の AD 変換形式)

実施例 4 では、ADC 360 として、逐次比較型の AD 変換器を用いた例を説明した。ADC 360 は、この逐次比較型の AD 変換器に限定されるものではない。例えば、他の AD 変換器として、ランプ信号比較型、デルタシグマ型、パイプライン型、フラッシュ型等の種々の AD 変換器を用いることができる。

【0218】

(A 信号、A + B 信号の AD 変換のビット数)

実施例 1 ~ 3 の撮像装置では、画素 11 は A 信号と A + B 信号とを出力する。A 信号は、A + B 信号に比べて信号振幅が小さくなる傾向にある。したがって、A 信号の AD 変換のビット数を、A + B 信号の AD 変換のビット数よりも小さくすることができる。典型的には、A + B 信号の信号振幅に対して、A 信号の振幅は $1 / 2$ 以下となる。したがって、A 信号の AD 変換のビット数を、A + B 信号の AD 変換のビット数よりも 1 ビット少なくすることができる。具体的には、本実施例で述べた逐次比較型の AD 変換器であれば、A + B 信号の AD 変換で最上位ビットの確定用に用いた比較信号の入力を、A 信号の AD 変換では省略する。そして、A 信号の AD 変換では、A + B 信号の AD 変換で最上位ビットの確定用に用いた比較信号の $1 / 2$ の振幅の比較信号の入力から始めるようにすればよい。これにより、A 信号の AD 変換期間を、A + B 信号の AD 変換期間よりも短縮することができる。

40

【0219】

50

A 信号の A D 変換のビット数を A + B 信号の A D 変換のビット数よりも少なくするのは、逐次比較型の A D 変換器には限られない。例えば、ランプ信号を用いたランプ比較型の A D 変換であれば、ランプ信号の電位を変化させる期間を、A + B 信号の A D 変換よりも A 信号の A D 変換を短くすればよい。これにより、A 信号の A D 変換期間を、A + B 信号の A D 変換期間よりも短縮することができる。

【 0 2 2 0 】

また、A 信号のデジタル信号のビット数が、A + B 信号のデジタル信号のビット数よりも少ないことにより、A D C 3 6 0 から A 信号のデジタル信号を読み出す期間を短縮することができる。これにより、複数の A D C 3 6 0 から A 信号のデジタル信号を読み出す期間を短縮することができる。

10

【 0 2 2 1 】

また、実施例 1 ~ 3 の撮像装置では、第 1 行の画素 1 1 の A 信号を A D 変換した後、第 1 行の画素 1 1 の A + B 信号を A D 変換する前に、第 2 行の画素 1 1 の A 信号を A D 変換している。この構成の場合、A 信号のデジタル信号のビット数を、A + B 信号のデジタル信号のビット数よりも少なくする構成は、より顕著な効果を得ることができる。つまり、第 1 行の画素 1 1 の A 信号を A D 変換した後、第 1 行の画素 1 1 の A + B 信号を A D 変換するにあたっては、A D C 3 6 0 において、ビット数を変更する制御が必要となる。この場合、ビット数の切り替えの制御の待機時間が生じたり、A D C 3 6 0 の動作の変更による補正パラメータの変更が生じたりする。補正パラメータの変更とは、例えば、逐次比較型の比較器と言えば、基準電圧 V R F の補正などが有る。このビット数の変更に伴う処理を、2 行の画素 1 1 の信号の A D 変換に着目する。この場合、第 1 行の A 信号の A D 変換と A + B 信号の A D 変換の間と、第 1 行の A + B 信号の A D 変換と第 2 行の A 信号の A D 変換の間と、第 2 行の A 信号の A D 変換と A + B 信号の A D 変換との間の計 3 回のビット数変更の制御が必要になる。これは A D 変換を行う画素行数が N 行であるとする、 $2N - 1$ 回のビット数変更処理が必要になる。N = 8 であれば、15 回のビット数変更が必要となる。一方で、実施例 1 ~ 3 では、第 1 行の画素 1 1 の A 信号を A D 変換した後、第 1 行の画素 1 1 の A + B 信号を A D 変換する前に、第 2 行の画素 1 1 の A 信号を A D 変換している。この動作では、ビット数の変更処理は、1 つの A D C 3 6 0 に対して接続される信号線 2 0 1 の本数を M 本とすると、 $(N / M) - 1 + (N / M) = (2N / M) - 1$ (回) となる。たとえば、実施例 1 ~ 3 の形態であれば、N = 8 として、M = 4 であるから、3 回となる。つまり、第 1 ~ 第 4 行の画素 1 1 の A 信号を順次 A D 変換した後、ビット数を増加させて (ビット数変更 1 回目)、第 1 ~ 第 4 行の A + B 信号を順次 A D 変換する。そして、ビット数を減らして (ビット数変更 2 回目)、第 5 ~ 第 8 行の画素 1 1 の A 信号を順次 A D 変換する。そして、ビット数を増加させて (ビット数変更 3 回目)、第 5 ~ 第 8 行の A + B 信号を順次 A D 変換する。よって、第 1 行の画素 1 1 の A 信号と A + B 信号を順に A D 変換する場合には、15 回のビット数変更が必要であった。一方で、実施例 1 ~ 3 の形態であればビット数変更は 3 回で済む。このように、実施例 1 ~ 3 の読み出し方は、A 信号と A + B 信号のビット数変更に適した読み出し方であると言える。

20

30

【 0 2 2 2 】

(実施例 5)

本実施例は、1 列の画素に対して複数の信号線を設け、かつ多層配線層とした場合における、信号線の配線領域の面積を低減するレイアウトを提供する好適な実施例である。

40

【 0 2 2 3 】

本実施例では、1 列の画素 1 1 に対し、6 本の信号線 2 0 1 (A) ~ (F) を設けた例を示している。信号線 2 0 1 (A) ~ (C) は同相で動作する。また、信号線 2 0 1 (D) ~ (F) は同相で動作する。一方で、信号線 2 0 1 (A) ~ (C) に対し、信号線 2 0 1 (D) ~ (F) は異なる位相で動作する。

【 0 2 2 4 】

4 本の信号線 2 0 1 (A)、(B)、(D)、(E) は、第 1 配線層に設けられる。また、信号線 2 0 1 (C)、(F) は、第 1 配線層よりも画素 1 1 の光電変換部に近接する第

50

2 配線層に設けられる。シールド配線 2 5 0 (A)、(B) のそれぞれは、多層配線として、第 1 配線層と第 2 配線層のそれぞれに配される。

【 0 2 2 5 】

図 1 7 は、4 本の信号線 2 0 1 (A)、(B)、(D)、(E) が設けられた第 1 配線層を、第 2 チップ 5 側から画素 1 1 を見た上面図である。

【 0 2 2 6 】

第 1 配線層において、シールド配線 2 5 0 (A) - 1、(B) - 1 が配されている。

【 0 2 2 7 】

信号線 2 0 1 (A)、(B)、(D)、(E) はそれぞれ順に、1 行目、2 行目、3 行目、4 行目の画素 1 1 の配線 2 1 1 に、ビアプラグである接続部 2 8 0 を介して接続されている。

10

【 0 2 2 8 】

図 1 8 は、図 1 7 に示した撮像装置の断面図である。

【 0 2 2 9 】

図 1 8 (a) は、図 1 7 の A - B 線に対応する断面図である。

【 0 2 3 0 】

図 1 8 (b) は、図 1 7 の C - D 線に対応する断面図である。

【 0 2 3 1 】

図 1 8 (c) は、図 1 7 の E - F 線に対応する断面図である。

【 0 2 3 2 】

20

図 1 9 (a) は、図 1 7 の G - H 線に対応する断面図である。

【 0 2 3 3 】

図 1 9 (b) は、図 1 7 の I - J 線に対応する断面図である。

【 0 2 3 4 】

図 1 9 (c) は、図 1 7 の K - L 線に対応する断面図である。

【 0 2 3 5 】

図 1 8 (a) を例に説明する。シールド配線 2 5 0 (A) は、本実施例では多層配線として、シールド配線 2 5 0 (A) - 1、2 5 0 (A) - 2 が設けられている。また、シールド配線 2 5 0 (B) は、本実施例では多層配線として、シールド配線 2 5 0 (B) - 1、2 5 0 (B) - 2 が設けられている。

30

【 0 2 3 6 】

同相で動作する信号線 2 0 1 (A) ~ (C) は、一部の信号線が第 1 配線層に配され、他の一部の信号線が第 2 配線層に配されている。また、第 2 配線層に配された他の一部の信号線の 1 つである信号線 2 0 1 (C) は、第 1 配線層に配された一部の信号線の 1 つである信号線 2 0 1 (B) に対し、平面視において重なる位置である第 1 の位置に配されている。

【 0 2 3 7 】

同相で動作する信号線 2 0 1 (D) ~ (F) は、一部の信号線が第 1 配線層に配され、他の一部の信号線が第 2 配線層に配されている。また、第 2 配線層に配された他の一部の信号線の 1 つである信号線 2 0 1 (F) は、第 1 配線層に配された一部の信号線の 1 つである信号線 2 0 1 (E) に対し、平面視において重なる位置である第 1 の位置に配されている。

40

【 0 2 3 8 】

図 1 8 (b) を説明する。信号線 2 0 1 (B) が、配線 2 1 1 (B) に接続される。第 2 配線層に配された他の一部の信号線の 1 つである信号線 2 0 1 (C) は、第 1 配線層に配された一部の信号線の他の 1 つである信号線 2 0 1 (A) に対し、平面視において重なる第 2 の位置に配されている。別の言い方をすれば、信号線 2 0 1 (C) は、第 1 配線層に配された一部の信号線の 1 つである信号線 2 0 1 (B) に対して平面視において重なる位置である第 1 の位置とは、別の位置に配されている。

【 0 2 3 9 】

50

図 18 (c) を説明する。信号線 201 (D) が、配線 211 (C) に接続される。第 2 配線層に配された他の一部の信号線の 1 つである信号線 201 (F) は、第 1 配線層に配された一部の信号線の 1 つである信号線 201 (E) に対し、引き続き平面視において重なる位置である第 1 の位置に配されている。

【0240】

図 19 (a) を説明する。信号線 201 (E) が、配線 211 (D) に接続される。第 2 配線層に配された他の一部の信号線の 1 つである信号線 201 (F) は、第 1 配線層に配された一部の信号線の他の 1 つである信号線 201 (D) に対し、平面視において重なる位置である第 2 の位置に配されている。別の言い方をすれば、信号線 201 (F) は、第 1 配線層に配された一部の信号線の 1 つである信号線 201 (E) に対して平面視において重なる位置である第 1 の位置とは、別の位置に配されている。

10

【0241】

図 19 (b) を説明する。信号線 201 (F) が、配線 211 (E) に接続される。第 2 配線層に配された他の一部の信号線の 1 つである信号線 201 (F) は、第 1 配線層に配された一部の信号線の他の 1 つである信号線 201 (D) に対し、平面視において重なる位置である第 2 の位置に配されている。別の言い方をすれば、信号線 201 (F) は、第 1 配線層に配された一部の信号線の 1 つである信号線 201 (E) に対して平面視において重なる位置である第 1 の位置とは、別の位置に配されている。

【0242】

図 19 (c) を説明する。信号線 201 (C) が、配線 211 (G) に接続される。第 2 配線層に配された他の一部の信号線の 1 つである信号線 201 (C) は、第 1 配線層に配された一部の信号線の 1 つである信号線 201 (B) に対し、平面視において重なる位置である第 1 の位置に配されている。

20

【0243】

図 20 は、第 2 配線層 (シールド配線 250 (A) - 2、(B) - 2 が配された配線層) の上面図である。

【0244】

図 21 は、第 3 配線層 (第 3 シールド配線 255 が配された配線層) の上面図である。

【0245】

図 20 の第 2 配線層について、説明する。

30

【0246】

第 2 配線層には、信号線 201 (C)、(F) が配される。

【0247】

信号線 201 (C) は、配線 211 (F) と接続される。また、信号線 201 (F) は、配線 211 (E) と接続される。

【0248】

信号線 201 (C) は、シールド配線 250 (A) - 2 が延在する第 1 方向に沿って延在部分配線 C - 1、C - 3、C - 5 を有する。また、信号線 201 (C) は、第 1 方向に交差する第 2 方向と、第 1 方向との間の方向である第 3 方向に沿って延在する部分配線 C - 2 を有する。また、信号線 201 (C) は、第 1 方向に交差する第 2 方向とは反対の第 4 方向と、第 1 方向との間の方向である第 5 方向に沿って延在する部分配線 C - 4 を有する。第 1 方向に沿って延在する部分配線 C - 1 は、第 3 方向に沿って延在する部分配線 C - 2 に接続される。部分配線 C - 2 は第 1 方向に沿って延在する部分配線 C - 3 に接続される。部分配線 C - 3 は第 5 方向に沿って延在する部分配線 C - 4 に接続される。部分配線 C - 4 は、第 1 方向に沿って延在する部分配線 C - 5 に接続される。

40

【0249】

ここで信号線 201 (C) を第 1 信号線、信号線 201 (B) を第 2 信号線、信号線 201 (A) を第 3 信号線、信号線 201 (D) を第 4 信号線とするとする。第 3 信号線と、配線 211 が接続する接続部 280 が設けられた位置を第 2 方向に沿って通過する仮想線 (A - B 線) の断面において、第 1 信号線と第 2 信号線は平面視において重なる位置にあ

50

る。そして、第2信号線と配線211とが接続する接続部280が設けられた位置を第2方向に沿って通過する仮想線(C-D線)の断面において、第1信号線と第3信号線と重なる位置にある。そして、第1信号線と配線211とが接続する接続部280が設けられた位置を第2方向に沿って通過する仮想線(K-L線)の断面において、第1信号線と第2信号線は平面視において重なる位置にある。

【0250】

このようにして、信号線201(C)は、配線211(B)と信号線201(B)とを接続するビアプラグである接続部280を迂回するように蛇行する。これにより、信号線201の多層配線化を好適に実現することができる。

【0251】

このように、本実施例の第2配線層に配される信号線201は、第1方向に沿って延在する部分配線C-1、第3方向に沿って延在する部分配線C-2を有する。さらに、第1方向に沿って延在する部分配線C-3、第5方向に沿って延在する部分配線C-4、第1方向に沿って延在する部分配線C-5を有する。これにより、複数の信号線201を配する領域の幅を、複数の信号線201を単層配線層で配した場合に比べて小さくしながら、配線211と第1配線層に配された信号線201との接続を行うことができる。

【0252】

また、本実施例の撮像装置においても、シールド配線250(A)、(B)を有する。これにより、実施例1の撮像装置と同じく、シールド配線の配線面積の増加を抑制しながら、複数の配線間の寄生容量を好適に抑制することができる。

【0253】

(実施例6)

図22は、本実施例による撮像システム500の構成を示すブロック図である。本実施例の撮像システム500は、上述の各実施例で述べた撮像装置のいずれかの構成を適用した撮像装置200を含む。撮像システム500の具体例としては、デジタルスチルカメラ、デジタルカムコーダー、監視カメラ等が挙げられる。図22に、上述の各実施例のいずれかの撮像装置を撮像装置200として適用したデジタルスチルカメラの構成例を示す。

【0254】

図22に例示した撮像システム500は、撮像装置200、被写体の光学像を撮像装置200に結像させるレンズ5020、レンズ5020を通過する光量を可変にするための絞り504、レンズ5020の保護のためのバリア506を有する。レンズ5020及び絞り504は、撮像装置200に光を集光する光学系である。

【0255】

撮像システム500は、また、撮像装置200から出力される出力信号の処理を行う信号処理部5080を有する。信号処理部5080は、必要に応じて入力信号に対して各種の補正、圧縮を行って出力する信号処理の動作を行う。信号処理部5080は、撮像装置200より出力される出力信号に対してAD変換処理を実施する機能を備えていてもよい。この場合、撮像装置200の内部には、必ずしもAD変換回路を有する必要はない。

【0256】

撮像システム500は、更に、画像データを一時的に記憶するためのバッファメモリ部510、外部コンピュータ等と通信するための外部インターフェース部(外部I/F部)512を有する。更に撮像システム500は、撮像データの記録又は読み出しを行うための半導体メモリ等の記録媒体514、記録媒体514に記録又は読み出しを行うための記録媒体制御インターフェース部(記録媒体制御I/F部)516を有する。なお、記録媒体514は、撮像システム500に内蔵されていてもよく、着脱可能であってもよい。

【0257】

更に撮像システム500は、各種演算を行うとともにデジタルスチルカメラ全体を制御する全体制御・演算部518、撮像装置200と信号処理部5080に各種タイミング信号を出力するタイミング発生部520を有する。ここで、タイミング信号などは外部から入力されてもよく、撮像システム500は、少なくとも撮像装置200と、撮像装置200

10

20

30

40

50

から出力された出力信号を処理する信号処理部 5 0 8 0 とを有すればよい。全体制御・演算部 5 1 8 及びタイミング発生部 5 2 0 は、撮像装置 2 0 0 の制御機能の一部又は全部を実施するように構成してもよい。

【 0 2 5 8 】

撮像装置 2 0 0 は、画像用信号を信号処理部 5 0 8 0 に出力する。信号処理部 5 0 8 0 は、撮像装置 2 0 0 から出力される画像用信号に対して所定の信号処理を実施し、画像データを出力する。また、信号処理部 5 0 8 0 は、画像用信号を用いて、画像を生成する。

【 0 2 5 9 】

上述した各実施例の撮像装置による撮像装置を用いて撮像システムを構成することにより、より良質の画像が取得可能な撮像システムを実現することができる。

10

【 0 2 6 0 】

(実施例 7)

本実施例の撮像システム及び移動体について、図 2 3 及び図 2 4 を用いて説明する。

【 0 2 6 1 】

図 2 3 は、本実施例による撮像システム及び移動体の構成例を示す概略図である。図 2 4 は、本実施例による撮像システムの動作を示すフロー図である。

【 0 2 6 2 】

本実施例では、車載カメラに関する撮像システムの一例を示す。図 2 3 は、車両システムとこれに搭載される撮像システムの一例を示したものである。撮像システム 7 0 1 は、撮像装置 7 0 2、画像前処理部 7 1 5、集積回路 7 0 3、光学系 7 1 4 を含む。光学系 7 1 4 は、撮像装置 7 0 2 に被写体の光学像を結像する。撮像装置 7 0 2 は、光学系 7 1 4 により結像された被写体の光学像を電気信号に変換する。撮像装置 7 0 2 は、上述の各実施例のいずれかの撮像装置である。画像前処理部 7 1 5 は、撮像装置 7 0 2 から出力された信号に対して所定の信号処理を行う。画像前処理部 7 1 5 の機能は、撮像装置 7 0 2 内に組み込まれていてもよい。撮像システム 7 0 1 には、光学系 7 1 4、撮像装置 7 0 2 及び画像前処理部 7 1 5 が、少なくとも 2 組設けられており、各組の画像前処理部 7 1 5 からの出力が集積回路 7 0 3 に入力されるようになっている。

20

【 0 2 6 3 】

集積回路 7 0 3 は、撮像システム用途向けの集積回路であり、メモリ 7 0 5 を含む画像処理部 7 0 4、光学測距部 7 0 6、視差演算部 7 0 7、物体認知部 7 0 8、異常検出部 7 0 9 を含む。画像処理部 7 0 4 は、画像前処理部 7 1 5 の出力信号に対して、現像処理や欠陥補正等の画像処理を行う。メモリ 7 0 5 は、撮像画像の一次記憶、撮像画素の欠陥位置を格納する。光学測距部 7 0 6 は、被写体の合焦や、測距を行う。視差演算部 7 0 7 は、複数の撮像装置 7 0 2 により取得された複数の画像データから視差（視差画像の位相差）の算出を行う。物体認知部 7 0 8 は、車、道、標識、人等の被写体の認知を行う。異常検出部 7 0 9 は、撮像装置 7 0 2 の異常を検出すると、主制御部 7 1 3 に異常を発報する。

30

【 0 2 6 4 】

集積回路 7 0 3 は、専用に設計されたハードウェアによって実現されてもよいし、ソフトウェアモジュールによって実現されてもよいし、これらの組合せによって実現されてもよい。また、FPGA (Field Programmable Gate Array) や ASIC (Application Specific Integrated Circuit) 等によって実現されてもよいし、これらの組合せによって実現されてもよい。

40

【 0 2 6 5 】

主制御部 7 1 3 は、撮像システム 7 0 1、車両センサ 7 1 0、制御ユニット 7 2 0 等の動作を統括・制御する。なお、主制御部 7 1 3 を持たず、撮像システム 7 0 1、車両センサ 7 1 0、制御ユニット 7 2 0 が個別に通信インターフェースを有して、それぞれが通信ネットワークを介して制御信号の送受を行う（例えば CAN 規格）方法も取りうる。

【 0 2 6 6 】

集積回路 7 0 3 は、主制御部 7 1 3 からの制御信号を受け或いは自身の制御部によって、撮像装置 7 0 2 へ制御信号や設定値を送信する機能を有する。例えば、集積回路 7 0 3 は

50

、撮像装置 702 内の電圧スイッチ 13 をパルス駆動させるための設定や、フレーム毎に電圧スイッチ 13 を切り替える設定等を送信する。

【0267】

撮像システム 701 は、車両センサ 710 に接続されており、車速、ヨーレート、舵角などの車両走行状態及び車両外環境や他車・障害物の状態を検出することができる。車両センサ 710 は、視差画像から対象物までの距離情報を取得する距離情報取得手段でもある。また、撮像システム 701 は、自動操舵、自動巡行、衝突防止機能等の種々の運転支援を行う運転支援制御部 711 に接続されている。特に、衝突判定機能に関しては、撮像システム 701 や車両センサ 710 の検出結果を基に他車・障害物との衝突推定・衝突有無を判定する。これにより、衝突が推定される場合の回避制御、衝突時の安全装置起動を行う。

10

【0268】

また、撮像システム 701 は、衝突判定部での判定結果に基づいて、ドライバーに警報を発する警報装置 712 にも接続されている。例えば、衝突判定部の判定結果として衝突可能性が高い場合、主制御部 713 は、ブレーキをかける、アクセルを戻す、エンジン出力を抑制するなどして、衝突を回避、被害を軽減する車両制御を行う。警報装置 712 は、音等の警報を鳴らす、カーナビゲーションシステムやメーターパネルなどの表示部画面に警報情報を表示する、シートベルトやステアリングに振動を与えるなどしてユーザに警告を行う。

【0269】

本実施例では、車両の周囲、例えば前方又は後方を撮像システム 701 で撮影する。図 23 (b) に、車両前方を撮像システム 701 で撮像する場合の撮像システム 701 の配置例を示す。

20

【0270】

2つの撮像装置 702 は、車両 700 の前方に配置される。具体的には、車両 700 の進退方位又は外形（例えば車幅）に対する中心線を対称軸に見立て、その対称軸に対して2つの撮像装置 702 が線対称に配置されると、車両 700 と被写対象物との間の距離情報の取得や衝突可能性の判定を行う上で好ましい。また、撮像装置 702 は、運転者が運転席から車両 700 の外の状況を視認する際に運転者の視野を妨げない配置が好ましい。警報装置 712 は、運転者の視野に入りやすい配置が好ましい。

30

【0271】

次に、撮像システム 701 における撮像装置 702 の故障検出動作について、図 24 を用いて説明する。撮像装置 702 の故障検出動作は、図 24 に示すステップ S810 ~ S880 に従って実施される。

【0272】

ステップ S810 は、撮像装置 702 のスタートアップ時の設定を行うステップである。すなわち、撮像システム 701 の外部（例えば主制御部 713）又は撮像システム 701 の内部から、撮像装置 702 の動作のための設定を送信し、撮像装置 702 の撮像動作及び故障検出動作を開始する。

【0273】

次いで、ステップ S820 において、有効画素から画素信号を取得する。また、ステップ S830 において、故障検出用に設けた故障検出画素からの出力値を取得する。この故障検出画素は、有効画素と同じく光電変換部を備える。この光電変換部には、所定の電圧が書き込まれる。故障検出用画素は、この光電変換部に書き込まれた電圧に対応する信号を出力する。なお、ステップ S820 とステップ S830 とは逆でもよい。

40

【0274】

次いで、ステップ S840 において、故障検出画素の出力期待値と、実際の故障検出画素からの出力値との該非判定を行う。

【0275】

ステップ S840 における該非判定の結果、出力期待値と実際の出力値とが一致している

50

場合は、ステップ S 8 5 0 に移行し、撮像動作が正常に行われていると判定し、処理ステップがステップ S 8 6 0 へと移行する。ステップ S 8 6 0 では、走査行の画素信号をメモリ 7 0 5 に送信して一次保存する。そののち、ステップ S 8 2 0 に戻り、故障検出動作を継続する。

【 0 2 7 6 】

一方、ステップ S 8 4 0 における該非判定の結果、出力期待値と実際の出力値とが一致していない場合は、処理ステップはステップ S 8 7 0 に移行する。ステップ S 8 7 0 において、撮像動作に異常があると判定し、主制御部 7 1 3、又は警報装置 7 1 2 に警報を発報する。警報装置 7 1 2 は、表示部に異常が検出されたことを表示させる。その後、ステップ S 8 8 0 において撮像装置 7 0 2 を停止し、撮像システム 7 0 1 の動作を終了する。

10

【 0 2 7 7 】

なお、本実施例では、1行毎にフローチャートをループさせる例を例示したが、複数行毎にフローチャートをループさせてもよいし、1フレーム毎に故障検出動作を行ってもよい。

【 0 2 7 8 】

なお、ステップ S 8 7 0 の警報の発報は、無線ネットワークを介して、車両の外部に通知するようにしてもよい。

【 0 2 7 9 】

また、本実施例では、他の車両と衝突しない制御を説明したが、他の車両に追従して自動運転する制御や、車線からはみ出さないように自動運転する制御などにも適用可能である。さらに、撮像システム 7 0 1 は、自車両等の車両に限らず、例えば、船舶、航空機或いは産業用ロボットなどの移動体（移動装置）に適用することができる。加えて、移動体に限らず、高度道路交通システム（ITS）等、広く物体認識を利用する機器に適用することができる。

20

【 0 2 8 0 】

[変形実施例]

本発明は、上記実施例に限らず種々の変形が可能である。

【 0 2 8 1 】

例えば、いずれかの実施例の一部の構成を他の実施例に追加した例や、他の実施例の一部の構成と置換した例も、本発明の実施例である。

【 0 2 8 2 】

また、上述の実施例は、いずれも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらの例示によって本発明の技術的範囲が限定的に解釈されてはならない。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な態様で実施することができる。

30

【 符号の説明 】

【 0 2 8 3 】

1 第1チップ

5 第2チップ

1 1 画素

2 1 信号処理回路

40

3 0 3 接続部

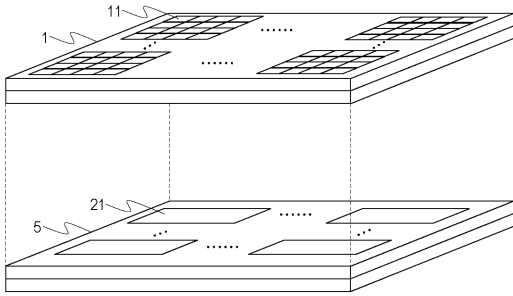
3 1 0 電流源

3 5 0 マルチプレックス回路（MPX回路）

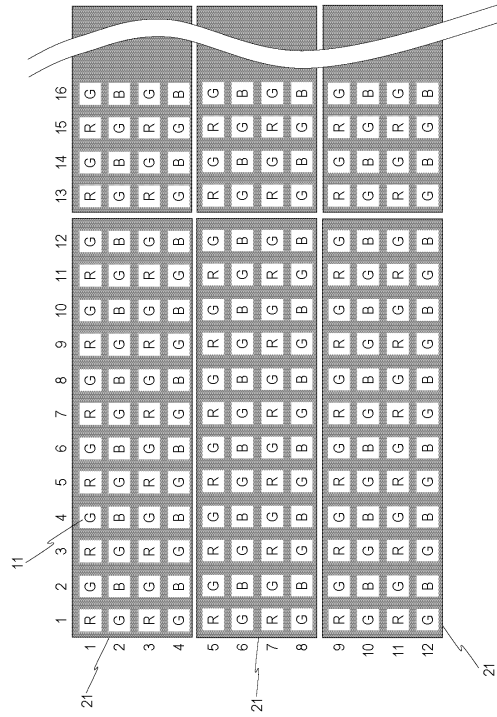
3 6 0 AD変換回路（ADC）

【図面】

【図 1】



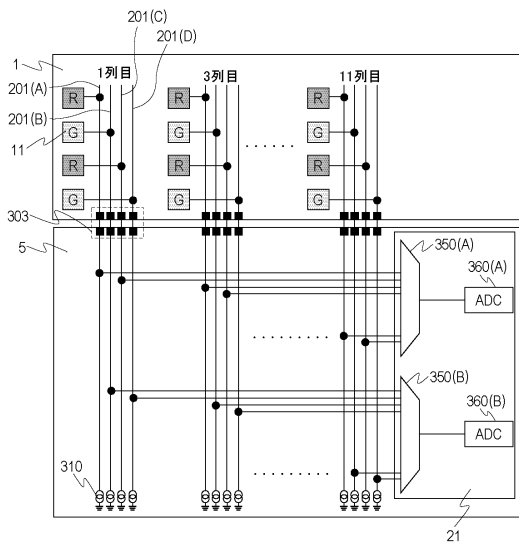
【図 2】



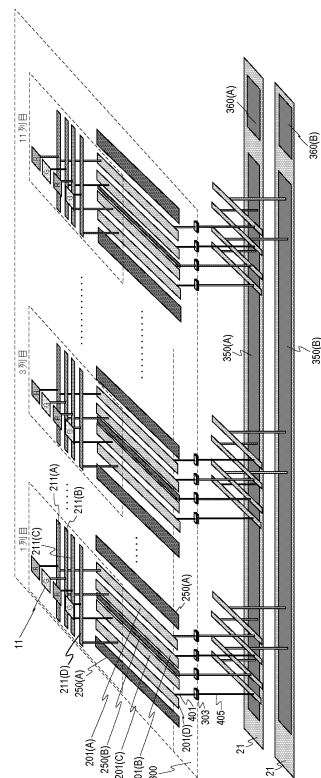
10

20

【図 3】



【図 4】

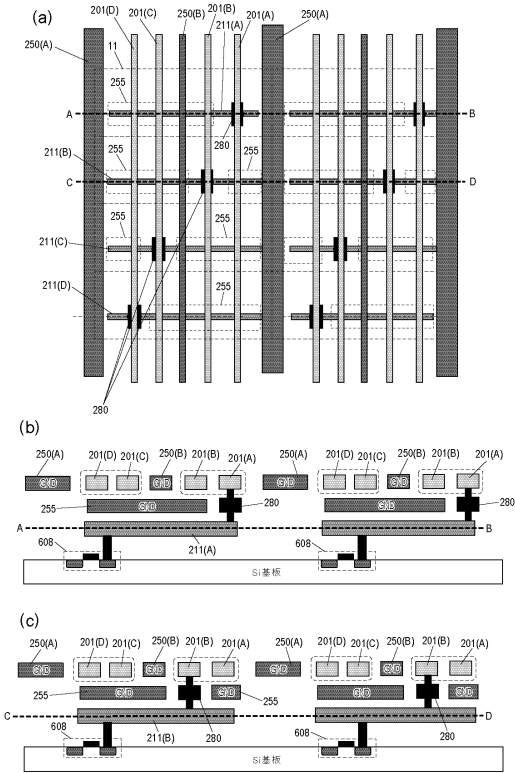


30

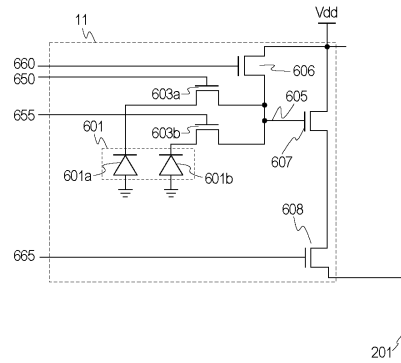
40

50

【図5】



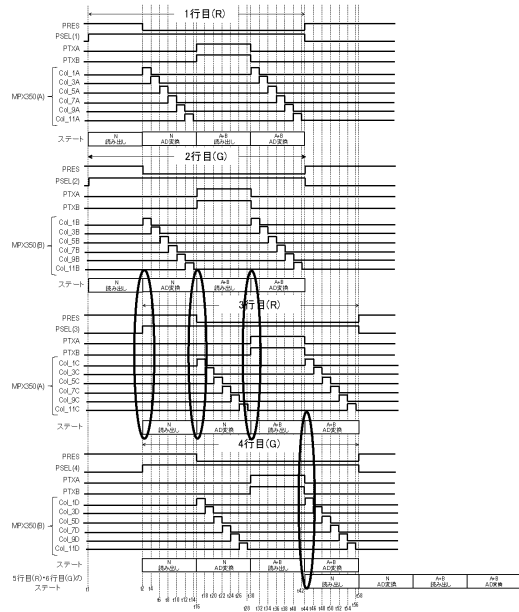
【図6】



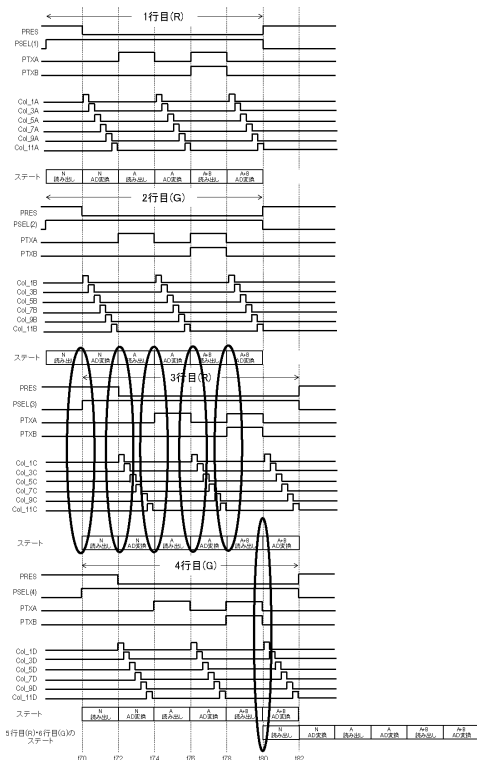
10

20

【図7】



【図8】

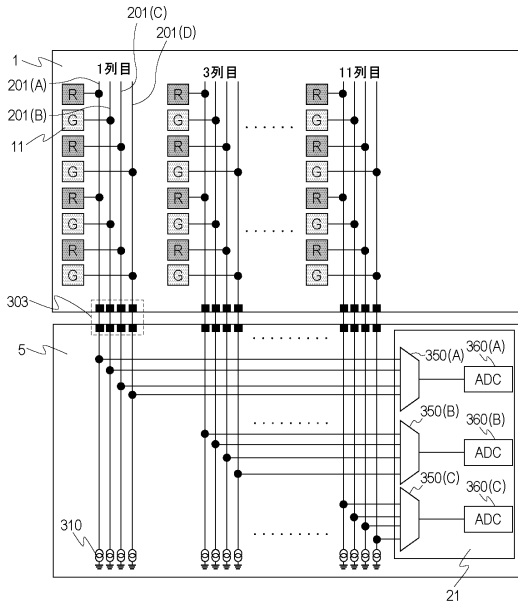


30

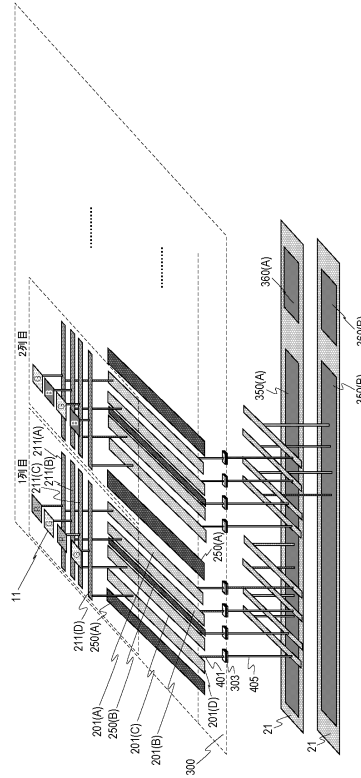
40

50

【図 9】



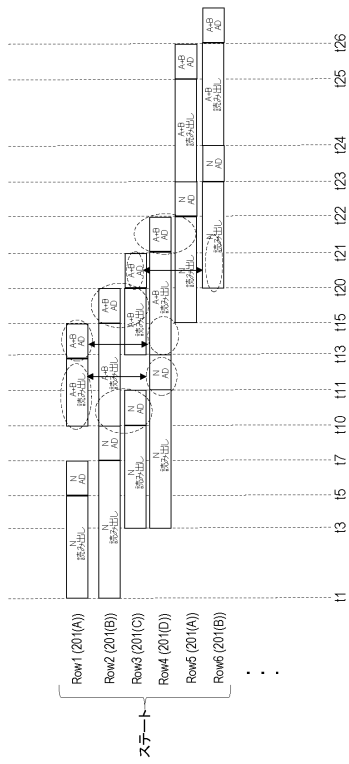
【図 10】



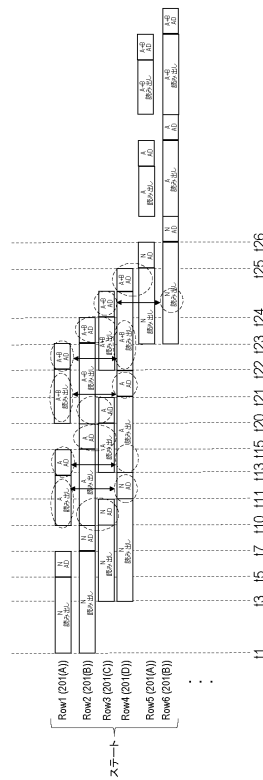
10

20

【図 11】



【図 12】

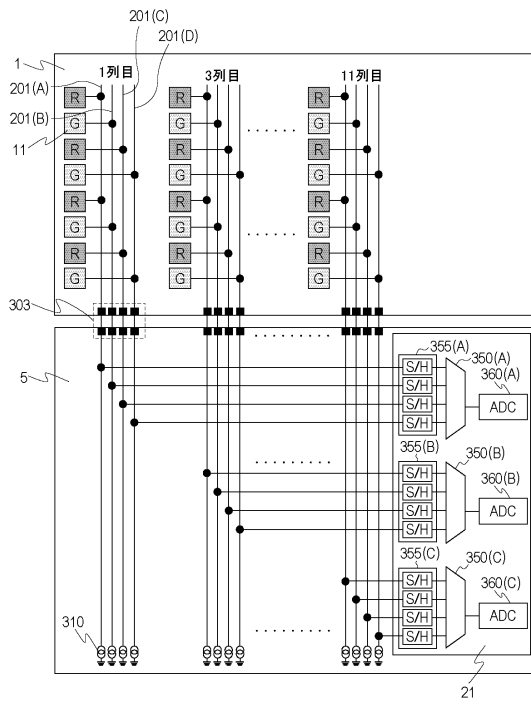


30

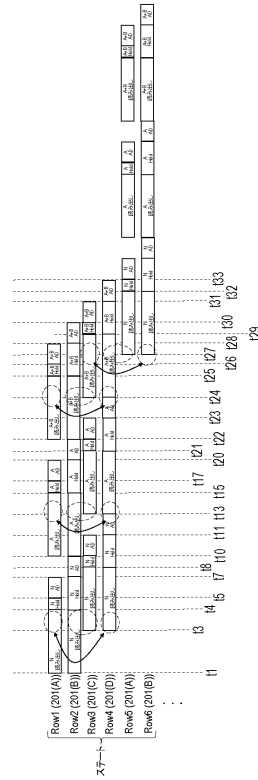
40

50

【図 13】



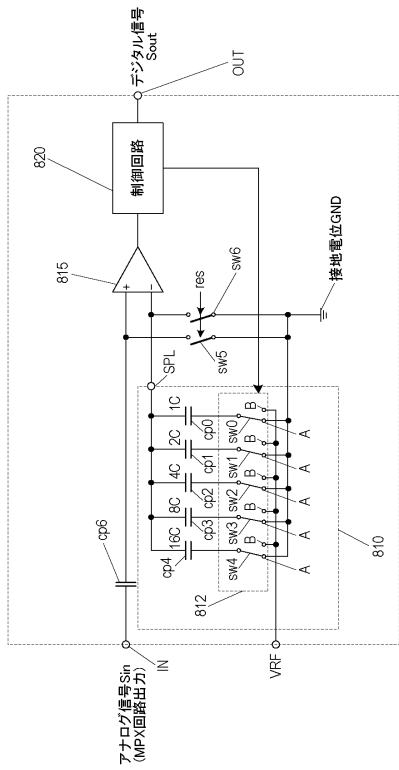
【図 14】



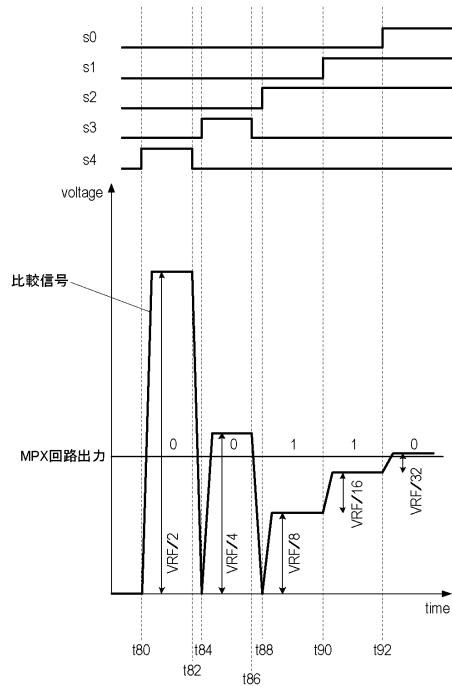
10

20

【図 15】



【図 16】

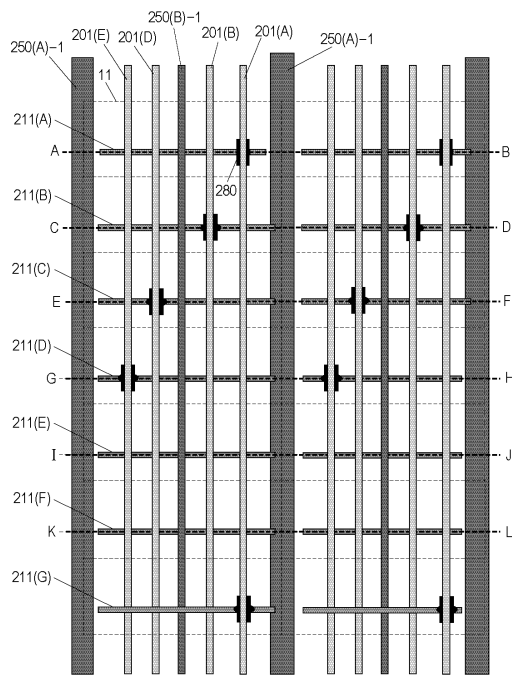


30

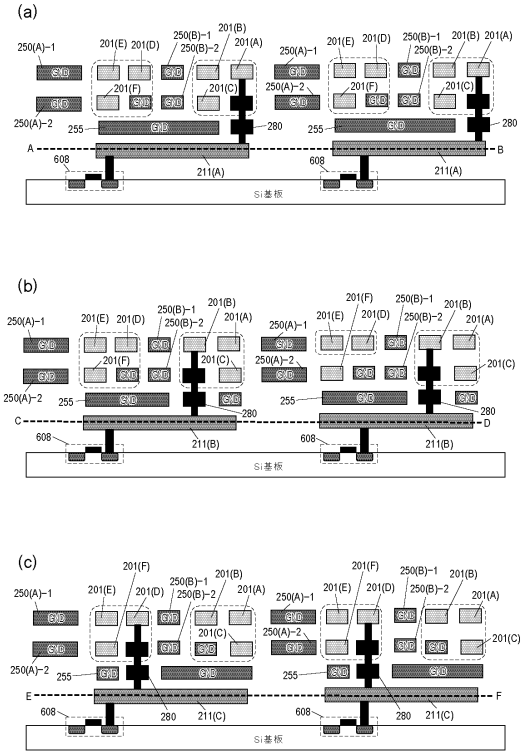
40

50

【 図 1 7 】



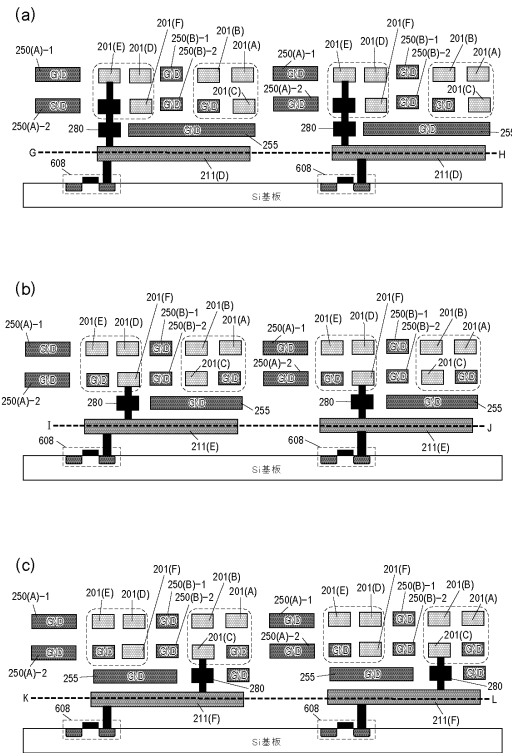
【 図 1 8 】



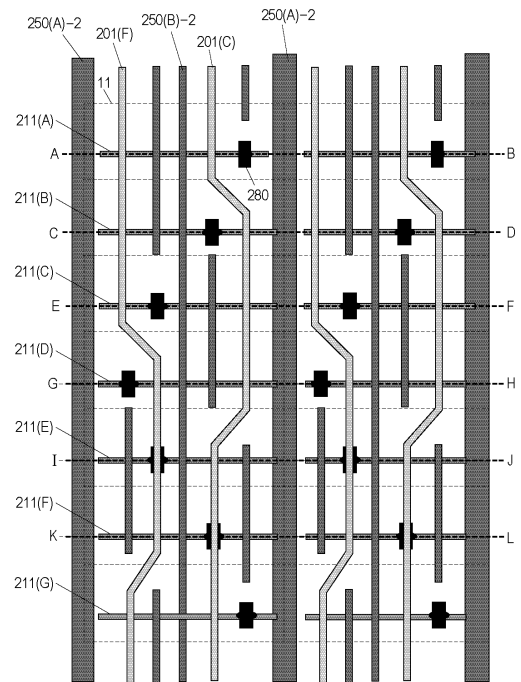
10

20

【 図 1 9 】



【 図 2 0 】

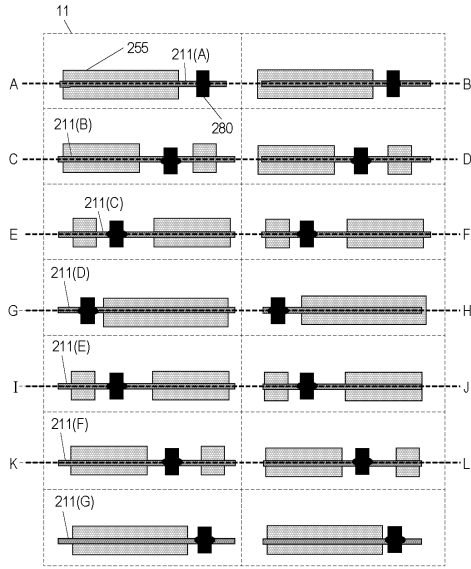


30

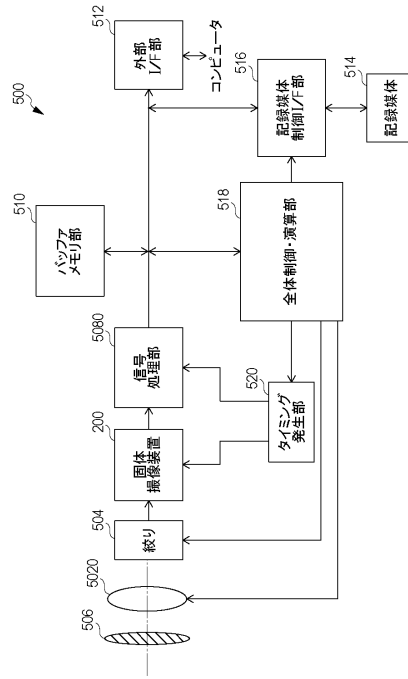
40

50

【図 2 1】



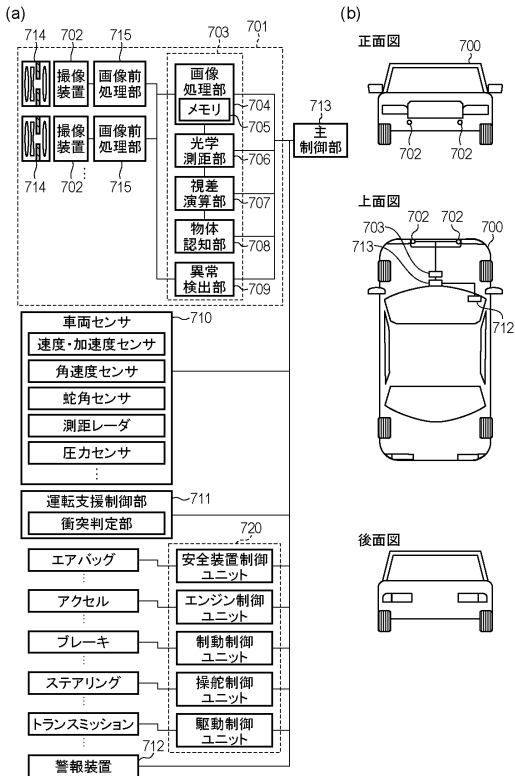
【図 2 2】



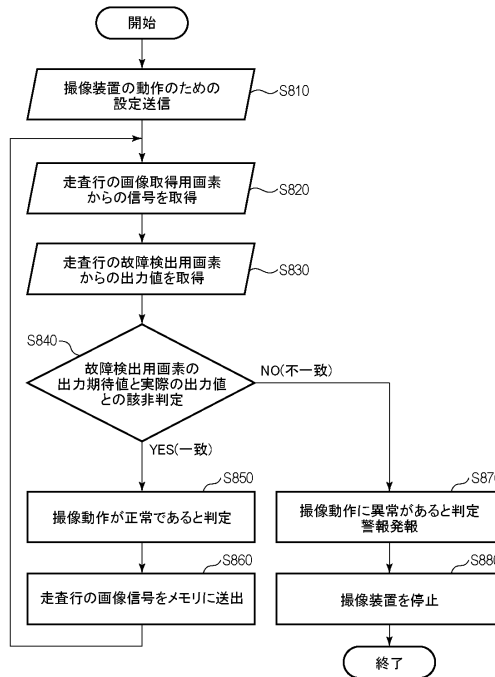
10

20

【図 2 3】



【図 2 4】



30

40

50

フロントページの続き

ヤノン株式会社内

審査官 松永 隆志

(56)参考文献 特開 2014 - 013794 (JP, A)

特開 2013 - 168634 (JP, A)

特開 2017 - 161512 (JP, A)

(58)調査した分野 (Int.Cl., DB名)

H04N 5/225 - 5/378

H04N 9/00 - 9/11

H01L 27/146