

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0111203
H01L 29/786 (2006.01) (43) 공개일자 2006년10월26일

(21) 출원번호 10-2005-0033663
(22) 출원일자 2005년04월22일

(71) 출원인 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575
(72) 발명자 문희성
경기 용인시 기흥읍 공세리 428-5번지 SDI중앙연구소
김재명
경기 수원시 장안구 율전동 삼성아파트 203-302
(74) 대리인 박상수

심사청구 : 있음

(54) 유기 박막트랜지스터 및 그의 제조 방법

요약

본 발명은 유기 박막트랜지스터 및 그의 제조 방법에 관한 것으로, 유기 박막트랜지스터에서 탄소나노튜브와 유기 반도체 물질을 혼합하거나 탄소나노튜브 상부에 유기 반도체 물질을 코팅하여 유기 반도체층을 형성함으로써, 높은 전기 전도도와 전하 이동도를 갖는 탄소나노튜브의 물성으로 인해 기존의 낮은 전하 이동도와 스위칭 특성을 갖는 유기 반도체층의 물성을 향상시킬 수 있는 유기 박막트랜지스터 및 그의 제조 방법에 관한 것이다.

대표도

도 1a

색인어

유기 박막트랜지스터(OTFT), 탄소나노튜브(Carbon Nano Tube), 펜타센(pentacene), 유기 반도체층

명세서

도면의 간단한 설명

도 1a는 본 발명의 제 1 실시예에 따른 바텀 콘택형(Bottom contact type) 유기 박막트랜지스터의 단면도이다.

도 1b는 본 발명의 제 1 실시예에 따른 탑 콘택형(Top contact type) 유기 박막트랜지스터의 단면도이다.

도 1c는 본 발명의 제 2 실시예에 따른 바텀 콘택형(Bottom contact type) 유기 박막트랜지스터의 단면도이다.

도 1d는 본 발명의 제 2 실시예에 따른 탑 콘택형(Top contact type) 유기 박막트랜지스터의 단면도이다.

<도면의 주요 부분에 대한 부호의 설명>

100, 200 : 기판 110, 210 : 버퍼층

120, 220 : 게이트 전극 130, 230 : 게이트 절연막

140, 145, 260, 265 : 소오스/드레인 전극

151, 241 : 탄소나노튜브층 156, 246 : 유기 반도체 박막

160, 250 : 유기 반도체층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 박막트랜지스터 및 그의 제조 방법에 관한 것으로, 유기 박막트랜지스터에서 탄소나노튜브와 유기 반도체 물질을 혼합하거나 탄소나노튜브 상부에 유기 반도체 물질을 코팅하여 유기 반도체층을 형성함으로써, 높은 전기 전도도와 전하 이동도를 지니는 탄소나노튜브로 인해 종래의 낮은 전하 이동도와 스위칭 특성을 지니는 유기 반도체층의 물성을 향상시킬 수 있는 유기 박막트랜지스터 및 그의 제조 방법에 관한 것이다.

유기 박막트랜지스터는 최근 10여년 동안 저 비용 전자장치와 같은 각종 분야의 큰 관심거리로 소재 개발 및 이를 이용한 다양한 응용 연구가 활발히 진행되어 왔다.

특히, 기판 상부에 구현되는 유기 박막트랜지스터는 무기물을 이용한 박막트랜지스터에 비해 제조 비용이 현저히 낮아 대면적 위에 소자를 제작할 경우, 저온 공정이 필요한 경우 또는 플렉시블(Flexible)한 특성을 요구하는 경우에 아주 유용하게 사용될 수 있다. 상기의 경우로 플렉시블 평판표시장치를 들 수 있으며, 이러한 평판표시장치 중 액정표시소자 및 유기 전계발광소자에 응용 가능성이 매우 높다.

상기의 유기 박막트랜지스터의 재료로 현재 가장 많이 적용되는 것은 펜타센(pentacene) 구조를 지니는 유기 박막을 사용하는 것이다. 이와 같은 펜타센 유기 박막은 개발 초기 $9 \times 10^{-3} \text{cm}^2 / \text{V} \cdot \text{sec}$ 의 전하 이동도와 1×10^5 의 점멸율을 지니는 유기 반도체 소재였으나, 현재는 꾸준한 연구개발로 비정질 실리콘(a-Si:H)을 이용한 박막트랜지스터와 유사한 2.1 내지 $3.3 \text{cm}^2 / \text{V} \cdot \text{sec}$ 사이의 전하 이동도와 2×10^7 내지 1×10^9 의 점멸율을 지니는 것으로 보고되고 있다. 여기서, 점멸율이란 능동 구동형 디스플레이에서 픽셀의 전류 온/오프 비(On/Off Ratio)를 나타내며, 능동 구동형 디스플레이의 픽셀 동작에 있어 매우 중요한 특성 중 하나이다.

상기 탄소나노튜브(Carbon Nano Tube;CNT)는 낮은 일함수를 지니고, 큰 영상비(Aspect Ratio)로 인해 전계 집중 효과가 커서 매우 우수한 전자 방출 특성을 나타낸다. 이로 인해, 주로 전계 방출 표시장치(Field Emission Display)의 전자 방출 소자로 많이 연구되고 있으며, 최근에는 반도체소자, 연료전지, 2차전지, 복합재료, 커패시터 등의 다양한 분야에도 연구되고 있다.

상기에서 펜타센 유기 박막은 대한민국 공개특허 2004-0072067호에 개재되어 있듯이 펜타센과 디에노파일(dienophile)을 유기 용매에서 디스-알더(Diels-Alder) 반응시킨 후 펜타센 유도체를 형성하고, 위와 같이 얻어진 펜타센 유도체 용액을 형성한 후 상온에서 200℃의 온도로 가열(pyrolysis)하여 진공 열증착(thermal evaporation) 또는 스핀 코팅(Spin Coating), 잉크젯 프린팅(Ink-jet Printing) 및 스크린 프린팅(Screen Printing) 방법과 같은 용액 공정(solution based process)을 이용하여 펜타센 박막을 형성한다.

그리고, 상기 탄소나노튜브(CNT)는 전기 방전법(Arc-discharge), 레이저 증착법(Laser Vaporization), 플라즈마 화학기상증착법(Plasma Enhanced Chemical Vapor Deposition), 열화학기상증착법(Thermal Chemical Vapor Deposition), 기상합성법(Vapor Phase Growth), 전기 분해법 및 플레임(Flame) 합성법 등에 의해 분말로 제조된다.

이와 같은 분말은 벽을 이루고 있는 결합 수에 따라서 단일벽 나노튜브(Single walled nano tube) 또는 다중벽 나노튜브(Multi walled nano tube)로 구분하고, 아울러 단일벽 나노튜브가 여러 개로 뭉쳐있는 형태를 다발형 나노튜브(Rope nano tube)로 구분할 수 있으며, 통상적으로 페이스트(Paste)에 혼합하여 스핀 코팅(Spin Coating), 잉크젯 프린팅(Ink-jet Printing) 또는 스크린 프린팅(Screen Printing) 방법으로 증착한 후 소성하여 사용된다.

여기서, 유기 박막트랜지스터는 제조 비용이 낮아 전자종이 및 평판표시장치 중 플렉시블(Flexible)한 제품에 있어 매우 유용하긴 하지만, 아직까지 다결정 실리콘 재료를 이용한 박막트랜지스터에 비해 현저히 낮은 전하 이동도와 스위칭 속도 문제로 인해 전압 구동으로 높은 전하 이동도와 고속 스위칭 속도가 필요한 평판 표시소자에 적용하기 어려운 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 종래 기술의 제반 단점과 문제점을 해결하기 위한 것으로, 낮은 일함수를 지니며, 높은 전계 방출 효과와 전하 이동도 및 전기 전도도를 지니는 탄소나노튜브와 유기 반도체 물질을 혼합하거나 탄소나노튜브 상부에 유기 반도체 물질을 코팅하여 유기 반도체층을 형성함으로써, 높은 전기 전도도와 전하 이동도 및 고속 스위칭 속도를 구현할 수 있는 유기 박막트랜지스터 및 그의 제조 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명은,

기관,

상기 기관 상부에 형성되는 게이트 전극,

상기 게이트 전극 상부에 형성되는 게이트 절연막,

상기 게이트 절연막 상부에 형성되는 소오스/드레인 전극, 및

상기 소오스/드레인 전극 상부에 형성되며 2종의 물질로 형성되는 유기 반도체층을 포함하는 것을 특징으로 하는 유기 박막트랜지스터를 제공한다.

또한, 본 발명은

기관을 제공하고,

상기 기관 상부에 게이트 전극을 형성하고,

상기 게이트 전극 상부에 게이트 절연막을 형성하고,

상기 게이트 전극 상부에 소오스/드레인 전극을 형성하고,

상기 소오스/드레인 전극 상부에 탄소나노튜브와 유기 반도체 물질을 혼합한 유기막을 형성하고, 및

상기 유기막을 소성하여 유기 반도체층을 형성하는 것을 특징으로 하는 유기 박막트랜지스터의 제조 방법을 제공한다.

또한, 본 발명은

기관을 제공하고,

상기 기판 상부에 게이트 전극을 형성하고,

상기 게이트 전극 상부에 게이트 절연막을 형성하고,

상기 게이트 절연막 상부에 소오스/드레인 전극을 형성하고,

상기 소오스/드레인 전극 상부에 탄소나노튜브층을 형성하고, 및

상기 탄소나노튜브층 상부에 유기 반도체 물질을 코팅하여 유기 반도체층을 형성하는 것을 특징으로 하는 유기 박막트랜지스터의 제조 방법을 제공한다.

이하, 본 발명을 보다 구체적으로 설명하기 위하여 본 발명에 따른 바람직한 실시예들을 첨부된 도면을 참조하여 보다 상세하게 설명한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다.

도 1a는 본 발명의 제 1 실시예에 따른 바텀 콘택형(Bottom contact type) 유기 박막트랜지스터의 단면도이다.

도 1b는 본 발명의 제 1 실시예에 따른 탑 콘택형(Top contact type) 유기 박막트랜지스터의 단면도이다.

도 1a 및 도 1b는 본 발명의 제 1 실시예에 따른 유기 박막트랜지스터의 단면도로서, 카본나노튜브와 유기 반도체 물질이 혼합된 유기 반도체층이 구비되는 것을 도시한다.

도 1a를 참조하면, 먼저, 기판(100)을 제공한다. 상기 기판(100)은 금속, 단결정 실리콘, 유리, 플라스틱, 사파이어, 석영기판 또는 스테인레스강 일 수 있다.

상기 기판(100) 상에 실리콘 산화막 또는 실리콘 질화막을 화학기상 증착법(Cheical Vapor Deposition)인 플라즈마 화학기상증착법(PECVD; Plasma-enhanced Chemical Vapor Deposition), 및 저압 화학기상증착법(LPCVD; Low Pressure Chemical Vapor Deposition) 등을 이용하여 단층 또는 복층으로 버퍼층(Buffer layer)(110)을 형성한다. 이 때, 상기 버퍼층(110)은 하부 기판에서 발생하는 수분 또는 불순물의 확산을 방지하고, 후속 공정으로 상부에 형성되는 유기 반도체층의 소성 후 막 탈락을 방지하기 위함이나, 반드시 형성할 필요는 없다.

이어서, 상기 버퍼층(110) 상부에 게이트 전극 형성 물질을 증착 후 섀도우 마스크(Shadow Mask) 또는 잉크젯(Ink-jet)을 이용하여 게이트 전극(120)을 패터닝하여 형성한다.

상기 게이트 전극(120) 물질은 금속성 재료를 사용하는 경우 금(Au), 백금(Pt), 크롬(Cr), 몰리브덴(Mo), 니켈(Ni), 알루미늄(Al) 및 이들의 합금으로 이루어진 군에서 선택된 1종의 물질을 사용할 수 있고, 무기 산화막 재료를 사용하는 경우 폴리실리콘(poly-Si), 비정형 실리콘, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 및 In₂O₃으로 이루어진 군에서 선택된 1종의 물질을 사용할 수 있다. 또, 이러한 재료를 2종이상 병행해도 되며, 상기 물질을 전극으로서 금속막을 형성하는 경우에는 진공 증착법, 마스크 성막법 또는 포토리소그래피법으로 형성한다.

이 때, 금속성 재료를 이용하여 P형 반도체소자를 형성할 경우 일함수가 낮은 Al, AlNd, MoW 등을 사용하여 형성하는 것이 바람직하고, N형 반도체소자를 형성할 경우 일함수가 높은 Au 또는 Pt를 사용하는 것이 바람직하다.

또한, 상기 게이트 전극(120)은 폴리아닐린(Poly-aniline), 폴리티오펜(Poly-thiophene) 등의 유기 재료로부터 되는 전극 또는 도전성 잉크를 도포해 형성한 전극인 것이 바람직하다. 여기서, 유기 재료를 사용하는 경우 스핀 코팅(spin coating)법, 캐스팅(casting)법, 인상법(pull-up), 전사법 및 잉크젯법 등을 이용하여 형성한다.

이어서, 상기 게이트 전극(120) 상부에 게이트 절연막(130)을 형성한다. 이 때, 상기 게이트 절연막(130)은 실리콘 산화막, 실리콘 질화막 또는 이들의 이중층으로 형성할 수 있다. 이 외에 문턱전압을 줄이기 위해 고 유전율을 지니는 BST (Ba_xSr_{1-x}TiO₃), PZT(PbZr_xTi_{1-x}O₃), TiO₂와 Al₂O₃, Y₂O₃, ZnO₂, HfO₂, ZrO₂, Ta₂O₅로 이루어진 군에서 선택된 1종을 사용하거나 파릴렌(Parylene)이란 약어로 사용되는 폴리파라질리렌(Poly(Para-xylylene)), 폴리클로로피렌, 폴리

에틸렌테레프탈레이트, 폴리옥시메틸렌, 폴리비닐클로라이드, 폴리불소화비닐리덴, 시아노에틸플로란, 폴리메틸메타아크릴레이트, 폴리술폰, 폴리카보네이트 및 폴리이미드로 이루어진 군에서 선택되는 1종의 유기 물질을 이용하여 형성할 수도 있다. 상기 게이트 절연막(130)은 PECVD 또는 LPCVD 등의 방법을 수행하여 형성한다.

이어서, 상기 게이트 절연막(130) 상부에 소오스/드레인 전극(140, 145)을 형성한다. 상기 소오스/드레인 전극 재료로는 금(Au), 백금(Pt), 크롬(Cr), 몰리브덴(Mo), 니켈(Ni), 알루미늄(Al) 및 이들의 합금으로 이루어진 군에서 선택된 1종의 물질을 사용할 수 있다. 이 때, P형 반도체 소자일 경우 일함수가 높은 Au, Pt 등을 사용하는 것이 바람직하고, N형 반도체 소자일 경우 일함수가 낮은 Al, AlNd, MoW 등을 사용하여 형성하는 것이 바람직하다.

이 때, 소오스/드레인 전극(140, 145)은 섀도우 마스크(Shadow Mask) 또는 잉크젯(Ink-jet)을 이용하여 형성할 수 있고, 또 다른 방법으로는 소오스/드레인 전극 물질을 증착하고, 후속 공정인 포토리소그래피 공정으로 식각하여 형성할 수 있다.

이어서, 상기 소오스/드레인 전극(140, 145) 상부에 2종의 물질로 유기 반도체층(160)을 형성한다. 우선, 상기 유기 반도체층은 탄소나노튜브와 유기 반도체 물질이 혼합된 유기막(미도시)을 형성한다.

상기 탄소나노튜브는 금속성 물질을 포함하며, 상기 금속성 물질은 금(Au), 백금(Pt), 실리콘(Si), 은(Ag), 철(Fe), 니켈(Ni), 코발트(Co) 및 이들의 합금으로 이루어진 군에서 선택되는 1종을 사용한다.

상기 탄소나노튜브는 단일벽(Single Walled), 다중벽(Multi Walled) 및 다발형(Rope) 중 어느 하나일 수 있으며, 통상적으로 직경이 200nm 이상이 되면 전기적 특성이 급격히 저하되므로, 200nm 이내의 직경을 지니는 것을 사용한다. 바람직하게는 전기적 특성이 가장 뛰어난 20nm 이내의 직경을 지니고, 단일벽이나 단일벽이 뭉쳐있는 다발형인 탄소나노튜브 및 두 가지가 혼합된 형태의 탄소나노튜브를 사용한다.

또한, 상기 탄소나노튜브는 지그재그(Zigzag), 암체어(Armchair) 또는 키랄(chiral) 구조 중 어느 하나의 구조를 갖는다. 상기 탄소나노튜브는 지그재그나 암체어 등의 대칭구조를 갖을 수 있으나, 바람직하게 벌집모양의 육각형이 튜브 축을 따라서 나선형으로 배열된 키랄 구조를 갖는다. 따라서, 950°C에서 합성시킨 탄소나노튜브를 사용할 경우 탄소나노튜브의 전자방출은 최대 약 14.5mA/cm²의 전류밀도를 지니고, 이러한 최대전류밀도에서 전계는 약 8.2V/ μ m로 나타난다. 그러나, 상기 탄소나노튜브는 대칭성이 유지되는 것보다 비대칭적인 탄소나노튜브일수록 반도체 특성이 향상된다. 따라서, 유기 반도체층의 특성을 향상시키기 위해서 혼합되거나 코팅되는 탄소나노튜브는 비대칭적인 지그재그 또는 암체어 구조를 지니는 것이 더욱 바람직하다.

상기 유기 반도체 물질은 펜타센(Pentacene), 올리고티오펜(Oligo-Thiophene), 폴리알킬티오펜(Poly(Alkyl-Thiophene)) 및 폴리티에닐렌비닐렌(Poly(Thienylenevinylene))으로 이루어진 군에서 선택되는 1종의 물질 사용할 수 있으나, 펜타센(Pentacene)으로 형성하는 것이 바람직하다.

상기 탄소나노튜브와 유기 반도체 물질을 혼합하여 페이스트(Paste) 상태로 스핀 코팅, 잉크젯 프린팅 또는 스크린 프린팅 방법을 이용하여 유기막을 형성하고, 이 후 상기 유기막을 소성하여 유기 반도체층(160)을 형성한다. 이 때, 상기 유기 반도체층(160)은 소성 시 유기물의 열 손상을 방지하기 위하여 300°C 이내의 온도로 소성하고, 소성 후 두께는 5 μ m 이내이다. 이로써, 바텀 콘택형(Bottom contact type) 유기 박막트랜지스터를 완성한다.

상기 제 1 실시예에 따른 유기 박막트랜지스터는 전기적 특성이 뛰어난 탄소나노튜브와 유기 반도체 물질이 상호 보완 작용을 하여 3.3cm²/V·sec 이상의 전하 이동도와 1×10⁹ 이상의 점멸율을 지니며, 고속 스위칭 속도를 구현할 수 있는 유기 박막트랜지스터를 구현할 수 있다.

본 발명의 제 1 실시예에서는 탄소나노튜브와 유기 반도체 물질이 혼합된 유기 반도체층(160)을 포함하는 유기 박막트랜지스터를 설명하였으며, 설명의 편의를 위해 상기 소오스/드레인 전극 상부에 유기 반도체층이 형성되는 바텀 콘택형(Bottom contact type) 유기 박막트랜지스터에 관하여 설명하였으나, 이에 한정되는 것은 아니며, 도 1b에서 보여지듯이 반도체층(250)이 소오스/드레인 전극(260, 265) 하부에 형성되는 탑 콘택형(Top contact type) 유기 박막트랜지스터에도 적용될 수 있다. 이 때, 상기 구조를 제외하고 기판(200), 버퍼층(210), 게이트 전극(220), 게이트 절연막(230), 유기 반도체층(250) 및 소오스/드레인 전극(260, 265)의 형성 물질 및 형성 방법은 본 발명의 제 1 실시예인 바텀 콘택형 유기 박막트랜지스터와 동일하다.

도 1c는 본 발명의 제 2 실시예에 따른 바텀 콘택형(Bottom contact type) 유기 박막트랜지스터의 단면도이다.

도 1d는 본 발명의 제 2 실시예에 따른 탑 콘택형(Top contact type) 유기 박막트랜지스터의 단면도이다.

도 1c 및 1d는 본 발명의 제 2 실시예에 따른 유기 박막트랜지스터의 단면도로서, 탄소나노튜브층 상부에 유기 반도체 물질을 코팅한 유기 반도체층이 구비하는 것을 도시한다.

본 발명의 제 2 실시예에서는 하기에서 설명하는 유기 반도체층의 구조 및 형성 방법을 제외하고는 제 1 실시예의 유기 박막트랜지스터와 동일하므로 중복되는 설명은 생략한다.

상기 제 2 실시예에 따른 바텀 콘택형 유기 박막트랜지스터는 기판(100) 상부에 버퍼층(110)을 포함하여 형성할 수 있으며, 상기 버퍼층(110) 상부에 게이트 전극 물질을 증착 후 패터닝하여 게이트 전극(120)을 형성한다. 상기 게이트 전극(120) 상부에 게이트 절연막(130)을 형성한다.

이어서, 상기 게이트 절연막(130) 상부에 소오스/드레인 전극 물질을 증착 후 패터닝하여 게이트 전극(120) 물질과 대응되는 영역에 소오스/드레인 전극(140, 145)을 형성한다.

상기 기판(100), 버퍼층(110), 게이트 전극(120), 게이트 절연막(130) 및 소오스/드레인 전극(140, 145)의 형성 물질 및 형성 방법은 본 발명의 제 1 실시예와 동일하다.

이어서, 상기 소오스/드레인 전극(140, 145) 상부에 2종의 물질로 유기 반도체층을 형성한다. 우선, 상기 소오스/드레인 전극(140, 145)의 전면에 걸쳐 스펀 코팅, 잉크젯 프린팅 또는 스크린 프린팅 방법을 이용하여 탄소나노튜브를 포함하는 페이스트를 형성한다.

상기 페이스트는 유기물의 열 손상을 방지하기 위하여 300°C 이내의 온도로 소성하여 5 μ m 이내의 두께를 지니는 탄소나노튜브층(151)을 형성한 후 상기 탄소나노튜브층(151) 상부에 유기 반도체 물질(156)을 코팅한다.

상기 탄소나노튜브와 유기 반도체 물질의 형성 물질은 본 발명의 제 1 실시예와 동일하며, 상기 유기 반도체 물질(156)은 진공증착법 또는 유기 기상증착법을 수행하여 코팅한다. 이 때, 상기 유기 반도체 물질은 5×10^{-4} Torr 이하의 진공도에서 형성하며, 바람직하게는 5×10^{-7} Torr 이하의 진공도에서 형성한다.

또한, 상기 탄소나노튜브는 수직으로 배양되어 있을수록 전기적 특성이 실리콘 팁, 다이아몬드 탄소박막 또는 탄소박막에서 보고되고 있는 전자방출전압과 전자방출전류밀도보다 10배 내지 100배 이상의 높은 값을 지닐 수 있으므로, 수직 배양을 위해 유기 반도체 물질을 코팅하기 전 산세(Acid Rinse) 또는 테이프를 이용한 액티베이션(Activation) 공정을 더욱 포함할 수 있다.

이어서, 상기 유기 반도체층(160) 상부에 유기 반도체층(160)의 전기적인 특성을 보호하기 위하여 패시베이션막(미도시)을 더욱 형성할 수 있다. 상기 패시베이션막은 실리콘 산화막, 파릴렌(Parylene)이란 약어로 많이 사용되는 폴리파라질리렌(Poly(Para-xylylene))을 이용하여 화학적 기상증착법(CVD)으로 증착할 수 있다. 여기서, 5 μ m 이내의 두께에서도 절연성, 방수성, 내식성 및 내화학성이 뛰어난 파릴렌을 사용하는 것이 바람직하며, 상기 파릴렌 외에도 폴리클로로피렌, 폴리에틸테레프탈레이트, 폴리옥시메틸렌, 폴리비닐클로라이드, 폴리불소화비닐리덴, 시아노에틸플로란, 폴리메틸메타아크릴레이트, 폴리술폰, 폴리카보네이트 및 폴리이미드로 이루어진 군에서 선택되는 1종의 유기 물질로 형성할 수 있다.

이로써, 본 발명의 제 2 실시예에 따른 바텀 콘택형 유기 박막트랜지스터를 완성한다.

본 발명의 제 2 실시예에서는 탄소나노튜브층(151) 상부에 유기 반도체 물질(156)을 코팅하여 형성되는 유기 반도체층(160)을 포함하는 유기 박막트랜지스터를 설명하였으며, 설명의 편의를 위해 상기 소오스/드레인 전극(140, 145) 상부에 유기 반도체층이 형성되는 바텀 콘택형(Bottom contact type) 유기 박막트랜지스터에 관하여 설명하였으나, 이에 한정되는 것은 아니다. 도 1d에서 보여지듯이 탄소나노튜브층(241) 상부에 유기 반도체 물질(246)을 코팅하여 형성되는 유기 반도체층(250)이 소오스/드레인 전극(260, 265) 하부에 형성되는 탑 콘택형(Top contact type) 유기 박막트랜지스터에도

적용될 수 있다. 이 때, 탑 콘택형 유기 박막트랜지스터는 상기 구조를 제외하고 기판(200), 버퍼층(210), 게이트 전극(220), 게이트 절연막(230), 유기 반도체층(250) 및 소오스/드레인 전극(260, 265)의 형성 물질 및 형성 방법이 본 발명의 제 2 실시예인 바텀 콘택형 유기 박막트랜지스터와 동일하다.

상기와 같이 유기 박막트랜지스터에서 탄소나노튜브와 유기 반도체 물질을 혼합하여 유기 반도체층을 형성하거나 탄소나노튜브 상부에 유기 반도체 물질을 코팅하여 유기 반도체층을 형성할 경우 유사한 결합구조를 지닌다. 또한, 개별적으로도 유기 반도체층을 형성할 수 있을 정도로 전기적 특성이 뛰어난 탄소나노튜브와 유기 반도체 물질이 상호 보완 작용을 하여 $3.3\text{cm}^2 / \text{V} \cdot \text{sec}$ 이상의 전하 이동도와 1×10^9 이상의 점멸율을 지니며, 고속 스위칭 속도를 구현할 수 있는 유기 박막트랜지스터를 구현할 수 있다.

상기 본 발명에 따른 유기 박막트랜지스터는 전자 종이(electronic paper), 액정표시장치, 유기전계발광표시장치 및 태양 전지 등과 같은 여러 장치 구동소자로 다양하게 이용될 수 있다.

본 발명은 이상에서 살펴본 바와 같이 바람직한 실시예를 들어 도시하고 설명하였으나, 상기한 실시 예에 한정되지 아니하며 본 발명의 정신을 벗어나지 않는 범위 내에서 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 변경과 수정이 가능할 것이다.

발명의 효과

상술한 바와 같이 본 발명에 따르면, 유기 박막트랜지스터에서 탄소나노튜브와 유기 반도체 물질을 혼합하거나 탄소나노튜브 상부에 유기 반도체 물질을 코팅하여 유기 반도체층을 형성함으로써, 높은 전기 전도도와 전하 이동도를 갖는 탄소나노튜브의 물성으로 인해 기존의 낮은 전하 이동도와 스위칭 특성을 갖는 유기 반도체층의 물성을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1.

기판;

상기 기판 상부에 형성되는 게이트 전극;

상기 게이트 전극 상부에 형성되는 게이트 절연막;

상기 게이트 절연막 상부에 형성되는 소오스/드레인 전극; 및

상기 소오스/드레인 전극 상부에 형성되며 2종의 물질로 형성되는 유기 반도체층을 포함하는 것을 특징으로 하는 유기 박막트랜지스터.

청구항 2.

제 1 항에 있어서,

상기 유기 반도체층은 탄소나노튜브와 유기 반도체 물질이 혼합되어 이루어지는 것을 특징으로 하는 유기 박막트랜지스터.

청구항 3.

제 1 항에 있어서,

상기 유기 반도체층은 탄소나노튜브 상부에 유기 반도체 물질을 코팅하여 이루어지는 것을 특징으로 하는 유기 박막트랜지스터.

청구항 4.

제 2 항 또는 제 3항에 있어서,

상기 탄소나노튜브는 금(Au), 백금(Pt), 실리콘(Si), 은(Ag), 철(Fe), 니켈(Ni), 코발트(Co) 및 이들의 합금으로 이루어진 군에서 선택되는 1종인 것을 특징으로 하는 유기 박막트랜지스터.

청구항 5.

제 4 항에 있어서,

상기 탄소나노튜브는 단일벽(Single Walled), 다중벽(Multi Walled) 또는 다발형(Rope Type) 중 어느 하나인 것을 특징으로 하는 유기 박막트랜지스터.

청구항 6.

제 4 항에 있어서,

상기 탄소나노튜브는 지그재그, 암체어 또는 키랄 중 어느 하나의 구조인 것을 특징으로 하는 유기 박막트랜지스터.

청구항 7.

제 4 항에 있어서,

상기 탄소나노튜브는 직경이 200nm이내인 것을 특징으로 하는 유기 박막트랜지스터.

청구항 8.

제 2 항 또는 제 3 항에 있어서,

상기 유기 반도체 물질은 펜타센(Pentacene), 올리고티오펜(Oligo-Thiophene), 폴리알킬티오펜(Poly(Alkyl-Thiophene)) 및 폴리티에닐렌비닐렌(Poly(Thienylenevinylene))으로 이루어진 군에서 선택되는 1종인 것을 특징으로 하는 유기 박막트랜지스터.

청구항 9.

기판을 제공하고;

상기 기판 상부에 게이트 전극을 형성하고;

상기 게이트 전극 상부에 게이트 절연막을 형성하고;

상기 게이트 전극 상부에 소오스/드레인 전극을 형성하고;

상기 소오스/드레인 전극 상부에 탄소나노튜브와 유기 반도체 물질을 혼합한 유기막을 형성하고; 및

상기 유기막을 소성하여 유기 반도체층을 형성하는 것을 특징으로 하는 유기 박막트랜지스터의 제조 방법.

청구항 10.

제 9 항에 있어서,

상기 탄소나노튜브는 금(Au), 백금(Pt), 실리콘(Si), 은(Ag), 철(Fe), 니켈(Ni), 코발트(Co) 및 이들의 합금으로 이루어진 군에서 선택되는 1종인 것을 특징으로 하는 유기 박막트랜지스터의 제조 방법.

청구항 11.

제 9 항에 있어서,

상기 유기 반도체 물질은 펜타센(Pentacene), 올리고티오펜(Oligo-Thiophene), 폴리알킬티오펜(Poly(Alkyl-Thiophene)) 및 폴리티에닐렌비닐렌(Poly(Thienylenevinylene))으로 이루어진 군에서 선택되는 1종인 것을 특징으로 하는 유기 박막트랜지스터의 제조 방법.

청구항 12.

제 9 항에 있어서,

상기 유기막은 페이스트 상태를 스핀 코팅, 잉크젯 프린팅 또는 스크린 프린팅 방법으로 형성하는 것을 특징으로 하는 유기 박막트랜지스터의 제조 방법.

청구항 13.

제 9 항에 있어서,

상기 소성 공정은 300℃ 이내의 온도로 진행하는 것을 특징으로 하는 유기전계발광소자의 제조 방법.

청구항 14.

기판을 제공하고;

상기 기판 상부에 게이트 전극을 형성하고;

상기 게이트 전극 상부에 게이트 절연막을 형성하고;

상기 게이트 절연막 상부에 소오스/드레인 전극을 형성하고;

상기 소오스/드레인 전극 상부에 탄소나노튜브층을 형성하고 ; 및

상기 탄소나노튜브층 상부에 유기 반도체 물질을 코팅하여 유기 반도체층을 형성하는 것을 특징으로 하는 유기 박막트랜지스터의 제조 방법.

청구항 15.

제 14 항에 있어서,

상기 탄소나노튜브층은 금(Au), 백금(Pt), 실리콘(Si), 은(Ag), 철(Fe), 니켈(Ni), 코발트(Co) 및 이들의 합금으로 이루어진 군에서 선택되는 1종으로 형성하는 것을 특징으로 하는 유기 박막트랜지스터의 제조 방법.

청구항 16.

제 14 항에 있어서,

상기 탄소나노튜브층은 페이스트를 300°C 이내의 온도에서 소성하여 형성하는 것을 특징으로 하는 유기전계발광소자의 제조 방법.

청구항 17.

제 14 항에 있어서,

상기 탄소나노튜브층은 산세(Acid Rinse) 또는 테이프를 이용하는 액티베이션 공정을 더욱 포함하는 것을 특징으로 하는 유기 박막트랜지스터의 제조 방법.

청구항 18.

제 14 항에 있어서,

상기 유기 반도체 물질은 펜타센(Pentacene), 올리고티오펜(Oligo-Thiophene), 폴리알킬티오펜(Poly(Alkyl-Thiophene)) 및 폴리티에닐렌비닐렌(Poly(Thienylenevinylene))으로 이루어진 군에서 선택되는 1종인 것을 특징으로 하는 유기 박막트랜지스터의 제조 방법.

청구항 19.

제 14 항에 있어서,

상기 유기 반도체 물질은 진공증착법 또는 유기 기상증착법으로 형성하는 것을 특징으로 하는 유기 박막트랜지스터의 제조 방법.

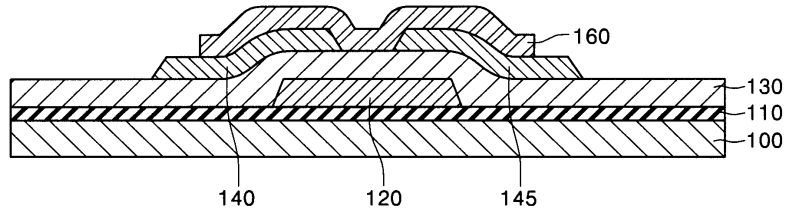
청구항 20.

제 19 항에 있어서,

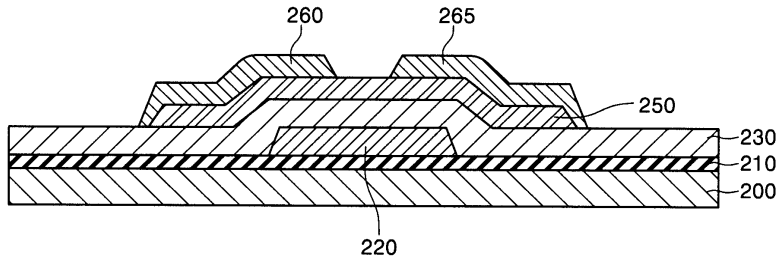
상기 유기 반도체 물질은 5×10^{-4} Torr 이하의 진공도에서 형성하는 것을 특징으로 하는 유기 박막트랜지스터의 제조 방법.

도면

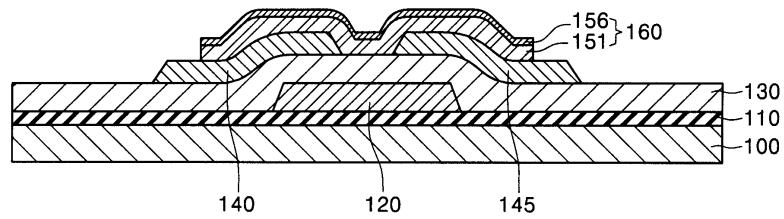
도면1a



도면1b



도면1c



도면1d

