

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 29/78	(45) 공고일자 2001년02월01일	(11) 등록번호 10-0275758
(21) 출원번호 10-1998-0055733	(24) 등록일자 2000년09월23일	(65) 공개번호 특2000-0040172
(22) 출원일자 1998년12월17일	(43) 공개일자 2000년07월05일	

(73) 특허권자	페어차일드코리아반도체주식회사	김덕중
(72) 발명자	경기도 부천시 원미구 도당동 82-3 윤종만	
(74) 대리인	서울특별시 용산구 이촌2동 현대한강아파트 102동 703호 권석흠, 이영필, 정상빈	

심사관 : 임동우

(54) 제너 다이오드를 내장한 수평형 모스 게이트형 반도체 소자 및 그 제조 방법

요약

본 발명의 제너 다이오드를 내장한 수평형 모스 게이트형 반도체 소자는 그 내부에 제너 다이오드가 집적된 구조를 갖는다. 상기 제너 다이오드는 드레인 단자와 소스 단자 사이에서 소자 내의 기생 다이오드와 병렬로 연결되도록 형성되며, 상대적으로 낮은 브레이크다운 전압을 갖는다. 따라서 소자의 턴 오프시에 유도성 부하에 의한 에벌런치 에너지로 인하여 큰 역전압이 인가되면, 내부 기생 다이오드보다 먼저 브레이크다운 현상이 발생되어 역전류를 드레인 단자에서 소스 단자로 흐르도록 한다. 이와 같이 역전류가 기생 다이오드를 통해서 흐르지 않고 제너 다이오드를 통하여 흐르므로 기생 바이폴라 접합 트랜지스터가 턴 온을 방지할 수 있으며, 따라서 높은 에벌런치 에너지에 견딜 수 있다.

대표도

도2

명세서

도면의 간단한 설명

도 1은 유도성 부하와 연결된 종래의 수평형 모스 게이트형 반도체 소자에서의 드레인 전류 흐름을 설명하기 위한 단면도이다.

도 2는 본 발명의 제1 실시예에 따른 제너 다이오드를 내장한 수평형 모스 게이트형 반도체 소자를 나타내 보인 도면이다.

도 3은 도 2의 수평형 모스 게이트형 반도체 소자가 유도성 부하와 연결된 회로도이다.

도 4는 본 발명의 제2 실시예에 따른 제너 다이오드를 내장한 수평형 모스 게이트형 반도체 소자가 유도성 부하와 연결된 회로도이다.

도 5는 본 발명의 제3 실시예에 따른 제너 다이오드를 내장한 수평형 모스 게이트형 반도체 소자를 나타내 보인 도면이다.

도 6은 본 발명의 제4 실시예에 따른 제너 다이오드를 내장한 수평형 모스 게이트형 반도체 소자를 나타내 보인 도면이다.

도 7 내지 도 11은 본 발명의 일 실시예에 따른 본 발명에 따른 제너 다이오드를 내장한 수평형 모스 게이트형 반도체 소자의 제조 방법을 설명하기 위한 도면들이다.

도 12 내지 도 15는 본 발명의 다른 실시예에 따른 제너 다이오드를 내장한 수평형 모스 게이트형 반도체 소자의 제조 방법을 설명하기 위한 도면들이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 전력용 모스 게이트형 반도체 소자 및 그 제조 방법에 관한 것으로서, 특히 제너 다이오드를 내장한 수평형 모스 게이트형 반도체 소자 및 그 제조 방법에 관한 것이다.

오늘날, 고전압과 대전류 용량을 갖는 전력용 반도체 소자와 그 구동 회로를 하나의 칩내에 집적시키는

전력 집적 회로(power integrated circuit) 기술이 급속도로 발전되고 있다. 일반적으로 전력 집적 회로 내에 집적되는 전력용 반도체 소자로서 수평형 전력 반도체 소자가 주로 사용되지만, 수평형 전력 반도체 소자는 전류의 도통이 수평한 방향으로 이루어지므로 단위 면적당 도통시킬 수 있는 전류의 양이 적다. 또한, 모스 게이트형 반도체 소자인 경우에는 대부분의 전류가 소자의 표면을 따라서 흐르기 때문에 안전 동작 영역(safe operating area)이 작고 신뢰성 확보가 용이하지 않다는 단점이 있으며, 더욱 심각한 것은 유도성 부하에 연결된 경우에 높은 에벌런치 에너지에 견딜 수 없다는 것이다.

도 1은 유도성 부하와 연결된 종래의 수평형 모스 게이트형 반도체 소자 내에서의 드레인 전류의 흐름을 나타내 보인 단면도이다.

도 1을 참조하면, n형의 고농도 반도체 기판(1)상에 n형의 저농도 드리프트층(2)이 형성되어 있다. 드리프트층(2)은 반도체 기판(1)상에 n형의 도전형을 갖는 에피택셜층을 성장시킴으로써 형성시킬 수 있다. 드리프트층(2)의 상부 표면 일정 영역에는 p형 웰 영역(3)이 형성되어 있다. p형 웰 영역(3)내에는 n형의 고농도 소스 영역(4)이 형성되어 있다. n형의 고농도 드레인 영역(5)은 n형 드리프트층(2) 표면에서 p형 웰 영역(3)과 일정 간격으로 이격되어 형성되어 있다. 게이트 전극(7)은 게이트 산화막(6)을 통하여 p형 웰 영역(3)내의 채널 형성 영역상에 형성되어 있고, 소스 전극(8)은 소스 영역(4)과 전기적으로 연결되도록 형성되어 있으며, 그리고 드레인 전극(9)은 드레인 영역(5)과 전기적으로 연결되도록 형성되어 있다.

이와 같은 수평형 모스 게이트형 반도체 소자가 유도성 부하와 연결된 상태에서, 턴 온 되면 유도성 부하의 인덕터에 상당한 에너지가 저장되고, 이 에너지는 소자가 턴 오프될 때 드레인과 소스 전극을 통하여 방전되어야 한다. 이 기간 동안에 드레인과 소스 사이에는 높은 역전압이 인가되고, 이로 인하여 p형 웰 영역(3)과 n형 드리프트층(2)의 접합부는 급작스럽게 에벌런치 상태로 들어가게 된다. 그러면 인덕터로부터의 전류는 p형 웰 영역(3)과 n형 드리프트층(2)의 접합부로 이루어지는 기생 pn 다이오드를 통해 n형의 고농도 소스 영역(4) 하단부의 저항(R_b)을 지나서 소스 전극(8)으로 흐른다(도면에서 화살표로 표시). 이때 저항(R_b)에 의한 전압 강하는 p형 웰 영역(3)과 n형 소스 영역(6)의 접합부를 순방향 바이어스시킨다. 저항(R_b)에 의한 전압 강하가 일정한 값, 예컨대 0.7V 이상이 되는 경우에는 캐리어들이 p형 웰 영역(3)뿐만 아니라 n형의 고농도 소스 영역(4)을 통해 주입되기 시작한다. 즉, n형 소스 영역(4), p형 웰 영역(3) 및 n형 드리프트층(2)으로 이루어지는 기생 npn 바이폴라 접합 트랜지스터가 턴 온 되기 시작한다. 따라서, p형 웰 영역(3)과 n형 드리프트층(2)의 접합부에 의해 형성되는 기생 pn 다이오드는 기생 npn 바이폴라 접합 트랜지스터가 턴 온 되기 전까지만 에벌런치 에너지를 견딜 수 있다.

그런데, 일반적으로 수평형 모스 게이트형 트랜지스터는 내부의 기생 pn 다이오드의 용량은 크기 않으며, 더욱이 앞서 설명한 바와 같이, 기생 바이폴라 접합 트랜지스터의 턴 온이 용이하기 때문에 높은 에벌런치 에너지를 견딜 수 없다. 따라서, 높은 에벌런치 에너지에 견딜 수 있도록 하기 위해서는 기생 바이폴라 접합 트랜지스터의 턴 온을 최대한 억제시켜야 한다.

이를 위하여 종래에는 p형 웰 영역의 농도를 높여서 n형의 고농도 소스 영역하단부의 저항(R_b)값을 줄이는 방법이 제안된 바 있지만, 문턱 전압이 높아지고 전류 도통 능력이 감소되며, 그 제조 방법에 있어서도 마스크막이 추가되어야 하는 단점이 있다. 다른 방법으로는 소자 외부에 별도의 다이오드를 설치하여 이 외부 다이오드로 하여금 에벌런치 에너지를 견디도록 하는 방법이 있지만, 이 방법은 비용이 높아지고 시스템 설계 측면에서 매우 복잡해지는 단점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 기생 바이폴라 트랜지스터를 턴 온 시키지 않고 큰 양의 에벌런치 에너지에 견딜 수 있는 제너 다이오드를 내장한 수평형 모스 게이트형 반도체 소자를 제공하는 것이다.

본 발명이 이루고자 하는 다른 기술적 과제는 상기 제너 다이오드를 내장한 수평형 모스 게이트형 반도체 소자를 제조하는 방법을 제공하는 것이다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 수평형 모스 게이트형 반도체 소자는, 반도체 기판상에 형성된 제1 도전형의 드리프트층과, 상기 드리프트층의 표면 일정 영역에 형성된 반대 도전형인 제2 도전형의 웰 영역을 포함한다. 상기 웰 영역내의 일정 영역에는 제1 도전형의 고농도 소스 영역이 형성되며, 상기 드리프트층의 표면 일정 영역에는 제1 도전형의 고농도 드레인 영역이 상기 웰 영역과 일정 간격으로 이격되어 형성된다. 그리고 소정의 브레이크다운 전압을 갖는 복수개의 제너 다이오드들이 상기 드레인 영역으로부터 상기 소스 영역으로 캐리어들의 이동 통로를 제공하도록 상기 드리프트층과 분리되어 형성된다. 또한 게이트 절연막을 개재하여 상기 제2 도전형의 웰 영역의 채널 형성 영역상에 형성된 게이트 전극과, 상기 소스 영역과 전기적으로 연결되도록 형성된 소스 전극과, 그리고 상기 드레인 영역과 전기적으로 연결되도록 형성된 드레인 전극을 포함한다.

본 발명에 있어서, 상기 반도체 기판의 도전형은 고농도의 제1 도전형 또는 제2 도전형일 수 있으며, 상기 반도체 기판의 도전형이 제1 도전형인 경우에는 상기 반도체 기판과 상기 드리프트층 사이에 개재된 절연막을 더 포함할 수도 있다.

상기 제너 다이오드들을 구성하는 제1 도전형 영역들 및 제2 도전형 영역들은 상기 드리프트층에서의 전류 도통 방향과 수직하게 직렬로 연결되는 것이 바람직하다. 이때, 상기 제1 도전형 영역들과 제2 도전형 영역들은 상기 다결정 실리콘막내에서 교대로 형성되어 있되, 상기 다결정 실리콘막의 양쪽 단부에는 상기 제1 도전형 영역이 위치한다. 특히 상기 양쪽 단부에 위치한 상기 제1 도전형 영역들중 한 제1 도전형 영역은 상기 드레인 영역에 직접 연결되고, 다른 제1 도전형 영역은 소스 영역에 연결되는 것이 바람직하다. 상기 소스 영역에 연결되는 제1 도전형 영역은 상기 소스 영역에 직접 연결되거나, 상기 게이

트 전극을 통하여 상기 소스 영역에 연결될 수도 있다.

경우에 따라서는 상기 제1 도전형 영역들 및 제2 도전형 영역들은 상기 드리프트층에서의 전류 도통 방향과 나란하게 직렬로 연결될 수도 있는데, 이 경우에 상기 제1 도전형 영역들과 상기 제2 도전형 영역들은 상기 다결정 실리콘막내에서 교대로 형성되어 있되, 상기 다결정 실리콘막의 양쪽 단부에는 상기 제1 도전형 영역 및 상기 제2 도전형 영역이 각각 위치한다. 상기 단부에 위치한 상기 제1 도전형 영역은 상기 드레인 영역에 직접 연결되고, 상기 단부에 위치한 상기 제2 도전형 영역은 게이트 전극과 직접 연결되되, 상기 게이트 전극의 도전형은 제1 도전형인 것이 바람직하다. 그리고 상기 게이트 전극과 상기 소스 영역 사이에서 상기 제너 다이오드들로부터의 전류를 상기 소스 영역으로 흐르도록 통로를 제공하는 다이오드를 더 포함하는 것이 바람직하다.

상기 제너 다이오드들의 브레이크다운 전압은 상기 제1 도전형의 드리프트층과 상기 제2 도전형의 웰 영역에 의해 형성되는 기생 다이오드의 브레이크다운 전압보다 더 낮다.

한편, 상기 목적을 달성하기 위하여, 본 발명의 다른 실시예에 따른 수평형 모스 게이트형 반도체 소자는 제1 도전형의 반도체 기판의 표면 일정 영역에서 소정 간격으로 상호 이격되어 형성된 제1 도전형의 웰 영역 및 제2 도전형의 웰 영역을 포함한다. 상기 제1 도전형의 웰 영역내의 일정 영역에는 제2 도전형의 고농도 소스 영역이 형성되며, 상기 제2 도전형의 웰 영역내의 일정 영역에는 제2 도전형의 고농도 드레인 영역이 형성된다. 그리고 소정의 브레이크다운 전압을 가지며, 상기 드레인 영역과 상기 소스 영역으로 캐리어들의 이동 통로를 제공하도록 복수개의 제너 다이오드들이 상기 반도체 기판과 분리되어 형성된다. 또한, 게이트 절연막을 개재하여 상기 제2 도전형의 웰 영역의 채널 형성 영역상에 형성된 게이트 전극과, 상기 소스 영역과 전기적으로 연결되도록 형성된 소스 전극 및 상기 드레인 영역과 전기적으로 연결되도록 형성된 드레인 전극을 포함한다.

상기 다른 기술적 과제를 달성하기 위하여, 본 발명의 일 실시예에 따른 수평형 모스 게이트형 반도체 소자의 제조 방법에 따르면, 반도체 기판상에 산화막을 형성하고, 상기 산화막의 일부만을 성장시켜 활성 영역을 분리시키기 위한 필드 산화막을 형성한다. 다음에 상기 산화막 및 필드 산화막상에 다결정 실리콘막을 형성하고, 패터닝하여 게이트 전극용 제1 다결정 실리콘막과 제너 다이오드용 제2 다결정 실리콘막을 형성한다. 다음에 웰 영역 및 상기 제2 다결정 실리콘막의 제1 도전형 영역들 형성을 위한 제1 마스크막 패턴을 형성하고, 상기 제1 마스크막 패턴을 이온 주입 마스크로 제1 도전형 불순물 이온들을 주입한다. 다음에 소스 영역, 드레인 영역 및 상기 제2 다결정 실리콘막의 제2 도전형 영역들 형성을 위한 제2 마스크막 패턴을 형성하고, 상기 제2 마스크막 패턴을 이온 주입 마스크로 제2 불순물 이온들을 주입한다. 다음에 상기 제1 불순물 이온들 및 제2 불순물 이온들을 드라이브 인 확산시킨다.

여기서, 상기 제2 다결정 실리콘막의 양 단부에 형성된 제1 도전형 영역을 각각 상기 드레인 영역 및 소스 영역에 전기적으로 연결시키는 단계를 더 포함하는 것이 바람직하다.

상기 다른 기술적 과제를 달성하기 위하여, 본 발명의 다른 실시예에 따른 수평형 모스 게이트형 반도체 소자의 제조 방법에 의하면, 반도체 기판상에 산화막을 형성하고 상기 산화막의 일부만을 성장시켜 활성 영역을 분리시키기 위한 필드 산화막을 형성한다. 다음에 상기 산화막 및 필드 산화막상에 다결정 실리콘막을 형성하고, 상기 다결정 실리콘막상에 웰 영역, 게이트 전극 및 제너 다이오드의 제1 도전형 영역들 형성을 위한 제1 마스크막 패턴을 형성한다. 이어서 상기 제1 마스크막 패턴을 이온 주입 마스크로 제1 도전형의 불순물 이온들을 주입한다. 다음에 상기 다결정 실리콘막상에 소스 영역, 드레인 영역 및 상기 제너 다이오드의 제2 도전형 영역들 형성을 위한 제2 마스크막 패턴을 형성하고, 상기 제2 마스크막 패턴을 이온 주입 마스크로 제2 불순물 이온들을 주입한다. 그리고 상기 제1 불순물 이온들 및 제2 불순물 이온들을 드라이브 인 확산시킨다.

여기서, 상기 제너 다이오드의 제1 도전형 영역들 중에서 상기 드레인 영역과 가장 근접한 영역을 상기 드레인 영역에 전기적으로 연결시키는 단계와, 상기 게이트 전극을 상기 소스 영역과 전기적으로 연결시키는 단계를 더 포함하는 것이 바람직하다.

이하 첨부 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명한다.

그러나, 본 발명의 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예에 한정되는 것으로 해석되어서는 안된다. 본 발명의 실시예는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되는 것이다. 도면에서 층이나 영역들의 두께는 명세서의 명확성을 위해 과장되어진 것이다. 도면상에서 동일한 부호는 동일한 요소를 지칭한다. 또한, 어떤 층이 상기 다른 층 또는 기판의 '상부'에 있다라고 기재된 경우, 상기 어떤 층이 상기 다른 층 또는 기판의 상부에 직접 존재할 수도 있고, 그 사이에 제3의 층이 개재될 수도 있다.

도 2는 본 발명의 제1 실시예에 따른 제너 다이오드를 내장한 모스 게이트형 반도체 소자를 나타내 보인 도면이다.

도 2를 참조하면, n형의 고농도 반도체 기판(100)상에 n형의 저농도 드리프트층(110)이 형성된다. 경우에 따라서는 반도체 기판(100)과 드리프트층(110) 사이에 절연층, 예컨대 산화막이 개재된 SOI(Silicon On Insulator) 구조를 사용할 수 있다. 또한 절연 게이트 바이폴라 트랜지스터(Insulated Gate Bipolar Transistor)의 경우에는 상기 반도체 기판(100)의 도전형으로서 n형 대신에 p형을 사용한다. 드리프트층(110)은 반도체 기판(100)에 n형의 도전형을 갖는 에피택셜층을 성장시킴으로써 형성시킬 수도 있지만 이에 한정되지는 않는다. 드리프트층(110)의 상부 표면 일정 영역에는 p형 웰 영역(120)이 형성된다. p형 웰 영역(120)내에는 n형의 고농도 소스 영역(130)이 형성되며, n형의 고농도 드레인 영역(140)은 n형 드리프트층(110) 표면에서 p형 웰 영역(120)과 일정 간격으로 이격되어 형성된다. 소스 영역(130)과 드레인 영역(140)은 필드 산화막(150)에 의해 분리된다.

필드 산화막(150)상에는 소정의 브레이크다운 전압을 갖는 제너 다이오드(160)들이 드리프트 영역(110)내에서의 전류의 도통 방향과 수직인 방향으로 직렬로 연결되도록 형성된다. 이 제너 다이오드(160)들은 드레인 영역(140)으로부터 소스 영역(130)으로의 캐리어 이동 통로를 제공하기 위한 것으로서, 다결정 실

리콘막에 n형 영역(161)과 p형 영역(162)이 교대로 형성된 구조로 이루어진다. 다결정 실리콘막내에서 n형 영역(161)과 p형 영역(162)과 교대로 형성됨에 따라, 드리프트 영역(110)에서의 전류 방향과 수직 방향을 n형-p형 접합과 p형-n형 접합이 교대로 형성된다. n형-p형 접합 및 p형-n형 접합은 각각 제너 다이오드의 접합을 구성하므로, 복수개의 제너 다이오드가 직렬로 형성된 것과 동일한 효과를 나타낸다. 여기서 제너 다이오드의 브레이크다운 전압은 p형 웰 영역(120)과 n형 드리프트 영역(110)에 의해 형성되는 기생 pn 다이오드의 브레이크다운 전압보다 작아야 한다. 그 이유는 인덕터로부터의 전류가 상기 기생 pn 다이오드를 통하지 않고 제너 다이오드를 통하여 흐를 수 있도록 하기 위해서는 제너 다이오드가 기생 pn 다이오드보다 먼저 에벌런치 상태로 들어가기 때문이다. 제너 다이오드의 브레이크다운 전압은 제너 다이오드의 p형-n형 접합(또는 n형-p형 접합)의 수를 조절함으로써 컨트롤할 수 있다. 다결정 실리콘막의 양쪽 단부에는 n형 영역(161)이 위치하는데, 이는 제너 다이오드(160)를 통한 캐리어들의 도통이 소자의 턴 오프시로 제한하기 위한 것이다. 상기 양쪽 끝에 위치한 n형 영역들은 각각 드레인 영역(140)과 소스 영역(130)에 직접 연결될 수도 있으며, 또는 게이트 단자를 통해서 연결될 수도 있다. 연결 방법으로는 통상의 컨택을 형성한 후 적절한 도전층을 사용할 수 있으나 이에 한정되지는 않는다.

게이트 전극(180)은 게이트 산화막(170)을 통하여 p형 웰 영역(120)내의 채널 형성 영역(120c)상에 형성된다. 그리고 도면에 도시되지는 않았지만, 소스 전극(미도시)은 소스 영역(130)과 전기적으로 연결되도록 형성되며, 드레인 전극(미도시)은 드레인 영역(140)과 전기적으로 연결되도록 형성된다.

도 3 및 도 4는 본 발명에 따른 수평형 모스 게이트형 반도체 소자가 유도성 부하와 연결된 것을 나타내 보인 회로도이다. 여기서, 도 3은 제너 다이오드들이 드레인 단자와 소스 단자 사이에 직접 연결된 경우를 나타내고, 도 4는 제너 다이오드들이 드레인 단자와는 직접 연결되고, 소스 단자와는 게이트 단자를 통하여 연결된 경우를 나타낸다. 도 3 및 도 4에서 동일한 참조 부호는 동일한 영역 또는 부재를 나타낸다.

도 3 및 도 4를 참조하면, 수평형 모스 게이트형 반도체 소자(200)의 드레인 단자(D)는 유도성 부하인 인덕터(210)를 통하여 외부 전원(220)의 포지티브 단자에 직렬로 연결된다. 그리고 수평형 모스 게이트형 반도체 소자(200)의 소스 단자(S)와 외부 전원(220)의 네가티브 단자는 접지된다. 기생 다이오드(230) 및 제너 다이오드들(240)은 수평형 모스 게이트형 반도체 소자(200)의 내부에 있지만, 편의를 위하여 외부에 도시하였다. 기생 다이오드(230)는 수평형 모스 게이트형 반도체 소자(200)내의 p형 웰 영역(도 2의 120)과 n형 드리프트층(도 2의 110)에 의해 형성되는 내부 기생 pn 다이오드이다. 제너 다이오드들(240)은 상대적으로 낮은 브레이크다운 전압을 가져서 일정한 조건하에서 드레인 영역으로부터 소스 영역으로의 캐리어들의 이동 통로를 제공하기 위하여 수평형 모스 게이트형 반도체 소자(200)내에 형성된 다이오드이다. 제너 다이오드(240)들은, 앞서 설명한 바와 같이, 복수개의 제너 다이오드들이 서로 반대 방향으로 형성되는데, 도면의 간단화를 위해 중간에 형성된 제너 다이오드들은 모두 생략하였다. 도 3에서, 참조 부호 '241'로 나타낸 제너 다이오드는 그 n형 영역이 드레인 단자(D)에 직접 연결되고, 참조 부호 '242'로 나타낸 제너 다이오드는 그 n형 영역이 소스 단자(S)에 직접 연결된다. 반면에 도 4에서, 참조 부호 '241'로 나타낸 제너 다이오드는 그 n형 영역이 드레인 단자(D)와는 직접 연결되지만 참조 부호 '242'로 나타낸 제너 다이오드는 그 n형 영역이 게이트 단자(G)에 연결된다. 이 경우에 게이트 단자(G)와 소스 단자(S) 사이에는 또 다른 다이오드(250)가 형성되어서 제너 다이오드(도 4의 240)를 통해 흐르는 캐리어들이 소스 단자(S)로 흐르도록 한다. 일반적으로 복수개의 단위셀들로 이루어진 모스게이트형 반도체 소자에서 소스 전극을 인접 셀들 사이에서 공통으로 사용한다. 이 경우에 상기 게이트 단자(G)와 소스 단자(S) 사이의 제너 다이오드들(250)은 게이트 전극과 소스 전극 사이에 형성될 수 있다.

이와 같이 유도성 부하에 연결된 수평형 모스 게이트형 반도체 소자의 턴 오프시의 동작을 도 2와 도 3(또는 도 4)을 동시에 참조하면서 보다 상세히 설명하면 다음과 같다.

수평형 모스 게이트형 반도체 소자(200)가 유도성 부하와 연결된 상태에서, 턴 온 되면 유도성 부하의 인덕터(210)에 상당한 에너지가 저장되고, 이 에너지는 소자가 턴 오프될 때 드레인 단자(D)와 소스 단자(S)를 통하여 방전되어야 한다. 이 턴 오프 기간 동안에, 드레인 영역(140)과 소스 영역(130) 사이에는 높은 역전압이 인가된다. 이 때, 제너 다이오드(240)의 브레이크다운 전압이 기생 다이오드(230)의 브레이크다운 전압보다 더 작으므로, 제너 다이오드(240)에서 제너 브레이크다운 현상이 먼저 발생되며, 이로 인하여 많은 양의 역전류가 제너 다이오드(240)를 통해 드레인 영역(140)에서 소스 영역(130)으로 직접 흐르거나(도 3 참조), 또는 게이트 단자를 통해서 소스 영역(130)으로 흐르게 된다(도 4 참조). 그리고 기생 다이오드(230)를 통해서는 역전류가 흐르지 않게 된다. 이와 같이 기생 다이오드(230)를 통해서 역전류가 흐르지 않으므로 소스 영역(130) 하단부의 p형 웰 영역(120)을 통해 흐르는 역전류에 의한 전압 강하가 발생되지 않는다. 따라서 n형 소스 영역(130), p형 웰 영역(120) 및 n형 드리프트층(110)에 의해 형성되는 기생 바이폴라 접합 트랜지스터가 턴 온 되지 않는다. 이와 같이 기생 바이폴라 접합 트랜지스터가 턴 온 되지 않으면서도 제너 다이오드(240)에 의해 충분히 큰 양의 에벌런치 에너지를 견딜 수 있도록 할 수 있으므로 소자의 안정성이 개선된다.

도 5는 본 발명의 제2 실시예에 따른 제너 다이오드를 내장한 모스 게이트형 반도체 소자를 나타내 보인 도면이다. 앞서 도 2를 참조하여 설명한 제1 실시예의 경우는, 독립된 소자로서 사용될 경우에 큰 문제가 발생되지 않지만, 예를 들어 BiCDMOS 소자와 같이 동일한 기판 내에 여러 가지 소자들이 함께 형성되는 경우에는 문제가 발생할 수 있다. 예를 들면, 도 2의 n형 드리프트층(110)이 다른 소자, 예컨대 CMOS 트랜지스터의 웰 영역으로 함께 사용되는 경우에는 과도한 드레인 전압에 의해 다른 소자들이 손상될 수 있다. 따라서 이를 방지하기 위해서는 각 소자 사이에 고농도 소자 분리 영역을 형성하여야 한다. 본 제2 실시예에서는 이와 같은 문제점을 제거하기 위하여 반도체 기판으로서 p형 도전형을 갖는 기판을 사용하고 드레인 영역에 n형 웰 영역을 형성함으로써 동일한 기판에 형성되는 다른 소자에 영향을 주지 않도록 한 점에서 앞서 설명한 경우와 다르다.

도 5를 참조하면, 본 발명의 제2 실시예에 따른 제너 다이오드를 내장한 모스 게이트형 반도체 소자는 p형 반도체 기판(300)을 사용한다. p형 반도체 기판(300)내의 표면 일정 영역에는 p형의 웰 영역(310)과 n형의 웰 영역(320)이 일정 간격으로 이격되어 형성된다. p형의 웰 영역(310)내의 일정 영역에는 n형의

고농도 소스 영역(330)이 형성되고, n형의 웰 영역(320)내의 일정 영역에는 n형의 고농도 드레인 영역(340)이 형성된다. 소스 영역(330)과 드레인 영역(340)은 필드 산화막(350)에 의해 분리된다.

필드 산화막(350)상에는 소정의 브레이크다운 전압을 갖는 제너 다이오드들(360)이 형성된다. 앞서 설명한 바와 같이, 이 제너 다이오드들(360)은 드레인 영역(340)으로부터 소스 영역(330)으로의 캐리어 이동 통로를 제공하기 위한 것으로서, n형 영역과 p형 영역을 갖는 다결정 실리콘막으로 형성된다. 이 제너 다이오드들(360)의 일단에 형성된 n형 영역은 드레인 영역(340)과 직접 연결되고, 반대단에 형성된 n형 영역은 소스 영역(330)에 직접 연결되거나 게이트 단자를 통해 연결된다.

게이트 전극(370)은 게이트 산화막(360)을 통하여 p형 웰 영역(310)내의 채널 형성 영역(310c)과 전기적으로 연결되도록 형성된다. 그리고 도면에 도시되지는 않았지만, 소스 전극(미도시)은 소스 영역(330)과 전기적으로 연결되도록 형성되며, 드레인 전극(미도시)은 드레인 영역(340)과 전기적으로 연결되도록 형성된다.

본 발명의 제2 실시예에 따르면, 상기 반도체 기판(300)의 다른 영역에 CMOS 또는 바이폴라 접합 트랜지스터 등과 같은 다른 소자들이 형성된 경우에도, 드레인 영역(340)을 둘러싸는 n형 웰 영역(320)이 존재하므로 인접한 다른 소자들과 무관하게 드레인 영역의 전위를 유지할 수 있는 이점이 있다. 또한 소자 내부의 기생 다이오드가 갖는 브레이크다운 전압보다 낮은 브레이크다운 전압을 갖는 제너 다이오드들(360)이 내장되어 있으므로, 유도성 부하와 연결되어 사용되는 경우에도 기생 바이폴라 접합 트랜지스터를 턴 온 시키지 않고 큰 양의 에벌런치 에너지를 견딜 수 있다.

도 6은 본 발명의 제3 실시예에 따른 제너 다이오드를 내장한 MOS 게이트형 반도체 소자를 나타내 보인 도면이다. 도 6에서 도 2와 동일한 참조 부호는 동일한 영역 또는 부재를 나타낸다.

본 발명의 제3 실시예에 따르면, 필드 산화막(150)상에서 형성된 제너 다이오드들(600)이 드리프트층(110)에서의 전류 도통 방향과 나란한 방향으로 직렬로 연결되어 있다는 점에서 앞서 설명한 다른 실시예와 상이하다. 보다 구체적으로 설명하면, 드리프트층(110)에서의 전류 도통 방향과 수직인 방향으로의 필드 산화막(150)상의 제1 길이(L1)보다 나란한 방향으로의 필드 산화막(150)상의 제2 길이(L2)가 더 짧다. 따라서 도 2를 참조하여 설명한 바와 같이, 제1 길이(L1)를 따라 제너 다이오드들(600)이 직렬로 연결되도록 형성하면 더 많은 제너 다이오드들(600)을 형성할 수 있으나, 게이트 전극(180)과 제너 다이오드들(600)의 형성을 위하여 다결정 실리콘막을 형성한 후에 별도의 패터닝 공정이 더 추가되어야 한다. 그러나 본 실시예에서와 같이, 제2 길이(L2)를 따라 제너 다이오드들(600)을 형성하면, 형성할 수 있는 제너 다이오드들(600)의 개수는 줄어들지만 다결정 실리콘막의 적층 후에 별도의 패터닝 공정이 필요하지 않다. 따라서 본 실시예의 경우는 보다 적은 용량, 예컨대 300V 이하의 MOS 게이트형 반도체 소자에 더 적합하다.

그 구성을 살펴보면, 드레인 영역(140)쪽을 향하여 가장자리에 형성된 n형 영역(601)은 드레인 영역(140)에 직접 연결된다. 그리고 게이트 전극(180)쪽을 향하여 가장자리에 형성된 p형 영역(602)은 게이트 전극(180)과 연속적으로 연결된다. 이때 게이트 전극(180)은 n형으로 도핑되며, 따라서 게이트 전극(180)과 p형 영역(602)의 접합부도 하나의 제너 다이오드를 형성한다. 또한 도면에는 도시되지 않았지만, 게이트 전극(180)과 소스 영역(130) 사이에는 또 다른 제너 다이오드들이 형성되어, 드레인 영역(140)으로부터의 인덕터 전류들이 소스 단자로 흐를 수 있도록 통로를 형성해준다.

도 7 내지 도 11은 본 발명의 바람직한 실시예들에 따른 제너 다이오드를 내장한 MOS 게이트형 반도체 소자를 제조하는 방법을 설명하기 위한 단면도들이다.

도 7을 참조하면, p형 도전형을 갖는 반도체 기판(400)상에 산화막(410)을 형성한다. 그리고 반도체 기판(400)의 일정 영역에 n형 웰 영역(420)을 형성한다. 이를 위하여, 산화막(410)상에 포토레지스트막 패턴을 형성한다. 이 포토레지스트막 패턴은 n형 웰 영역이 형성될 부분을 노출시키는 개구부를 갖는다. 다음에 포토레지스트막 패턴을 이온 주입 마스크로 n형 불순물 이온을 주입한다. n형 불순물 이온을 주입한 후에는 포토레지스트막 패턴을 제거하고, 소정의 열처리를 가하여 주입된 n형 불순물 이온들을 드라이브 인 확산시킨다. 이어서 드레인 영역과 소스 영역을 분리시키기 위한 필드 산화막(430)을 형성한다. 이를 위하여, 산화막(410)상에 질화막 패턴을 형성한다. 그리고 질화막 패턴을 성장 억제 마스크로 하여 산화막(410)을 성장시킨다. 그러면, 질화막 패턴에 의해 노출된 산화막은 성장이 억제되지 않으므로 일정한 두께의 필드 산화막(430)이 형성된다. 이어서 질화막 패턴을 제거한 후에 질화막 패턴에 의한 산화막 결함들을 제거하기 위하여 통상의 희생 산화막 형성 및 제거 공정을 수행한다. 상기 n형 웰 영역(420) 형성을 위한 n형 불순물 이온들의 드라이브 인 확산 공정은 별도로 수행하지 않고 상기 필드 산화막(430)을 성장시키는 공정에서 수행될 수도 있다.

다음에 도 8을 참조하면, 산화막(410)상에 게이트 전극(440)과 필드 산화막(430)상에 다결정 실리콘막 패턴(450)을 동시에 형성한다. 이를 위하여, 산화막(410) 및 필드 산화막(430)상에 다결정 실리콘막 및 포토레지스트막을 순차적으로 형성한다. 그리고 통상의 리소그래피법을 사용한 노광 및 현상을 수행하여 포토레지스트막 패턴을 형성한다. 이 포토레지스트막 패턴은 다결정 실리콘막의 선택된 부분만을 노출시키는 개구부들을 갖는다. 이어서 포토레지스트막 패턴을 식각 마스크로 다결정 실리콘막을 식각하여, 게이트 전극(440) 및 다결정 실리콘막 패턴(450)을 형성한다.

다음에 도 9a를 참조하면, 전면에 포토레지스트막을 형성한 후에 통상의 리소그래피법에 의한 노광 및 현상을 수행하여 제1 포토레지스트막 패턴(460)을 형성한다. 상기 제1 포토레지스트막 패턴(460)은 p형 웰 영역이 형성될 부분을 노출시키는 개구부를 가지며, 동시에 다결정 실리콘막 패턴(450)의 선택된 영역들을 노출시키는 개구부들을 갖는다. 도 9b는 스트라이프형의 다결정 실리콘막 패턴(450)상에 제1 포토레지스트막 패턴(460)이 형성된 구조를 상면에서 바라본 것으로서, 도시된 바와 같이, 제1 포토레지스트막 패턴(460)은 다결정 실리콘막 패턴(450)의 p형 영역들이 형성될 부분들을 노출시킨다. 이어서 상기 제1 포토레지스트막 패턴(460)을 이온 주입 마스크로 p형 불순물 이온을 주입한다.

다음에 도 10a를 참조하면, 제1 포토레지스트막 패턴(도 9a의 460)을 제거한 후에 다시 제2 포토레지스트막 패턴(470)을 형성한다. 제2 포토레지스트막 패턴(470)은 반도체 기판(400)의 n형 소스 영역과 n형 드

레인 영역이 형성될 부분의 표면을 노출시키는 개구부들을 갖는다. 이와 동시에 다결정 실리콘막 패턴(450)의 선택된 영역들을 노출시키는 개구부들을 갖는다. 도 10b는 스트라이프형의 다결정 실리콘막 패턴(450)상에 제2 포토레지스트막 패턴(470)이 형성된 구조를 상면에서 바라본 것으로서, 도시된 바와 같이, 제2 포토레지스트막 패턴(470)은 다결정 실리콘막 패턴(450)의 n형 영역들이 형성될 부분들을 노출시킨다. 이어서 상기 제2 포토레지스트막 패턴(470)을 이온 주입 마스크로 n형 불순물 이온을 주입한다.

다음에 도 11을 참조하면, 상기 제2 포토레지스트막 패턴(도 10a의 470)을 제거하고, 소정의 열처리 공정을 수행하여 주입된 p형 불순물 이온들 및 n형 불순물 이온들을 드라이브 인 확산시킨다. 그러면, p형 웰 영역(480), n형 고농도 소스 영역(490), n형 고농도 드레인 영역(500) 및 다결정 실리콘막 패턴(450)의 p형 및 n형 영역이 각각 형성된다. 도 2를 참조하여 앞서 설명한 바와 같이, 다결정 실리콘막 패턴(450)의 p형 영역과 n형 영역을 교대로 형성되며, 이에 따라 다결정 실리콘막 패턴(450)의 n형 및 p형 영역의 접합부들은 각각 제너 다이오드 역할을 수행한다. 이 때 다결정 실리콘막 패턴(450)의 양단부에 형성된 n형 영역들 중 하나는 드레인 영역(500)에 직접 연결시키지만, 다른 하나는 소스 영역(490)에 직접 연결시킬 수도 있고 게이트 전극(440)을 통하여 연결시킬 수도 있다. 이어서 통상의 금속화 공정을 수행하여 소스 전극 및 드레인 전극을 형성하고, 패시베이션 공정을 수행하면 본 발명에 따른 제너 다이오드를 내장한 모스 게이트형 반도체 소자가 완성된다.

한편, 도 12 내지 도 15는 본 발명의 다른 실시예에 따른 제너 다이오드를 내장한 모스 게이트형 반도체 소자의 제조 방법을 설명하기 위한 도면들이다. 본 실시예에 따른 제조 방법은 제너 다이오드들이 드리프트층에서의 전류 도통 방향과 나란한 방향으로 직렬로 연결되도록 형성하는 방법이다.

앞서 도 7을 참조하여 설명한 바와 같이, p형 도전형을 갖는 반도체 기판(400)상에 산화막(410)을 형성한다. 그리고 반도체 기판(400)의 일정 영역에 n형 웰 영역(420)을 형성한다. 그리고 드레인 영역과 소스 영역을 분리시키기 위한 필드 산화막(430)을 형성한다. 이어서, 도 12에 도시된 바와 같이, 산화막(410) 및 필드 산화막(430)상에 다결정 실리콘막(540)을 형성한다. 이 다결정 실리콘막(540)은 후속의 마스크 공정 및 이온 주입 공정에 의해 게이트 전극과 제너 다이오드들을 구성한다.

즉, 도 13a에 도시된 바와 같이, p형 불순물 이온 주입 마스크막으로서 제1 포토레지스트막 패턴(560)을 형성한다. 상기 제1 포토레지스트막 패턴(560)은 p형 웰 영역이 형성될 부분을 노출시키는 개구부를 가지며, 동시에 다결정 실리콘막(540)의 선택된 영역들을 노출시키는 개구부들을 갖는다. 도 13b는 제1 포토레지스트막 패턴(560)이 형성된 다결정 실리콘막(540)을 상면에서 바라본 것으로서, 도시된 바와 같이, 제1 포토레지스트막 패턴(560)은 게이트 전극(541)의 상면을 완전히 덮는 동시에, 제너 다이오드들(542)의 p형 영역들이 형성될 부분들을 노출시킨다. 이어서 상기 제1 포토레지스트막 패턴(560)을 이온 주입 마스크로 p형 불순물 이온을 주입한다.

다음에는, 도 14a에 도시된 바와 같이, 제1 포토레지스트막 패턴(도 13a 또는 도 13b의 560)을 제거하고, n형 불순물 이온 주입 마스크로서의 제2 포토레지스트막 패턴(570)을 형성한다. 제2 포토레지스트막 패턴(570)은 반도체 기판(400)의 n형 소스 영역과 n형 드레인 영역이 형성될 부분의 표면을 노출시키는 개구부들을 갖는 동시에, 다결정 실리콘막(540)의 게이트 전극(541)과 제너 다이오드들(542)의 선택된 영역들을 노출시키는 개구부들을 갖는다. 도 10b는 제2 포토레지스트막 패턴(570)이 형성된 다결정 실리콘막(540)을 상면에서 바라본 것으로서, 도시된 바와 같이, 제2 포토레지스트막 패턴(570)은 다결정 실리콘막(540)의 게이트 전극(541)과 제너 다이오드들(542)의 n형 영역들이 형성될 부분들을 노출시킨다. 이어서 상기 제2 포토레지스트막 패턴(570)을 이온 주입 마스크로 n형 불순물 이온을 주입한다.

다음에 도 15를 참조하면, 상기 제2 포토레지스트막 패턴(도 14a 또는 도 14b의 570)을 제거하고, 소정의 열처리 공정을 수행하여 주입된 p형 불순물 이온들 및 n형 불순물 이온들을 드라이브 인 확산시킨다. 그러면, p형 웰 영역(480), n형 고농도 소스 영역(490) 및 n형 고농도 드레인 영역(500)이 형성되고, 동시에 게이트 전극(541)이 n형 불순물 타입으로 도핑되고 제너 다이오드들(542)의 p형 및 n형 영역이 각각 형성된다. 앞서 설명한 바와 같이, 다결정 실리콘막(540)의 p형 영역과 n형 영역의 접합부들은 각각 제너 다이오드 역할을 수행한다.

이어서, 제너 다이오드들(542)의 n형 영역들 중에서 드레인 영역()과 가장 가깝게 형성된 n형 영역은 드레인 단자와 직접 연결되고, n형으로 불순물 도핑된 게이트 전극(541)은 별도의 제너 다이오드를 통하여 소스 단자에 연결된다.

발명의 효과

이상의 설명에서와 같이, 본 발명에 따른 제너 다이오드를 내장한 모스 게이트형 반도체 소자에 의하면, 소자 내의 기생 다이오드와 분리된 영역에 상대적으로 적은 브레이크다운 전압을 갖는 제너 다이오드가 각각 드레인 영역 및 소스 영역에 연결되므로, 높은 역전압이 인가되더라도 제너 다이오드가 기생 다이오드보다 먼저 브레이크다운 되고, 이에 따라 기생 바이폴라 접합 트랜지스터가 턴 온 되지 않게 된다. 따라서 소자 턴 오프시에 유도성 부하에 의한 높은 에벌런치 에너지에도 견딜 수 있어서 소자의 내량 및 안정성이 향상된다. 또한 본 발명에 따른 제조 방법에 의하면, 추가 마스크층의 소요되지 않고도 상기 제너 다이오드를 모스 게이트형 반도체 소자 내에 집적시킬 수 있다.

(57) 청구의 범위

청구항 1

반도체 기판상에 형성된 제1 도전형의 드리프트층;

상기 드리프트층의 표면 일정 영역에 형성된 반대 도전형인 제2 도전형의 웰 영역;

상기 웰 영역내의 일정 영역에 형성된 제1 도전형의 고농도 소스 영역;

상기 드리프트층의 표면 일정 영역에서 상기 웰 영역과 일정 간격으로 이격되어 형성된 제1 도전형의 고

농도 드레인 영역;

소정의 브레이크다운 전압을 가지며, 상기 드레인 영역으로부터 상기 소스 영역으로 캐리어들의 이동 통로를 제공하도록 상기 드리프트층과 분리되어 형성된 복수개의 제너 다이오드들;

상기 제2 도전형의 웰 영역의 채널 형성 영역상에 게이트 절연막을 개재하여 형성된 게이트 전극;

상기 소스 영역과 전기적으로 연결되도록 형성된 소스 전극; 및

상기 드레인 영역과 전기적으로 연결되도록 형성된 드레인 전극을 포함하는 것을 특징으로 하는 수평형 모스 게이트형 반도체 소자.

청구항 2

제1항에 있어서,

상기 반도체 기판의 도전형은 고농도의 제1 도전형 또는 제2 도전형인 것을 특징으로 하는 수평형 모스 게이트형 반도체 소자.

청구항 3

제2항에 있어서,

상기 반도체 기판의 도전형이 제1 도전형인 경우에 상기 반도체 기판과 상기 드리프트층 사이에 개재된 절연막을 더 포함하는 것을 특징으로 하는 수평형 모스 게이트형 반도체 소자.

청구항 4

제1항에 있어서,

상기 제너 다이오드들은 상기 소스 영역과 드레인 영역을 분리시키기 위한 필드 산화막상에 형성되는 것을 특징으로 하는 수평형 모스 게이트형 반도체 소자.

청구항 5

제1항에 있어서,

상기 제너 다이오드를 구성하는 제1 도전형 영역들 및 제2 도전형 영역들이 상기 드리프트층에서의 전류 이동 방향과 수직하게 직렬로 연결되는 것을 특징으로 하는 수평형 모스 게이트형 반도체 소자.

청구항 6

제5항에 있어서,

상기 제1 도전형 영역들과 제2 도전형 영역들은 상기 다결정 실리콘막내에서 교대로 형성되어 있되, 상기 다결정 실리콘막의 양쪽 단부에는 상기 제1 도전형 영역이 위치하는 것을 특징으로 하는 수평형 모스 게이트형 반도체 소자.

청구항 7

제6항에 있어서,

상기 양쪽 단부에 위치한 상기 제1 도전형 영역들중 한 제1 도전형 영역은 상기 드레인 영역에 직접 연결되고, 다른 제1 도전형 영역은 소스 영역에 연결되는 것을 특징으로 하는 수평형 모스 게이트형 반도체 소자.

청구항 8

제7항에 있어서,

상기 소스 영역에 연결되는 제1 도전형 영역은 상기 소스 영역에 직접 연결되거나, 상기 게이트 전극을 통하여 상기 소스 영역에 연결되는 것을 특징으로 하는 수평형 모스 게이트형 반도체 소자.

청구항 9

제1항에 있어서,

상기 제너 다이오드를 구성하는 제1 도전형 영역들 및 제2 도전형 영역들은 상기 드리프트층에서의 전류 이동 방향과 나란하게 직렬로 연결되는 것을 특징으로 하는 수평형 모스 게이트형 반도체 소자.

청구항 10

제9항에 있어서,

상기 제1 도전형 영역들과 제2 도전형 영역들은 상기 다결정 실리콘막내에서 교대로 형성되어 있되, 상기 다결정 실리콘막의 양쪽 단부에는 상기 제1 도전형 영역 및 상기 제2 도전형 영역이 각각 위치하는 것을 특징으로 하는 수평형 모스 게이트형 반도체 소자.

청구항 11

제10항에 있어서,

상기 단부에 위치한 상기 제1 도전형 영역은 상기 드레인 영역에 직접 연결되고, 상기 단부에 위치한 상기 제2 도전형 영역은 게이트 전극과 직접 연결되되, 상기 게이트 전극의 도전형은 제1 도전형인 것을 특

징으로 하는 수평형 모스 게이트형 반도체 소자.

청구항 12

제11항에 있어서,

상기 게이트 전극과 상기 소스 영역사이에서 상기 제1 다이오드들로부터의 전류를 상기 소스 영역으로 흐르도록 통로를 제공하는 다이오드를 더 포함하는 것을 특징으로 하는 수평형 모스 게이트형 반도체 소자.

청구항 13

제1항에 있어서,

상기 제1 다이오드들의 브레이크다운 전압은 상기 제1 도전형의 드리프트층과 상기 제2 도전형의 웰 영역에 의해 형성되는 기생 다이오드의 브레이크다운 전압보다 더 낮은 것을 특징으로 하는 수평형 모스 게이트형 반도체 소자.

청구항 14

제1 도전형의 반도체 기판;

상기 반도체 기판의 표면 일정 영역에서 소정 간격으로 상호 이격되어 형성된 제1 도전형의 웰 영역 및 제2 도전형의 웰 영역;

상기 제1 도전형의 웰 영역내의 일정 영역에 형성된 제2 도전형의 고농도 소스 영역;

상기 제2 도전형의 웰 영역내의 일정 영역에 형성된 제2 도전형의 고농도 드레인 영역;

소정의 브레이크다운 전압을 가지며, 상기 드레인 영역과 상기 소스 영역으로 캐리어들의 이동 통로를 제공하도록 상기 반도체 기판과 분리되어 형성된 복수개의 제1 다이오드들;

상기 제2 도전형의 웰 영역의 채널 형성 영역상에 게이트 절연막을 개재하여 형성된 게이트 전극;

상기 소스 영역과 전기적으로 연결되도록 형성된 소스 전극; 및

상기 드레인 영역과 전기적으로 연결되도록 형성된 드레인 전극을 포함하는 것을 특징으로 하는 수평형 모스 게이트형 반도체 소자.

청구항 15

(가) 반도체 기판상에 산화막을 형성하고, 상기 산화막의 일부만을 성장시켜 활성 영역을 분리시키기 위한 필드 산화막을 형성하는 단계;

(나) 상기 산화막 및 필드 산화막상에 다결정 실리콘막을 형성하는 단계;

(다) 상기 다결정 실리콘막을 패터닝하여 게이트 전극용 제1 다결정 실리콘막과 제1 다이오드용 제2 다결정 실리콘막을 형성하는 단계;

(라) 웰 영역 및 상기 제2 다결정 실리콘막의 제1 도전형 영역들 형성을 위한 제1 마스크막 패턴을 형성하는 단계;

(마) 상기 제1 마스크막 패턴을 이온 주입 마스크로 제1 도전형의 불순물 이온들을 주입하는 단계;

(바) 소스 영역, 드레인 영역 및 상기 제2 다결정 실리콘막의 제2 도전형 영역들 형성을 위한 제2 마스크막 패턴을 형성하는 단계;

(사) 상기 제2 마스크막 패턴을 이온 주입 마스크로 제2 불순물 이온들을 주입하는 단계; 및

(아) 상기 제1 불순물 이온들 및 제2 불순물 이온들을 드라이브 인 확산시키는 단계를 포함하는 것을 특징으로 하는 수평형 모스 게이트형 반도체 소자의 제조 방법.

청구항 16

제15항에 있어서,

상기 제2 다결정 실리콘막의 양 단부에 형성된 제1 도전형 영역을 각각 상기 드레인 영역 및 소스 영역에 전기적으로 연결시키는 단계를 더 포함하는 것을 특징으로 하는 수평형 모스 게이트형 반도체 소자의 제조 방법.

청구항 17

(가) 반도체 기판상에 산화막을 형성하고, 상기 산화막의 일부만을 성장시켜 활성 영역을 분리시키기 위한 필드 산화막을 형성하는 단계;

(나) 상기 산화막 및 필드 산화막상에 다결정 실리콘막을 형성하는 단계;

(다) 상기 다결정 실리콘막상에 웰 영역, 게이트 전극 및 제1 다이오드의 제1 도전형 영역들 형성을 위한 제1 마스크막 패턴을 형성하는 단계;

(라) 상기 제1 마스크막 패턴을 이온 주입 마스크로 제1 도전형의 불순물 이온들을 주입하는 단계;

(마) 소스 영역, 드레인 영역 및 상기 제1 다이오드의 제2 도전형 영역들 형성을 위한 제2 마스크막 패턴을 형성하는 단계;

(바) 상기 제2 마스크막 패턴을 이온 주입 마스크로 제2 불순물 이온들을 주입하는 단계; 및

(사) 상기 제1 불순물 이온들 및 제2 불순물 이온들을 드라이브 인 확산시키는 단계를 포함하는 것을 특징으로 하는 수평형 모스 게이트형 반도체 소자의 제조 방법.

청구항 18

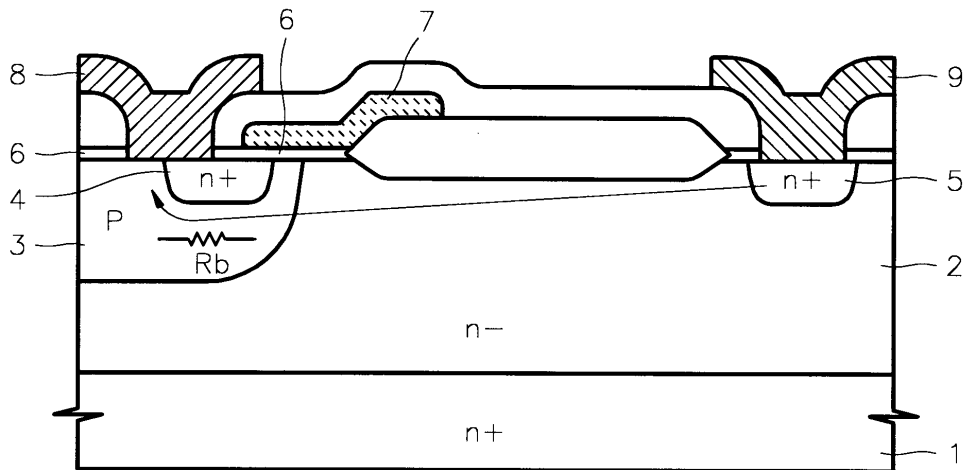
제17항에 있어서,

상기 제너 다이오드의 제1 도전형 영역들중에서 상기 드레인 영역과 가장 근접한 영역을 상기 드레인 영역에 전기적으로 연결시키는 단계; 및

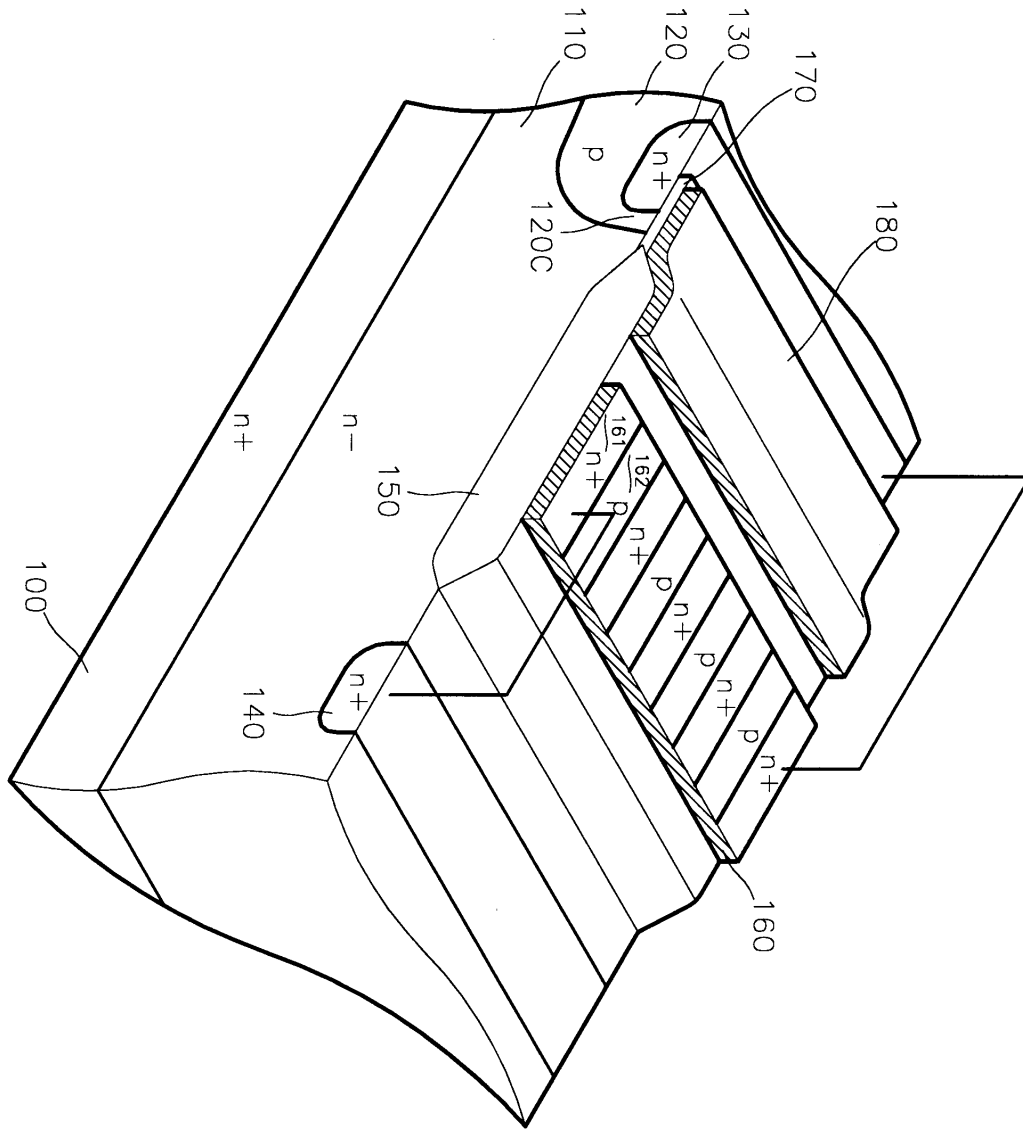
상기 게이트 전극을 상기 소스 영역과 전기적으로 연결시키는 단계를 더 포함하는 것을 특징으로 하는 수평형 모스 게이트형 반도체 소자의 제조 방법.

도면

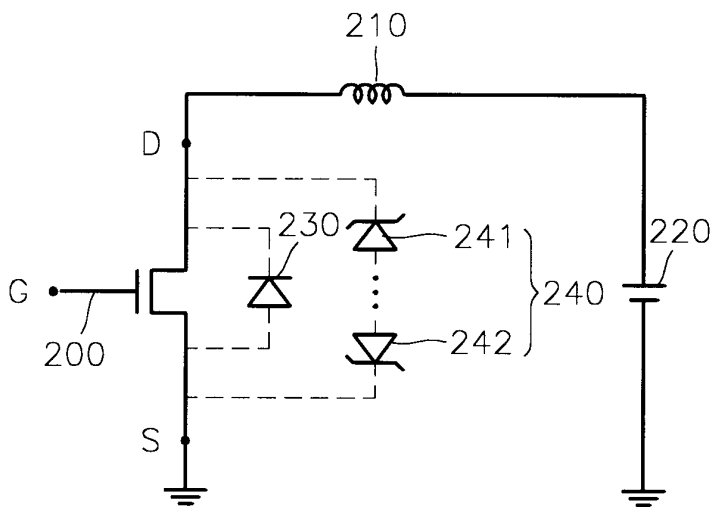
도면1



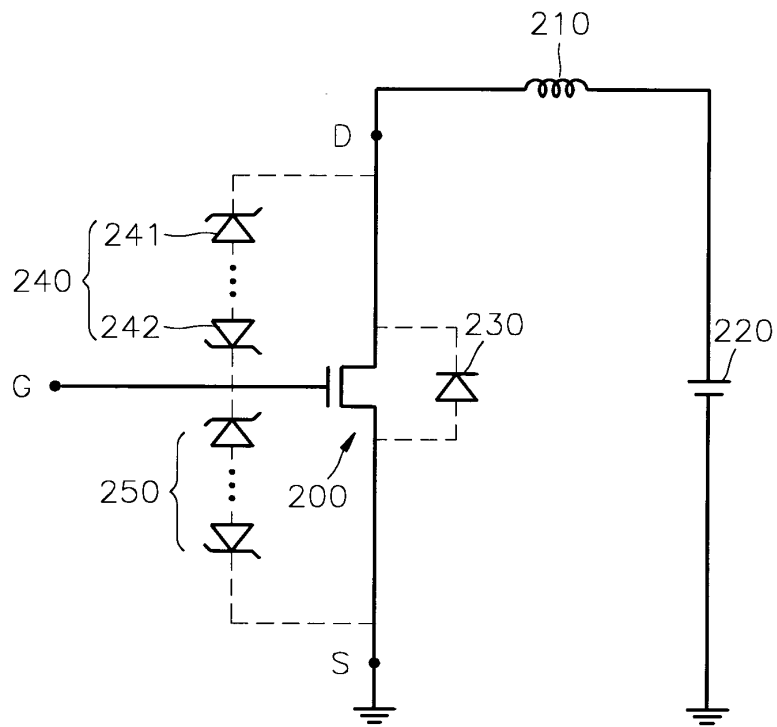
도면2



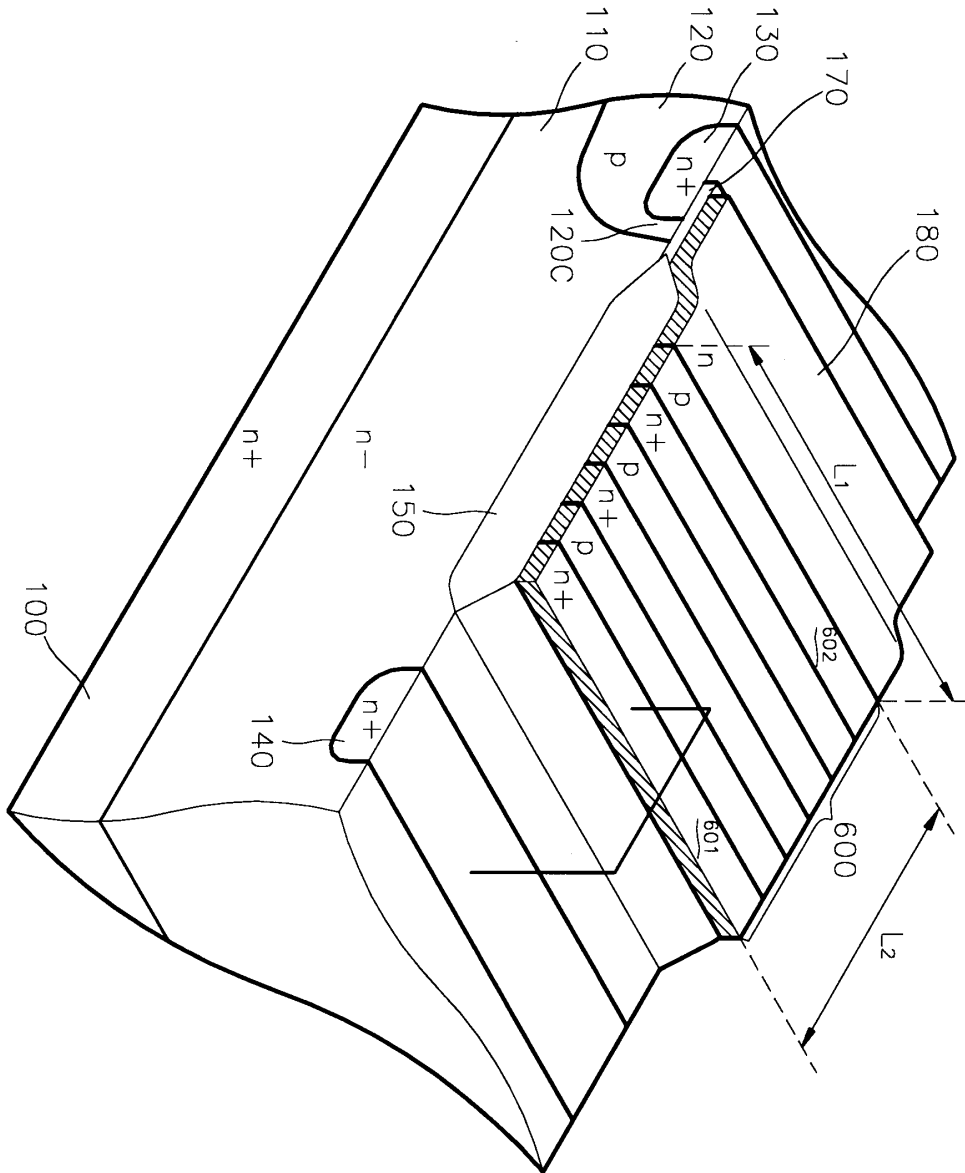
도면3



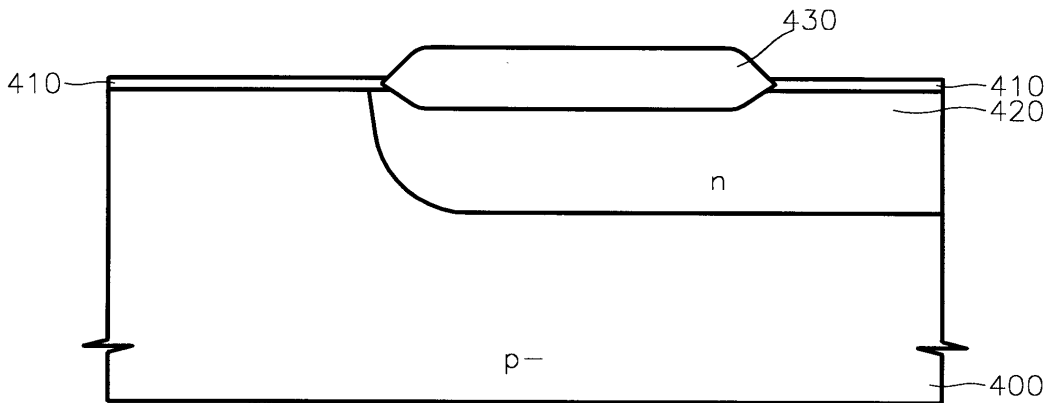
도면4



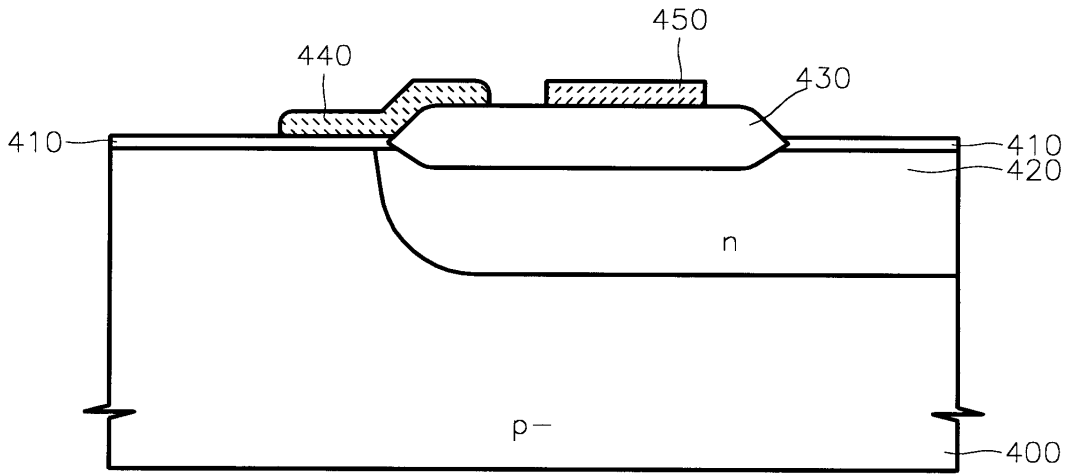
도면6



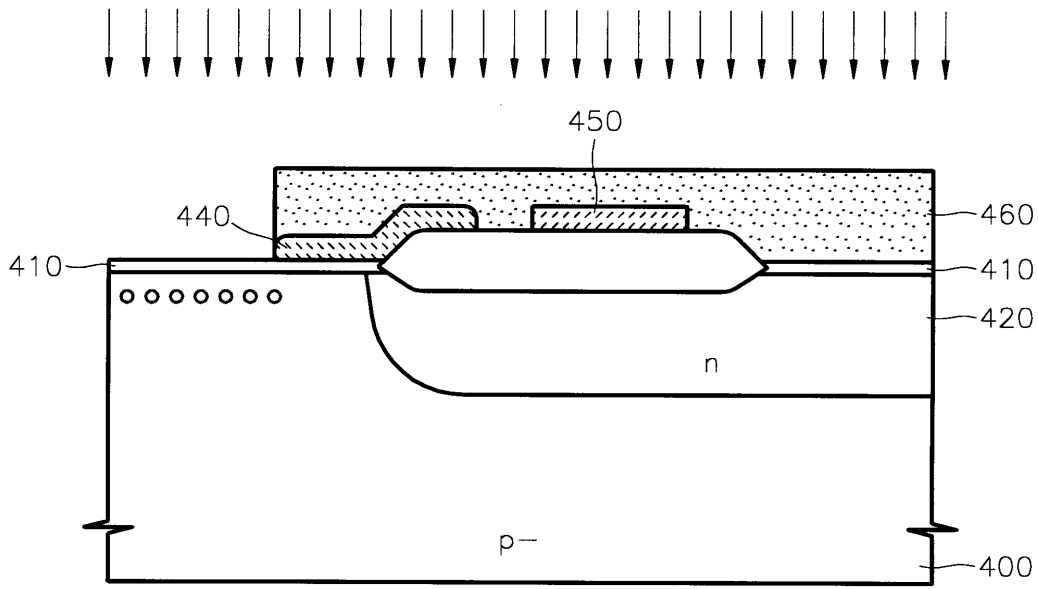
도면7



도면8

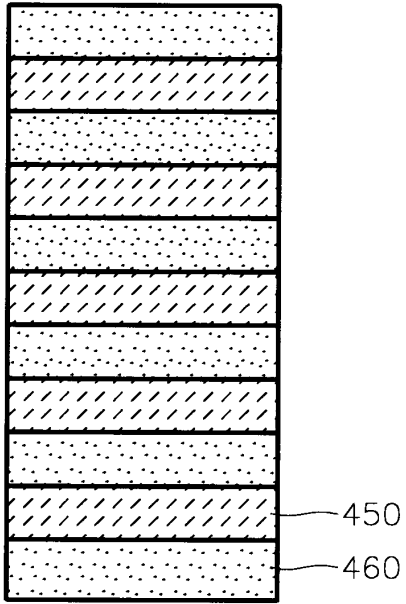


도면9a

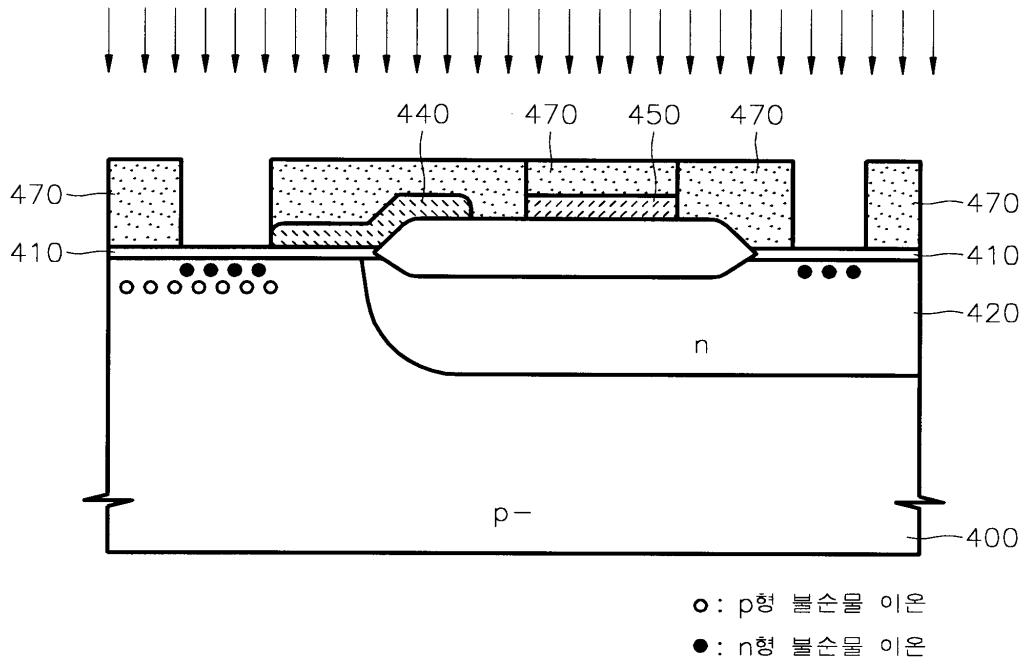


o: p형 불순물 이온

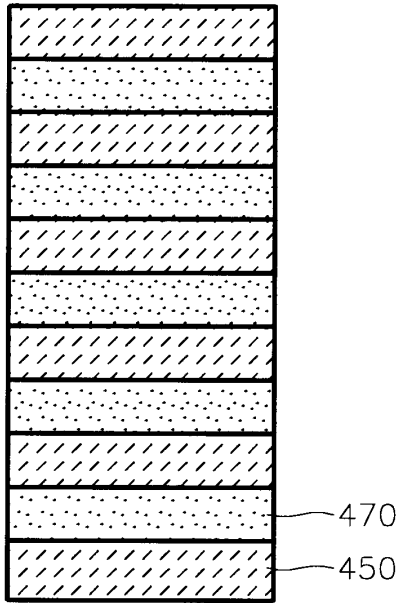
도면 9b



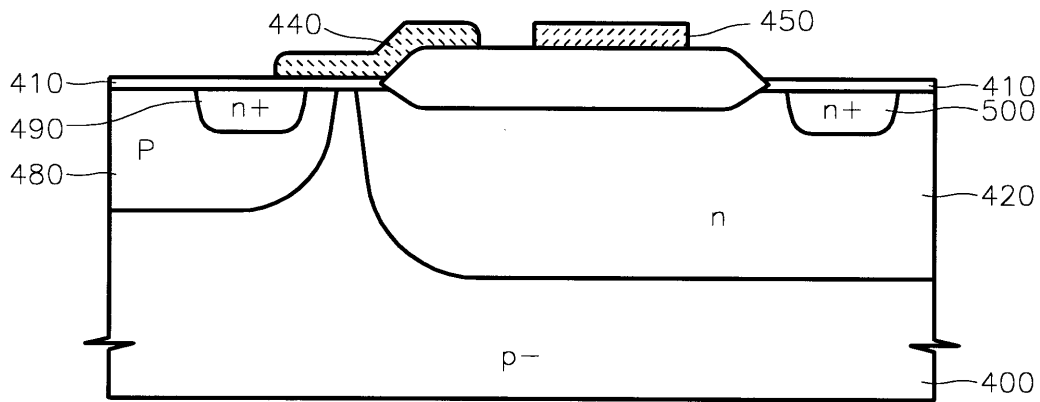
도면 10a



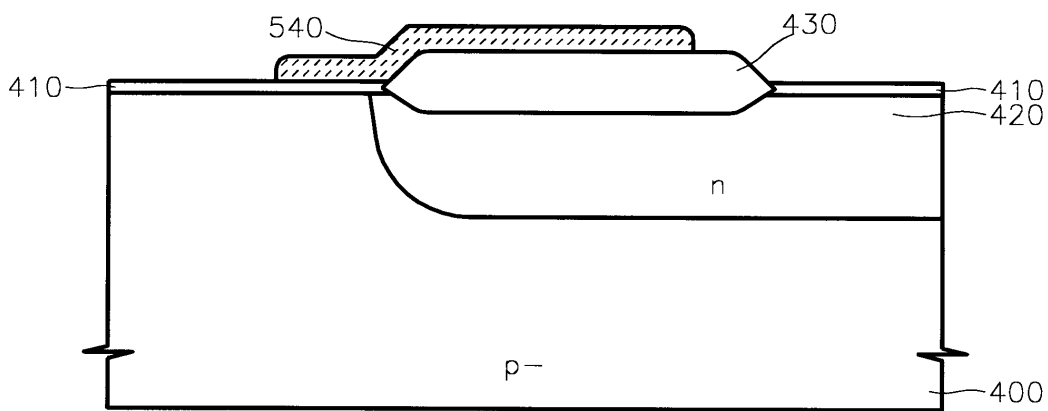
도면 10b



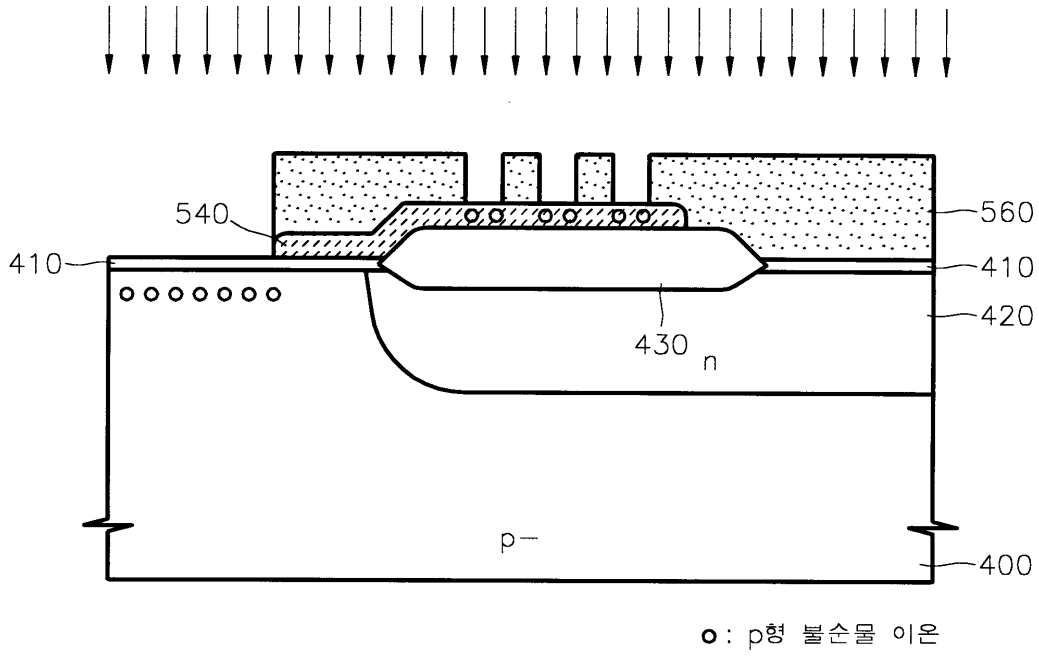
도면 11



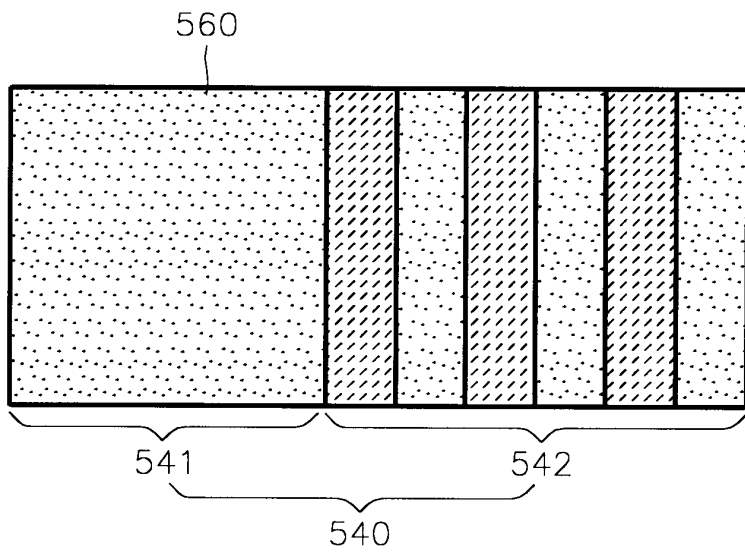
도면 12



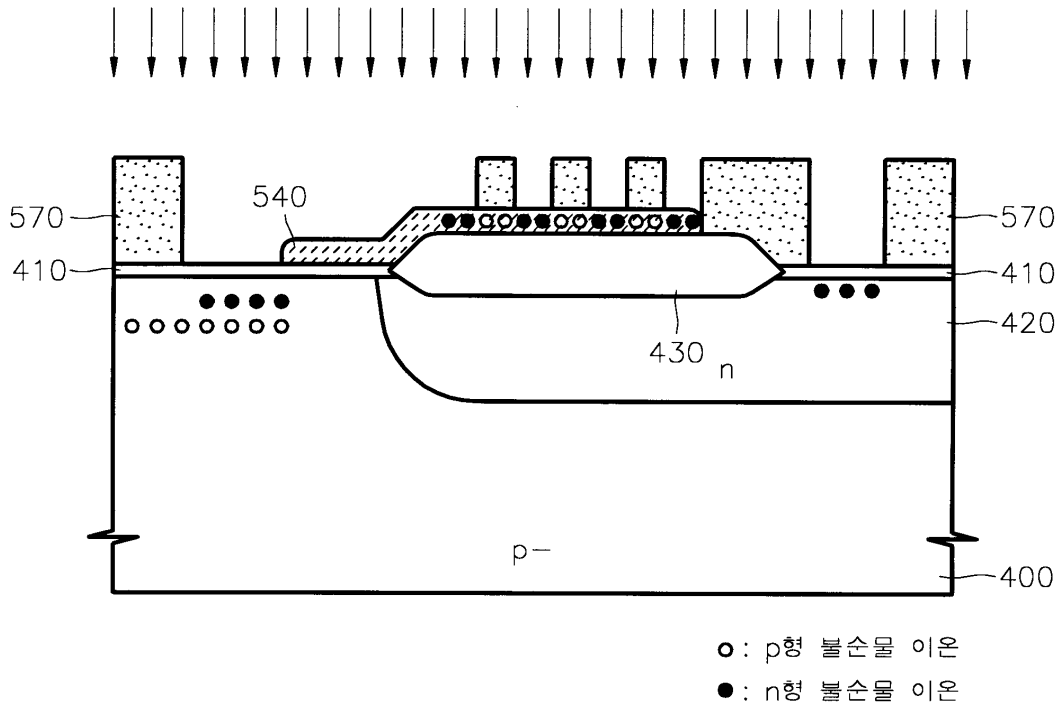
도면 13a



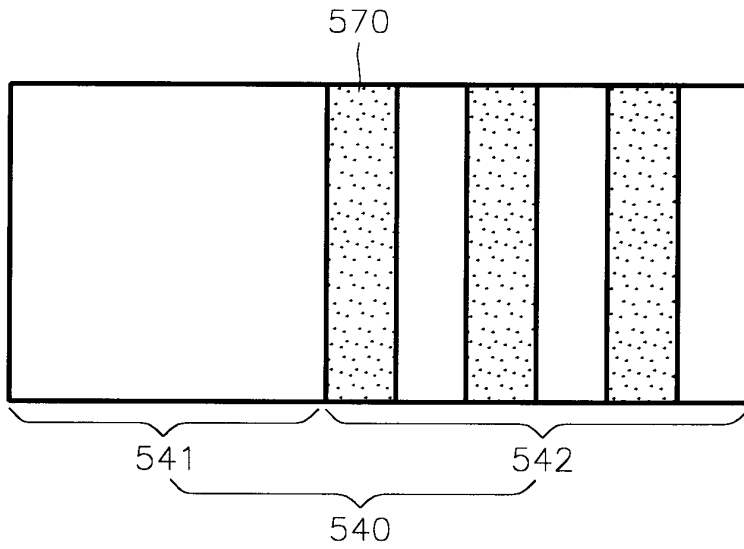
도면 13b



도면 14a



도면 14b



도면 15

