



[12] 发明专利申请公开说明书

[21] 申请号 02130179.4

[43] 公开日 2003 年 7 月 9 日

[11] 公开号 CN 1428784A

[22] 申请日 2002.8.23 [21] 申请号 02130179.4

[30] 优先权

[32] 2001.12.27 [33] JP [31] 396937/2001

[71] 申请人 三菱电机株式会社

地址 日本东京都

[72] 发明人 中冈义人

[74] 专利代理机构 中国专利代理(香港)有限公司

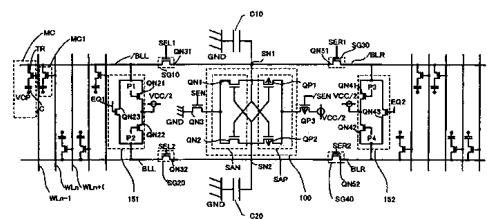
代理人 刘宗杰 叶恺东

权利要求书 2 页 说明书 20 页 附图 23 页

[54] 发明名称 具有读出放大器的半导体存储器

[57] 摘要

读出放大器(100)经选择门(SG10)和(SG20)与折叠位线对(BLL、/BLL)连接。在读出连接到位线(/BLL)上的存储单元(MC1)的数据时,折叠位线对(BLL、/BLL)处于浮置状态。此时,选择门(SG20)关断,使位线(BLL)从读出节点(SN2)断开。其后,从均衡器(151)对位线(BLL)供给电位。因此,该半导体存储器可抑制存储单元的电荷保持能力的下降,可防止误工作。



1. 一种半导体存储器，其特征在于：

包含：

构成折叠位线对的第1和第2位线（BLL、/BLL）；

5 连接到上述第2位线上的存储单元（MC1）；

均衡器（151、153、155），连接到上述第1和第2位线（BLL、/BLL）上，对上述第1和第2位线（BLL、/BLL）进行预充电；

第1和第2读出节点（SN2、SN1）；

10 连接到上述第1和第2读出节点（SN2、SN1）上的读出放大器（100）；

第1开关电路（SG20），连接在上述第1位线（BLL）与上述第1读出节点（SN2）之间；

第2开关电路（SG10），连接在上述第2位线（/BLL）与上述第2读出节点（SN1）之间；以及

15 控制电路（20），控制上述均衡器（151、153、155）和上述第1和第2开关电路（SG20、SG10），

上述均衡器（151、153、155）包含：

第1电位供给电路（QN22），对上述第1位线（BLL）供给规定的电位；以及

20 第2电位供给电路（QN21），对上述第2位线（/BLL）供给上述规定的电位，

上述控制电路（20）在上述均衡器（151、153、155）对上述第1和第2位线（BLL、/BLL）进行了预充电后到上述读出放大器（100）结束工作为止的期间内，在使上述第2开关电路（SG10）导通的原有
25 状态下使上述第1开关电路（SG20）关断，控制上述第1电位供给电路（QN22），以便对上述第1位线（BLL）供给上述规定的电位。

2. 如权利要求1中所述的半导体存储器，其特征在于：

上述控制电路（20）从上述读出放大器（100）开始了工作后经过规定的时间后起控制上述第1开关电路（SG20）和上述第1电位供给
30 电路（QN22）。

3. 如权利要求1中所述的半导体存储器，其特征在于：

上述控制电路（20）在上述读出放大器（100）进行工作之前控制

上述第 1 开关电路 (SG20) 和上述第 1 电位供给电路 (QN22)。

4. 如权利要求 1 中所述的半导体存储器, 其特征在于:

上述半导体存储器包含连接到上述第 1 读出节点 (SN2) 上的电容元件 (C20)。

5. 如权利要求 4 中所述的半导体存储器, 其特征在于:

上述半导体存储器还包含屏蔽线 (SL1、SL2), 该屏蔽线与上述折叠位线对 (BLL、/BLL) 并行地配置, 被连接到上述电位节点上以维持规定的电位。

6. 如权利要求 1 中所述的半导体存储器, 其特征在于:

10 上述第 1 电位供给电路 (QN22) 包含连接在电位节点与上述第 1 位线 (BLL) 之间的第 1 晶体管 (QN22),

上述第 2 电位供给电路 (QN21) 包含连接在上述电位节点与上述第 2 位线 (/BLL) 之间的第 2 晶体管 (QN21),

15 上述控制电路 (20) 对上述第 1 晶体管 (QN22) 的栅输出第 1 控制信号, 对上述第 2 晶体管 (QN21) 的栅输出第 2 控制信号。

7. 如权利要求 6 中所述的半导体存储器, 其特征在于:

上述第 1 开关电路 (SG20) 包含在其栅上接受上述第 2 控制信号的第 3 晶体管 (QN32),

20 上述第 2 开关电路 (SG10) 包含在其栅上接受上述第 1 控制信号的第 4 晶体管 (QN31)。

具有读出放大器的半导体存储器

(一) 技术领域

5 本发明涉及半导体存储器,更详细地说,涉及折叠位线配置方式的半导体存储器。

(二) 背景技术

图 15 是示出现有的折叠位线方式的半导体存储器的存储单元阵列及其外围电路的结构概略框图。

10 存储单元阵列 30 包含多个块 BK0~BK_n。各块分别包含:多个折叠位线对 BL 和 /BL;多条字线 WL;以及多个存储单元 MC。多个读出放大器 100 的每一个连接到 1 个位线对 BL 和 /BL 上。

参照图 15,在折叠位线方式的半导体存储器中,各读出放大器 100 与 1 个位线对 BL 和 /BL 连接。因此,与以往相比,半导体存储器内部
15 的读出放大器的数目可削减为约一半。

现说明图 15 的半导体存储器的读出工作。

在图 15 中,在选择了块 BK1 的情况下,已被选择的块 BK1 区域内的多个位线对 BL 和 /BL 被选择。在此,如果着眼于图 15 内的区域 301,则区域 301 内的读出放大器 100 选择块 BK1 一侧的位线对 BLL 和
20 /BLL,断开块 BK2 一侧的位线对 BLR 和 /BLR。其它的读出放大器 100 也选择块 BK1 一侧的位线对 BL 和 /BL,断开块 BK2 一侧和块 BK0 一侧的位线对 BL 和 /BL。

在利用以上的工作选择了块 BK1 内的多个位线对 BL 和 /BL 后,利用行译码器 40 选择块 BK1 内的未图示的任意的字线 WL,其结果是,成
25 为读出工作的对象的未图示的多个存储单元 MC 被选择。将已被选择的多个存储单元 MC 的数据在对应的位线 BL 或 /BL 上读出,该数据由与位线对 BL 和 /BL 对应的读出放大器 100 来保持。

通过依次变更列地址,将由读出放大器 100 保持的数据连续地输出到未图示的数据输入输出线对 IO 和 /IO 上。将连续地输出与以这种
30 方式选择了的字线对应的多个存储单元的数据的方法称为页模式存取。

图 16 是示出图 15 中的区域 301 内的结构的电路图。

参照图 16, 读出放大器 100 是能将已放大的电位按原样再次写入来利用的触发器型的。读出放大器 100 包含 P 沟道 MOS 晶体管 QP1 ~ QP3 和 N 沟道 MOS 晶体管 QN1 ~ QN3。

5 位线对 BLL 和 /BLL 分别连接多个存储单元 MC。此外, 在位线 BLL 与位线 /BLL 之间连接均衡器 15。均衡器 15 包含 N 沟道 MOS 晶体管 QN4 ~ QN6。均衡器 15 在晶体管 QN4 ~ QN6 的栅上接受已激活的均衡激活信号 BLEQL 时工作, 将位线对 BLL 和 /BLL 的电位预充电到 VCC/2。

10 经选择门 SG1 连接读出放大器 100 与位线对 BLL 和 /BLL。选择门 SG1 包含 N 沟道 MOS 晶体管 QN7 和 QN8。晶体管 QN7 被连接在位线 /BLL 与读出放大器 SA 内的读出节点 SN1 之间。晶体管 QN8 被连接在位线 BLL 与读出放大器 SA 内的读出节点 SN2 之间。晶体管 QN7 和 QN8 在其栅上接受选择信号 SEL。

15 位线对 BLR 和 /BLR 分别连接多个存储单元 MC。此外, 在位线 BLR 与位线 /BLR 之间连接均衡器 16。均衡器 16 的电路结构与均衡器 15 相同。但是, 对均衡器 16 内的各晶体管的栅输入均衡激活信号 BLEQR。

20 经选择门 SG2 连接读出放大器 100 与位线对 BLR 和 /BLR。选择门 SG2 包含 N 沟道 MOS 晶体管 QN9 和 QN10。晶体管 QN9 被连接在位线 /BLR 与读出放大器 SA 内的读出节点 SN1 之间。晶体管 QN10 被连接在位线 BLR 与读出放大器 SA 内的读出节点 SN2 之间。晶体管 QN9 和 QN10 在其栅上接受选择信号 SER。

现说明具有以上的电路结构的半导体存储器的读出工作。

图 17 是示出了现有的半导体存储器的页模式存取中的读出工作的时序图。

25 在图 17 中说明图 16 中的位线对 BLL 和 /BLL 被选择的情况的工作。参照图 17, 在时刻 t0 以前, 由于均衡激活信号 BLEQL、BLEQR 都是高电平, 故位线对 BLL 和 /BLL 以及位线对 BLR 和 /BLR 都被预充电到 VCC/2。

30 在时刻 t0 处, 如果图 15 的块 BK1 被选择, 则连接到区域 301 的读出放大器 100 上的 2 个位线对中的位线对 BLL 和 /BLL 被选择。于是, 选择信号 SEL 维持为高电平, 选择信号 SER 为低电平。于是, 选择门 SG2 内的晶体管 QN9 和 QN10 成为关断状态。其结果是, 位线对 BLR 和 /BLR 成为非选择。

接着，在时刻 t_1 处，输入到均衡器 15 中的均衡激活信号 BLEQL 成为低电平、于是，位线/BLL 和位线 BLL 都成为浮置状态。

接着，在时刻 t_2 处，图 16 中的字线 WLn 被选择。现在，在图 16 中，假定连接到字线 WLn 和位线/BLL 上的存储单元 MC1 存储了低电平的
5 数据。此时，在时刻 t_2 处位线/BLL 的电位从 $VCC/2$ 起有一些下降。

接着，在时刻 t_3 处，如果读出放大器激活信号 SEN 成为高电平，读出放大器激活信号/SEN 成为低电平，则读出放大器 100 开始工作。即，将位线/BLL 的电位放大为接地电位 GND，将位线 BLL 的电位放大为内部电源电位 VCC。

10 读出放大器 100 在放大了位线/BLL 与 BLL 的电位差后，读出放大器 100 维持位线/BLL 和 BLL 的电位。

在块 BK1 中，多个读出放大器 100 放大了对应的位线对 BLL 和/BLL 的电位差后，从列译码器 45 输出的列地址信号依次被变更。此时，与已被变更的列地址对应的存储单元 MC 的数据信号 DQ_i 连续地被输出。

15 如上所述，在页模式存取中，在读出放大器放大了对应的位线对的电位差后到将已放大的电位差作为数据信号 DQ_i 输出为止的期间内，将位线对的一方的位线的电压保持为内部电源电位 VCC，将另一方的位线的电压保持为接地电位 GND。

现在，半导体存储器要求实现进一步的微细化。由于该微细化的缘故，引起半导体存储器的存储单元阵列内的布线与存储单元的干扰，
20 发生了存储单元的电荷保持功能下降的问题。特别是，在以作为页模式存取的一种的字符串输出为特征的 SDRAM 中，在读出工作时，将位线对的电位差保持为内部电源电位 VCC 与接地电位 GND 的差的期间变长。于是，如果由于加工微细化的缘故在位线与存储单元之间包含漏
25 泄通路，则存储单元的电荷保持能力的下降变得显著。

图 18 是说明现有的半导体存储器内的存储单元的电荷蓄积能力的下降用的示意图。

参照图 18，假定在存储单元阵列 30 内成为读出工作的对象的存储单元 MC10 和 MC20 的蓄积节点的电荷都是低电平。此外，假定存储单元
30 MC1 和 MC2 都保持了高电平的数据，存储单元 MC3 和 MC4 都保持了低电平的数据。

此时，如果选择字线 WLn ，则位线/ $BLn + 1$ 的电位维持为低电平，

位线 BL_{n+1} 的电位维持为高电平。另一方面，位线/ BL_n 的电位维持为低电平，位线 BL_n 的电位维持为高电平。

其结果是，在保持高电平的数据的存储单元 MC_1 与维持为低电平的位线/ BL_n 之间在规定期间中产生高的电压应力。于是，如果在存储单元 MC_1 中存在漏泄通路 R_1 ，则在存储单元 MC_1 中电荷消失。存储单元 MC_2 的情况也与存储单元 MC_1 的情况相同，在存储单元 MC_2 与位线/ BL_n 之间在规定期间中产生高的电压应力。于是，如果在存储单元 MC_2 中存在漏泄通路 R_2 ，则在存储单元 MC_2 中电荷消失。

存储单元 MC_4 也是同样的，如果在存储单元 MC_4 与位线 BL_n 之间施加高的电压应力，则如果存在漏泄通路 R_4 ，则存储单元 MC_4 的电荷消失。

以上的结果是，在页模式存取的读出工作中，在位线对长时间地施加高的电压应力这一点成为原因，该原因引起存储单元的蓄积电荷的消失。

此外，由于近年来的半导体存储器的低电压化的缘故，存在读出容量下降的趋势。

图 19A 是说明在存储单元 MC 中保持了低电平的数据的情况的读出放大器的工作用的示意图。此外，图 19B 是说明在存储单元 MC 中保持了高电平的数据的情况的读出放大器 100 的工作用的示意图。

如图 19A 中所示，在存储单元 MC 内的数据为低电平的情况下，假定连接了存储单元 MC （以下，称为读出侧）的位线为位线/ BL_a 。此外，假定没有连接存储单元 MC （以下，称为参照侧）的位线为位线 BL_a 。再者，假定读出放大器 SA 内的晶体管 QN_1 的栅源间电压为 V_{gsa} 。

此外，如图 19B 中所示，在存储单元 MC 内的数据为高电平的情况下，假定读出侧的位线为位线/ BL_b 。此外，假定参照侧的位线为位线 BL_b 。再者，假定读出放大器 100 内的晶体管 QN_2 的栅源间电压为 V_{gsb} 。

图 20 是示出图 19A 和图 19B 的情况下的读出放大器的工作的时序图。

参照图 20，如图 19A 中所示，在存储单元 MC 中保持的数据为低电平的情况下，将读出侧的位线/ BL_a 的电位放大为接地电位 GND 。于是，读出工作前的晶体管 QN_1 的栅源电位 V_{gsa} 为 $V_{CC}/2$ 。于是，在时刻 t_{10}

处读出放大器 SA 开始工作的情况下,在时刻 t_{12} 处,将参照侧位线 BLa 的电位放大为内部电源电位 VCC,将读出侧位线/BLa 的电位放大为接地电位 GND。另一方面,如图 19B 中所示,在存储单元 MC 中保持的数据为高电平的情况下,将参照侧的位线 BLb 的电位放大为接地电位 GND。于是,读出工作前的晶体管 QN2 的栅源电位成为读出侧的位线/BLb 的电位,即 $VCC/2 + \Delta V$ 。在此, ΔV 是在存储单元 MC 的高电平的数据在读出侧的位线/BLb 上被读出时上升的电位。于是,被保存在存储单元 MC 中的数据为高电平的情况的晶体管 QN2 的栅源电位 V_{gsb} 比存储单元 MC 的数据为低电平的情况的晶体管 QN1 的栅源电位 V_{gsa} 大。于是,由于存储单元 MC 的数据为高电平的情况的读出放大器 100 的读出工作而流过的电流值比由于存储单元 MC 的数据为低电平的情况的读出放大器 100 的读出工作而流过的电流值高。其结果是,在存储单元 MC 的数据为高电平的情况下,如果在时刻 t_{10} 处读出放大器 100 开始工作,则在比时刻 t_{12} 早的时刻 t_{11} 处,读出侧位线 BLb 的电位放大为内部电源电位 VCC,参照侧位线/BLb 的电位放大为接地电位 GND。

以上的结果是,由于低电压化的缘故,低电平的数据的读出容限比高电平的数据的读出容限严格。再者,低电平的数据的读出工作受到地噪声的影响。

20 图 21 是说明因地噪声的读出工作产生的影响用的示意图。

参照图 21,在半导体存储器的存储单元阵列内的块 BK1 被选择、而且字线 WL_n 被选择了的情况下,假定连接到字线 WL_n 上的多个存储单元 MC1 ~ MC8 中只有存储单元 MC6 保持了低电平的数据,其它的存储单元 MC 保持了高电平的数据。

25 此时,如图 20 中所示,读出高电平的数据的情况的读出放大器 100 的工作比读出低电平的数据的情况的读出放大器 100 的工作快。其结果是,在图 21 中,由于多个读出放大器读出高电平的数据,故发生大的放电电流,使接地电位 GND 浮起。该浮起成为地噪声 GNDN。

其结果是,如果读出保存在存储单元 MC7 中的数据的情况的读出放大器 100 尚未开始工作,则图 19A 中示出的读出放大器 100 内的晶体管 QN1 的栅源电位 V_{gsa} 进一步减小。进而,产生低电平的数据反转为高电平的数据的情况。

图 22 是在图 21 中示出的存储单元 MC6 的数据的读出工作时数据发生反转的情况的时序图。

参照图 22, 位线对 BL_a 和 /BL_a 的时序图示出读出放大器 100 对于存储单元 MC6 的工作。此外, 位线对 BL_b 和 /BL_b 的时序图示出读出放大器 100 对于存储单元 MC6 以外的其它的存储单元 MC 的工作。在读出放大器 100 对于存储单元 MC6 以外的其它的存储单元 MC 的读出工作从时刻 t₁₅ 开始了的情况下, 发生大的充放电电流。其结果是, 发生地噪声 GNDN。在发生了地噪声 GNDN 后读出放大器 100 对存储单元 MC6 开始读出工作的情况下, 如果地噪声 GNDN 对读出放大器 100 内的晶体管 QN1 和 QN2 产生相等的影响, 则没有问题。但是, 在读出放大器 100 的工作前, 读出侧的位线 /BL_a 的电位比参照侧的位线 BL_a 的电位低。于是, 晶体管 QN1 的栅源电位比晶体管 QN2 的栅源电位高。于是, 地噪声 GNDN 在读出位线 /BL_a 中的传播比在参照侧位线 BL_a 中的传播快。其结果是, 虽然在存储单元 MC6 中保存的数据是低电平, 但由于地噪声 GNDN 的影响的缘故, 引起数据的反转, 存在读出放大器 100 将存储单元 MC6 的数据作为高电平而放大位线对 BL_a 和 /BL_a 的电位差的可能性。

此外, 如果由于地噪声的影响的缘故栅源电位 V_{gs} 减小, 则读出工作显著地下降, 读出放大器内部的触发器变得不稳定。此时, 如果连接位线与数据输入输出线, 则位线的电位被拉到数据输入输出线的电位。其结果是, 也存在引起数据破坏的可能性。

以上, 说明了地噪声, 但除此以外, 也不能忽视来自存储单元的读出时的电荷量的差或制造时的读出放大器的离散性的影响。读出时从存储单元读出的电荷量的差或制造工艺的离散性在差分放大的速度方面产生离散性。差分放大的速度差成为地噪声或线间的噪声, 使读出放大器的工作容限下降。

图 23 是示出图 15 中示出的存储单元阵列的一部分的框图。

参照图 23, 在各位线 BL 或 /BL 间存在布线间电容 C_{b1}。此外, 读出放大器 100 的读出节点 SN 间也存在布线间电容 C_{sa}。这些布线间电容 C_{b1} 和 C_{sa} 将因读出放大器工作时的放大速度的差异而产生的线间噪声传播到各位线 BL 或 /BL 和各读出放大器 100。其结果是, 已被传播的线间噪声对读出放大器 100 的工作容限产生影响。

根据以上的原因,为了确保读出放大器的工作容限,必须减少对读出工作有影响的地噪声和线间噪声。

在特开平 5-101660 号公报中报告了以在封闭读出方式的读出放大器的读出工作时位线线间噪声的减少为目的的半导体存储器。但是,由于封闭读出方式本身对地噪声或线间噪声是敏感的,故在封闭读出方式中,与读出工作容限的下降相联系。

(三)发明内容

本发明的目的在于提供能抑制存储单元的电荷保持能力的下降的、具备可防止误工作的读出放大器的半导体存储器。

10 本发明的半导体存储器包含:构成折叠位线对的第 1 和第 2 位线;存储单元;均衡器;第 1 和第 2 读出节点;读出放大器;第 1 开关电路;第 2 开关电路;以及控制电路。将存储单元连接到第 2 位线上。均衡器被连接到第 1 和第 2 位线上,对第 1 和第 2 位线进行预充电。将读出放大器连接到第 1 和第 2 读出节点上。第 1 开关电路连接在第 1 15 位线与第 1 读出节点之间。第 2 开关电路连接在第 2 位线与第 2 读出节点之间。控制电路控制均衡器及第 1 和第 2 开关电路。均衡器包含第 1 电位供给电路和第 2 电位供给电路。第 1 电位供给电路对第 1 位线供给规定的电位。第 2 电位供给电路对第 2 位线供给规定的电位。控制电路在均衡器对第 1 和第 2 位线进行了预充电后到读出放大器结束工作为止的期间内,在使第 2 开关电路导通的原有状态下使第 1 20 开关电路关断,控制第 1 电位供给电路,以便对第 1 位线供给规定的电位。

较为理想的是,控制电路从读出放大器开始了工作后经过规定的时间后起控制第 1 开关电路和第 1 电位供给电路。

25 由此,可减少构成折叠位线对的 2 条位线间的电压应力。于是,减少了在读出工作时发生的充放电电流。其结果是,可防止因漏泄通路发生的存储单元的蓄积电荷的消失。此外,利用充放电电流的减少而减少了地噪声。再者,通过对在读出工作时与读出放大器隔离了的第 1 位线供给规定的电位,使第 1 位线具有屏蔽线的功能。因此,可防止 30 线间噪声的传播。

以上的结果是,本发明的半导体存储器可准确地进行读出工作,可防止读出放大器的误工作。

较为理想的是,控制电路在读出放大器进行工作之前控制第 1 开关电路和第 1 电位供给电路。

由此,第 1 位线在读出工作开始前与读出放大器断开。于是,可进一步抑制充放电电流的发生。

5 较为理想的是,半导体存储器包含连接到第 1 读出节点上的电容元件。

由此,即使在断开了第 1 位线的情况下,第 1 读出节点也可确保电容。于是,可抑制噪声的影响。

10 较为理想的是,第 1 电位供给电路包含第 1 晶体管,第 2 电位供给电路包含第 2 晶体管。将第 1 晶体管连接在电位节点与第 1 位线之间。将第 2 晶体管连接在电位节点与第 2 位线之间。控制电路对第 1 晶体管的栅输出第 1 控制信号,对第 2 晶体管的栅输出第 2 控制信号。

15 由此,可使均衡器内的第 1 和第 2 电位供给电路分开工作。于是,在对第 1 位线和第 2 位线供给各自的电位的情况下,没有必要配置新的电位供给电路。

第 1 开关电路包含第 3 晶体管,第 2 开关电路包含第 4 晶体管。第 3 晶体管在其栅上接受第 2 控制信号。第 4 晶体管在其栅上接受第 1 控制信号。

由此,可减少存储单元阵列内的布线条数。

20 较为理想的是,半导体存储器还包含屏蔽线。屏蔽线与折叠位线对并行地配置,被连接到电位节点上以维持规定的电位。

由此,可防止起因于线间电容的噪声的传播。

25 在本发明的半导体存储器中,在读出工作时,将参照侧的位线与读出节点断开,将其电位固定于 $VCC/2$ 。在读出工作后将参照侧的位线与读出节点断开了的情况下,可缓和选择存储单元与位线之间的电压应力。于是,可防止存储单元的电荷保持能力的下降。

30 在读出工作后将参照侧的位线与读出节点断开了的情况下,参照侧的位线除了缓和电压应力外,可具有防止位线间的噪声传播的屏蔽线的功能。其结果是,可防止读出放大器的误工作。再者,因为减少了充放电电流,故可减少 GND 噪声。其结果是,可防止读出放大器的误工作。

以上的结果是,可提供能抑制存储单元的电荷保持能力的下降的、

具备可防止误工作的读出放大器的半导体存储器。

通过参照附图的后述的本发明的详细的说明,本发明的上述和其它的目的、特征、方面和优点会变得更加明白。

(四)附图说明

5 图 1 是示出本发明的实施例中的半导体存储器的整体结构的概略框图。

图 2 是示出图 1 中的存储单元阵列和读出放大器的结构的细节的框图。

10 图 3 是示出图 1 中的读出放大器电路和输入输出电路的结构细节的框图。

图 4 是示出图 2 中的区域的细节的电路图。

图 5 是示出本发明的实施例 1 中的半导体存储器的工作的时序图。

15 图 6 是示出本发明的实施例 1 中的半导体存储器的工作的另一例的时序图。

图 7 是示出本发明的实施例 2 中的半导体存储器内的读出放大器及其外围电路的结构的电路图。

图 8 是示出本发明的实施例 2 中的半导体存储器的工作的时序图。

20 图 9 是示出本发明的实施例 2 中的半导体存储器的工作的另一例的时序图。

图 10 是示出本发明的实施例 3 中的半导体存储器内的读出放大器及其外围电路的结构的电路图。

25 图 11 是示出本发明的实施例 3 中的半导体存储器的读出工作的时序图。

图 12 是示出本发明的实施例 3 中的半导体存储器的工作的另一例的时序图。

图 13 是示出本发明的实施例 4 中的半导体存储器内的读出放大器及其外围电路的结构的电路图。

30 图 14 是示出本发明的实施例 5 中的半导体存储器内的读出放大器及其外围电路的结构的电路图。

图 15 是示出现有的折叠位线方式的半导体存储器的存储单元阵列

及其外围电路的结构的概略框图。

图 16 是示出图 15 中的区域内的结构的电路图。

图 17 是示出现有的半导体存储器的页模式存取中的读出工作的时序图。

5 图 18 是说明现有的半导体存储器内的存储单元的电荷蓄积能力的下降用的示意图。

图 19A 是说明在存储单元 MC 中保持了低电平的数据的情况的读出放大器的工作用的示意图。

10 图 19B 是说明在存储单元 MC 中保持了高电平的数据的情况的读出放大器的工作用的示意图。

图 20 是示出图 19 的情况下的读出放大器的工作的时序图。

图 21 是说明因地噪声的读出工作产生的影响用的示意图。

图 22 是在图 21 中示出的存储单元 MC 的数据的读出工作时数据发生反转的情况的时序图。

15 图 23 是示出图 15 中示出的存储单元阵列的一部分的框图。

具体实施方式

以下，参照附图，详细地说明本发明的实施例。再有，对于图中同一或相当的部分标以同一符号，不重复进行其说明。

〔实施例 1〕

20 图 1 是示出本发明的实施例中的半导体存储器的整体结构的概略框图。

参照图 1，半导体集成电路装置 1 包含：控制信号输入端子 10，接受下述的控制信号，即列地址选通信号/CAS 或行地址选通信号/RAS 或写启动信号/WE 或输出启动信号/OE；地址输入端子 12，接受地址信
25 号 A1 ~ An (n: 自然数)；以及输入端子 14，对输入输出数据 DQ1 ~ DQi (i: 自然数) 进行授受。

半导体集成电路装置 1 还包含：控制电路 20；存储单元阵列 30；地址缓冲器 35；行译码器 40 和列译码器 45；读出放大器电路 50；输入输出电路 60；输入缓冲器 70；以及输出缓冲器 75。

30 控制电路 20 响应于对控制信号输入端子 10 输入的控制信号，控制半导体集成电路装置 1 的整体工作。

存储单元阵列 30 具有配置成行列状的多个存储单元。在存储单元

的各行中配置字线，在存储单元的各列中配置位线。各存储单元分别配置在字线与位线的交点上。再有，位线构成折叠位线对。

地址缓冲器 35 将从外部输入的地址信号有选择地供给行译码器 40 和列译码器 45。行译码器 40 响应于从地址缓冲器 35 供给的行地址信号，驱动多条字线中的至少 1 条。列译码器 45 响应于从地址缓冲器 35 供给的列地址信号，驱动多个折叠位线对中的至少 1 个。读出放大器电路 50 包含多个读出放大器。对 1 个折叠位线对设置 1 个读出放大器，放大折叠位线对间产生的电位差。

输入输出电路 60 将列译码器 45 选择了的折叠位线对的电位电平供给输出缓冲器 75。输出缓冲器 75 放大已供给的电位电平，作为输出数据 $DQ1 \sim DQi$ 输出给外部。输入缓冲器 70 在从外部输入了输入数据 $DQ1 \sim DQi$ 时，放大输入数据 $DQ1 \sim DQi$ 。输入输出电路 60 接受已被放大的输入数据 $DQ1 \sim DQi$ ，对由列译码器 45 选择了的位线对供给输入数据 $DQ1 \sim DQi$ 。

图 2 是示出图 1 中的存储单元阵列和读出放大器的结构的细节的框图。

参照图 2，存储单元阵列 30 由多个存储单元阵列块 $BK0 \sim BK_n$ 构成。存储单元阵列块 $BK0 \sim BK_n$ 与列译码器 45 并行地排列。各存储单元阵列块包含多个折叠位线对 BL 和 /BL、多条字线 $WL0 \sim WLn$ (n 是自然数) 和多个存储单元。

图 1 的读出放大器电路 50 由图 2 中示出的多个读出放大器带 $SA0 \sim SAn+1$ 构成。各读出放大器带与各存储单元阵列块交替地排列。各读出放大器带包含多个读出放大器 100。

各存储单元阵列块 BKn 内的折叠位线对 BL 和 /BL 包含连接到读出放大器带 SAn 内的读出放大器 100 上的折叠位线对 BLR 和 /BLR 以及连接到读出放大器带 $SAn+1$ 内的读出放大器 100 上的折叠位线对 BLL 和 /BLL。折叠位线对 BLR 和 /BLR 以及折叠位线对 BLL 和 /BLL 与行译码器 40 并行地交替排列。各读出放大器 100 连接位线对 BLR 和 /BLR 与位线对 BLL 和 /BLL。

此外，字线 $WL0 \sim WLn$ 与列译码器 45 并行地排列。

存储单元 MC 排列在各位线对 BL 和 /BL 的一方的位线与各字线的交点上。

图 3 是示出图 1 中的读出放大器电路和输入输出电路的结构细节的框图。

参照图 3, 输入输出电路 60 包含多个列选择门 61、前置放大器 62 和数据门锁电路 63。

5 存储单元阵列 30 内的多个读出放大器 100 经对应的列选择门 61 连接到数据输入输出线对 IO 和 /IO 上。列选择门 61 在对应的列选择线 CSL 被选择了的情况下连接读出放大器 100 与数据输入输出线对 IO 和 /IO。

10 将前置放大器 62 连接到数据输入输出线对 IO 和 /IO 上。前置放大器 62 接受高电平的前置放大器激活信号 PAE, 放大数据输入输出线对 IO 和 /IO 的电位差, 作为数据信号 DQ_i 而输出。数据门锁电路 63 在数据门锁信号 RDL 为低电平时, 取入从前置放大器 62 输出的数据信号 DQ_i 。此外, 在数据门锁信号 RDL 为高电平时, 门锁数据信号 DQ_i 。再有, 从控制电路 20 输出前置放大器激活信号 PAE 和数据门锁信号 RDL。
15 输出缓冲器 75 输出与数据线对 DB 和 /DB 的状态对应的数据信号 DQ_i 。

图 4 是示出图 2 中的区域 90 的细节的电路图。

参照图 4, 读出放大器 100 是能将已放大的电位按原样再次写入来利用的触发器型的。读出放大器 100 包含 P 沟道 MOS 晶体管 $QP_1 \sim QP_3$ 和 N 沟道 MOS 晶体管 $QN_1 \sim QN_3$ 。晶体管 QP_1 和 QP_2 构成将位线的电位
20 放大为内部电源电位 VCC 的 P 型读出放大器 SAP。晶体管 QN_1 和 QN_2 构成将位线的电位放大为接地电位 GND 的 N 型读出放大器 SAN。晶体管 QP_3 连接 P 型读出放大器 SAP 与内部电源电位 VCC 节点。晶体管 QN_3 连接 N 型读出放大器 SAN 与接地电位 GND 节点。

25 位线对 BLL 和 /BLL 分别连接多个存储单元 MC。各存储单元 MC 包含存取晶体管 TR 和电容器 C。存取晶体管 TR 和电容器 C 串联地连接在对应的位线 BLL 或 /BLL 与单元电位 VCP 之间。将存取晶体管 TR 的栅连接到对应的字线 WLn 上。

30 在位线 BLL 与 /BLL 之间连接均衡器 151。均衡器 151 包含 N 沟道 MOS 晶体管 $QN_{21} \sim QN_{23}$ 。晶体管 QN_{21} 是将位线 /BLL 预充电到 $VCC/2$ 用的晶体管, 被连接在 $VCC/2$ 的电位节点与位线 /BLL 之间。对晶体管 QN_{21} 的栅输入预充电信号 P1。晶体管 QN_{22} 是将位线 BLL 预充电到 $VCC/2$ 用的晶体管, 被连接在 $VCC/2$ 的电位节点与位线 BLL 之间。对

晶体管 QN22 的栅输入预充电信号 P2。晶体管 QN23 是对位线对 BLL 和 /BLL 进行均衡用的晶体管，被连接在位线 BLL 与位线/BLL 之间。对晶体管 QN23 的栅输入均衡信号 EQ1。从控制电路 20 输出预充电信号 P1、P2 和均衡信号 EQ1。

- 5 选择门 10 连接在读出节点 SN1 与位线/BLL 之间。选择门 10 由 N 沟道 MOS 晶体管 QN31 构成，对其栅输入选择信号 SEL1。此外，选择门 20 连接在读出节点 SN2 与位线 BLL 之间。选择门 20 由 N 沟道 MOS 晶体管 QN32 构成，对其栅输入选择信号 SEL2。从控制电路 20 输入选择信号 SEL1 和 SEL2。读出放大器 100 经读出节点 SN1 连接到选择门 10 SG10 上，经读出节点 SN2 连接到选择门 SG20 上。

- 位线对 BLR 和 /BLR 也与位线对 BLL 和 /BLL 同样，分别连接多个存储单元 MC。在位线 BRL 与 /BRL 之间连接均衡器 152。均衡器 152 包含 N 沟道 MOS 晶体管 QN41 ~ QN43。晶体管 QN41 是将位线 /BLR 预充电到 VCC/2 用的晶体管，被连接在 VCC/2 的电位节点与位线 /BLR 之间。对 15 晶体管 QN41 的栅输入预充电信号 P3。晶体管 QN42 是将位线 BLR 预充电到 VCC/2 用的晶体管，被连接在 VCC/2 的电位节点与位线 BLR 之间。对晶体管 QN42 的栅输入预充电信号 P4。晶体管 QN43 是对位线对 BLR 和 /BLR 进行均衡用的晶体管，被连接在位线 BLR 与位线 /BLR 之间。对晶体管 QN43 的栅输入均衡信号 EQ2。从控制电路 20 输出预充电信号 20 P3、P4 和均衡信号 EQ2。

- 选择门 SG30 连接在读出节点 SN1 与位线 /BLR 之间。选择门 SG30 由 N 沟道 MOS 晶体管 QN51 构成，对其栅输入选择信号 SER1。此外，选择门 SG40 连接在读出节点 SN2 与位线 BLR 之间。选择门 SG40 由 N 沟道 MOS 晶体管 QN52 构成，对其栅输入选择信号 SER2。从控制电路 25 20 输入选择信号 SER1 和 SER2。

将电容器 C10 连接到读出节点 SN1 上。将电容器 C10 的另一端连接到接地电位 GND 的节点上。另一方面，将电容器 C20 连接到读出节点 SN2 上。将电容器 C20 的另一端连接到接地电位 GND 的节点上。

现说明具有以上的电路结构的半导体存储器的读出工作。

- 30 图 5 是示出本发明的实施例 1 中的半导体存储器的工作的时序图。

现说明图 4 中的字线 WLn 被选择、读出存储单元 MC1 的数据的情

况。

参照图 5, 在时刻 t_0 以前, 输入到选择门 SG10 ~ SG40 上的选择信号 SEL1、SEL2、SER1、SER2 都是高电平。于是, 选择门 SG10 ~ SG40 全部导通。其结果是, 读出节点 SN1 与位线/BLL 和位线/BLR 连接, 读出节点 SN2 与位线 BLL 和位线 BLR 连接。此时, 由于输入到均衡器 151 上的预充电信号 P1、P2 和均衡信号 EQ1 都是高电平, 故位线对 BLL 和 /BLL 被预充电到 $VCC/2$ 。同样, 输入到均衡器 152 上的预充电信号 P3、P4 和均衡信号 EQ2 也全部是高电平。于是, 位线对 BLR 和 /BLR 也被预充电到 $VCC/2$ 。

10 在时刻 t_0 处, 选择信号 SER1、SER2 为低电平。于是, 选择门 SG30 和 SG40 关断。其结果是, 位线对 BLR 和 /BLR 不与读出放大器 100 连接。与此不同, 位线对 BLL 和 /BLL 维持与读出放大器 100 连接的状态。

在时刻 t_1 处, 输入到均衡器 151 上的预充电信号 P1、P2 和均衡信号 EQ1 都是低电平。由此, 位线对 BLL 和 /BLL 成为浮置状态。与此不同, 输入到均衡器 152 上的预充电信号 P3、P4 和均衡信号 EQ2 全部维持为高电平。其结果是, 位线对 BLR 和 /BLR 维持 $VCC/2$ 的电位。

接着, 在时刻 t_2 处, 字线 WLn 被选择。此时, 存储单元 MC1 内的存取晶体管 TR 导通, 存储单元 MC1 保持了的低电平的数据在位线/BLL 上被读出。其结果是, 位线/BLL 的电位从 $VCC/2$ 下降 ΔV 。

20 接着, 在时刻 t_3 处, 读出放大器激活信号 SEN 和 /SEN 激活。其结果是, 读出放大器 100 开始读出工作, 将位线/BLL 的电位放大为接地电位 GND, 将位线 BLL 的电位放大为内部电源电位 VCC 。读出放大器 100 在放大了位线对 BLL 和 /BLL 的电位后, 维持该电位。

25 读出放大器 100 在结束了位线对 BLL 和 /BLL 的电位的放大后经过了规定期间的时刻 t_4 处, 使输入到选择门 SG20 中的选择信号 SEL2 为低电平。于是, 选择门 SG20 被关断, 位线 BLL 与读出节点 SN2 断开。其结果是, 与读出放大器 100 断开了的位线 BLL 的电位成为内部电源电位 VCC 的浮置状态。另一方面, 读出节点 SN2 维持原有的内部电源电位 VCC 。于是, 可进行读出工作。此时, 由于读出节点 SN2 与位线 BLL 断开, 故电容变小, 虽然对于地噪声或线间噪声这样的噪声敏感的可能性仍存在, 但由于将电容器 C20 连接到读出节点 SN2 上, 故读出节点 SN2 可保持能耐受噪声的电容。

接着，在时刻 t_5 处，输入到均衡器 151 中的多个信号中的预充电信号 P2 成为高电平。其结果是，晶体管 QN22 导通，对位线 BLL 供给 $VCC/2$ 的电位。其结果是，位线 BLL 的电位被预充电到 $VCC/2$ 。于是，位线 BLL 具有屏蔽线的功能，防止线间噪声因布线间电容而传播。

5 在位线 BLL 维持了 $VCC/2$ 的电位的时刻 t_6 处，对应的列选择线 CSL 被选择。其结果是，对应的列选择门 61 导通，读出节点 SN1 和 SN2 与数据输入输出线对 I0 和 /I0 连接。数据输入输出线对 I0 和 /I0 的电位被箝位为内部电源电位 VCC，读出节点 SN1 的低电位的电位作为数据输入输出线对 I0 和 /I0 的振幅被读出。

10 接着，在时刻 t_7 处，前置放大器信号 PAE 激活，前置放大器 62 放大数据输入输出线对 I0 和 /I0 的振幅差。其后，数据门控信号 RDL 成为低电平，数据门控电路 63 门控前置放大器 62 的输出信号。在时刻 t_8 处数据门控信号 RDL 成为高电平时，数据门控电路 63 将已门控的数据信号 DQ_i 输出给数据线对 DB 和 /DB。主放大器 64 与数据线对 DB 15 和 /DB 的状态相对应，输出低电平的数据信号 DQ_i 。

再次着眼于位线对 BLL 和 /BLL，在字线 WLn 成为非选择的时刻 t_9 之后，必须再次将位线对 BLL 和 /BLL 均衡到 $VCC/2$ ，但在连接了位线 /BLL 与读出节点 SN1 的状态和位线 BLL 与读出节点 SN2 为非连接的状态中，彼此的电容不同。于是，在时刻 t_{11} 处选择信号 SEL2 成为高电 20 平，使选择门 SG20 导通，成为连接了位线 BLL 与读出节点 SN2 的状态。由此，连接了位线 /BLL 与读出节点 SN1 的状态和连接了位线 BLL 与读出节点 SN2 的状态中的电容变得相等。再有，预充电信号 P2 在在时刻 t_{10} 处成为低电平。

如果在时刻 t_{11} 处连接位线 BLL 与读出节点 SN2，则位线 BLL 的电 25 位再次成为内部电源电位 VCC。

其后，通过在时刻 t_{12} 处选择信号 SER1、SER2 成为高电平，位线对 BLR 和 /BLR 与读出节点 SN1 和 SN2 被连接。接着，在时刻 t_{13} 处，输入到均衡器 150 中的预充电信号 P1、P2 和均衡信号 EQ1 成为高电平。于是，在时刻 t_{13} 以后，位线对 BLL 和 /BLL 被预充电到 $VCC/2$ 。

30 根据以上的工作，在实施例 1 中的半导体存储器中，将已被选择的折叠位线对中的没有连接成为读出对象的存储单元的参照侧的位线与读出节点断开，将其电位维持于 $VCC/2$ 。于是，与现有的半导体存储器

中的读出工作相比，可缓和位线间的电压应力。此外，通过连接与位线断开的读出节点的电容器，可确保电容。再有，在本发明的半导体存储器中，由于将已被断开的位线的电位固定于 $VCC/2$ ，故没有必要设置新的电位供给电路，可用均衡器来供给电位。

5 在图 5 中的工作中，在读出放大器 100 放大了位线对 BLL 和 /BLL 的电位后，断开位线 BLL 与读出节点 SN2，但也可在读出放大器 100 开始读出工作之前断开位线 BLL 与读出节点 SN2。

图 6 是示出本发明的实施例 1 中的半导体存储器的工作的另一例的时序图。

10 参照图 6，在时刻 t_0 处断开位线对 BLR 和 /BLR 与读出节点 SN1 和 SN2 时，选择信号 SEL2 也成为低电平。其结果是，选择门 SG20 关断，参照侧的位线 BLL 与读出节点 SN2 被断开。

再者，输入到均衡器 151 中的预充电信号 P2 常时地成为高电平。其结果是，从读出放大器 100 工作之前起，位线 BLL 与读出节点 SN2 15 断开，而且其电位被固定于 $VCC/2$ 。

由于其它的工作与图 5 相同，故不重复进行其说明。

根据以上所述，进行图 6 的工作的半导体存储器在读出工作前使位线 BLL 与读出节点 SN2 断开。于是，进行图 6 的工作的半导体存储器除了进行图 5 的工作的半导体存储器的效果外，可抑制充放电电流的 20 发生。其结果是，可抑制地噪声的发生。此外，将在读出工作时被断开的位线的电位维持于 $VCC/2$ 。其结果是，已被断开的位线起到屏蔽线的功能。

[实施例 2]

25 图 7 是示出本发明的实施例 2 中的半导体存储器内的读出放大器及其外围电路的结构的电路图。

参照图 7，与图 4 相比，在实施例 2 的半导体存储器中，设置了均衡器 153 来代替均衡器 151，设置了均衡器 154 来代替均衡器 152。

均衡器 153 与均衡器 151 相比，去掉了均衡用的晶体管 QN23。均衡器 154 与均衡器 152 相比，去掉了均衡用的晶体管 QN43。

30 由于其它的电路结构与实施例 1 相同，故不重复进行其说明。

现说明具有以上的电路结构的半导体存储器的读出工作。

再有，说明在实施例 2 的半导体存储器的读出工作中图 7 的字线

WLn 被选择、读出存储单元 MC1 的数据的情况。

图 8 是示出本发明的实施例 2 中的半导体存储器的工作的时序图。

由于时刻 $t_0 \sim t_5$ 为止的工作与图 5 相同，故不重复进行其说明。

5 在时刻 t_5 处使预充电信号 P2 成为高电平后，预充电信号 P2 维持高电平。另一方面，在时刻 t_4 处成为低电平的选择信号 SEL2 不是在图 5 中的时刻 t_{11} 处成为高电平，而是在时刻 t_{12} 处成为高电平。

即，实施例 2 的半导体存储器在字线 WLn 成为非选择以后再次将位线 BLL 连接到读出节点 SN2 上，不进行将其电位维持于 VCC 的工作。

10 由此，在实施例 2 的半导体存储器中，将已被选择的折叠位线对中的没有连接成为读出对象的存储单元的参照侧的位线与读出节点断开，将其电位维持于 $VCC/2$ 。于是，与现有的半导体存储器中的读出工作相比，可缓和位线间的电压应力。此外，通过连接与位线断开的读出节点的电容器，可确保电容。

15 在图 8 中，在读出工作后将选择信号 SEL2 定为低电平，但与实施例 1 中的图 6 的工作相同，也可在读出工作前将选择信号 SEL2 定为低电平。

图 9 是示出本发明的实施例 2 中的半导体存储器的工作的另一例的时序图。

20 参照图 9，在时刻 t_0 处断开位线对 BLR 和 /BLR 与读出节点 SN1 和 SN2 时，选择信号 SEL2 也成为低电平。其结果是，选择门 SG20 关断，参照侧的位线 BLL 与读出节点 SN2 断开。

再者，输入到均衡器 151 中的预充电信号 P2 常时地成为高电平。其结果是，从读出放大器 100 工作之前起，位线 BLL 与读出节点 SN2
25 断开，而且其电位被固定于 $VCC/2$ 。由于其它的工作与图 8 相同，故不重复进行其说明。

根据以上所述，进行图 9 的工作的半导体存储器除了进行图 8 的工作的半导体存储器的效果外，可抑制充放电电流的发生。其结果是，可抑制地噪声的发生。此外，将在读出工作时被断开的位线的电位维
30 持于 $VCC/2$ 。其结果是，已被断开的位线具有屏蔽线的功能。

〔实施例 3〕

图 10 是示出本发明的实施例 3 中的半导体存储器内的读出放大器

及其外围电路的结构的电路图。

参照图 10, 与图 7 相比, 在实施例 3 的半导体存储器中, 设置了均衡器 155 来代替均衡器 153, 设置了均衡器 156 来代替均衡器 154。

5 均衡器 155 与均衡器 153 相比, 输入到晶体管 QN21 的栅上的信号是选择信号 SEL2, 来代替预充电信号 P1。此外, 输入到晶体管 QN22 的栅上的信号是选择信号 SEL1, 来代替预充电信号 P2。

同样, 均衡器 156 与均衡器 154 相比, 输入到晶体管 QN41 的栅上的信号是选择信号 SER2, 来代替预充电信号 P3。此外, 输入到晶体管 QN42 的栅上的信号是选择信号 SER1, 来代替预充电信号 P4。

10 于是, 可抑制实施例 3 的半导体存储器中的布线条数。

由于其它的电路结构与图 7 相同, 故不重复进行其说明。

现说明具有以上的电路结构的半导体存储器的读出工作。

再有, 说明在实施例 3 的半导体存储器的读出工作中图 10 的字线 WLn 被选择、读出存储单元 MC1 的数据的情况。

15 图 11 是示出本发明的实施例 3 中的半导体存储器的读出工作的时序图。

与图 8 相比, 时刻 $t_0 \sim t_4$ 为止的工作与实施例 2 的半导体存储器的读出工作相同。但是, 在选择信号 SER1、SER2 为低电平时, 位线/BLR 和 BLR 都在 $VCC/2$ 的电位处成为浮置状态。

20 如果在时刻 t_4 处选择信号 SEL2 成为低电平, 则选择门 SG20 被关断, 同时晶体管 QN21 关断。于是, 位线/BLL 成为浮置状态, 位线 BLL 与读出节点 SN2 断开, 而且其电位被维持于 $VCC/2$ 。

此外, 如果在时刻 t_{12} 处选择信号 SEL2 成为高电平, 则位线 BLL 与读出节点 SN2 连接, 再者, 晶体管 QN21 导通, 位线/BLL 的电位被预充电到 $VCC/2$ 。

25 由于其它的工作与图 8 相同, 故不重复进行其说明。

在图 11 中, 在读出工作后使选择信号 SEL2 为低电平, 但与实施例 2 中的图 9 的工作相同, 也可在读出工作前将选择信号 SEL2 定为低电平。

30 图 12 是示出本发明的实施例 3 中的半导体存储器的工作的另一例的时序图。

参照图 12, 在时刻 t_0 处断开位线对 BLR 和 /BLR 与读出节点 SN1

和 SN2 时, 选择信号 SEL2 也成为低电平。其结果是, 选择门 SG20 关断, 参照侧的位线 BLL 与读出节点 SN2 断开。

此时, 同时晶体管 QN21 成为关断状态。其结果是, 从读出放大器 100 工作前起, 位线 BLL 与读出节点 SN2 断开, 而且其电位被固定于 VCC/2。由于其它的工作与图 8 相同, 故不重复进行其说明。

[实施例 4]

图 13 是示出本发明的实施例 4 中的半导体存储器内的读出放大器及其外围电路的结构的电路图。

参照图 13, 与图 4 相比, 将电容器 C10 连接到读出节点 SN1 和 VCC/2 的电位节点上。此外, 将电容器 C20 连接到读出节点 SN2 和 VCC/2 的电位节点上。由于其它的结构与实施例 1 中的图 4 的结构相同, 故不重复进行其说明。

利用以上的结构, 将读出节点上加负载的电容器的相向电极的电位定为 VCC/2, 读出工作时的平衡变得良好。

再有, 即使在实施例 2 和实施例 3 的半导体存储器中, 通过将电容器 C10 和 C20 连接到 VCC/2 的电位节点上来代替连接到设置电位 GND 节点上, 也可得到同样的效果。

[实施例 5]

图 14 是示出本发明的实施例 5 中的半导体存储器内的读出放大器及其外围电路的结构的电路图。

参照图 14, 与图 4 相比, 新设置了屏蔽线 SL1、SL2。

屏蔽线 SL1、SL2 与位线对 BLL 和 /BLL 并行地排列, 排列成在其间夹住读出放大器 100。

屏蔽线 SL1、SL2 分别被连接到 VCC/2 的电位节点上。于是, 屏蔽线 SL1、SL2 的电位分别维持于 VCC/2。

利用以上的结构, 可防止线间噪声朝向读出节点 SN1 和 SN2 的传播。

其结果是, 可进行更准确的读出工作。

再有, 即使在实施例 2 和实施例 3 的半导体存储器中, 通过与实施例 5 同样地配置屏蔽线 SL1 和 SL2, 也可得到同样的效果。

这次公开的实施例在全部方面应解释为是例示性的而不是限制性的。本发明的范围由权利要求书的范围而不是上述的实施例来决定,

其意图是包含与权利要求的范围均等的意义和在其范围内的全部的改变。

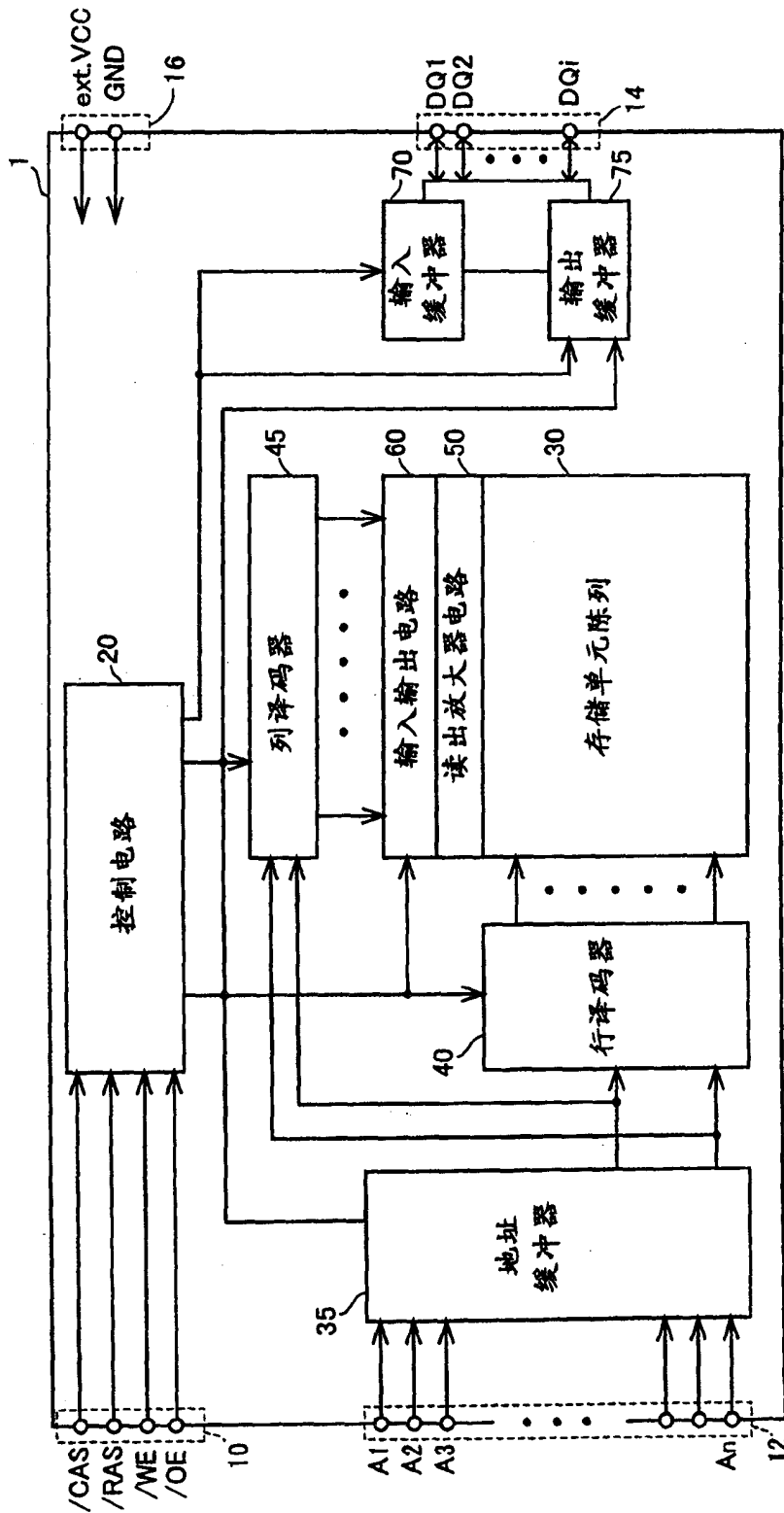


图 1

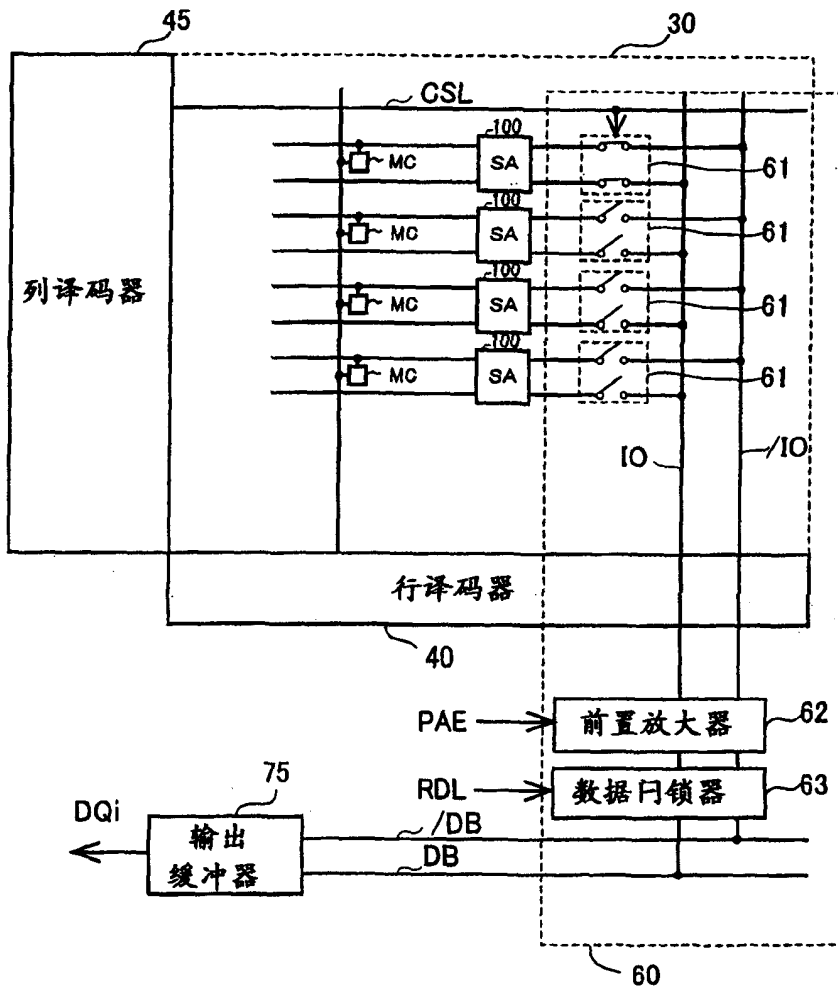


图 3

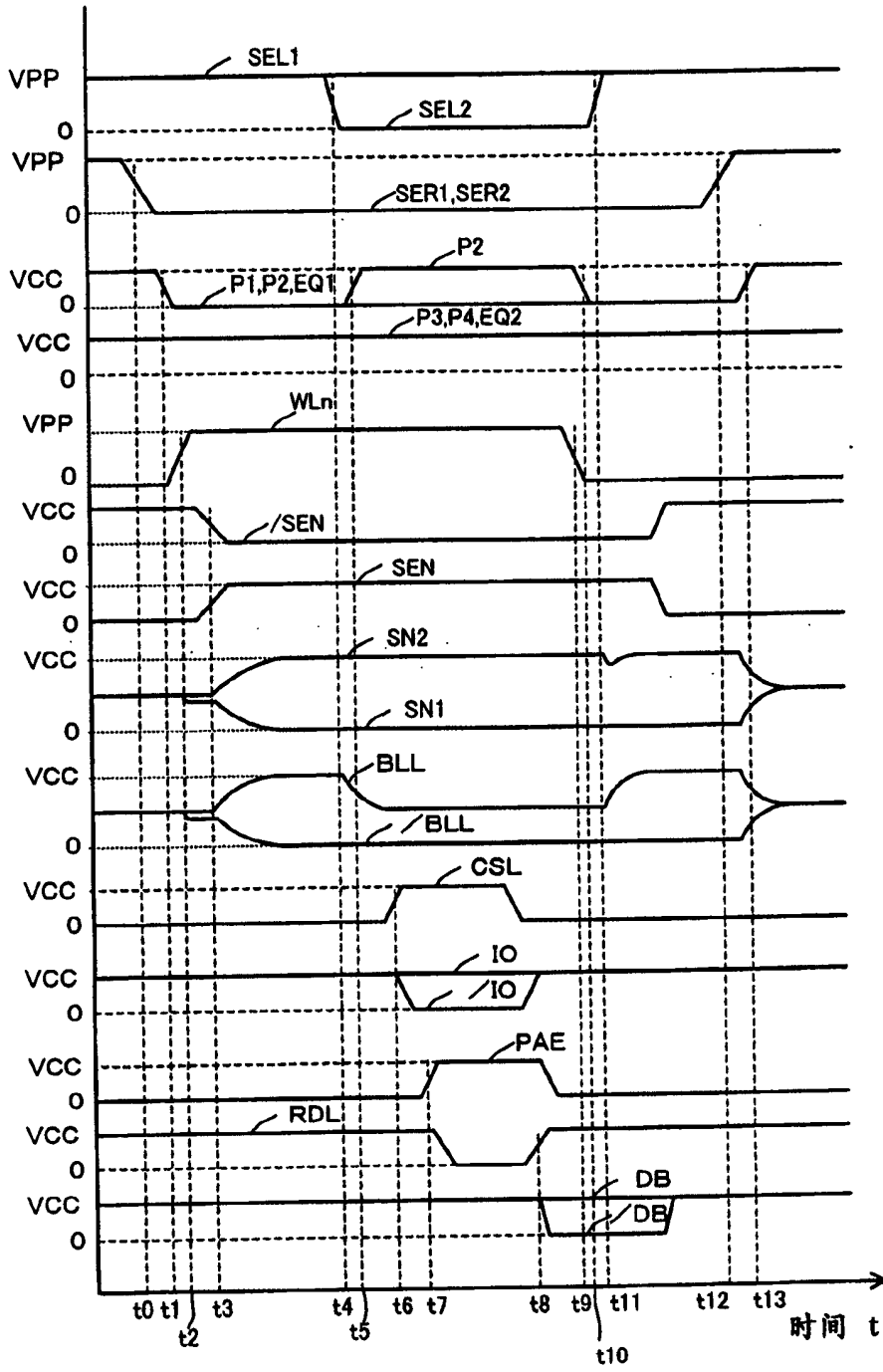


图 5

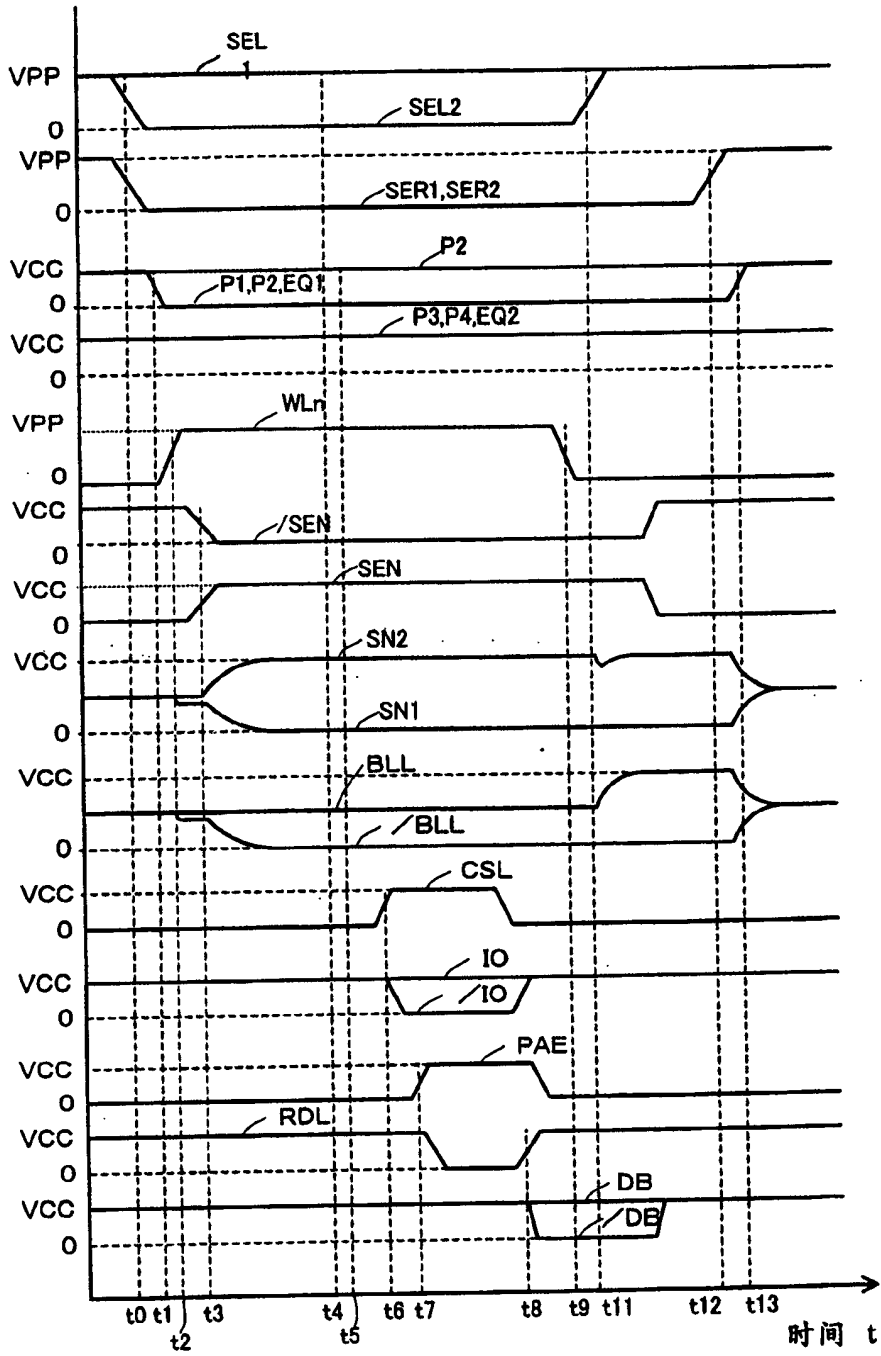


图 6

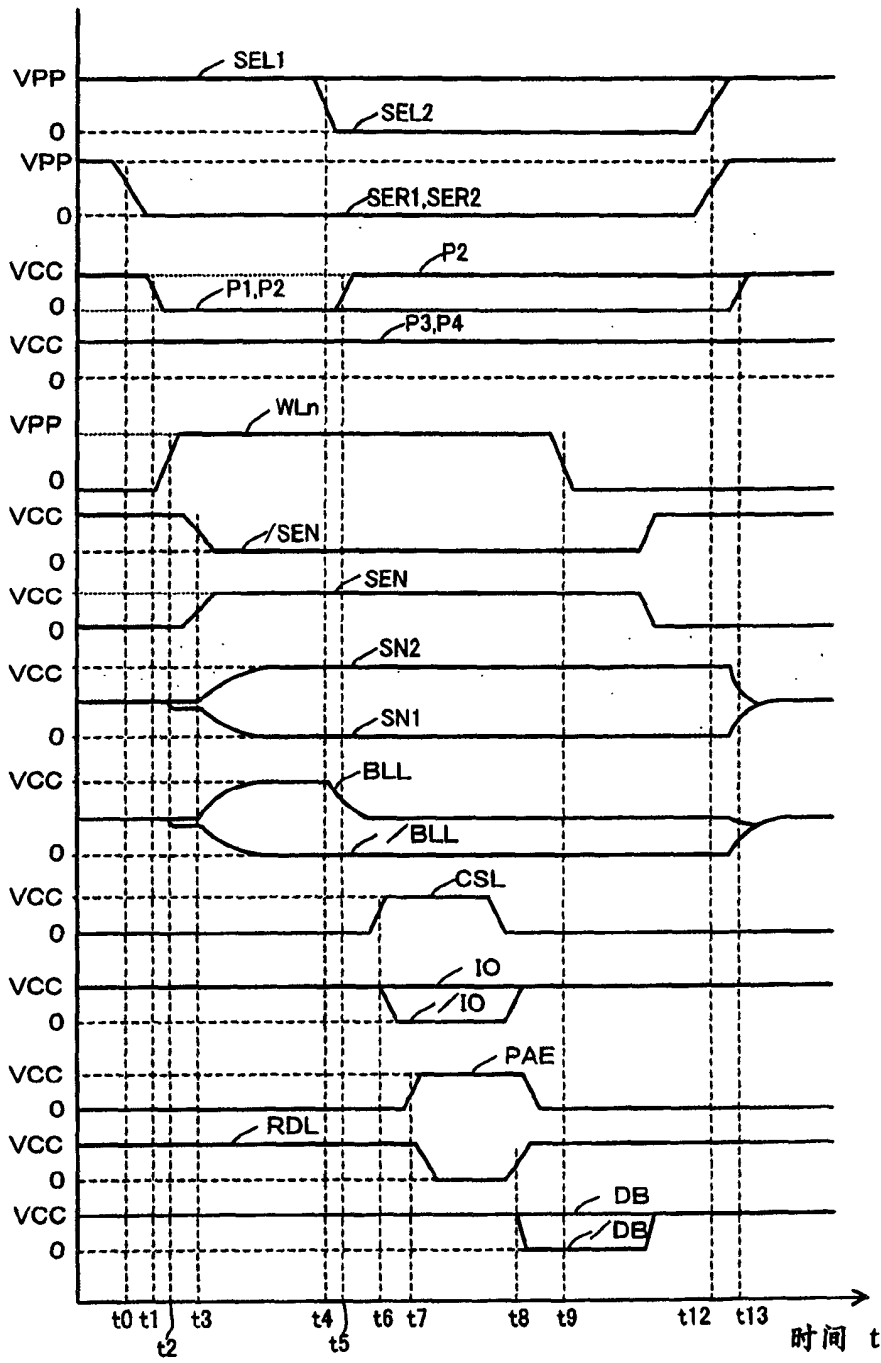


图 8

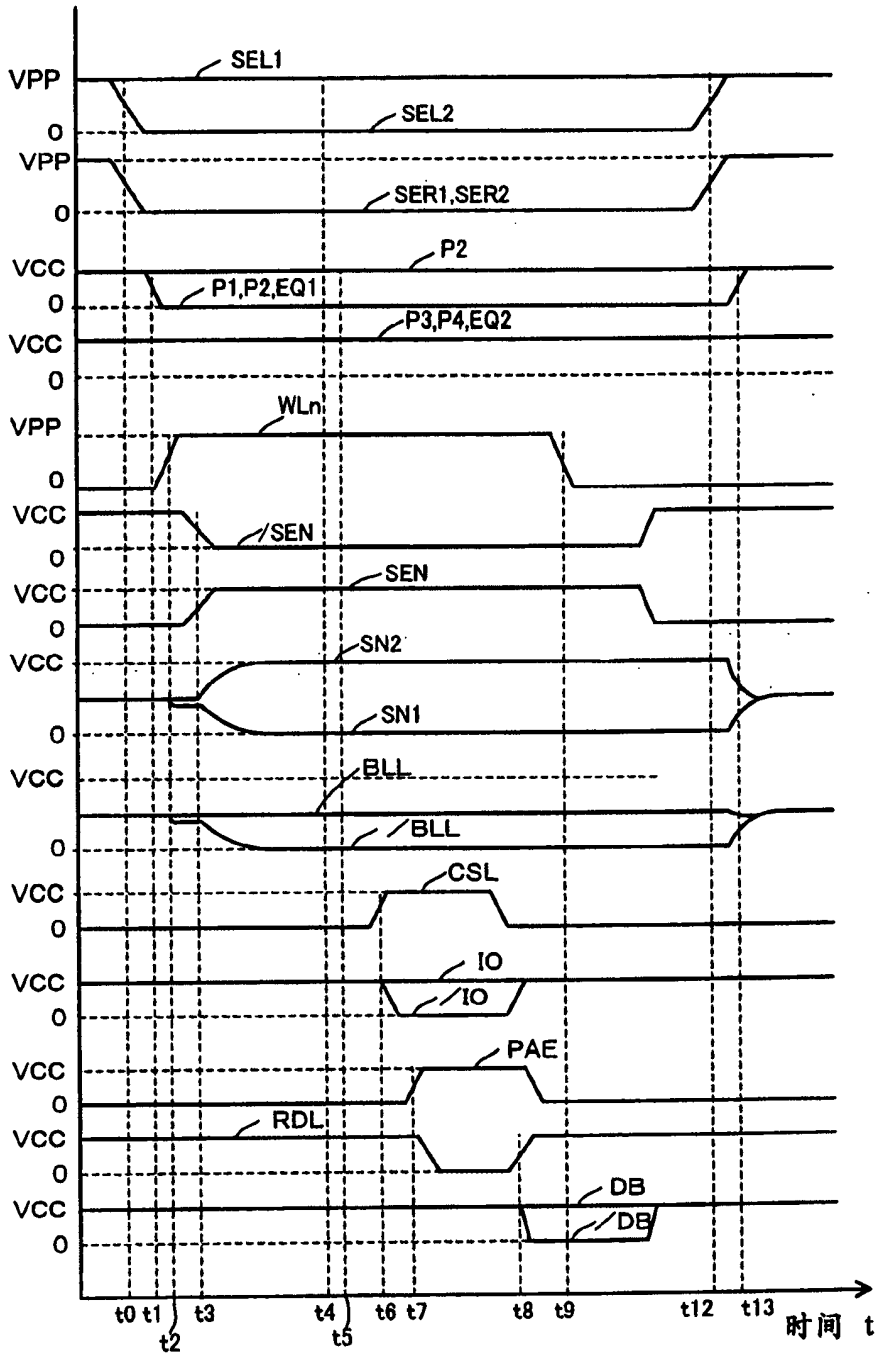


图 9

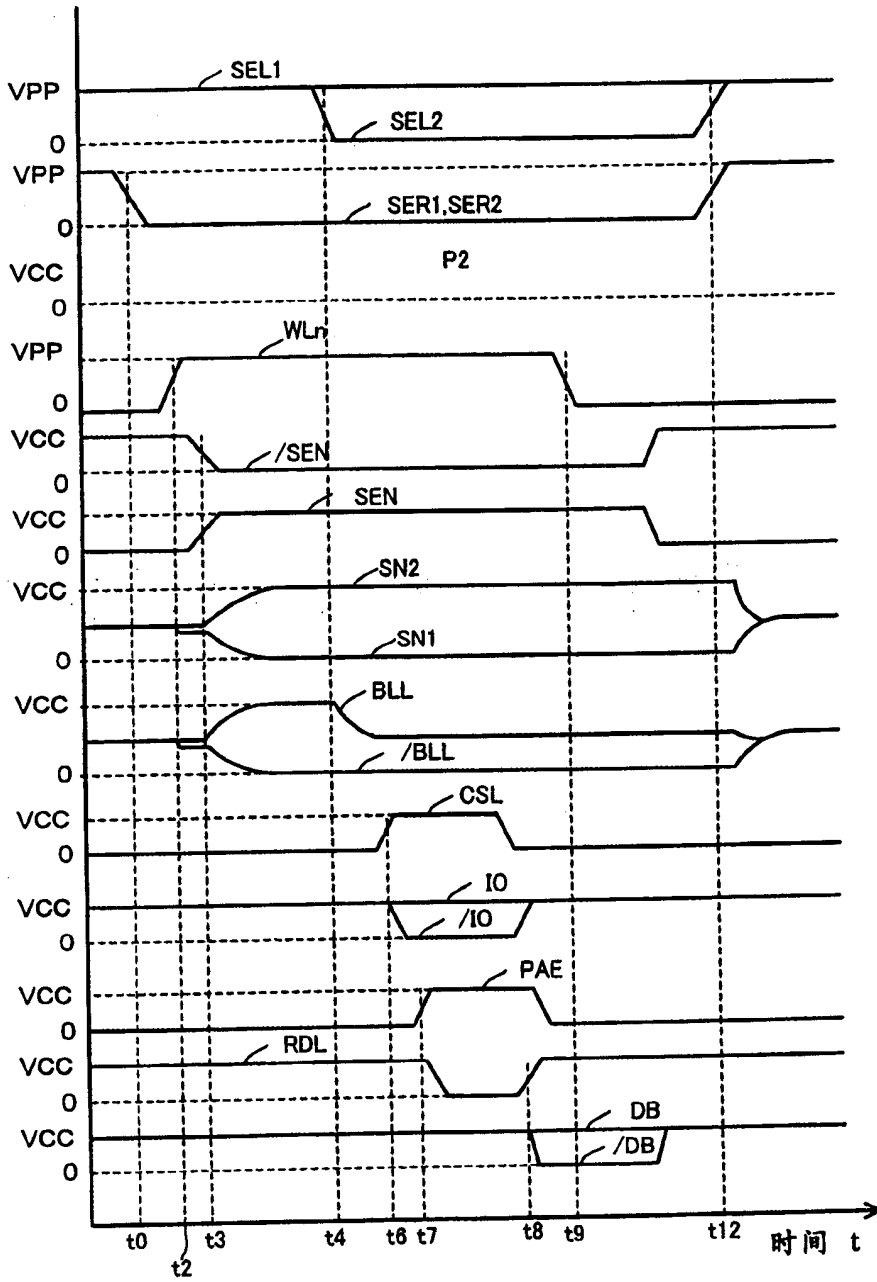


图 11

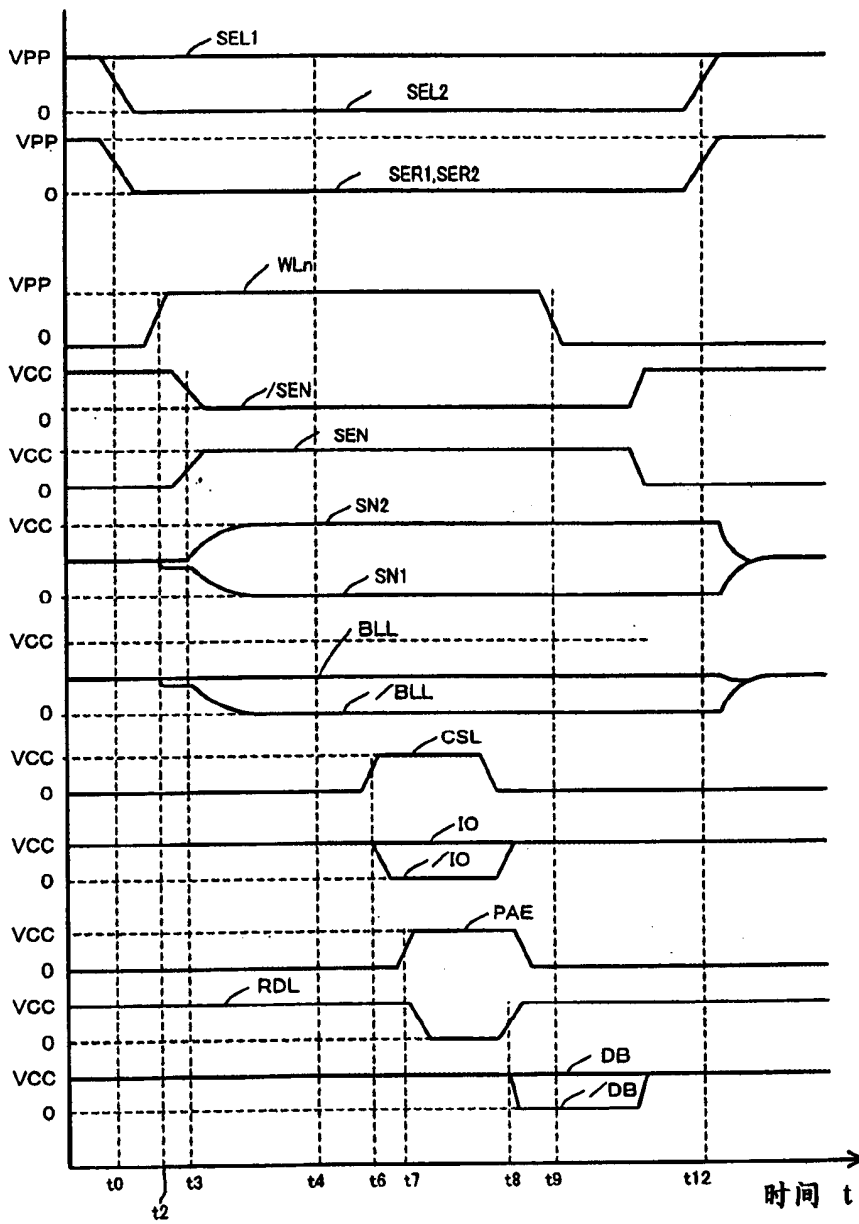


图 12

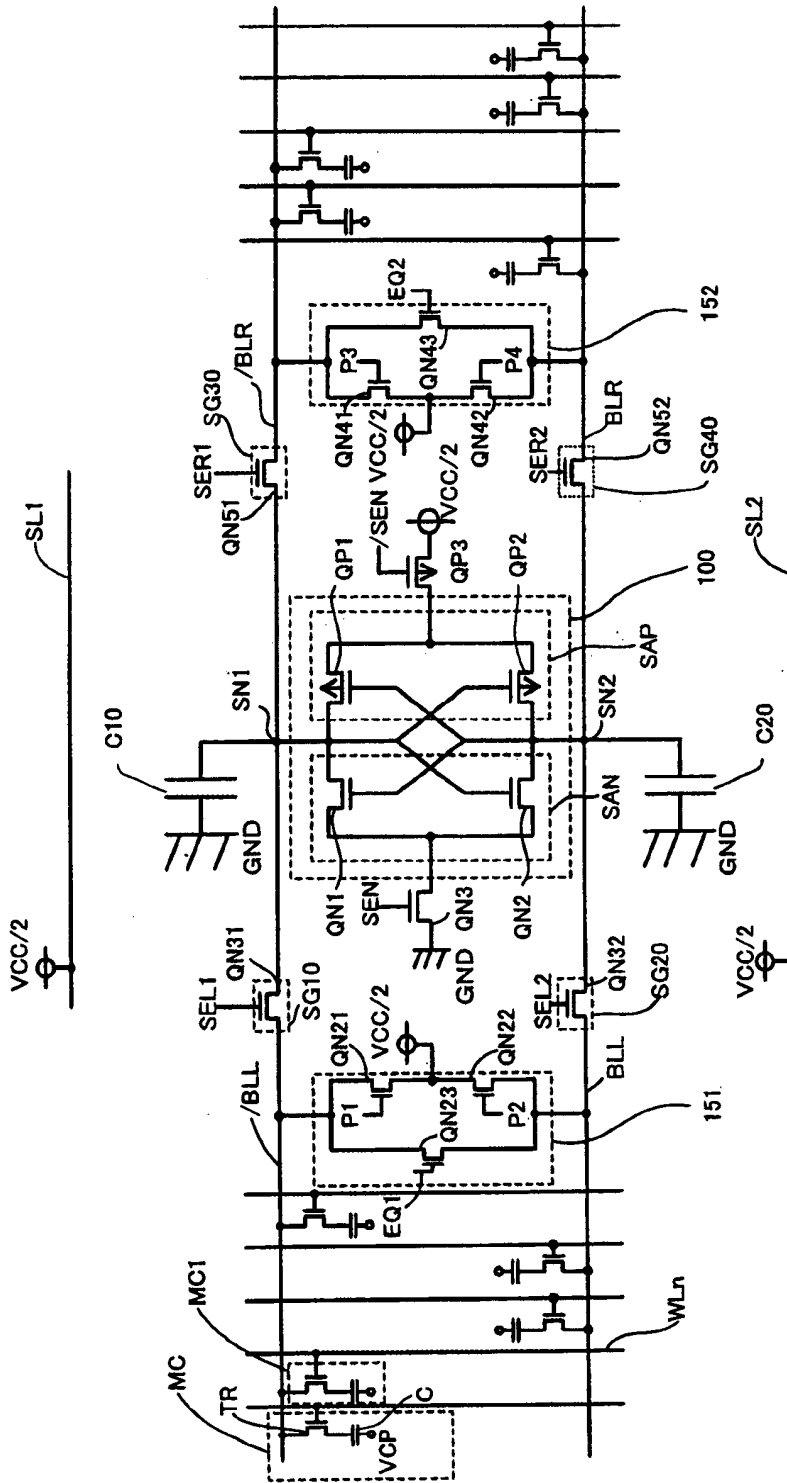


图 14

现有技术

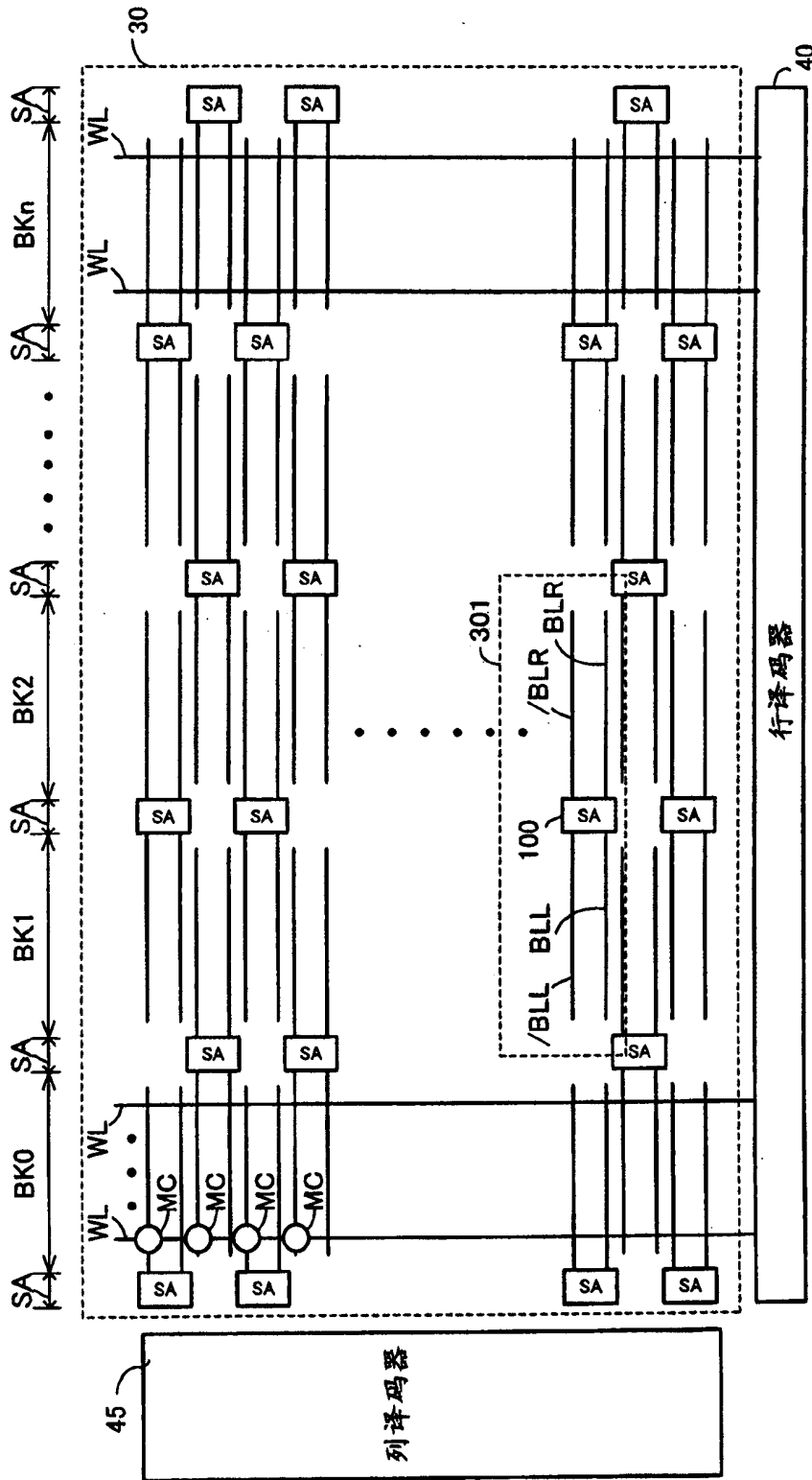


图 15

现有技术

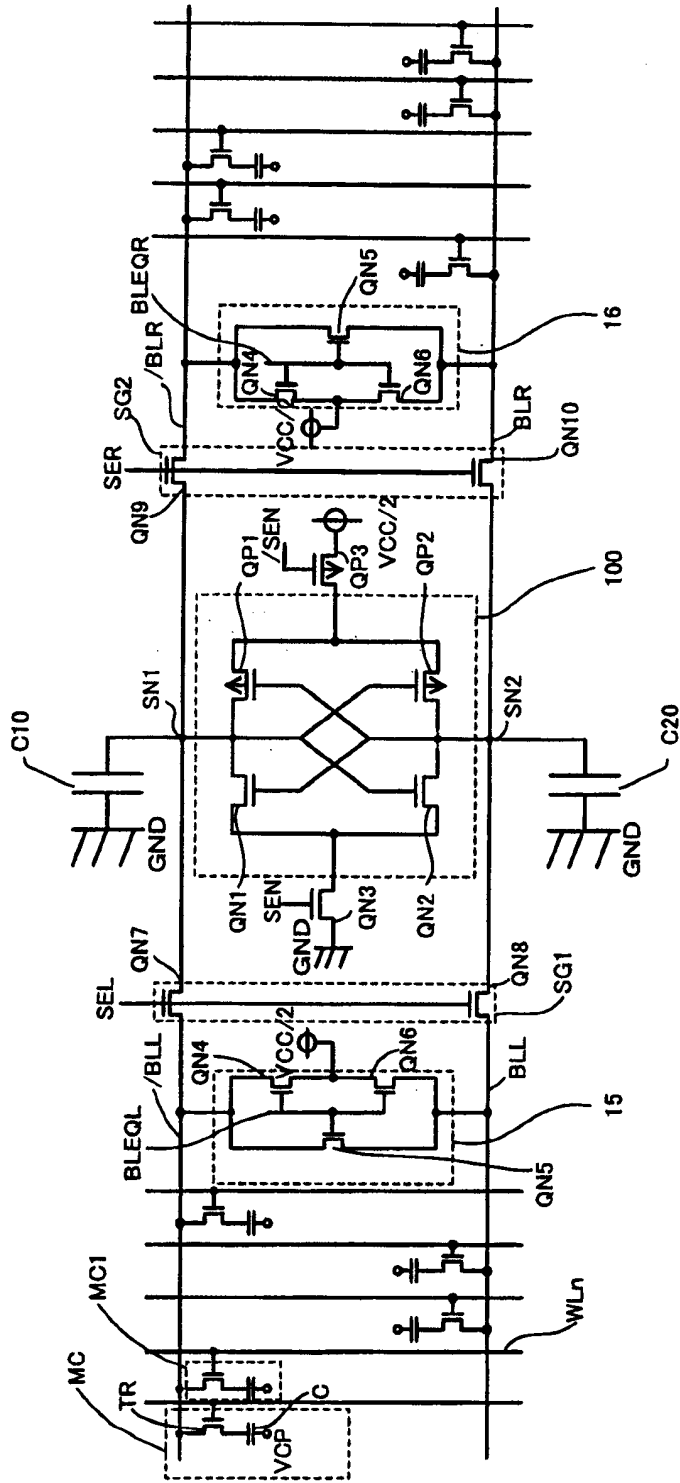


图 16

现有技术

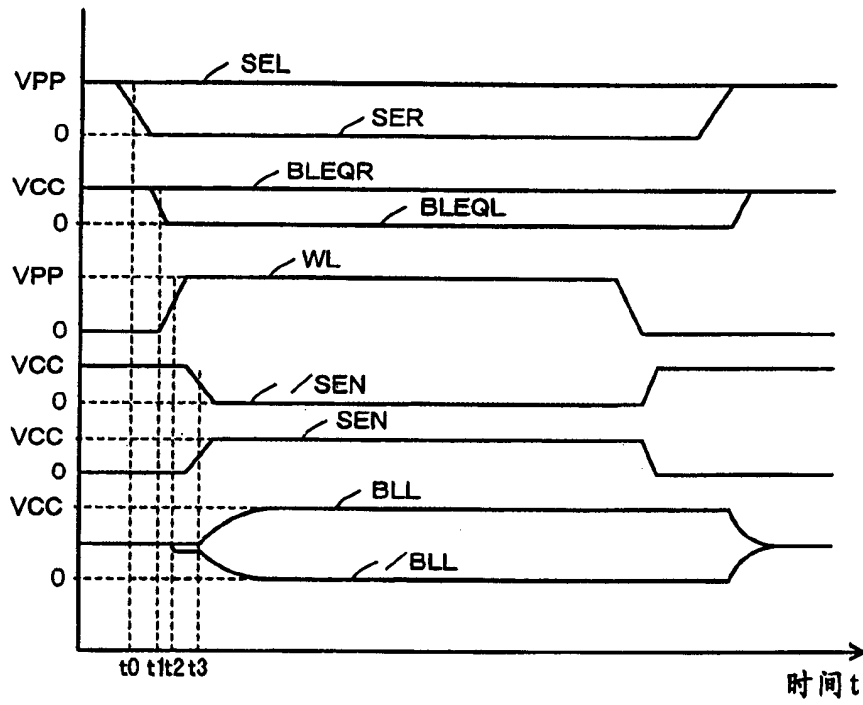


图 17

现有技术

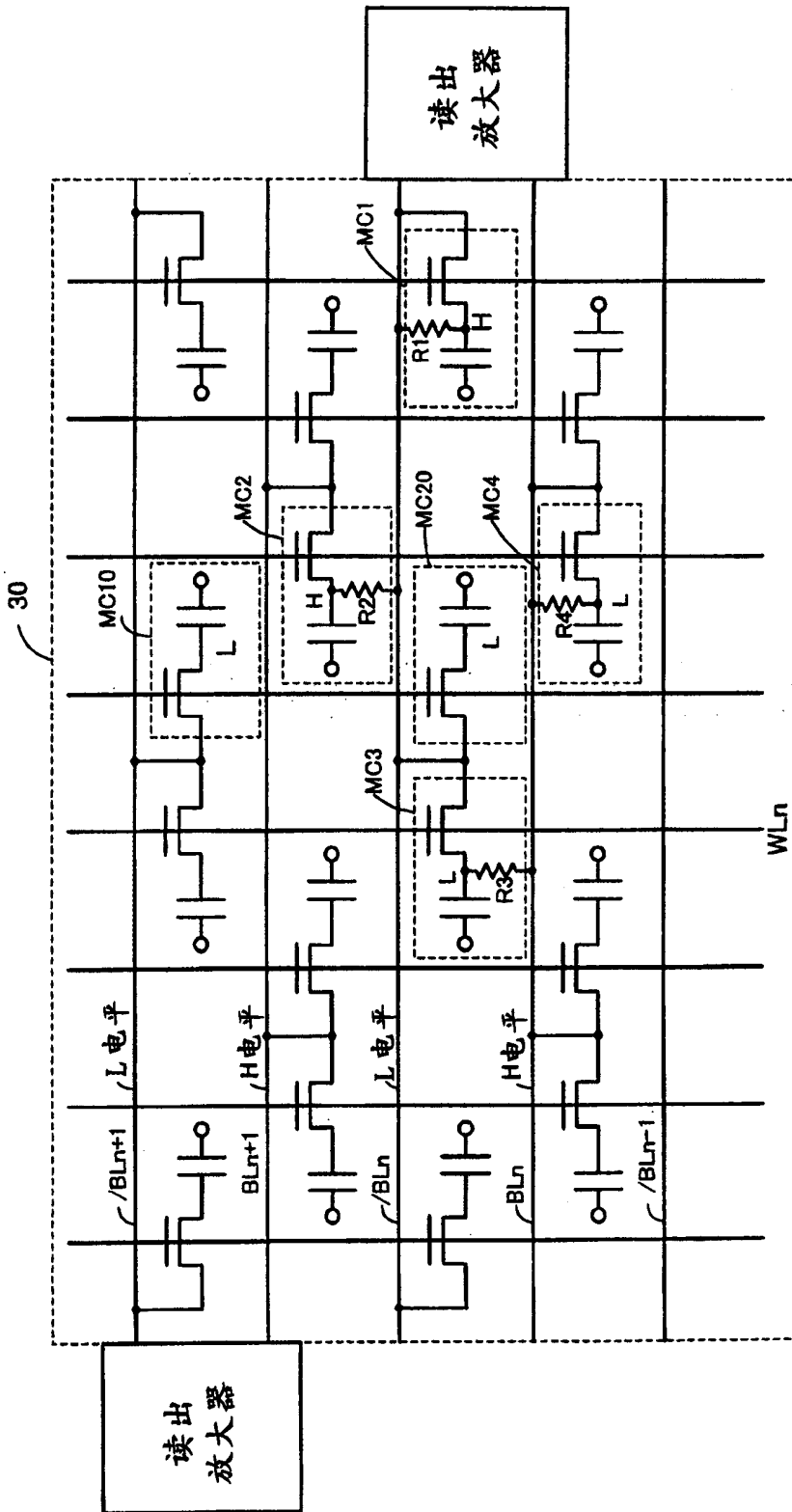


图 18

现有技术

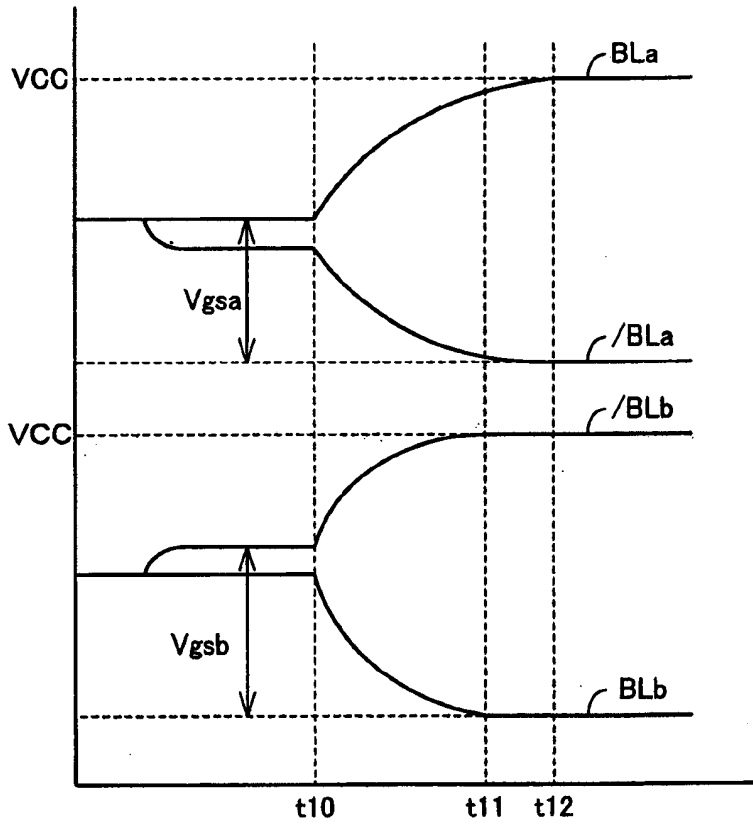


图 20

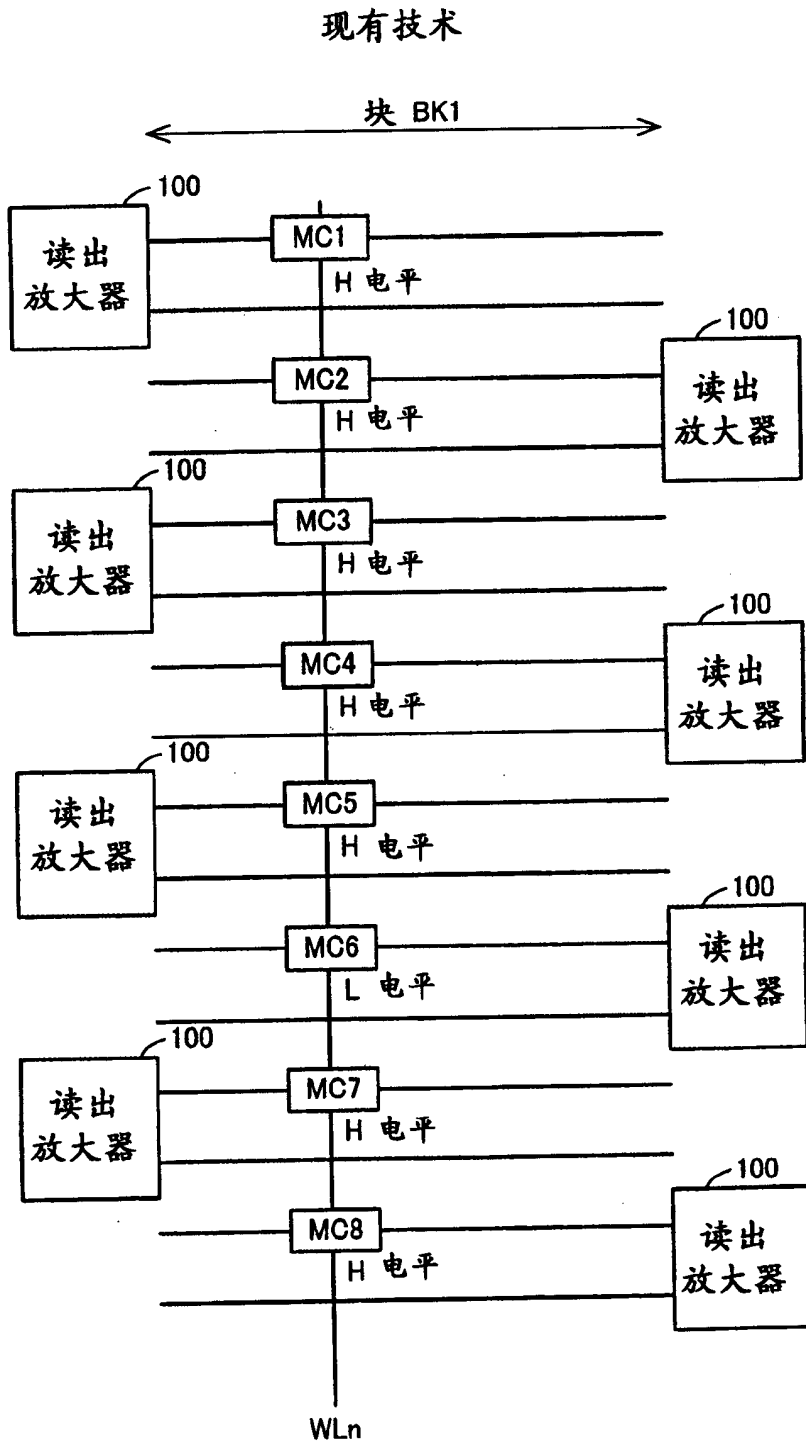


图 21

现有技术

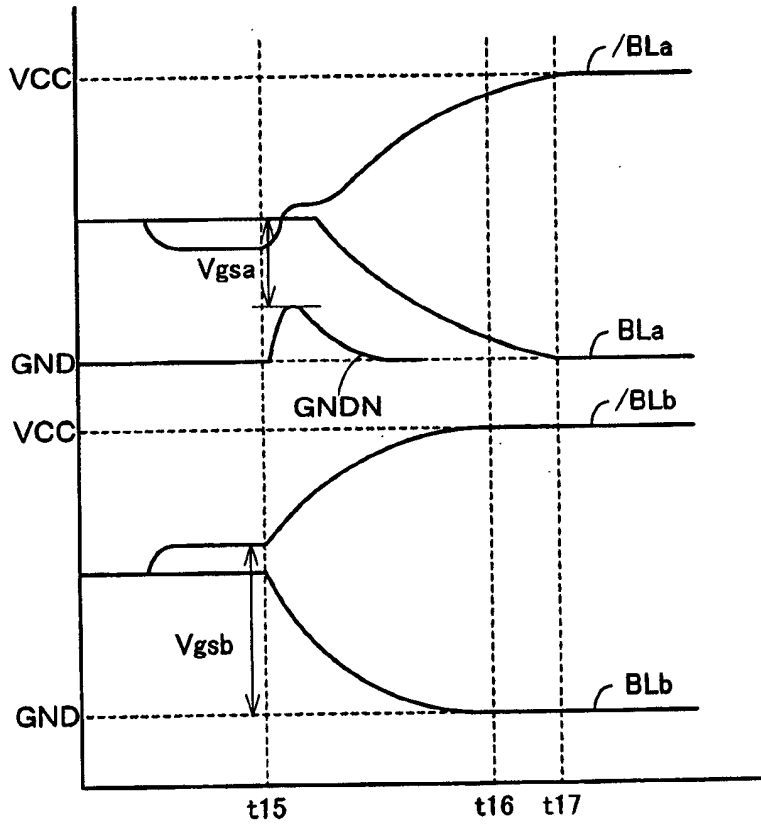


图 22

