



(12)发明专利申请

(10)申请公布号 CN 111540709 A
(43)申请公布日 2020.08.14

(21)申请号 202010377198.0

(22)申请日 2020.05.07

(71)申请人 电子科技大学

地址 611731 四川省成都市高新区(西区)
西源大道2006号

(72)发明人 熊杰 储隽伟 汪洋 饶高峰
龚传辉 陈心睿 晏超贻 王显福

(74)专利代理机构 电子科技大学专利中心
51203

代理人 吴姍霖

(51)Int.Cl.

H01L 21/78(2006.01)

H01L 21/18(2006.01)

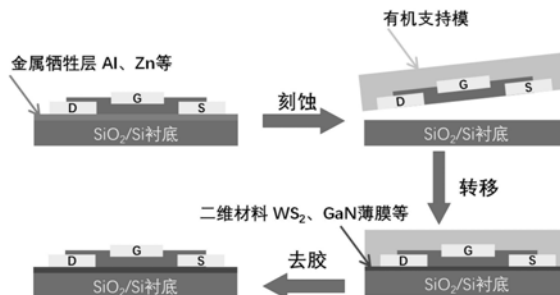
权利要求书1页 说明书4页 附图1页

(54)发明名称

一种二维半导体器件电路一体化制备的方法

(57)摘要

本发明提供一种二维半导体器件电路一体化制备的方法,属于属于半导体器件制备技术领域。本发明创新性的通过引入金属牺牲层和high-k材料,先在金属牺牲层上将金属图形化电极和介电层制备成一体化结构,再将该结构剥离,利用“后位”转移技术将一体化结构转移至二维材料表面,构成器件整体结构,该方法有效的降低了二维半导体器件中的界面散射,以及化学掺杂、费米钉扎效应,实现了对二维材料的迁移率、器件的开关比、亚阈值摆幅的同步优化,并且该方法制备简单、洁净、破坏性小、稳定性高。



1. 一种二维半导体器件电路一体化制备的方法,其特征在于,包括以下步骤:
步骤1. 在衬底表面采用热蒸镀法制备金属牺牲层;
步骤2. 在步骤1制备的金属牺牲层表面采用紫外光刻-热蒸镀法或ALD法制备功能电路层;
步骤3. 在功能电路层表面采用旋涂法制备有机膜支撑层;
步骤4. 将步骤3制备好支撑层的器件放置于能与金属牺牲层反应的溶液中,直至带支撑层的功能电路层与衬底分离;
步骤5. 将功能电路层转移清洗后重新置于去离子水中;
步骤6. 在另一衬底上制备二维材料,然后将步骤5清洗后的功能电路层转移至二维材料表面,烘烤;
步骤7. 将步骤6得到的器件置于有机溶剂中,以去除有机膜支撑层,然后用去离子水清洗后即可得到所需二维半导体器件。
2. 如权利要求1所述二维半导体器件电路一体化制备的方法,其特征在于,步骤1所述金属牺牲层材料为两性金属,厚度为20~100nm。
3. 如权利要求2所述二维半导体器件电路一体化制备的方法,其特征在于,所述两性金属为Al或Zn。
4. 如权利要求1所述二维半导体器件电路一体化制备的方法,其特征在于,步骤2中功能电路层由高介电常数电介质层和图形化电极组成;所述高介电常数电介质层采用ALD法制备,所述图形化电极采用紫外光刻-热蒸镀法制备。
5. 如权利要求4所述二维半导体器件电路一体化制备的方法,其特征在于,所述高介电常数电介质层材料为 HfO_2 ,厚度小于30nm。
6. 如权利要求1所述二维半导体器件电路一体化制备的方法,其特征在于,步骤3所述有机膜支撑层为两层结构,先旋涂一层PMMA作为软支撑层,然后在软支撑层表面再旋涂一层PPC硬支撑层。
7. 如权利要求1所述二维半导体器件电路一体化制备的方法,其特征在于,步骤4中能与金属牺牲层反应的溶液为酸溶液或碱溶液。
8. 如权利要求1所述二维半导体器件电路一体化制备的方法,其特征在于,步骤6所述衬底为硅衬底;所述二维材料为二维材料及其异质结;所述制备二维材料的方法为机械剥离法或者化学气相沉积法;烘烤为两个阶段,先在30~40℃烘烤1~2h,然后升温至80~150℃,烘烤10~60min。
9. 如权利要求8所述二维半导体器件电路一体化制备的方法,其特征在于,所述二维材料为石墨烯、 WS_2 、 WSe_2 、 PbS 、 GaN ;所述二维异质结为 WS_2/WSe_2 。
10. 如权利要求1所述二维半导体器件电路一体化制备的方法,其特征在于,步骤7所述有机溶剂为丙酮或氯仿。

一种二维半导体器件电路一体化制备的方法

技术领域

[0001] 本发明属于半导体器件制备技术领域,具体涉及一种二维半导体器件电路一体化制备的方法。

背景技术

[0002] 随着信息化的不断深入发展,计算机系统对计算芯片提出了更高的要求,对于底层器件而言,新型小型化和便携化计算设备要求器件具有更小的体积,更低的功耗。器件的特征长度可表示为 $\lambda = \sqrt{\epsilon_{2D}/\epsilon_{OX}t_{2D}t_{OX}}$,二维材料,如石墨烯、二硫化钨等,由于具有原子级厚度(t_{2D}),在减小特征长度,提高集成度上有巨大优势。范德华力结合的二维异质结避免了传统外延生长的苛刻条件,并且基于二维材料的新一代FET器件已经表现出低亚阈值摆幅(高频操作、低功耗),高开关比(高信噪比)等优势;此外,二维材料在保持对硅基集成电路工艺兼容性的同时,解决了器件小型化带来的短沟道效应。因此二维材料被学术界与工业界瞩目为下一代半导体材料。

[0003] 然而,当前基于二维材料的半导体器件由于沟道和栅介电层的接触,界面散射严重造成迁移率急剧下降;另外在源漏接触位置存在着界面化学掺杂和费米能级钉扎等问题,这些均严重制约着器件性能。其中,界面散射主要由界面电离杂质与沟道载流子的库仑相互作用引起,目前降低界面散射有两种手段:削弱电离杂质密度 n_{CI} 和增加沟道中的载流子浓度 n_e 。传统 SiO_2 表界面存在大量悬挂键, n_{CI} 很高,介电层调制产生的 n_e 很低,不适合作为二维材料的介电层。研究人员通过引入具有高介电系数(high-k)的介电层作顶栅调控,但是传统制备方法通常是采用ALD技术直接在二维材料表面沉积介电层,这种方法引入的介电环境由于热处理会对二维材料本身造成破坏,引入缺陷态。对于解决界面的化学掺杂和费米能级钉扎问题主要有两种手段:改进电极的蒸镀退火工艺以及在金半界面转移缓冲材料(Tao, S. Ji-Chang, R., Xinyi, L., Shuang, L., Wei L., J. Am. Chem. Soc. 2019, 141, 7, 3110-3115)。但是,优化蒸镀退火工艺,仍然会对接触界面造成破坏;转移缓冲材料虽然会消除蒸镀对材料表面的破坏,但是载流子在缓冲层中的传输速度远远低于在金属电极中的速度,影响器件的迁移率以及开关特性。

[0004] 因此,如何实现二维半导体器件获得高迁移率以及低阻抗金半接触,从而降低器件的功耗并提升器件的开关速度成为了亟待解决的问题。

发明内容

[0005] 针对背景技术所存在的问题,本发明的目的在于提供一种二维半导体器件电路一体化制备的方法。本发明通过引入金属牺牲层和high-k(高介电常数)材料,先将金属图形化电极和介电层制备成一体化结构,然后利用“后位”转移技术将一体化结构转移至二维材料表面,构成器件整体结构,实现了二维半导体器件的高迁移率以及低阻抗金半接触。

[0006] 为实现上述目的,本发明的技术方案如下:

[0007] 一种二维半导体器件电路一体化制备的方法,其特征在于,包括以下步骤:

- [0008] 步骤1.在衬底表面采用热蒸镀法制备金属牺牲层；
- [0009] 步骤2.在步骤1制备的金属牺牲层表面采用紫外光刻-热蒸镀法或ALD法制备功能电路层；
- [0010] 步骤3.在功能电路层表面采用旋涂法制备有机膜支撑层；
- [0011] 步骤4.将步骤3制备好支撑层的器件放置于能与金属牺牲层反应的溶液中，直至带支撑层的功能电路层与衬底分离；
- [0012] 步骤5.将功能电路层转移清洗后重新置于去离子水中；
- [0013] 步骤6.在另一衬底上制备二维材料，然后将步骤5清洗后的功能电路层转移至二维材料表面，烘烤；
- [0014] 步骤7.将步骤6得到的器件置于有机溶剂中，以去除有机膜支撑层，然后用去离子水清洗后即可得到所需二维半导体器件。
- [0015] 进一步地，步骤1所述金属牺牲层材料为两性金属，如Al或Zn，厚度为20~100nm。
- [0016] 进一步地，步骤2中功能电路层由高介电常数电介质层和图形化电极组成；所述高介电常数电介质层采用ALD法制备，所述图形化电极采用紫外光刻-热蒸镀法制备。
- [0017] 进一步地，所述图形化电极包括源漏栅电极，所述源漏电极材料为Cr/Au或Ti/Au，其中，Cr或者Ti层厚度小于5~10nm，Au厚度小于100nm。
- [0018] 进一步地，所述高介电常数电介质层材料为HfO₂，厚度小于30nm。
- [0019] 进一步地，步骤3所述有机膜支撑层为两层结构，先旋涂一层PMMA作为软支撑层，然后在软支撑层表面再旋涂一层PPC硬支撑层。
- [0020] 进一步地，步骤4中能与金属牺牲层反应的溶液为酸或碱溶液，优选为1mol/L的HCl、HNO₃或NaOH溶液。
- [0021] 进一步地，步骤6所述衬底为硅衬底，便于硅基集成；所述二维材料为二维材料及其异质结，所述二维材料可以为石墨烯、WS₂、WSe₂、PbS、GaN薄膜等；所述异质结由n型和p型两种二维材料形成，具体可以为WS₂/WSe₂等。
- [0022] 进一步地，步骤6所述制备二维材料的方法为机械剥离法或者化学气相沉积法；烘烤为两个阶段，先在30~40℃烘烤1~2h，以去除界面水汽；然后升温至80~150℃，烘烤10~60min，以增加一体化电路与二维材料接触的范德华力。
- [0023] 进一步地，步骤7所述有机溶剂为丙酮或氯仿等。
- [0024] 综上所述，由于采用了上述技术方案，本发明的有益效果是：
- [0025] 在传统的二维半导体器件制备过程中，存在两次对材料的破坏：蒸镀源漏电极时，由于金属颗粒的冲击，金/半界面存在混溶情况，引入化学掺杂和费米能级钉扎；引入high-k介电层时，由于采用ALD工艺，热过程在沟道中进一步引入缺陷，导致载流子散射。本发明创新性的通过引入金属牺牲层，先在金属牺牲层上面制备功能电路一体化结构，再将该结构剥离、转移至二维材料表面，该方法有效的降低了二维半导体器件中的界面散射，以及化学掺杂、费米钉扎效应，实现了对二维材料的迁移率、器件的开关比、亚阈值摆幅的同步优化，并且该方法制备简单、洁净、破坏性小、稳定性高。

附图说明

- [0026] 图1为本发明实施例1转移一体化结构的流程示意图。

[0027] 图2为本发明实施例2转移一体化结构的流程示意图。

具体实施方式

[0028] 为使本发明的目的、技术方案和优点更加清楚，下面结合实施方式和附图，对本发明作进一步地详细描述。

[0029] 实施例1

[0030] 一种WS₂二维半导体器件电路一体化制备的方法，包括以下步骤：

[0031] 步骤1.在Si/SiO₂衬底表面利用热蒸镀的方法制备一层60nm金属牺牲层Al薄膜，蒸镀速率0.2埃/每秒；

[0032] 步骤2.采用紫外光刻法在步骤1制备的金属牺牲层Al薄膜表面旋涂光刻胶，结合掩模版光刻，显影，蒸镀，去胶，得到图形化的源-漏Cr/Au电极(6/60nm)；

[0033] 其中，紫外光刻法的具体过程为：

[0034] 步骤2.1.旋涂：AZ6112正胶先用1000r/s旋转10s，再3000r/s旋转30s，100℃下烘烤60s；

[0035] 步骤2.2.曝光：曝光时间2s，显影12s；

[0036] 步骤2.3.固胶：120℃下加热6min，然后以0.1埃/每秒的蒸镀速率先沉积6nm厚的Cr层，再以0.2埃/每秒的蒸镀速率沉积60nm的Au层；

[0037] 步骤3.在步骤2制备好源漏电极的器件表面采用ALD方法制备一层15nm厚的HfO₂薄膜作为high-k电介质层，ALD的具体工艺参数为：工作温度为200℃、腔室气压0.1毫托，水源pump时间0.15s，充气时间80s，钨源pump时间0.8s，充气时间80s，脉冲循环为150周期；再次结合掩模版，采用紫外光刻法在源漏电极中间得到图形化的栅Cr/Au电极(6/60nm)；

[0038] 步骤4.在电极表面以2000r/min旋涂一层PMMA作为软支撑层，在180℃下烘烤2min固化；然后以1500r/min的转速旋涂一层PPC为硬支撑层，在100℃下烘烤5s固化；

[0039] 步骤5.将步骤4制备好支撑层的器件放置于1mol/L的HCl溶液中，在40℃下放置约1h，直至支撑层带着一体化电极漂浮在液面上；

[0040] 步骤6.将一体化电极转移至载玻片表面，然后用去离子水清洗一体化电极，清洗后将一体化电极重新置于去离子水中；

[0041] 步骤7.在SiO₂/Si衬底上制备WS₂二维材料，然后将步骤6清洗后的一体化电极转移至WS₂二维材料表面，在40℃下烘烤1h，去除界面水汽；然后升温至120℃，烘烤30min，以增强一体化电极和二维材料接触的范德华力；

[0042] 步骤8.将步骤7得到的器件置于丙酮溶液中，用于去除支撑层材料，然后用去离子水清洗后即可得到具有二维半导体器件。

[0043] 实施例2

[0044] 一种WS₂/WSe₂二维半导体集成异质结反相器电路一体化制备的方法，包括以下步骤：

[0045] 步骤1.在Si/SiO₂衬底表面利用热蒸镀的方法制备一层60nm金属牺牲层Al薄膜，蒸镀速率0.2埃/每秒；

[0046] 步骤2.采用紫外光刻法在步骤1制备的金属牺牲层Al薄膜表面旋涂光刻胶，结合掩模版光刻，显影，ALD，去胶，得到15nm厚、图形化的HfO₂；

[0047] 其中,紫外光刻法的具体过程为:

[0048] 步骤2.1.旋涂:AZ6112正胶先用1000r/s旋转10s,再3000r/s旋转30s,100℃下烘烤60s;

[0049] 步骤2.2.曝光:曝光时间2s,显影12s;

[0050] 步骤2.3.固胶:120℃下加热6min,然后以0.1埃/每秒的蒸镀速率先沉积6nm厚的Cr层,再以0.2埃/每秒的蒸镀速率沉积60nm的Au层;

[0051] ALD的具体工艺参数为:工作温度为200℃、腔室气压0.1毫托,水源pump时间0.15s,充气时间80s,铪源pump时间0.8s,充气时间80s,脉冲循环为150周期;

[0052] 步骤3.在步骤2制备好的HfO₂器件表面结合掩模版光刻、显影、蒸镀、去胶,得到图形化的p区Pt电极(60nm)和;再次结合掩模版光刻,显影,蒸镀,去胶,得到图形化的n区及片上互联Ti电极(60nm);

[0053] 步骤4.在电极表面以2000r/min旋涂一层PMMA作为软支撑层,在180℃下烘烤2min固化;然后以1500r/min的转速旋涂一层PPC为硬支撑层,在100℃下烘烤5s固化;

[0054] 步骤5.将步骤4准备好支撑层的器件放置于1mol/L的HN03溶液中,在40℃下放置约1h,直至支撑层带着一体化功能电路漂浮在液面上;

[0055] 步骤6.将一体化功能电路转移至载玻片表面,然后用去离子水清洗一体化功能电路,清洗后将一体化功能电路重新置于去离子水中;

[0056] 步骤7.在SiO₂/Si衬底上制备WS₂/WSe₂二维异质结,然后将步骤6清洗后的一体化功能电路转移至二维材料表面,在40℃下烘烤1h,去除界面水汽;然后升温至120℃,烘烤30min,以增强一体化功能电路和二维材料接触的范德华力;

[0057] 步骤8.将步骤7得到的器件置于丙酮溶液中,用于去除支撑层材料,然后用去离子水清洗后即可得到二维集成异质结反相器。

[0058] 本发明一体化功能电路结构制备方法对二维材料具有普适性,基于二维材料的半导体器件均可用本发明方法制备电极,减小常规方法制备电极带来的对器件性能的降低。

[0059] 以上所述,仅为本发明的具体实施方式,本说明书中所公开的任一特征,除非特别叙述,均可被其他等效或具有类似目的的替代特征加以替换;所公开的所有特征、或所有方法或过程中的步骤,除了互相排斥的特征和/或步骤以外,均可以任何方式组合。

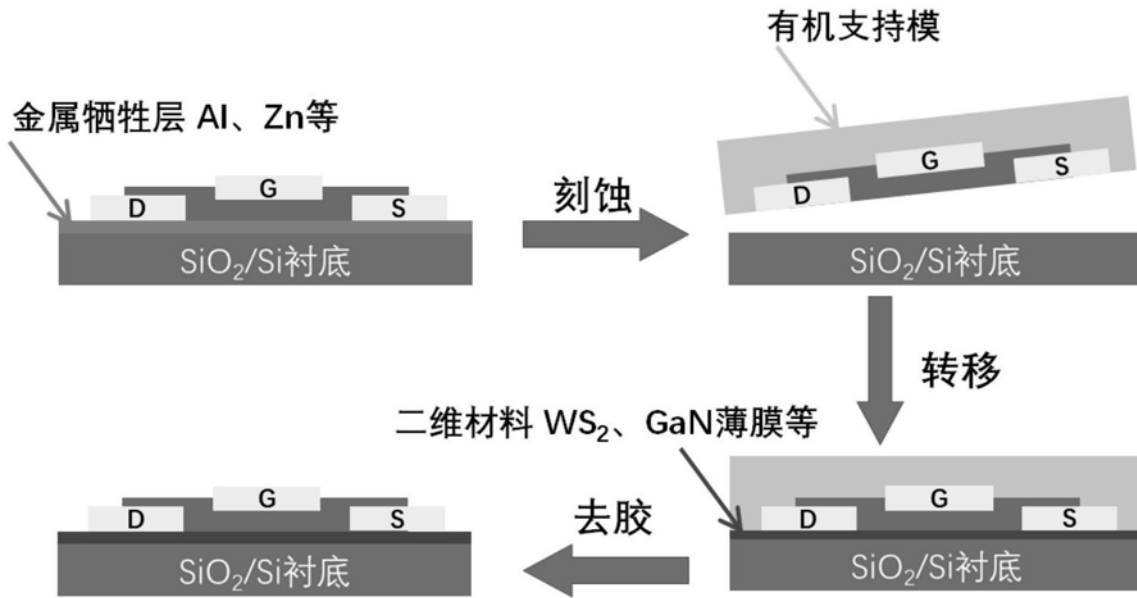


图1

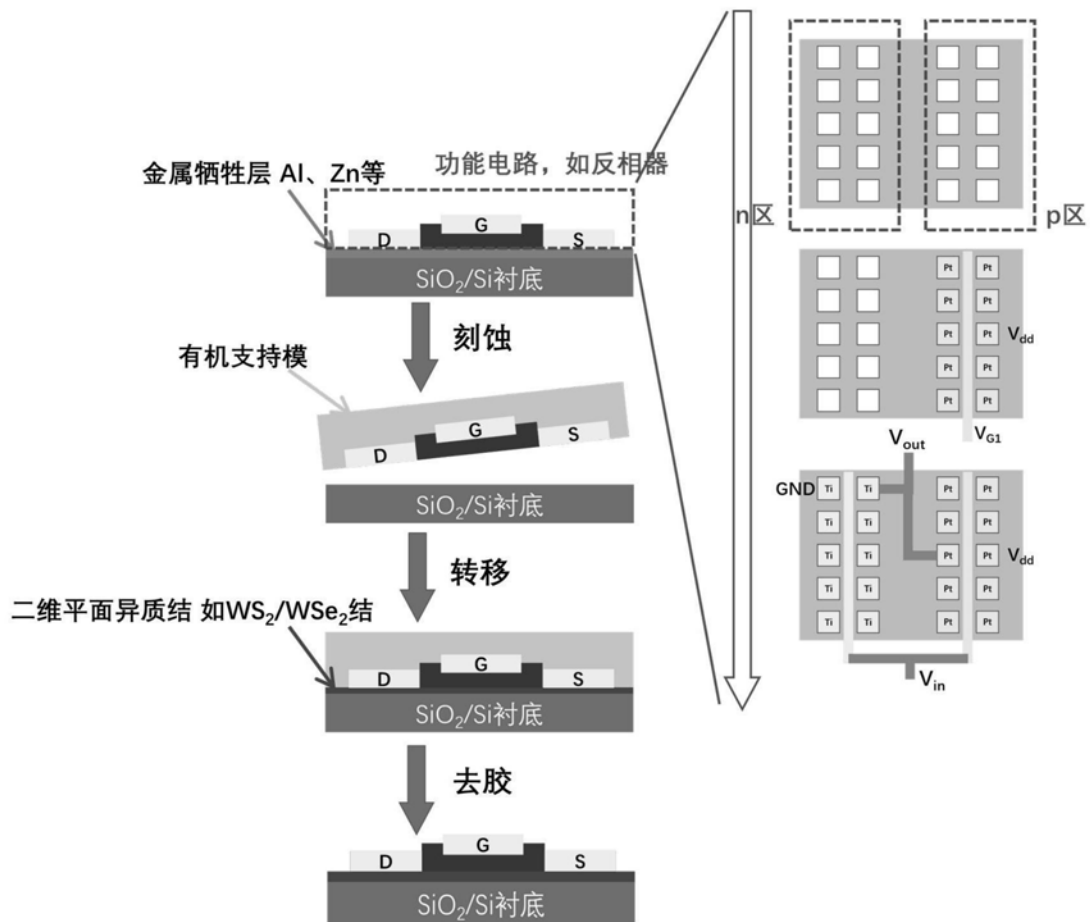


图2