

(21)申請案號：101141262

(22)申請日：中華民國 101 (2012) 年 11 月 07 日

(51)Int. Cl. : *H01L23/48 (2006.01)*

H01L23/522 (2006.01)

H01L21/58 (2006.01)

(30)優先權：2011/11/11 美國

61/558,713

(71)申請人：精材科技股份有限公司 (中華民國) XINTEC INC. (TW)

桃園縣中壢市中壢工業區吉林路 23 號 9 樓

(72)發明人：溫英男 WEN, YING NAN (TW)；劉建宏 LIU, CHIEN HUNG (TW)；楊惟中 YANG, WEI CHUNG (TW)

(74)代理人：陳昭誠

申請實體審查：有 申請專利範圍項數：14 項 圖式數：3 共 21 頁

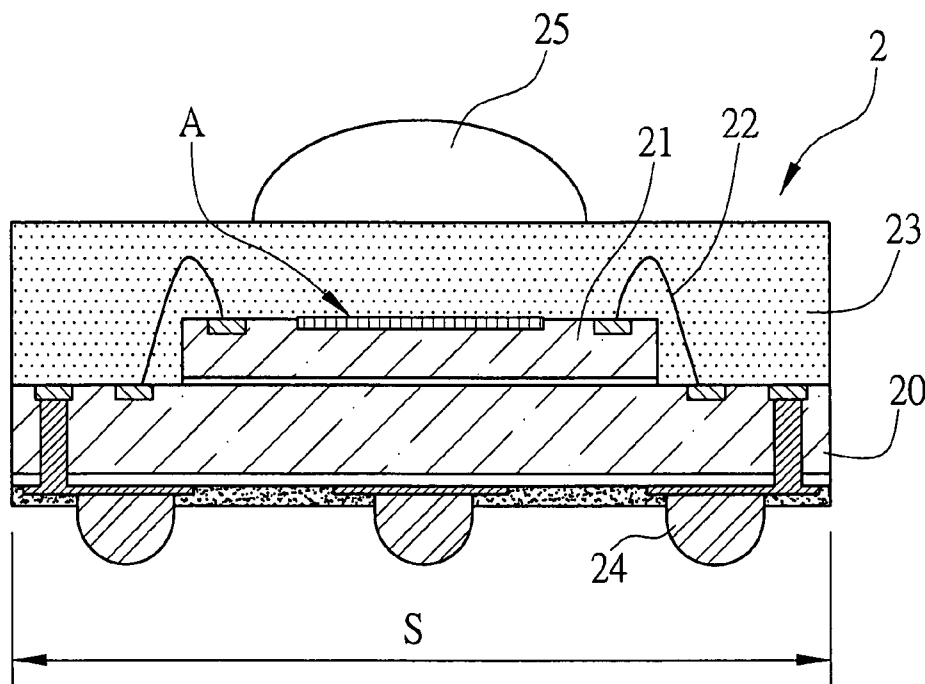
(54)名稱

半導體封裝件及其製法

SEMICONDUCTOR PACKAGE AND METHOD OF FABRICATING THE SAME

(57)摘要

一種半導體封裝件，係包括：含矽基板、置放於該含矽基板上之感光晶片、電性連接該含矽基板與感光晶片之複數導線、包覆該感光晶片與該些導線之覆蓋層、以及形成於該覆蓋層上之膠體透鏡。藉由將感光晶片堆疊於含矽基板上，以縮減半導體封裝件於該電路板上之佔用面積，而利於達到產品微小化之需求。本發明復提供該半導體封裝件之製法。



2：半導體封裝件

20：含矽基板

21：感光晶片

22：導線

23：覆蓋層

24：導電元件

25：膠體透鏡

A：感光區

S：底面積

(21)申請案號：101141262

(22)申請日：中華民國 101 (2012) 年 11 月 07 日

(51)Int. Cl. : *H01L23/48 (2006.01)*

H01L23/522 (2006.01)

H01L21/58 (2006.01)

(30)優先權：2011/11/11 美國

61/558,713

(71)申請人：精材科技股份有限公司 (中華民國) XINTEC INC. (TW)

桃園縣中壢市中壢工業區吉林路 23 號 9 樓

(72)發明人：溫英男 WEN, YING NAN (TW)；劉建宏 LIU, CHIEN HUNG (TW)；楊惟中 YANG, WEI CHUNG (TW)

(74)代理人：陳昭誠

申請實體審查：有 申請專利範圍項數：14 項 圖式數：3 共 21 頁

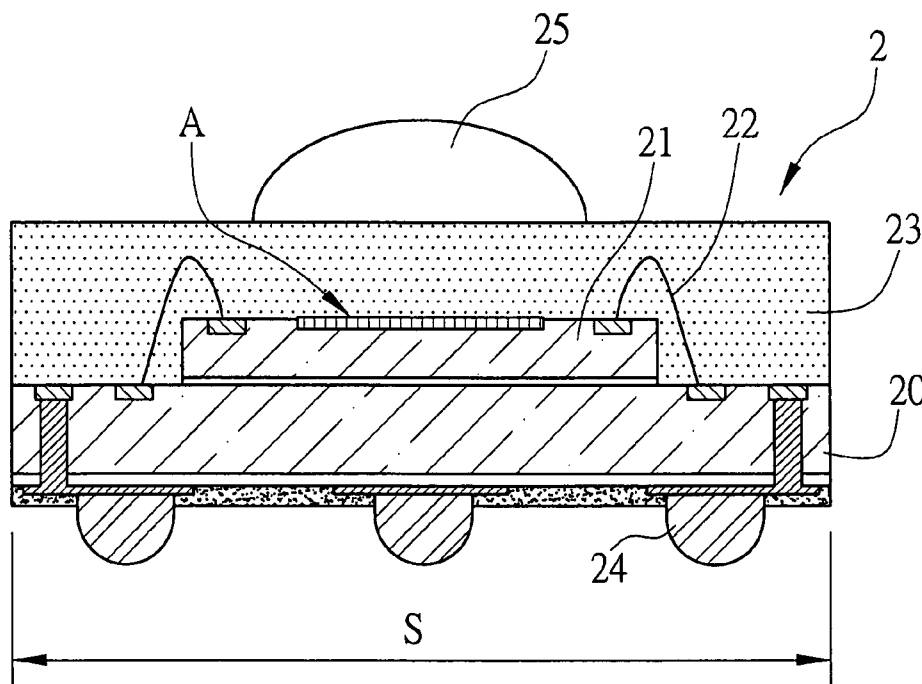
(54)名稱

半導體封裝件及其製法

SEMICONDUCTOR PACKAGE AND METHOD OF FABRICATING THE SAME

(57)摘要

一種半導體封裝件，係包括：含矽基板、置放於該含矽基板上之感光晶片、電性連接該含矽基板與感光晶片之複數導線、包覆該感光晶片與該些導線之覆蓋層、以及形成於該覆蓋層上之膠體透鏡。藉由將感光晶片堆疊於含矽基板上，以縮減半導體封裝件於該電路板上之佔用面積，而利於達到產品微小化之需求。本發明復提供該半導體封裝件之製法。



2：半導體封裝件

20：含矽基板

21：感光晶片

22：導線

23：覆蓋層

24：導電元件

25：膠體透鏡

A：感光區

S：底面積

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 101141262

※ 申請日： 101.11.7

※IPC分類：

H01L 23/48 (2006.01)

H01L 23/522 (2006.01)

H01L 21/58 (2006.01)

一、發明名稱：(中文/英文)

半導體封裝件及其製法

SEMICONDUCTOR PACKAGE AND METHOD OF FABRICATING
THE SAME

二、中文發明摘要：

一種半導體封裝件，係包括：含矽基板、置放於該含矽基板上之感光晶片、電性連接該含矽基板與感光晶片之複數導線、包覆該感光晶片與該些導線之覆蓋層、以及形成於該覆蓋層上之膠體透鏡。藉由將感光晶片堆疊於含矽基板上，以縮減半導體封裝件於該電路板上之佔用面積，而利於達到產品微小化之需求。本發明復提供該半導體封裝件之製法。

三、英文發明摘要：

Disclosed is a semiconductor package, comprising a silicon substrate, a photosensitive chip disposed on the silicon substrate, a plurality of conductive wires electrically connected to the silicon substrate and the photosensitive chip, a covering layer encapsulating the photosensitive chip and the conductive wires, and an encapsulant lens formed on the covering layer. The photosensitive chip is stacked on the silicon substrate to reduce the occupying space of the semiconductor package on the circuit board to facilitate miniaturization. The invention further provides a method for fabricating the semiconductor package as described above.

四、指定代表圖：

(一)本案指定代表圖為：第 (2E) 圖。

(二)本代表圖之元件符號簡單說明：

2	半導體封裝件
20	含矽基板
21	感光晶片
22	導線
23	覆蓋層
24	導電元件
25	膠體透鏡
A	感光區
S	底面積

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無化學式。

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體堆疊技術，更詳言之，本發明係為一種半導體封裝件及其製法。

【先前技術】

隨著電子產業的蓬勃發展，電子產品也逐漸邁向多功能、高性能的趨勢。為了滿足半導體封裝件高整合度（integration）及微小化（miniaturization）的封裝需求，係於單一封裝基板上載接更多半導體晶片與電子元件。目前半導體封裝件之種類繁多，例如：光電裝置（opto electronic devices）或微機電系統（Micro Electro Mechanical Systems, MEMS）等。

如第 1 圖所示，係為一種具感光晶片 11 之半導體封裝件，其係於一 BT（Bismaleimide-Triazine）製成之封裝基板 1 上承載感光晶片 11 與電子元件 10，該感光晶片 11 係藉由導線 12 電性連接該封裝基板 1 與電子元件 10，該電子元件 10 亦藉由導線 12 電性連接該封裝基板 1，且該電子元件 10 可為特殊功能積體電路（Application Specific Integrated Circuit, ASIC）。於後續製程中，再以覆蓋層（圖未示）包覆該感光晶片 11 與電子元件 10，且於該感光晶片 11 上方形成透鏡（lens，圖未示），最後於該封裝基板 1 上植設焊球（圖未示），以將該半導體封裝件結合於電路板（圖未示）上。

惟，習知技術中，該感光晶片 11 與電子元件 10 係設

置於該封裝基板 1 之同一表面上，故該封裝基板 1 需規劃兩處作用區域 C, D 供承載該感光晶片 11 與電子元件 10 及結合導線 12 之用，導致該封裝基板 1 之使用面積 W 無法縮減，以致於半導體封裝件於該電路板上之佔用面積無法縮減，因而電子產品難以滿足微小化之需求。

因此，如何克服習知技術之問題，實為一重要課題。

【發明內容】

為解決上述習知技術之問題，本發明遂提出一種半導體封裝件及其製法，係將一感光晶片堆疊於一電子元件上，且該電子元件係為含矽基板，再以複數導線電性連接該含矽基板與感光晶片；接著，形成覆蓋層於該含矽基板上，以包覆該感光晶片與該些導線，再於該覆蓋層上形成膠體透鏡。

由上可知，本發明之半導體封裝件及其製法，藉由將感光晶片堆疊於含矽基板上，不僅因無需使用習知技術之封裝基板而可降低材料成本，且因該半導體封裝件之底面積僅為該含矽基板之面積，而大幅縮減半導體封裝件於該電路板上之佔用面積，以利於達到電子產品微小化之需求。

【實施方式】

以下藉由特定的具體實施例說明本發明之實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點及功效。

須知，本說明書所附圖式所繪示之結構、比例、大小等，均僅用以配合說明書所揭示之內容，以供熟悉此技藝

之人士之瞭解與閱讀，並非用以限定本發明可實施之限定條件，故不具技術上之實質意義，任何結構之修飾、比例關係之改變或大小之調整，在不影響本發明所能產生之功效及所能達成之目的下，均應仍落在本發明所揭示之技術內容得能涵蓋之範圍內。同時，本說明書中所引用之如“上”、“下”、“底”及“一”等之用語，亦僅為便於敘述之明瞭，而非用以限定本發明可實施之範圍，其相對關係之改變或調整，在無實質變更技術內容下，當亦視為本發明可實施之範疇。

第 2A 至 2E 圖係為本發明之半導體封裝件 2 之製法之第一實施例之剖面示意圖。

如第 2A 圖所示，於一含矽基板 20 上設置一感光 (photo-sensor) 晶片 21，該含矽基板 20 上具有複數電性連接墊 200，且該感光晶片 21 具有一感光區 A，該感光晶片 21 並於該感光區 A 周圍之表面上具有複數電極墊 210。

接著，進行打線製程，係以複數導線 22 連接該電性連接墊 200 與該電極墊 210，俾藉該導線 22 電性連接該含矽基板 20 與感光晶片 21。

於本實施例中，該含矽基板 20 之材質可為玻璃材或晶圓，且內部具有線路 (圖未示) 以作為特殊功能積體電路 (Application Specific Integrated Circuit, ASIC)。再者，該感光晶片 21 之種類繁多，並無特別限制。

如第 2B 圖所示，進行封模 (molding) 製程，形成覆

蓋層 23 於該含矽基板 20 上，以包覆該感光晶片 21 與該些導線 22。

如第 2C 圖所示，於該含矽基板 20 中形成複數貫穿該含矽基板 20 之導電穿孔(Through Silicon Via, TSV)201，令該導電穿孔 201 電性連接該些電性連接墊 200，且於該含矽基板 20 相對該覆蓋層 23 之另一側(如第 2C 圖之下側)上形成電性連接該導電穿孔 201 之線路結構(Redistribution layer, RDL) 202，再於該含矽基板 20 之下側與線路結構 202 上形成保護層 203，且該保護層 203 形成有開孔 203a，以令該線路結構 202 之部分表面外露於該開孔 203a。

如第 2D 圖所示，形成複數導電元件 24 於該開孔 203a 中之線路結構 202 上，以藉由該導電元件 24 結合於如電路板之電子裝置(圖未示)上，而使該半導體封裝件 2 設置於該電子裝置上。於本實施例中，該導電元件 24 可為焊球、針腳等，並無特別限制。

如第 2E 圖所示，藉由模具(圖未示)進行另一封模製程，係於該覆蓋層 23 上形成對應該感光區 A 之膠體透鏡(lens) 25。

於本實施例中，形成該膠體透鏡 25 與該覆蓋層 23 之材質係相同。該膠體透鏡 25 與該覆蓋層 23 未於同一封模製程中製作，係為了避免於製作導電穿孔 201、線路結構 202 與保護層 203 時，損壞膠體透鏡 25。

第 3A 至 3D 圖係為本發明之半導體封裝件 2 之製法之

第二實施例之剖面示意圖。本實施例與第一實施例之差異在於導電穿孔 201、線路結構 202 與導電元件 24 之形成步驟，其於相關製程均大致相同，故不再贅述。

如第 3A 圖所示，於一具有電性連接墊 200 之含矽基板 20 中形成複數貫穿該含矽基板 20 之導電穿孔 201，且於該含矽基板 20 之下側上形成電性連接該導電穿孔 201 之線路結構 202，且該導電穿孔 201 電性連接該些電性連接墊 200，再形成保護層 203。

如第 3B 圖所示，於該含矽基板 20 上設置一具感光區 A 之感光晶片 21。接著，進行打線製程，俾藉複數導線 22 電性連接該含矽基板 20 與感光晶片 21。

如第 3C 圖所示，形成覆蓋層 23 於該含矽基板 20 上，以包覆該感光晶片 21 與該些導線 22。接著，於該覆蓋層 23 上形成對應該感光區 A 之膠體透鏡 25。

如第 3D 圖所示，形成複數導電元件 24 於該線路結構 202 上。

本發明復提供一種半導體封裝件 2，係包括：一含矽基板 20、置放於該含矽基板 20 上之一感光晶片 21、電性連接該含矽基板 20 與感光晶片 21 之複數導線 22、形成於該含矽基板 20 上之覆蓋層 23、以及形成於該覆蓋層 23 上之一膠體透鏡 25。

所述之半導體封裝件 2 可應用於微機電系統(Micro Electro Mechanical System, MEMS)，特別是可選擇使用晶圓級封裝(wafer scale package; WSP)製程對影像感測

元件之半導體封裝件。

所述之含矽基板 20 之上側具有複數電性連接墊 200，該含矽基板 20 之下側具有線路結構 202，該含矽基板 20 復具有複數貫穿其中之導電穿孔 201，以電性連接該些電性連接墊 200 與線路結構 201。

所述之感光晶片 21 具有一感光區 A，並於該感光區 A 周圍之表面上具有複數電極墊 210。

所述之導線 22 連接該電性連接墊 200 與該電極墊 210，而使該含矽基板 20 電性連接該感光晶片 21。

所述之覆蓋層 23 係包覆該感光晶片 21 與該些導線 22。

所述之膠體透鏡 25 係對應該感光區 A。

所述之半導體封裝件 2 復包括設於該線路結構 202 上之複數導電元件 24。

綜上所述，本發明之半導體封裝件及其製法，主要藉由將感光晶片 21 堆疊於該含矽基板 20 上，使該半導體封裝件 2 之底面積即為該含矽基板 20 之底面積 S（如第 2E 圖所示），而不需考量該感光晶片 21 之底面積，故可大幅縮減半導體封裝件 2 於該電路板上之佔用面積，以利於達到電子產品微小化之需求。

再者，本發明之製法中，係將特殊功能積體電路(ASIC)作為承載感光晶片 21 之載件，故無需使用習知技術之 BT 封裝基板，因而可降低材料成本。

上述該些實施樣態僅例示性說明本發明之功效，而非

用於限制本發明，任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述該些實施態樣進行修飾與改變。此外，在上述該些實施態樣中之元件的數量僅為例示性說明，亦非用於限制本發明。因此本發明之權利保護範圍，應如後述之申請專利範圍所列。

【圖式簡單說明】

第 1 圖係為習知半導體封裝件於封裝前之側剖示意圖；

第 2A 至 2E 圖係為本發明半導體封裝件之製法之第一實施例之側剖示意圖；以及

第 3A 至 3D 圖係為本發明半導體封裝件之製法之第二實施例之側剖示意圖。

【主要元件符號說明】

1	封裝基板
10	電子元件
11, 21	感光晶片
12, 22	導線
2	半導體封裝件
20	含矽基板
200	電性連接墊
201	導電穿孔
202	線路結構
203	保護層
203a	開孔

210	電極墊
23	覆蓋層
24	導電元件
25	膠體透鏡
A	感光區
S	底面積
C, D	作用區域
W	使用面積

七、申請專利範圍：

1. 一種半導體封裝件，係包括：
 - 含矽基板；
 - 感光晶片，置放於該含矽基板上；
 - 複數導線，係電性連接該含矽基板與感光晶片；
 - 覆蓋層，係形成於該含矽基板上，以包覆該感光晶片與該些導線；以及
 - 膠體透鏡，係形成於該覆蓋層上。
2. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該含矽基板上具有複數電性連接墊，且該感光晶片上具有複數電極墊，俾藉該導線連接該電性連接墊與該電極墊而電性連接該含矽基板與感光晶片。
3. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該感光晶片具有對應該膠體透鏡之感光區。
4. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該含矽基板具有貫穿該含矽基板之導電穿孔。
5. 如申請專利範圍第 4 項所述之半導體封裝件，其中，該含矽基板相對該感光晶片之另一側上具有電性連接該導電穿孔之線路結構。
6. 如申請專利範圍第 5 項所述之半導體封裝件，復包括設於該線路結構上之導電元件。
7. 如申請專利範圍第 1 項所述之半導體封裝件，其中，形成該膠體透鏡與該覆蓋層之材質係相同。
8. 一種半導體封裝件之製法，係包括：

於一含矽基板上設置一感光晶片；

以複數導線電性連接該含矽基板與感光晶片；

形成覆蓋層於該含矽基板上，以包覆該感光晶片與該些導線；以及

藉由模具於該覆蓋層上形成膠體透鏡。

9. 如申請專利範圍第 8 項所述之半導體封裝件之製法，其中，該含矽基板上具有複數電性連接墊，且該感光晶片上具有複數電極墊，俾藉該導線連接該電性連接墊與該電極墊而使該含矽基板電性連接感光晶片。

10. 如申請專利範圍第 8 項所述之半導體封裝件之製法，其中，該感光晶片具有對應該膠體透鏡之感光區。

11. 如申請專利範圍第 8 項所述之半導體封裝件之製法，於形成該膠體透鏡之前，復包括：

於該含矽基板中形成貫穿該含矽基板之導電穿孔，且於該含矽基板相對該覆蓋層之另一側上形成電性連接該導電穿孔之線路結構；以及

形成導電元件於該線路結構上。

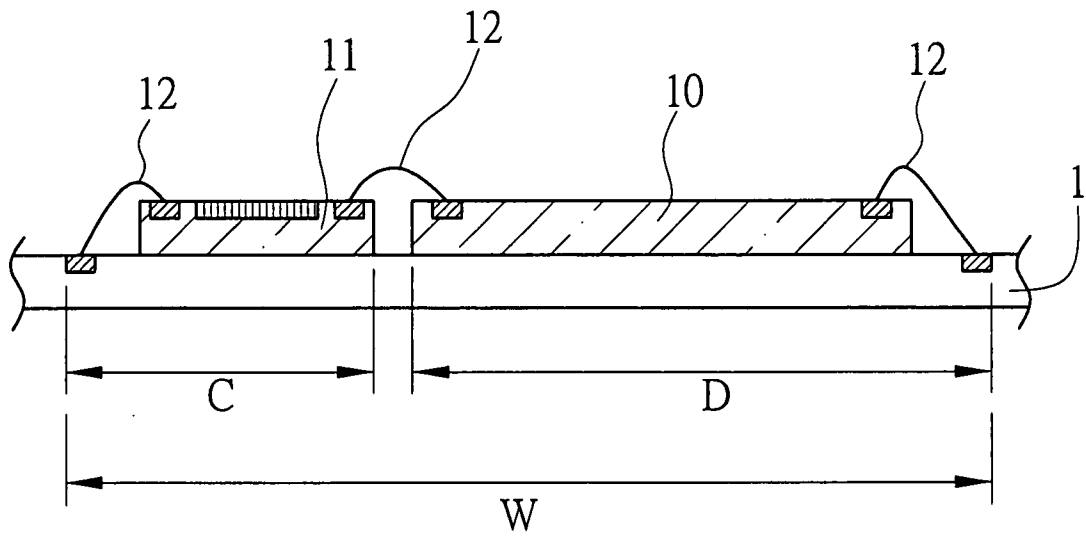
12. 如申請專利範圍第 8 項所述之半導體封裝件之製法，於設置該感光晶片之前，復包括於該含矽基板中形成貫穿該含矽基板之導電穿孔，且於該含矽基板相對該感光晶片之另一側上形成電性連接該導電穿孔之線路結構。

13. 如申請專利範圍第 12 項所述之半導體封裝件之製法，於形成該膠體透鏡之後，復包括形成導電元件於該線

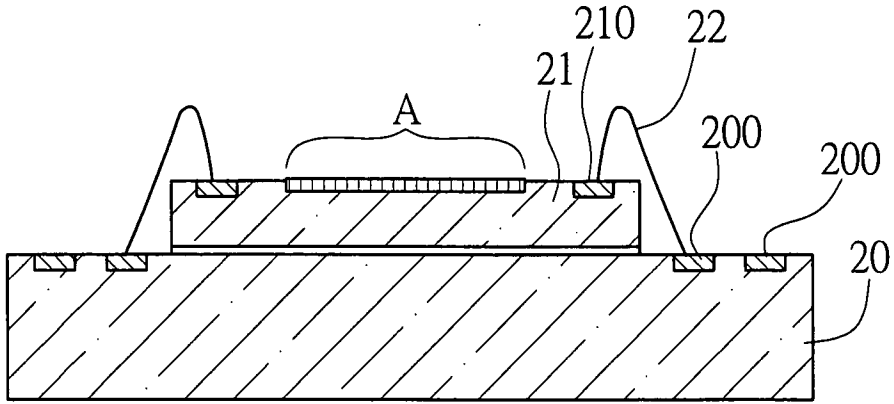
路結構上。

14. 如申請專利範圍第 8 項所述之半導體封裝件之製法，其中，形成該膠體透鏡與該覆蓋層之材質係相同。

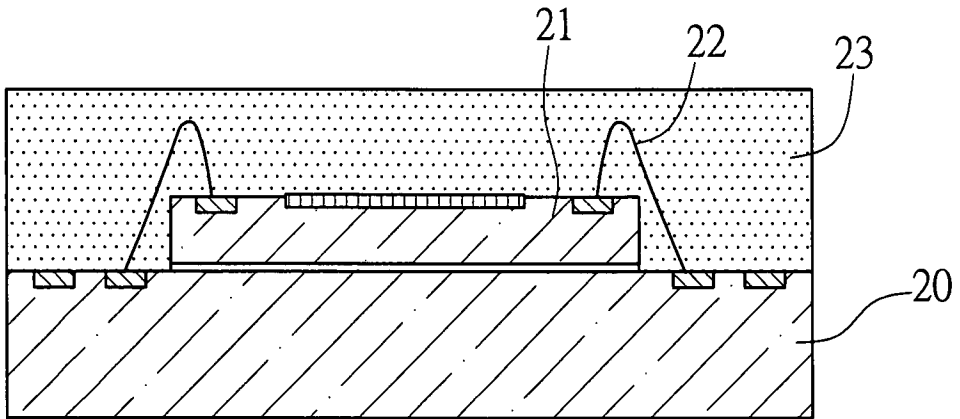
八、圖式：



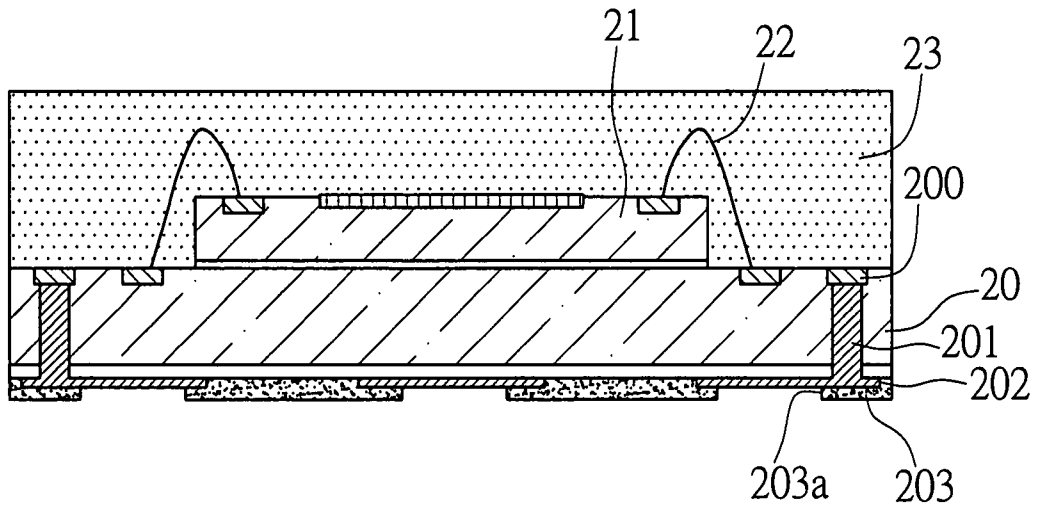
第1圖



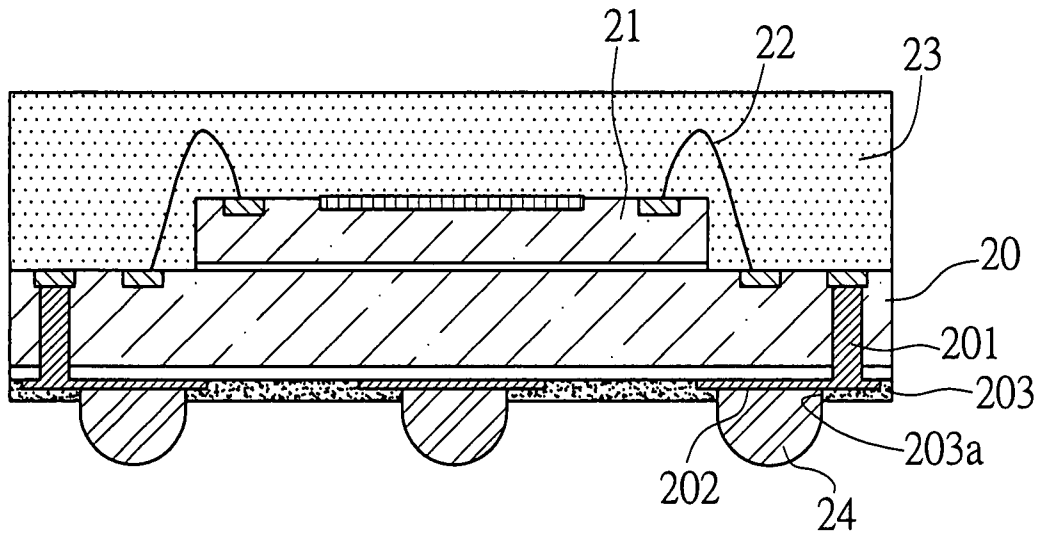
第2A圖



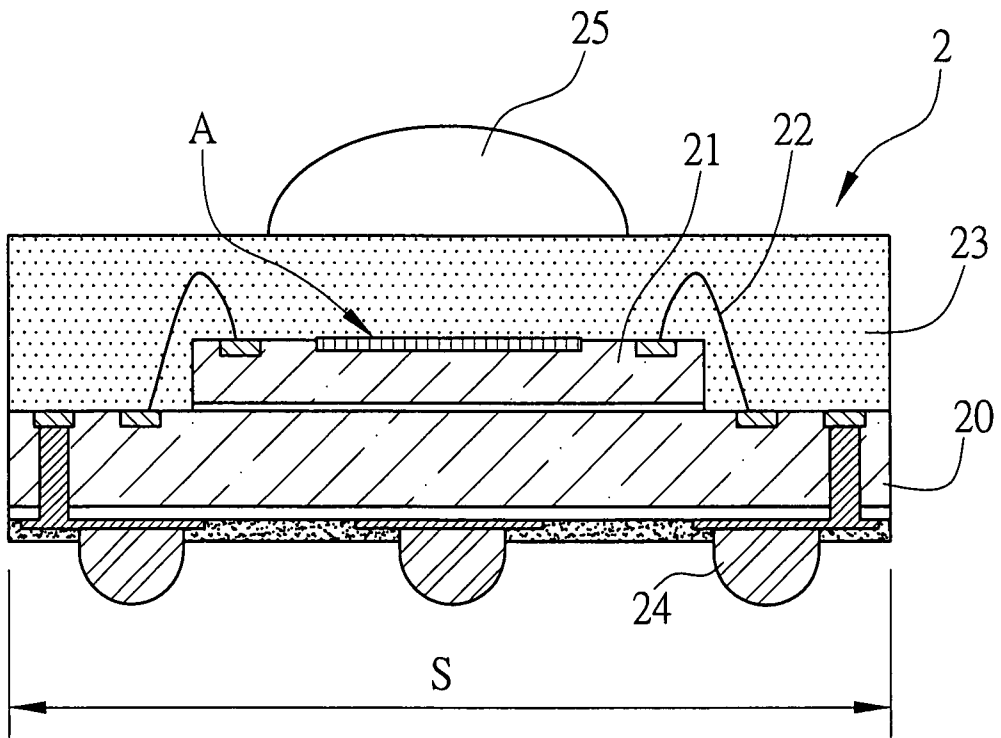
第2B圖



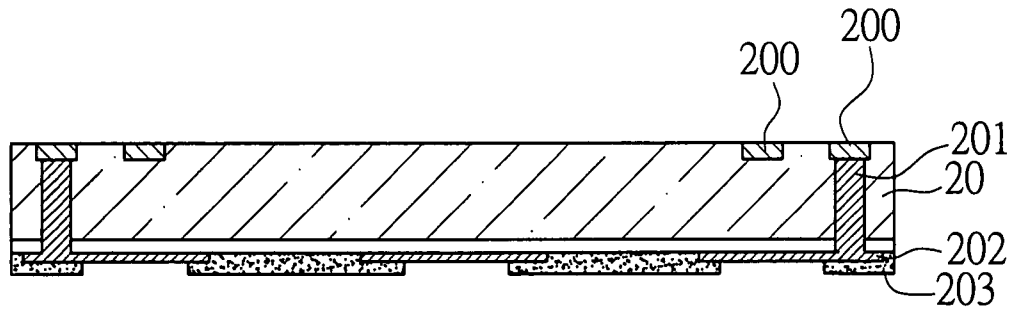
第2C圖



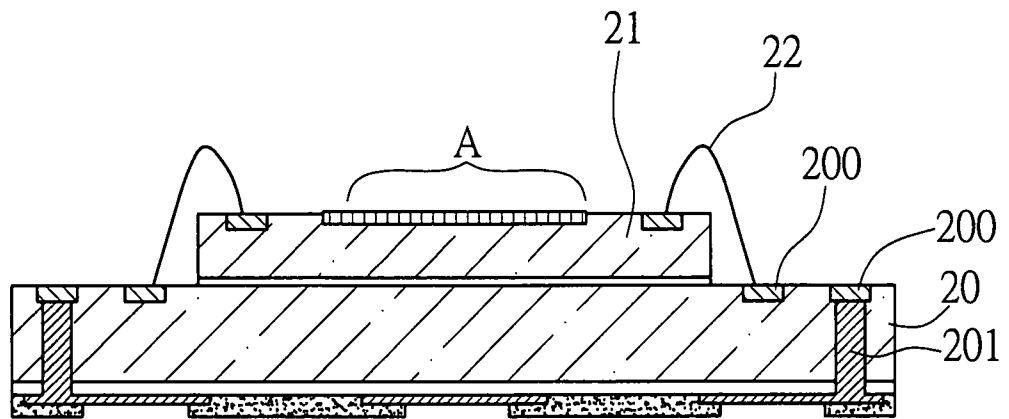
第2D圖



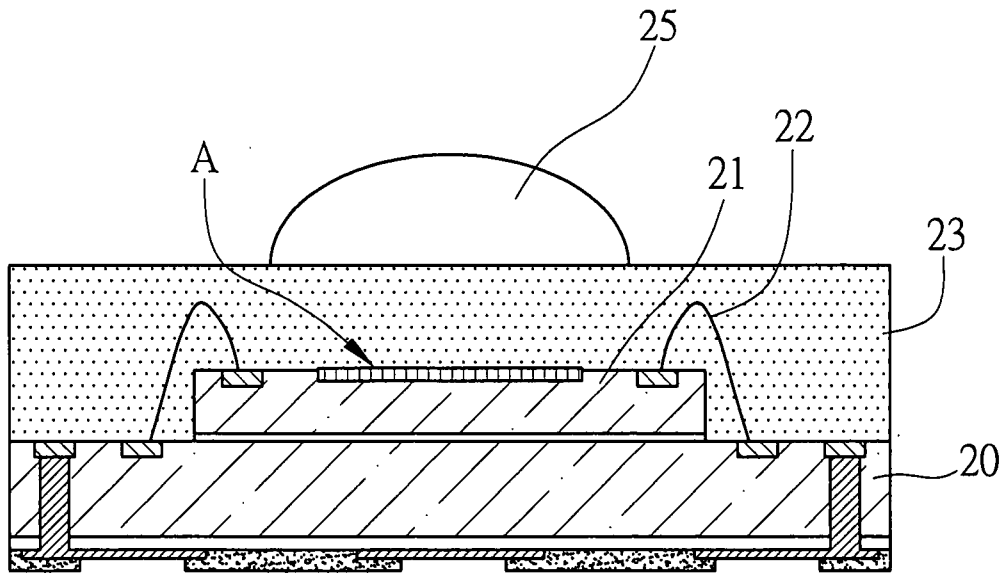
第2E圖



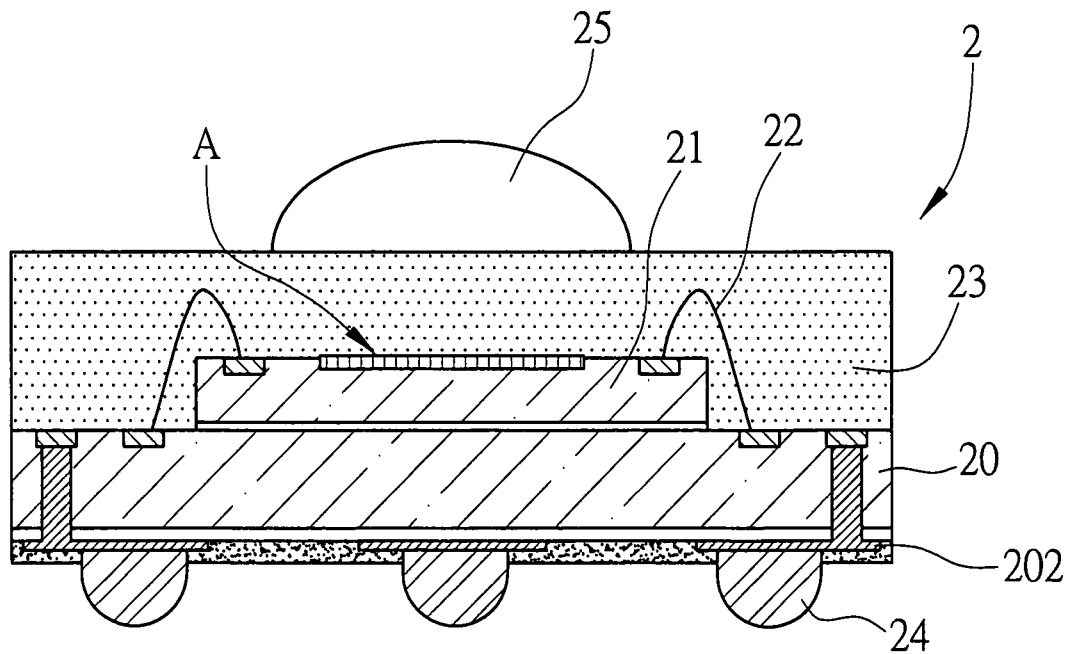
第3A圖



第3B圖



第3C圖



第3D圖