



(12) 发明专利

(10) 授权公告号 CN 108630535 B

(45) 授权公告日 2024. 04. 02

(21) 申请号 201810634465.0

H01L 29/423 (2006.01)

(22) 申请日 2018.06.20

(56) 对比文件

(65) 同一申请的已公布的文献号

申请公布号 CN 108630535 A

CN 208433413 U, 2019.01.25

CN 108039322 A, 2018.05.15

US 2006094183 A1, 2006.05.04

(43) 申请公布日 2018.10.09

US 2009108291 A1, 2009.04.30

(73) 专利权人 长江存储科技有限责任公司

CN 102097379 A, 2011.06.15

地址 430074 湖北省武汉市洪山区东湖开

US 6252283 B1, 2001.06.26

发区关东科技工业园华光大道18号

CN 103378134 A, 2013.10.30

7018室

US 2007228464 A1, 2007.10.04

CN 103377944 A, 2013.10.30

(72) 发明人 田武 汪宗武 许文山 孙超

审查员 刘立平

(74) 专利代理机构 上海盈盛知识产权代理事务

所(普通合伙) 31294

专利代理师 董琳

(51) Int. Cl.

H01L 21/28 (2006.01)

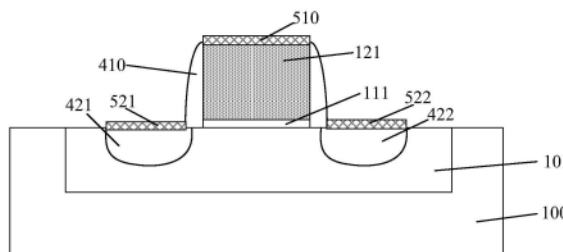
权利要求书2页 说明书6页 附图2页

(54) 发明名称

半导体结构及其形成方法

(57) 摘要

本发明涉及一种半导体结构及其形成方法, 所述半导体结构的形成方法包括: 提供衬底; 在所述衬底表面形成栅介质材料层和位于所述栅介质材料层表面的栅极材料层; 对所述栅极材料层进行第一离子掺杂, 所述第一离子掺杂采用的第一掺杂离子能够提高P型掺杂离子在所述栅极材料层内的分凝系数; 对所述栅极材料层进行第二离子掺杂, 所述第二离子掺杂采用的第二掺杂离子为P型掺杂离子。上述半导体结构及其形成方法能够避免栅极耗尽, 提高半导体结构的性能。



1. 一种半导体结构的形成方法,其特征在于,包括:
提供衬底;
在所述衬底表面形成栅介质材料层和位于所述栅介质材料层表面的栅极材料层;
对所述栅极材料层进行第一离子掺杂,所述第一离子掺杂采用的第一掺杂离子能够提高P型掺杂离子在所述栅极材料层内的分凝系数,所述第一离子掺杂包括多次掺杂步骤;
对所述栅极材料层进行第二离子掺杂,所述第二离子掺杂采用的第二掺杂离子为P型掺杂离子。
2. 根据权利要求1所述的半导体结构的形成方法,其特征在于,所述第一掺杂离子包括C和Ge中的至少一种。
3. 根据权利要求1所述的半导体结构的形成方法,其特征在于,所述多次掺杂步骤中,不同掺杂步骤的掺杂深度不同。
4. 根据权利要求1所述的半导体结构的形成方法,其特征在于,所述第一离子掺杂使得所述栅极材料层的各个位置处均掺杂有所述第一掺杂离子。
5. 根据权利要求1所述的半导体结构的形成方法,其特征在于,所述第二掺杂离子包括B或BF₂中的至少一种。
6. 根据权利要求1所述的半导体结构的形成方法,其特征在于,所述第一离子掺杂和第二离子掺杂均采用离子注入工艺进行。
7. 根据权利要求1所述的半导体结构的形成方法,其特征在于,还包括:在完成所述第一离子掺杂和所述第二离子掺杂之后,对所述栅极材料层进行退火处理。
8. 根据权利要求7所述的半导体结构的形成方法,其特征在于,所述退火处理的温度范围为950℃~1100℃。
9. 根据权利要求1所述的半导体结构的形成方法,其特征在于,还包括:刻蚀所述栅极材料层和栅介质材料层,形成栅极结构,所述栅极结构包括:位于所述衬底表面的栅介质层和位于所述栅介质层表面的栅极;在所述栅极结构两侧的衬底内形成源极和漏极。
10. 根据权利要求9所述的半导体结构的形成方法,其特征在于,还包括:在所述栅极的顶部表面形成栅极接触层。
11. 根据权利要求1所述的半导体结构的形成方法,其特征在于,还包括:在对所述栅极材料层进行第二离子掺杂之后,在所述栅极材料层表面形成金属接触层;刻蚀所述金属接触层、栅极材料层和栅介质材料层,形成栅极结构和位于所述栅极结构顶部表面的栅极接触层,所述栅极结构包括:位于所述衬底表面的栅介质层和位于所述栅介质层表面的栅极;在所述栅极结构两侧的衬底内形成源极和漏极。
12. 根据权利要求10或11所述的半导体结构的形成方法,其特征在于,所述栅极接触层的材料包括钨硅化物和镍硅化物中的至少一种。
13. 一种半导体结构,其特征在于,包括:
衬底;
位于所述衬底表面的栅极结构,所述栅极结构包括位于衬底表面的栅介质层和位于所述栅介质层表面的栅极;
所述栅极内掺杂有第一掺杂离子和第二掺杂离子,所述第二掺杂离子为P型掺杂离子,所述第一掺杂离子能够提高所述P型掺杂离子在所述栅极内的分凝系数;

所述栅极内的第一掺杂离子分布浓度均匀;或者,所述第一掺杂离子的浓度沿所述栅极的厚度阶梯分布。

14.根据权利要求13所述的半导体结构,其特征在于,所述第一掺杂离子包括C和Ge中的至少一种。

15.根据权利要求13所述的半导体结构,其特征在于,所述第一掺杂离子分布于所述栅极的各个位置处。

16.根据权利要求13所述的半导体结构,其特征在于,所述第二掺杂离子包括B或BF₂中的至少一种。

17.根据权利要求13所述的半导体结构,其特征在于,还包括:位于所述栅极结构两侧的衬底内的源极和漏极。

18.根据权利要求13所述的半导体结构,其特征在于,还包括:位于所述栅极顶部表面的栅极接触层。

19.根据权利要求13所述的半导体结构,其特征在于,所述栅极接触层的材料包括钨硅化物和镍硅化物中的至少一种。

半导体结构及其形成方法

技术领域

[0001] 本发明涉及半导体技术领域,尤其涉及一种半导体结构及其形成方法。

背景技术

[0002] 现有技术中,通常在PMOS器件中,对栅极进行P型离子掺杂以调整晶体管的栅极与衬底之间的功函数,从而达到调节PMOS阈值电压的目的。为了实现栅极的电接触,PMOS器件的栅极顶部会形成金属接触层。所述金属接触层通常为金属硅化物。

[0003] 在3D NAND的工艺过程中,由于大的热预算,需要采用较为稳定的 WSi_2 作为栅极接触层。PMOS器件的栅极的P型离子掺杂,通常采用B离子掺杂,然而,B在 WSi_2 中分凝系数高,扩散速率快,导致B穿越 WSi_2 层和栅极的界面,进入到 WSi_2 层中并在 WSi_2 层中聚积,引起栅极耗尽,从而造成PMOS器件的阈值电压漂移,影响PMOS晶体管的性能,从而无法满足高速大容量电路的需求。

[0004] 如何避免栅极耗尽问题,提高半导体结构的性能,是目前亟待解决的问题。

发明内容

[0005] 本发明所要解决的技术问题是,提供一种半导体结构及其形成方法,以提高所述半导体结构的性能。

[0006] 本发明提供一种半导体结构的形成方法,其特征在于,包括:提供衬底;在所述衬底表面形成栅介质材料层和位于所述栅介质材料层表面的栅极材料层;对所述栅极材料层进行第一离子掺杂,所述第一离子掺杂采用的第一掺杂离子能够提高P型掺杂离子在所述栅极材料层内的分凝系数;对所述栅极材料层进行第二离子掺杂,所述第二离子掺杂采用的第二掺杂离子为P型掺杂离子。

[0007] 可选的,所述第一掺杂离子包括C和Ge中的至少一种。

[0008] 可选的,所述第一离子掺杂包括多次掺杂步骤。

[0009] 可选的,所述多次注入步骤中,不同掺杂步骤的掺杂深度不同。

[0010] 可选的,所述第一离子掺杂使得所述栅极材料层的各个位置处均掺杂有所述第一掺杂离子。

[0011] 可选的,所述第二掺杂离子包括B或 BF_2 中的至少一种。

[0012] 可选的,所述第一离子掺杂和第二离子掺杂均采用离子注入工艺进行。

[0013] 可选的,还包括:在完成所述第一离子掺杂和所述第二离子掺杂之后,对所述栅极材料层进行退火处理。

[0014] 可选的,所述退火处理的温度范围为 $950^{\circ}C \sim 1100^{\circ}C$ 。

[0015] 可选的,还包括:刻蚀所述栅极材料层和栅介质材料层,形成栅极结构,所述栅极结构包括:位于所述衬底表面的栅介质层和位于所述栅介质层表面的栅极;在所述栅极结构两侧的衬底内形成源极和漏极。

[0016] 可选的,还包括:在所述栅极的顶部表面形成栅极接触层。

[0017] 可选的,还包括:在对所述栅极材料层进行第二离子掺杂之后,在所述栅极材料层表面形成金属接触层;刻蚀所述金属接触层、栅极材料层和栅介质材料层,形成栅极结构和位于所述栅极结构顶部表面的栅极接触层,所述栅极结构包括:位于所述衬底表面的栅介质层和位于所述栅介质层表面的栅极;在所述栅极结构两侧的衬底内形成源极和漏极。

[0018] 可选的,所述栅极接触层的材料包括钨硅化物和镍硅化物中的至少一种。

[0019] 本发明的技术方案还提供一种半导体结构,包括:衬底;位于所述衬底表面的栅极结构,所述栅极结构包括位于衬底表面的栅介质层和位于所述栅介质层表面的栅极;所述栅极内掺杂有第一掺杂离子和第二掺杂离子,所述第二掺杂离子为P型掺杂离子,所述第一掺杂离子能够提高所述P型掺杂离子在所述栅极内的分凝系数。

[0020] 可选的,所述第一掺杂离子包括C和Ge中的至少一种。

[0021] 可选的,所述第一掺杂离子分布于所述栅极的各个位置处。

[0022] 可选的,所述第二掺杂离子包括B或 BF_2 中的至少一种。

[0023] 可选的,还包括:位于所述栅极结构两侧的衬底内的源极和漏极。

[0024] 可选的,还包括:位于所述栅极顶部表面的栅极接触层。

[0025] 可选的,所述栅极接触层的材料包括钨硅化物和镍硅化物中的至少一种。

[0026] 本发明的半导体结构及其形成方法,在栅极材料层中掺杂第一掺杂离子,所述第一掺杂离子能够提高P型掺杂离子在栅极材料层中的分凝系数,从而使得所述栅极材料层在进行P型掺杂离子掺杂后,保持较高的P型掺杂离子浓度,避免栅极耗尽问题,从而提高半导体结构的性能。

附图说明

[0027] 图1至图5为本发明的半导体结构的形成过程的结构示意图。

具体实施方式

[0028] 下面结合附图对本发明提供的半导体结构及其形成方法的具体实施方式做详细说明。

[0029] 请参考图1,提供衬底100;在所述衬底100表面形成栅介质材料层101和位于所述栅介质材料层110表面的栅极材料层120。

[0030] 所述衬底100可以为单晶硅衬底、Ge衬底、SiGe衬底、SOI或GOI等;根据器件的实际需求,可以选择合适的半导体材料作为衬底100,在此不作限定。该具体实施方式中,所述衬底100为单晶硅晶圆。所述衬底100内还形成有掺杂阱101,该具体实施方式中,所述衬底100的掺杂阱101为N型掺杂阱,后续在所述掺杂阱101上形成PMOS晶体管。

[0031] 依次在所述衬底100表面形成栅介质材料层110和栅极材料层120,所述栅介质材料层110的材料可以为氧化硅、氧化钨、氧化锆等介质材料,可以采用热氧化、化学气相沉积工艺或原子层沉积工艺形成所述栅介质材料层。所述栅极材料层120的材料可以为多晶硅、碳化硅、锗硅等半导体材料,可以采用化学气相沉积工艺形成所述栅极材料层120。在该具体实施方式中,所述栅介质材料层110的材料为氧化硅,采用热氧化工艺形成;所述栅极材料层120的材料为多晶硅,采用化学气相沉积工艺形成。

[0032] 请参考图2,对所述栅极材料层120进行第一离子掺杂,所述第一离子掺杂的第一

掺杂离子能够提高P型掺杂离子在所述栅极材料层120内的分凝系数。

[0033] 所述第一掺杂离子包括C和Ge中的至少一种,例如,所述第一离子掺杂可以对所述栅极材料层120进行C离子掺杂或者Ge离子掺杂;所述第一离子掺杂还可以同时对所述栅极材料层120掺杂C离子和Ge离子,或者先后掺杂C离子和Ge离子。

[0034] 所述第一离子掺杂可以采用离子注入或扩散工艺实现。

[0035] 本具体实施方式中,采所述第一离子掺杂为单次的C离子注入。具体的,采用的C离子能量为5keV~25keV,掺杂浓度为 $5E18\text{cm}^{-3} \sim 1E20\text{cm}^{-3}$ 。

[0036] 在另一具体实施方式中,所述第一离子掺杂对所述栅极材料层120同时注入C离子和Ge离子,其中,C离子能量为5keV~25keV,掺杂浓度为 $5E18\text{cm}^{-3} \sim 1E20\text{cm}^{-3}$;Ge离子能量为10keV~20keV,掺杂浓度为 $1E18\text{cm}^{-3} \sim 1E19\text{cm}^{-3}$ 。

[0037] 所述第一掺杂离子能够提高P型掺杂离子在所述栅极材料层120内的分凝系数,为了能够使得所述P型掺杂离子在所述栅极材料层120内各个位置处均具有较高的分凝系数,以使得P型掺杂离子能够均匀分布于所述栅极材料层120内,可以通过控制所述第一离子掺杂的工艺参数,使得所述栅极材料层120的各个位置处均掺杂有所述第一掺杂离子,较佳的,所述栅极材料层120各位置处的第一掺杂离子分布浓度均匀。为了满足特定的电性能要求,所述第一掺杂离子的浓度还可以沿所述栅极材料层120的厚度阶梯分布,自所述栅极材料层120的顶部表面自衬底100表面,所述第一掺杂离子的浓度逐渐变大,或者自所述栅极材料层120的顶部表面自衬底100表面,所述第一掺杂离子的浓度逐渐变小。

[0038] 在其他具体实施方式中,为了能够确保第一掺杂离子能够分布在所述栅极材料层120的各个位置处,所述第一离子掺杂包括多次掺杂步骤,例如包括多次注入步骤。可以逐次调整各个掺杂步骤的掺杂参数,使得所述多次掺杂步骤中,不同掺杂步骤的注入深度不同,最终使得掺杂的第一掺杂离子能够分布于所述栅极材料层120的各个位置处。通过多次掺杂步骤实现所述第一离子掺杂,还能够调整所述栅极材料层120的各个深度位置处的第一掺杂离子的浓度分布。在采用离子注入工艺实现第一离子掺杂的过程中,通过多次注入步骤实现第一离子掺杂,可以降低单次注入步骤的注入能量,从而减少所述第一离子掺杂对所述栅极材料层120造成的注入损伤。较佳的,所述第一离子掺杂包括1~5次注入步骤,以避免注入步骤过多,造成工艺时间过长。

[0039] 请参考图3,对所述栅极材料层120进行第二离子掺杂,所述第二离子掺杂采用的第二掺杂离子为P型掺杂离子。

[0040] 所述P型掺杂离子包括B或 BF_2 中的至少一种。所述P型掺杂离子用于调整所述栅极材料层120与衬底100之间的功函数。所述第二离子掺杂可以采用离子注入或扩散工艺实现。

[0041] 本具体实施方式中,所述第二离子掺杂在第一离子掺杂之后进行,所述第二离子掺杂采用的第二掺杂离子为B,采用离子注入工艺,B能量为2keV~6keV,掺杂浓度为 $1E19\text{cm}^{-3} \sim 1E20\text{cm}^{-3}$ 。与 BF_2 相比,B离子不易向栅介质材料层110内扩散,有利于提高半导体结构的性能。

[0042] 在其他具体实施方式中,所述第二离子掺杂还可以在所述第一离子掺杂之前进行。

[0043] 在完成所述第一离子掺杂和所述第二离子掺杂之后,还包括:对所述栅极材料层

120进行退火处理,以激活所述栅极材料层120内的第一掺杂离子和第二掺杂离子,同时还可以修复所述栅极材料层120内在注入过程中产生的损伤。所述退火处理温度不能过高,避免所述第一掺杂离子和第二掺杂离子向所述栅介质层110和衬底100内扩散。在一个具体实施方式中,所述退火处理的温度范围为950℃~1100℃。

[0044] 请参考图4,刻蚀所述栅极材料层120(请参考图3)和栅介质材料层(请参考图3),形成栅极结构,所述栅极结构包括:位于所述衬底100表面的栅介质层111和位于所述栅介质层111表面的栅极121;在所述栅极结构两侧的衬底100内形成源极421和漏极422。

[0045] 可以在所述栅极材料层120表面形成定义栅极结构位置和图形的图形化掩膜层,以所述图形化掩膜层为掩膜,刻蚀所述栅极材料层120形成栅极121,以及刻蚀所述栅介质材料层110形成栅介质层111。

[0046] 在形成所述栅极结构之后,还包括在所述栅极结构的侧壁表面形成侧墙410,以保护所述栅极结构的侧壁。再对所述栅极结构两侧的衬底100进行离子掺杂,形成晶体管的源极421和漏极422。该具体实施方式中,形成的半导体结构为PMOS晶体管,所述源极421和漏极422均为P型掺杂,且形成于所述掺杂阱101内。所述源极421和漏极422外侧通常还形成有浅沟槽隔离结构(图中未示出)。

[0047] 请参考图5,在所述栅极121顶部表面形成栅极接触层510。

[0048] 本具体实施方式中,在所述栅极121顶部表面形成栅极接触层510的同时,还在所述源极421表面形成源极接触层521,在所述漏极422表面形成漏极接触层522。

[0049] 所述栅极接触层510、源极接触层521和所述漏极接触层522的形成方法包括:在所述源极421、漏极422以及栅极121表面形成金属层之后,进行退火,使得所述金属层与源极421、漏极422以及栅极121的表面材料进行反应形成接触层;然后去除未反应的金属层。

[0050] 所述栅极接触层510、源极接触层521和漏极接触层522的材料通常采用金属半导体化合物材料,例如金属硅化物材料,包括:钨硅化物以及镍硅化物中的至少一种。

[0051] 在热预算较高的半导体工艺中,通常采用更为稳定的钨硅化物作为所述栅极接触层510、源极接触层521和漏极接触层522的材料。该具体实施方式中,所述栅极接触层510、源极接触层521和漏极接触层522的材料为 WSi_2 。

[0052] 在其他具体实施方式中,在进行到图3所示步骤,对所述栅极材料层120进行第二离子掺杂之后,在所述栅极材料层120表面形成金属接触层;然后再对所述金属接触层、栅极材料层120以及栅介质材料层110进行刻蚀,形成栅极结构以及位于栅极结构顶部的栅极接触层。在形成所述栅极结构之后,再继续形成位于所述栅极结构两侧的衬底100内的源极和漏极,并且后续也无需在源极和漏极表面形成接触层。

[0053] 上述具体实施方式中,由于在栅极掺杂了第一掺杂离子,能够提高P型掺杂离子在所述栅极内的分凝系数,因此,能够有效避免栅极内的第二掺杂离子向所述栅极接触层内扩散,使得所述栅极内的第二掺杂离子能够维持较高的掺杂浓度,避免栅极发生耗尽问题,从而提高形成的半导体结构的性能。

[0054] 本发明的具体实施方式还提供一种半导体结构。

[0055] 请参考图5,为本发明一具体实施方式的半导体结构的结构示意图。

[0056] 所述半导体结构包括:衬底100;位于所述衬底100表面的栅极结构,所述栅极结构包括位于衬底100表面的栅介质层111和位于所述栅介质层111表面的栅极121;所述栅极

121内掺杂有第一掺杂离子和第二掺杂离子,所述第二掺杂离子为P型掺杂离子,所述第一掺杂离子能够提高所述P型掺杂离子在所述栅极121内的分凝系数。

[0057] 所述衬底100可以为单晶硅衬底、Ge衬底、SiGe衬底、SOI或GOI等;根据器件的实际需求,可以选择合适的半导体材料作为衬底100,在此不作限定。该具体实施方式中,所述衬底100为单晶硅晶圆。所述衬底100内还形成有掺杂阱101,该具体实施方式中,所述衬底100的掺杂阱101为N型掺杂阱,后续在所述掺杂阱101上形成PMOS晶体管。

[0058] 所述栅介质层111的材料可以为氧化硅、氧化铅、氧化锆等介质材料,所述栅极121的材料可以为多晶硅、碳化硅、锗硅等半导体材料。在该具体实施方式中,所述栅介质层111的材料为氧化硅;所述栅极121的材料为多晶硅。

[0059] 所述第一掺杂离子包括C和Ge中的至少一种。该具体实施方式中,所述第一掺杂离子为C,在所述栅极121内的掺杂浓度为 $5E18\text{cm}^{-3} \sim 1E20\text{cm}^{-3}$ 。在另一具体实施方式中,所述第一掺杂离子包括C和Ge,其中C离子掺杂浓度为 $5E18\text{cm}^{-3} \sim 1E20\text{cm}^{-3}$;Ge离子掺杂浓度为 $1E18\text{cm}^{-3} \sim 1E19\text{cm}^{-3}$ 。

[0060] 所述第一掺杂离子能够提高P型掺杂离子在所述栅极121内的分凝系数,为了能够使得所述P型掺杂离子在所述栅极121内各个位置处均具有较高的分凝系数,以使得P型掺杂离子能够均匀分布于所述栅极121内,所述栅极121的各个位置处均掺杂有所述第一掺杂离子,较佳的,所述栅极121各位置处的第一掺杂离子分布浓度均匀。为了满足特定的电性能要求,所述第一掺杂离子的浓度还可以沿所述栅极121的厚度阶梯分布,自所述栅极121的顶部表面自衬底100表面,所述第一掺杂离子的浓度逐渐变大,或者自所述栅极121的顶部表面自衬底100表面,所述第一掺杂离子的浓度逐渐变小。

[0061] 所述第二掺杂离子为P型掺杂离子,包括B或 BF_2 中的至少一种。所述P型掺杂离子用于调整所述栅极121与衬底100之间的功函数。该具体实施方式中,所述第二掺杂离子为B,掺杂浓度为 $1E19\text{cm}^{-3} \sim 1E20\text{cm}^{-3}$ 。

[0062] 所述栅极结构的侧壁表面还形成有侧墙410,以保护所述栅极结构的侧壁。

[0063] 该具体实施方式中,所述半导体结构为PMOS晶体管,所述源极421和漏极422均为P型掺杂,且位于所述掺杂阱101内。所述源极421和漏极422外侧通常还形成有浅沟槽隔离结构(图中未示出)。

[0064] 所述栅极121顶部表面还形成有栅极接触层510,以及所述源极421表面形成有源极接触层521,所述漏极422表面形成有漏极接触层522。所述栅极接触层510、源极接触层521和漏极接触层522的材料通常采用金属半导体化物材料,例如金属硅化物材料,包括:钨硅化物、镍硅化物等。

[0065] 在热预算较高的半导体工艺中,通常采用更为稳定的钨硅化物作为所述栅极接触层510、源极接触层521和漏极接触层522的材料。该具体实施方式中,所述栅极接触层510、源极接触层521和漏极接触层522的材料为 WSi_2 。

[0066] 上述具体实施方式的半导体结构中,由于所述半导体结构的栅极中掺杂有第一掺杂离子,能够提高P型掺杂离子在所述栅极内的分凝系数,因此,能够有效避免栅极内的第二掺杂离子向所述栅极接触层内扩散,使得所述栅极内的第二掺杂离子能够维持较高的掺杂浓度,避免栅极发生耗尽问题,从而提高形成的半导体结构的性能。

[0067] 以上所述仅是本发明的优选实施方式,应当指出,对于本技术领域的普通技术人

员,在不脱离本发明原理的前提下,还可以做出若干改进和润饰,这些改进和润饰也应视为本发明的保护范围。

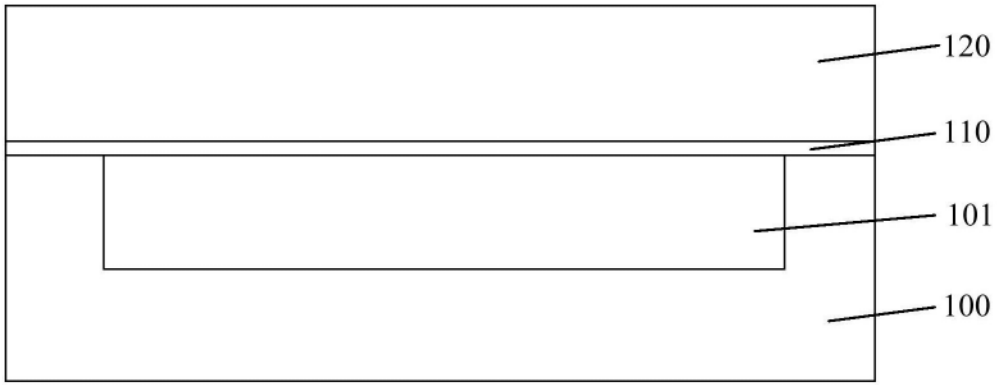


图1

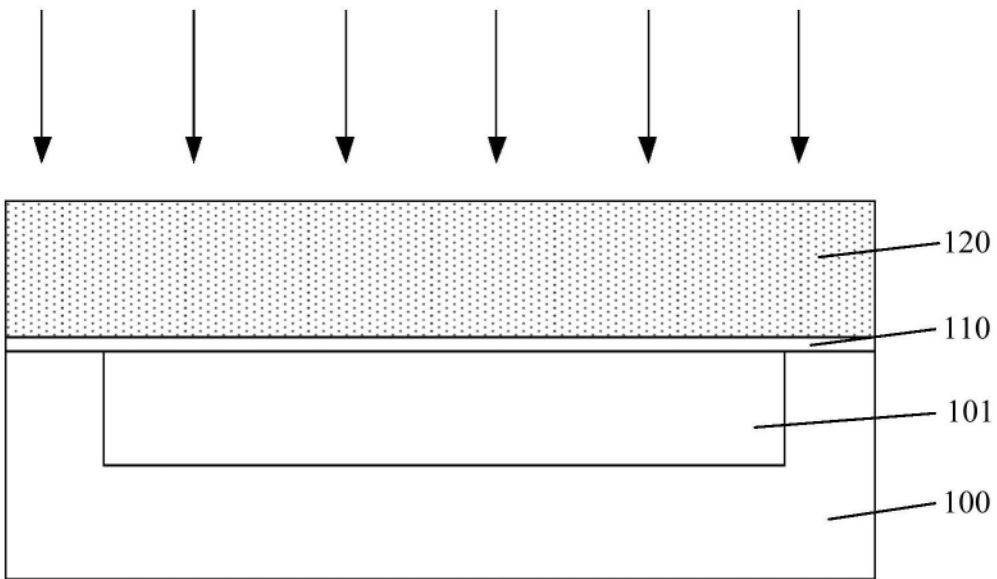


图2

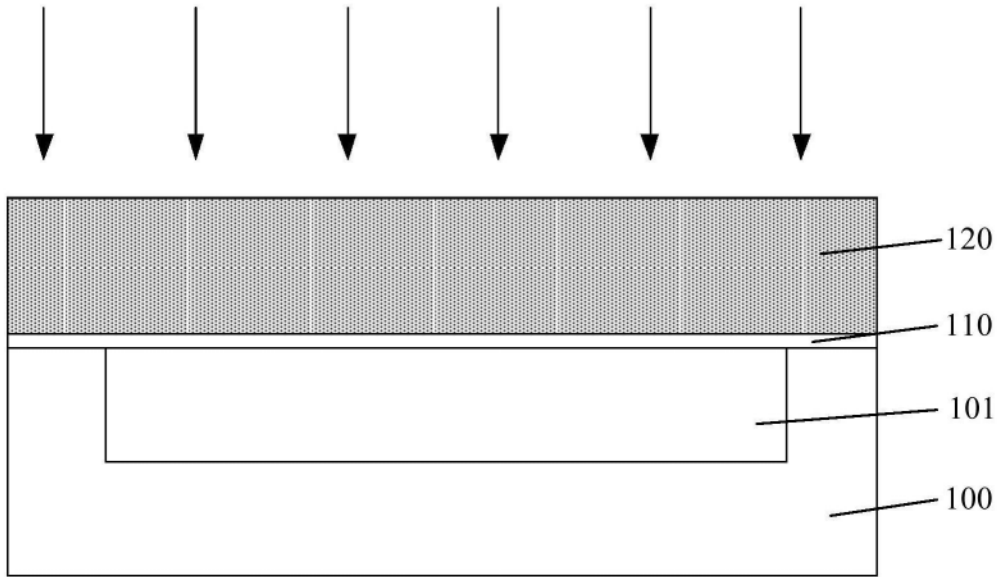


图3

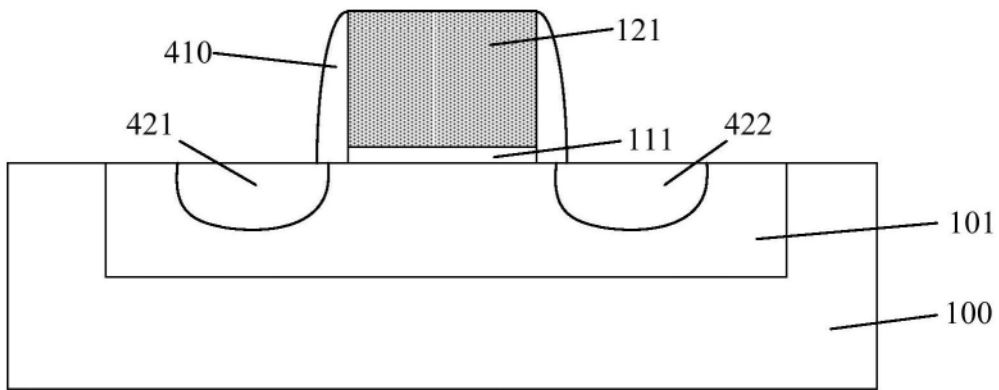


图4

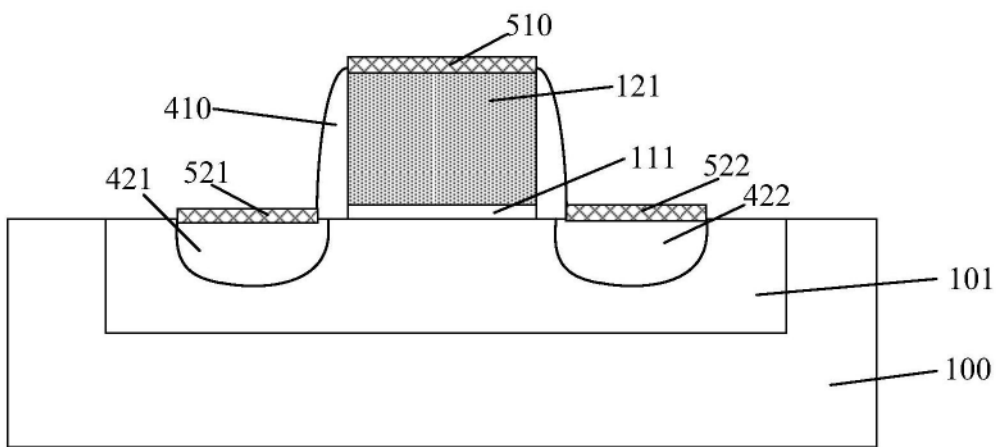


图5