



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년05월23일
 (11) 등록번호 10-1398080
 (24) 등록일자 2014년05월15일

- (51) 국제특허분류(Int. Cl.)
H01L 21/98 (2006.01) *H01L 21/60* (2006.01)
- (21) 출원번호 10-2012-7023056
- (22) 출원일자(국제) 2011년01월26일
 심사청구일자 2012년09월03일
- (85) 번역문제출일자 2012년09월03일
- (65) 공개번호 10-2012-0123527
- (43) 공개일자 2012년11월08일
- (86) 국제출원번호 PCT/US2011/022622
- (87) 국제공개번호 WO 2011/097102
 국제공개일자 2011년08월11일
- (30) 우선권주장
 61/301,482 2010년02월04일 미국(US)
- (56) 선행기술조사문헌
 US20060292744 A1*
 JP2001350268 A
 JP2001351861 A
 KR100323488 B1
 *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
소이텍
 프랑스, 에프-38190 베혼느, 슈망 데 프랑크, 박
 페끄늘로지끄 데 풍넨느
- (72) 발명자
사다카 마리안
 미국 78920 텍사스주 오스틴 나파 드라이브 3119
이오누트 라두
 프랑스 에프-38920 크롤레 아브뉴 드 라 레시스탕
 스 434
- (74) 대리인
정홍식

전체 청구항 수 : 총 17 항

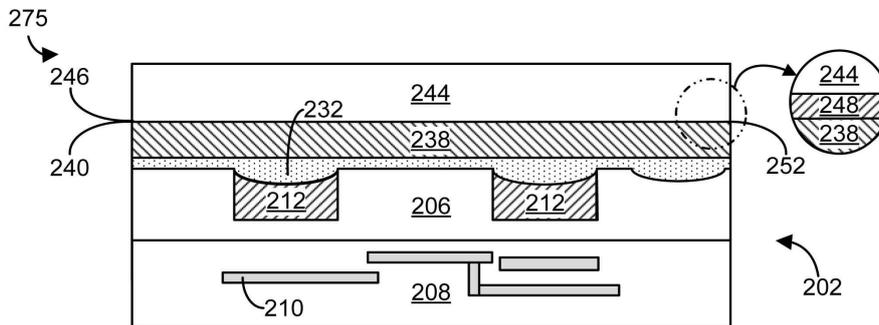
심사관 : 구본재

(54) 발명의 명칭 **접합 반도체 구조물 및 그 형성방법**

(57) 요약

본 발명의 실시예들은 반도체 구조물을 제조하기 위한 방법과 구조, 특히, 공정처리 반도체 구조물 및 반도체 구조물을 포함하는 접합 반도체 구조물의 평면성을 개선하기 위한 방법과 구조를 포함한다.

대표도 - 도2g



특허청구의 범위

청구항 1

처리된 반도체 구조물의 비평면 표면 위에 덧씌워지는 제1 유전체 막을 형성하는 단계;

상기 제1 유전체 막의 표면을 평탄화하는 단계;

상기 제1 유전체 막의 상기 평탄화된 표면 위에 덧씌워지는 제2 유전체 막을 형성하는 단계; 및

상기 제2 유전체 막에 반도체 구조물을 부착하는 단계;를 포함하며,

상기 처리된 반도체 구조물은,

디바이스 기관, 상기 디바이스 기관 상에 형성된 유전체 막 및 상기 유전체 막에 형성되어 일 방향으로 노출된 복수의 전도성 영역을 포함하며, 상기 유전체 막의 일부 표면 영역 및 상기 복수의 전도성 영역의 일부 표면 영역은 제거되어 상기 비평면 표면을 형성하는 반도체 구조물을 형성하기 위한 방법.

청구항 2

제1항에 있어서,

플라즈마 어시스티드 화학 기상 증착(PACVD) 공정을 사용하여 상기 제1 유전체 막과 상기 제2 유전체 막 중의 적어도 하나를 증착하는 단계를 더 포함하는 반도체 구조물을 형성하기 위한 방법.

청구항 3

제1항에 있어서,

400°C 이하의 온도에서 상기 제1 유전체 막과 상기 제2 유전체 막 중의 적어도 하나를 증착하는 단계를 더 포함하는 반도체 구조물을 형성하기 위한 방법.

청구항 4

제1항에 있어서,

상기 제1 유전체 막의 표면을 평탄화하는 단계는 상기 제1 유전체 막의 비평면 표면을 화학적 기계적 폴리싱(CMP)하는 단계를 더 포함하는 반도체 구조물을 형성하기 위한 방법.

청구항 5

제1항에 있어서,

상기 처리된 반도체 구조물의 상기 비평면 표면 위에 덧씌워지는 상기 제1 유전체 막을 형성하는 단계는,

상기 처리된 반도체 구조물의 복수의 디시형 영역들을 메우는 단계; 및

상기 처리된 반도체 구조물의 복수의 침식 영역들을 메우는 단계를 포함하는 반도체 구조물을 형성하기 위한 방법.

청구항 6

제1항에 있어서,

상기 제1 유전체 막의 상기 평탄화된 표면 위에 덧씌워지는 상기 제2 유전체 막을 형성하는 단계는 플라즈마 공정을 사용하여 상기 제2 유전체 막을 스무딩 및 활성화시키는 단계를 포함하는 반도체 구조물을 형성하기 위한 방법.

청구항 7

제1항에 있어서,

복수의 디시형 영역들 및 복수의 침식 영역들을 포함하도록 상기 처리된 반도체 구조물의 비평면 표면을 형성하

는 단계를 더 포함하는 반도체 구조물을 형성하기 위한 방법.

청구항 8

제7항에 있어서,

상기 복수의 디시형 영역들 및 상기 복수의 침식 영역들을 포함하도록 상기 처리된 반도체 구조물의 비평면 표면을 형성하는 단계는 상기 처리된 반도체 구조물 상의 금속 층의 적어도 일부를 제거하는 단계를 포함하는 반도체 구조물을 형성하기 위한 방법.

청구항 9

비평면 표면을 포함하는 처리된 반도체 구조물;

상기 비평면 표면 위에 덧씌워지는 제1 유전체 막;

상기 제1 유전체 막 위에 덧씌워지는 제2 유전체 막; 및

상기 제2 유전체 막에 부착된 반도체 구조물;을 포함하며,

상기 처리된 반도체 구조물은,

디바이스 기관, 상기 디바이스 기관 상에 형성된 유전체 막 및 상기 유전체 막에 형성되어 일 방향으로 노출된 복수의 전도성 영역을 포함하며, 상기 유전체 막의 일부 표면 영역 및 상기 복수의 전도성 영역의 일부 표면 영역은 제거되어 상기 비평면 표면을 형성하는 반도체 구조물.

청구항 10

제9항에 있어서,

상기 처리된 반도체 구조물은,

디바이스 기관;

전도성 영역; 및

유전체 층;을 포함하는 반도체 구조물.

청구항 11

제10항에 있어서,

상기 디바이스 기관은 전극 디바이스, 광전자 디바이스, 광전지 디바이스, 및 미세 전자기계(MEM) 디바이스 중의 적어도 하나를 포함하는 적어도 하나의 반도체 디바이스를 포함하는 반도체 구조물.

청구항 12

제9항에 있어서,

상기 비평면은,

복수의 디시형 영역들; 및

복수의 침식 영역들;을 포함하는 반도체 구조물.

청구항 13

제9항에 있어서,

상기 제1 유전체 막은 복수의 디시형 영역들과 복수의 침식 영역들을 메우는 반도체 구조물.

청구항 14

제9항에 있어서,

상기 제1 유전체 막과 상기 제2 유전체 막은 규소 산화물, 규소 질화물, 및 규소 산화물과 규소 질화물의 혼합

물 중의 적어도 하나를 포함하는 반도체 구조물.

청구항 15

제9항에 있어서,

상기 제1 유전체 막은 상기 비평면 표면의 최대 피크 대 골 거리 보다 큰 평균 두께를 가지는 반도체 구조물.

청구항 16

제9항에 있어서,

상기 반도체 구조물은 제3 유전체 막을 포함하는 반도체 구조물.

청구항 17

제16항에 있어서,

상기 제2 유전체 막은 접합 경계면에서 상기 제3 유전체 막에 직접 접합된 반도체 구조물.

명세서

기술분야

[0001] 본 발명의 여러 실시예들은 일반적으로 반도체 구조물을 형성하기 위한 방법과 구조 및 그러한 방법과 구조를 사용하여 형성된 결과 구조물에 관한 것으로, 보다 상세하게는 추가 반도체 구조물을 부착하기 위한 평활 평면 반도체 구조물을 형성하기 위한 방법과 구조에 관한 것이다.

배경기술

[0002] 두 개 이상의 반도체 구조물의 3차원 집적(three dimensional (3D) integration)은 마이크로 전자공학 응용시 유용할 수 있다. 예컨대, 마이크로전자 디바이스의 3D 집적은 전체 디바이스 풋프린트(foot print)를 감소시킴과 함께 전기적인 성능과 전력소비를 개선시킬 수 있다. 예를 들면, 윌리-브이시에이치(Wiley-VCH)의 '3D 집적의 핸드북(The Handbook of 3D Integration)'이란 제목의 피. 캐로우 등(P. Carrou et al.)의 출판물 참조.

[0003] 반도체 구조물의 3D 집적은 예컨대 복수의 디바이스 구조물을 포함하는 처리된 반도체 구조물에 대한 하나 이상의 반도체 구조물의 부착을 포함하는 다수의 방법들에 의해 달성될 수 있다. 처리된 반도체 구조물에 대한 반도체 구조물의 부착은 다수의 방법들에 의해 달성될 수 있다. 반도체 구조물을 처리된 반도체 구조물에 부착함에 따라, 이 반도체 구조물은 추가 공정들을 거쳐 또 다른 반도체 구조물을 부착하기 위한 수용 기판으로 사용될 수 있다. 또한, 주목해야 할 것은 반도체 구조물의 3D 집적은 다른 반도체 웨이퍼에 대한 반도체 웨이퍼의 부착(즉, 웨이퍼 투 웨이퍼(wafer-to-wafer: W2W)) 뿐 아니라 다른 반도체 다이에 대한 반도체 다이의 부착(즉, 다이 투 다이(die-to-die: D2D) 및 반도체 웨이퍼에 대한 반도체 다이의 부착(즉, 다이 투 웨이퍼(die-to-wafer: D2W))에 의해서도 실시될 수 있다는 점이다.

[0004] 하지만, 서로에 부착될 각 구조물들, 예컨대, 반도체 구조물들과 처리된 반도체 구조물의 부착면들의 평활도(smoothness)와 평면성(planarity)은 완성된 3D 집적 반도체 구조물의 품질에 영향을 줄 수 있다. 예를 들면, 3D 집적 구조물이 반도체 디바이스들이 처리된 반도체 구조물을 포함할 때, 그러한 반도체 구조물의 처리 공정들은 거친 비평면 표면을 야기할 수 있다. 처리된 반도체 구조물의 거친 비평면 표면들에 대한 반도체 구조물의 후속 부착은 반도체 구조물과 처리된 반도체 구조물 사이에 불량 접촉을 야기하여 후속 공정들 동안 반도체 구조물의 처리된 반도체 구조물로부터의 바람직하지 못한 박리를 초래할 수 있다.

[0005] 소개하면, 도 1a 내지 도 1c는 이전에 공지된 3D 집적 구조물의 형성 방법을 예시한다.

[0006] 도 1a는 처리된 반도체 구조물(102)을 포함하는 반도체 구조물(100)을 예시한다. 처리된 반도체 구조물은 전도성 영역(104), 유전체 층(106) 및 디바이스 기판(108)을 포함할 수 있다. 전도성 영역(104)은 예컨대 배리어 부영역 및 전극 부영역을 포함하는 다수의 부영역을 포함할 수 있다. 또한, 전도성 영역(104)은 예컨대 코발트, 루테튬, 니켈, 탄탈륨, 탄탈륨 질화물(tantalum nitride), 인듐 산화물(indium oxide), 텅스텐, 텅스텐 질화물, 티타늄 질화물, 구리, 및 알루미늄과 같은 다수의 물질들 중의 하나 이상을 포함할 수 있다.

[0007] 유전체 층(106)은 다수의 층들, 및 예컨대 폴리이미드, 벤조사이클로부텐인(BCB), 붕소 질화물(boron

nitrides), 붕소 탄화물-질화물(boron carbide nitrides), 다공성 규산(porous silicate), 규소 산화물, 규소 질화물 및 그 혼합물(예를 들면, 규소 산화질화물(silicon oxynitride)) 중의 하나 이상과 같은 물질들을 포함할 수 있다.

[0008] 디바이스 기관(108)은 하나 이상의 디바이스 기관(110)을 포함할 수 있다. 예를 들면, 하나 이상의 디바이스 기관(110)은 하나 이상의 스위칭 구조물(예컨대, 트랜지스터 등), 발광 구조물(예컨대, 레이저 다이오드, 발광 다이오드(light emitting diode; LED) 등), 수광 구조물(예컨대, 도파관, 스플리터, 믹서, 광다이오드, 태양 전지, 태양 하부전지 등) 및/또는 미세 전자기계 시스템(microelectromechanical system: MEMS) 구조물(예컨대, 가속도계, 압력 센서 등)을 포함할 수 있다. 디바이스 기관(108)은 다수의 층들, 및 예컨대, 규소, 게르마늄, 규소 탄화물, III-비화물(III-arsenide), III-인화물, III-질화물, III-안티몬화물(III-antimonides), 사파이어, 석영, 및 아연 산화물 중의 하나 이상과 같은 물질들을 포함할 수 있다. 발명의 일부 실시 예들에서, 디바이스 기관(108)은 CMOS(metal-oxide-semiconductor) 집적 회로, 트랜지스터-트랜지스터 논리 집적회로, 및 NMOS 논리 집적회로 중의 하나 이상을 포함할 수 있다.

[0009] 도 1b는 처리된 반도체 구조물(102)을 포함하는 반도체 구조물(115)을 예시한다. 처리된 반도체 구조물(102)은 전도성 영역(104)의 일부(가상적으로 도시됨)의 제거시 규정될 수 있는 유전체 층(106), 디바이스 기관(108) 및 전도성 영역들(112)을 포함할 수 있다. 전도성 영역(104)의 일부는 디바이스 기관(108) 내부에 존재하는 디바이스 구조물들(110) 사이의 전지적인 연결을 제공할 수 있는 다수의 전도성 영역(112)을 생성하도록 제거된다. 전도성 영역(104)의 일부는 예컨대, 폴리싱(polishing), 그라인딩(grinding) 등과 같은 방법들, 및 발명의 일부 예들에서는 화학적 기계적 폴리싱(chemical-mechanical polishing; CMP)에 의해 제거될 수 있다. 위와 같은 전도성 영역들(112)을 형성하기 위한 공정들은 이 기술분야에서 "다마신(Damascene)"방법들로 일컬어지며, 그러한 방법들의 예는 예컨대 1993년 발간된 IEEE 일렉트론 디바이스 레터스(IEEE Electron Device Letters)의 볼륨 14, 넘버 3의 129-132 페이지에 조시 등(Joshi et al)의 "마이크로미터 미만 스케일의 배선을 위한 새로운 다마신 구조(A new Damascene structure for submicrometer wiring)"로 개시되어 있다.

[0010] 도 1b에 예시된 바와 같이, 전도성 영역(104)의 일부의 제거는 표면(114)(점선으로 예시됨) 아래에 있는 전도성 영역들(112)의 부분들의 제거를 야기할 수 있고, 또 유전체 층(106)의 부분들의 제거도 야기할 수도 있다. 표면(114) 아래에 있는 전도성 영역들(112)의 부분들의 제거는 이 기술분야에서 '디싱(dishing)'으로 일컬어지며, 다수의 디싱형 영역들(116)을 생성할 수 있다. 표면(114) 아래에 있는 유전체 층(106)의 부분들의 제거는 이 기술분야에서 '침식(erosion)'으로 일컬어지며, 다수의 침식 영역들(118)을 생성할 수 있다. 표면(114) 아래에 있는 전도성 영역들(112)의 부분들과 유전체 층(106)의 부분들의 제거는 모두 표면(120)이 평면을 이루지 않게 하여 바람직하지 않는 표면 거칠기를 갖는 비평면 표면(120)을 만들도록 할 수 있다.

[0011] 도 1c는 처리된 반도체 구조물(102) 및 반도체 구조물(122)을 포함하는 반도체 구조물(125)을 예시한다. 반도체 구조물(122)은 접합 경계면(124)에서 접합을 통해, 처리된 반도체 구조물(102)에 부착될 수 있다. 처리된 반도체 구조물(102)의 거친 비평면 표면(120) 때문에, 접합 경계면(124)은 불연속 하게 될 수 있다. 즉, 접합 경계면은 접합 영역과 비접합 영역들을 포함할 수 있다. 또한, 전도성 영역(104)의 부분들을 제거하기 위한 공정들로부터 발생하는 다수의 디싱형 영역들(116)과 다수의 침식 영역들(118)은 다수의 비접합 영역들을 생성하도록 야기할 수 있다. 반도체 구조물(122)과 처리된 반도체 구조물(102) 사이에 있을 수 있는 고 밀도의 비접합 영역들로 인해 두 구조물 사이(즉, 구조물들(102, 122) 사이)에 얻어지는 접합 강도는 추가 작업들, 예컨대, 조작(handling) 및 보충 처리(supplementary processing)와 같은 추가 작업들을 하는 데 불충분할 수 있다.

발명의 내용

[0012] 본 발명의 다양한 실시예들은 일반적으로 반도체 구조물을 형성하기 위한 방법과 구조를 제공하며, 특히, 추가 반도체 구조물들에 부착하기 위한 평활 평면 반도체 구조물을 형성하기 위한 방법과 구조를 제공한다.

[0013] 위와 같은 방법들은 이하 본 발명의 실시예들에 관하여 간략히 서술된다. 이러한 요약은 아래의 발명을 실시하기 위한 구체적인 내용에 더 서술된 컨셉들의 간략화된 형태의 선택을 소개하기 위해 제공된다. 이러한 요약은 특허청구범위에 청구된 주제의 핵심 특징 또는 필수 특징들을 확인하거나 특허청구범위에 청구된 주제의 범위를 제한하는데 사용하기 위한 것이 아니다.

[0014] 그러므로, 본 발명의 일부 실시 예들에서, 반도체 구조물을 형성하는 방법은 처리된 반도체 구조물의 비평면 표면 위에 덧씌워지는 제1 유전체 막을 형성하는 단계, 및 제1 유전체 막의 표면을 평탄화하는 단계를 포함한다. 제2 유전체 막은 제1 유전체 막의 평탄화된 표면 위에 덧씌워져서 형성될 수 있으며, 반도체 구조물은 제2 유전

체 막에 부착될 수 있다.

[0015] 본 발명의 추가 실시 예들에서, 반도체 구조물을 형성하는 방법은 처리된 반도체 구조물의 표면에 적어도 하나의 디시형 영역과 적어도 하나의 침식 영역을 형성하는 단계를 포함할 수 있다. 적어도 하나의 디시형 영역과 적어도 하나의 침식 영역은 처리된 반도체 구조물의 표면 위에 제1 유전체 막을 증착하는 것과 폴리싱 공정에 의해 제1 유전체 막을 평탄화하는 것에 의해 메워질 수 있다. 제2 유전체 막은 제1 유전체 막 위에 덧씌워져서 증착될 수 있고, 반도체 구조물은 제2 유전체 막에 부착될 수 있다.

[0016] 또한, 본 발명의 다양한 실시예들은 본 명세서에 서술된 방법들에 의해 형성된 구조물들을 포함할 수 있다. 본 발명의 일부 실시 예들에서, 반도체 구조물은 비평면 표면을 포함하는 처리된 반도체 구조물, 비평면 표면 위에 덧씌워지는 제1 유전체 막, 및 제1 유전체 막 위에 덧씌워지는 제2 유전체 막을 포함한다. 또한, 본 발명의 실시 예들은 제2 유전체 막에 부착된 반도체 구조물을 포함할 수 있다.

[0017] 이러한 본 발명의 구성요소들의 또 다른 양상들과 세부 내용들 및 선택적인 조합들은 다음의 발명을 실시하기 위한 구체적인 내용으로부터 명백할 것이며, 또 발명자의 발명의 범위 내에 있다.

도면의 간단한 설명

[0018] 본 발명은 다음의 첨부된 도면들에 예시된 본 발명의 실시 예들의 아래의 상세한 설명에 의거 더욱 완전히 이해될 수 있다.

도 1a 내지 도 1c는 본 발명의 실시 예들과 관련되는 종래 기술의 예들을 개략적으로 예시하고,

도 2a 내지 도 2g는 평활 평면 반도체 구조물을 형성하기 위한 본 발명의 실시예들 및 추가 반도체 구조물에 대한 그러한 구조물의 부착을 예시한다.

발명을 실시하기 위한 구체적인 내용

[0019] 여기에 제시된 예시 도면들은 어떤 특정 구조물, 재료, 장치, 시스템 또는 방법의 실제 도면들(real views)을 의미하지 않고, 단지 본 발명을 설명하도록 이상화된 표현 도면들이다.

[0020] 명칭들(headings)은 어떤 의도된 한정 없이 단지 명료성을 위해 사용된다. 다수의 문헌들은 개시된 내용들을 다목적으로 전부 포함하여 인용된다. 또한, 인용된 문헌들은 위에서 어떻게 특징지어졌는 지에 관계 없이 본 발명의 특허청구범위 주제에 관련된 선행기술로서 인정된다.

[0021] 여기에 사용된 용어 '반도체 구조물'은 반도체 웨이퍼(단독이나, 금속 및 그 위의 절연체와 같은 다른 물질들을 포함하는 조립물)와 같은 벌크 반도체 재료들, 및 반도체 재료 층들(단독이나, 금속 및 절연체와 같은 다른 물질들을 포함하는 조립물)을 포함하는, 반도체 물질을 포함하는 어떤 반도체를 의미 및 포함한다. 또한, 용어 '반도체 구조물'은 위에서 서술한 반도체 구조물에 한정되지 않고, 그러한 반도체 구조물을 포함하는 어떤 지지 구조물을 포함한다. 또한, 용어 '반도체 구조물'은 공정처리 중의 반도체 구조물들 뿐 아니라, 반도체 디바이스들의 능동 또는 작동가능 부분들을 포함하는 하나 이상의 반도체 층들 또는 구조물들을 지칭할 수 있다(그리고, 그것들과 동시에 제조되는 실리콘 온 인슐레이터(silicon-on-insulator: SOI) 등과 같은 다른 층들을 포함할 수 있다).

[0022] 여기에 사용된 용어 '처리된 반도체 구조물'은 여러가지 공정 처리들이 적용된 반도체 구조물을 의미 및 포함한다.

[0023] 여기에 사용된 용어 '디바이스 구조물'은 반도체 내부에 포함되도록 계획된 능동 또는 수동 디바이스 구성요소들을 포함하는 어떤 구조물을 의미 및 포함한다.

[0024] 여기에 사용된 용어 '접합 구조물'은 부착 공정을 통해 서로 부착된 두 개 이상의 반도체 구조물들을 의미 및 포함한다.

[0025] 여기에 사용된 용어 '접합 보조 층'은 접합 구조물을 형성하는, 또 다른 반도체 구조물에 대한 하나 이상의 반도체 구조물의 부착을 촉진하도록 하나 이상의 중간 재료의 이용을 의미 및 포함한다.

[0026] 여기에 사용된 문구 '유전체 막을 활성화하는 것(activating)'은 반도체 구조물에 대한 유전체 막의 부착을 촉진하도록 유전체 막의 표면의 물리적 및 화학적 특성을 변경시키는 것을 의미 및 포함한다.

[0027] 본 발명의 실시 예들은 처리된 반도체 구조물에 대한 반도체 구조물의 부착을 허용하기 위해 예컨대 처리된 반

도체 구조물의 표면의 평활도 및 평면성을 개선시키는 것에 의해 부착에 적당한 반도체 구조물을 형성하기 위한 방법과 구조를 포함한다. 이와 같은 방법과 구조는 여러가지 목적들, 예컨대, 3D 집적 공정들 및 3D 집적 구조물들을 만드는 데 이용될 수 있다.

[0028] 본 발명의 실시 예들은 도 2a 내지 도 2g에 관하여 아래에 서술된다. 도 2a는 처리된 반도체 구조물(202)을 포함하는 반도체 구조물(215)를 예시한다. 처리된 반도체 구조물(202)은 디바이스 기관(208), 유전체 막(206) 및 복수의 전도성 영역들(212)을 포함할 수 있다. 디바이스 기관(208)은 다수의 층들 및 물질들을 포함하는 균일 또는 불균일 반도체 구조물들을 포함할 수 있다. 본 발명의 일부 실시 예들에서, 디바이스 기관(208)은 규소, 게르마늄, 규소 탄화물, III-비화물, III-인화물, III-질화물, III-안티몬화물, 사파이어, 석영, 및 아연 산화물 중의 하나 이상을 포함할 수 있다.

[0029] 디바이스 기관(208)은 복수의 디바이스 구조물들(210)을 포함할 수 있다. 이러한 디바이스 구조물(210)은 예를 들면, 스위칭 구조물들(예컨대, 트랜지스터 등), 발광 구조물들(예컨대, 레이저 다이오드, LED 등), 수광 구조물들(예컨대, 도파관, 스플리터, 믹서, 광다이오드, 태양 전지, 태양 하부전지 등) 및 MEMS 구조물들(예컨대, 가속도계, 압력 센서 등) 중의 하나 이상을 포함할 수 있다. 본 발명의 일부 실시 예들에서, 디바이스 기관(208)은 CMOS 집적 회로, 트랜지스터-트랜지스터 논리 집적회로, 및 NMOS 논리 집적회로 중의 하나 이상을 포함할 수 있다.

[0030] 전도성 영역들(212)은 다수의 부 영역들을 포함할 수 있다. 이러한 부 영역들은 코발트, 루테튬, 니켈, 탄탈륨, 탄탈륨 질화물, 인듐 산화물, 텅스텐, 텅스텐 질화물, 티타늄 질화물, 구리, 및 알루미늄 중의 하나 이상을 포함할 수 있다. 유전체 층(206)은 다수의 층들, 및 물질들을 포함할 수 있다. 이러한 물질들은 예컨대, 폴리이미드, 벤조사이클로부텐인(BCB), 붕소 질화물, 붕소 탄화물-질화물, 다공성 규산, 규소 산화물, 규소 질화물 및 그 혼합물 중의 하나 이상을 포함할 수 있다.

[0031] 가상 영역으로 도시되고 도 1a 및 도 1b에 관해 위에서 상세히 서술된 바와 같이, 전도성 영역(204)의 일부의 제거는 복수의 디시형 영역들(216)의 형성을 야기할 수 있다. 또한, 전도성 영역(204)의 일부의 제거는 유전체 층(206) 내에 복수의 침식 영역들(218)의 형성을 야기할 수 있다. 복수의 디시형 영역들(216)과 복수의 침식 영역들(218)의 형성은 비평면 표면(220)의 형성을 야기할 수 있다.

[0032] 비평면 표면(220)의 형상(topology)은 복수의 피크 영역들(226), 및 복수의 골 영역들(228)을 포함하는 데, 복수의 디시형 영역들(216)과 복수의 침식 영역들(218)은 골 영역들(228)(즉, 비평면 표면(220)의 저 영역들)을 포함하는 반면, 디시형 영역들(216)과 침식 영역들(218)을 포함하지 않는 비평면 표면(220)의 영역들은 피크 영역들(226)(도 2a에는 피크 영역들(226)이 예로서 표시되어 있음)을 포함한다. 최대 피크 대 골 거리(maximum peak-to-valley distance)는 최저 골 영역(228)과 최고 피크 영역(226) 사이의 최대 수직 거리로 규정될 수 있다. 예를 들면, 도 2a는 비평면 표면(220)의 최저 골 영역(228')과 최고 피크 영역(226')을 포함하는 상세부분(230)을 예시한다. 비평면 표면(220)의 최대 피크 대 골 거리(PV_{max})는 영역들(228', 226') 사이의 수직 거리로서 규정될 수 있다.

[0033] 도 2b는 처리된 반도체 구조물(202) 및 제1 유전체 막(232)을 포함하는 반도체 구조물(225)을 예시한다. 제1 유전체 막(232)은 처리된 반도체 구조물(202)의 비평면 표면(220) 위에 덧씌워지고, 평균 두께(D₁)과 표면 거칠기(R₁)을 갖는다. 제1 유전체 막(232)은 하나 이상의 유전체 물질 층들을 포함하고, 예를 들면, 규소 산화물, 규소 질화물, 및 그 혼합물(예컨대, 규소 산화질화물)과 같은 물질들을 포함할 수 있다.

[0034] 제1 유전체 막(232)은 다수의 방법 중 하나를 이용하여 비평면 표면(220)의 전부 또는 일부 위에 덧씌워지도록 형성될 수 있다. 예를 들면, 제1 유전체 막(232)은 예컨대, 화학 기상 증착(chemical vapor deposition: CVD)와 같은 증착방법을 이용하여 형성될 수 있다. 이 기술분야에는 제1 유전체 막(232)을 형성하기 위한 다수의 CVD 방법들이 공지되어 있다. 이러한 방법들은 대기압 화학 기상 증착(atmospheric pressure chemical vapor deposition: APCVD), 저압 화학 기상 증착(low pressure chemical vapor deposition: LPCVD), 및 초고진공 화학 기상 증착(ultra-high vacuum chemical vapor deposition: UHCVD)을 포함할 수 있다. 본 발명의 일부 실시 예들에서, 제1 유전체 막(232)은 LPCVD를 이용하여 형성될 수 있다. 이러한 방법들은 예컨대, 서브-에트모스피어릭 CVD(sub-atmospheric CVD: SACVD), 마이크로웨이브 플라즈마-어시스티드 CVD(microwave plasma-assisted CVD: MPCVD), 플라즈마-인핸스드 CVD(plasma-enhanced CVD: PECVD), 및 리모트 플라즈마-인핸스드 CVD(remote plasma-enhanced CVD: RPECVD)와 같은 플라즈마 어시스티드 CVD(plasma-assisted CVD: PACVD) 방법들을 포함할 수 있다. 제1 유전체 막(232)을 증착하기 위한 PACVD 방법들은 본 발명의 일부 실시 예들에서 저온 증착 공정을

제공하기 위해 이용될 수 있다. 저온 증착 공정은 디바이스 기판(208) 내에 존재하는 복수의 디바이스 구조물들(210)의 열화를 방지하기 위해 이용될 수 있다.

- [0035] 디바이스 기판(208)은 제1 유전체 막(232)의 증착 온도가 디바이스 열화의 시작(on-set)을 위한 임계 온도 이상일 경우 손상될 수 있는 복수의 디바이스 구조물들(210)을 포함할 수 있다. 그러므로, 본 발명의 일부 실시 예들에서 제1 유전체 막(232)은 약 400°C 이하의 온도에서 형성된다. 본 발명의 추가 실시 예들에서 제1 유전체 막(232)은 약 500°C 이하의 온도에서 형성되는 반면, 본 발명의 또 다른 실시 예들에서 제1 유전체 막(232)은 약 600°C 이하의 온도에서 형성된다.
- [0036] 도 2b에 예시된 바와 같이, 제1 유전체 막(232)은 처리된 반도체 구조물(202)의 비평면 표면(220) 위에 컨포말 증착(conformal deposition)될 수 있다. 제1 유전체 막(232)의 컨포말 증착은 복수의 디시형 영역들(216)과 복수의 침식 영역들(218), 즉, 비평면 표면(220)의 비평면 영역들을 메우는 데 이용될 수 있다. 하지만, 처리된 반도체 구조물(202)의 비평면 표면(220)의 비평면 영역들을 메우는 컨포말 증착 공정의 사용은 컨포말 막이 제1 유전체 막(232)의 전체 걸쳐 실질적으로 균일한 두께(D1)를 가질 수 있기 때문에, 즉, 제1 유전체 막(232)의 물질이 아래에 놓인 비평면 표면(220)의 형상을 실질적으로 보존하는 식으로, 처리된 반도체 구조물(202)의 반대쪽에 위치한 제1 유전체 막(232)의 면에 비평면 표면(234)을 갖는 제1 유전체 막(232)을 만들 수 있다.
- [0037] 본 발명의 일부 실시 예들에서, 제1 유전체 막 두께(D1)는 최대 피크 대 골 거리(PV_{max}) 보다 더 크게 형성될 수 있다. 이 두께(D1)는 복수의 디시형 영역들(216)과 복수의 침식 영역들(218)이 적어도 제1 유전체 막(232)으로 메워질 수 있도록 최대 피크 대 골 거리(PV_{max}) 보다 더 크게 되도록 선택될 수 있다.
- [0038] 도 2c는 처리된 반도체 구조물(202) 및 제1 유전체 막(232)을 포함하는 반도체 구조물(235)을 예시한다. 제1 유전체 막(232)은, 가상으로 도시된 제1 유전체 막(232)의 비평면성이 실질적으로 제거되어 처리된 반도체 구조물(202)의 반대쪽에 위치한 제1 유전체 막(232)의 면에 실질적으로 평면 표면(234)을 포함하는 제1 유전체 막(232)을 만들 수 있게 공정처리될 수 있다.
- [0039] 제1 유전체 막(232)을 평탄화하기 위해 이 기술분야에 공지된 다수의 방법들이 이용될 수 있다. 예를 들면, 평탄화 공정은 식각 공정, 그라인딩 공정, 및 폴리싱 공정 중의 하나 이상을 이용하여 수행될 수 있다. 본 발명의 일부 실시 예들에서, 평탄화 공정은 화학적 기계적 폴리싱(CMP) 공정을 이용하여 수행될 수 있다. CMP 공정 조건들, 특히, 슬러리 연마제(slurry abrasives) 및 화학적 성질(chemistry)은 평면 표면(236)을 제공할 수 있게 제1 유전체 막(232)의 비평면성이 감소되도록 선택될 수 있다. 본 발명의 특정 실시 예들에서, 제1 유전체 막(232)의 일부는 제1 유전체 막(232)의 잔여 부분들이 디시형 영역들(216)과 침식 영역들(218) 내에만, 즉, 도 2c의 점선(237) 아래에만 위치하도록 제거(예컨대, CMP 방법들에 의해)될 수 있다.
- [0040] 제1 유전체 막(232)의 평면 표면(236)을 형성하는 제1 유전체 막(232)의 평탄화에 따라, 결과로서 형성되는 평면 표면(236)은 제곱 평균(root mean square: rms) 표면 거칠기(R_q)를 가질 수 있다. 본 발명의 일부 실시 예들에서 rms 표면 거칠기(R_q)는 약 100Å 이하, 약 10 Å 이하, 또는 약 3Å 이하일 수 있다. 제1 유전체 막(232)의 평면 표면(236)의 rms 표면 거칠기(R_q)는 표면(236)에 또 다른 반도체 구조물을 성공적으로 부착하는 데 필요한 거칠기를 초과할 수 있다(즉, 더 거칠 수 있음). 그러므로, 반도체 구조물을 부착하는 데 적당한 표면 거칠기를 갖는 평면 표면을 만들기 위해 추가 공정들이 수행될 수 있다.
- [0041] 도 2d는 처리된 반도체 구조물(202), 평탄화된 제1 유전체 막(232), 및 제2 유전체 막(238)을 포함하는 반도체 구조물(245)을 예시한다. 제2 유전체 막(238)은, 예컨대, 표면(240)의 거칠기 및 화학적 성질과 같은 특성들이 반도체 구조물을 제2 유전체 막(238)의 표면(240)에 직접 접착하는 데 적당하도록 형성될 수 있다.
- [0042] 제1 유전체 막(238)은 예컨대, 규소 산화물, 규소 질화물 및 그 혼합물과 같은 유전체 물질들의 하나 이상의 층들을 포함할 수 있다. 제2 유전체 막(238)은 제1 유전체 막(232)에 관하여 위에서 서술된 바와 같은 다수의 방법들 중의 하나를 이용하여 증착될 수 있다. 본 발명의 일부 실시 예들에서 제2 유전체 막(238)은 CVD 방법들에 의해 형성되고, 추가 실시 예들에서는 PACVD 방법들에 의해 형성될 수 있다. 제1 유전체 막(232)에 관하여 위에서 서술된 바와 같이, 제2 유전체 막(238)의 형성 온도는 디바이스 기판(208) 내에 존재하는 복수의 디바이스 구조물들(210)을 온전한 상태로 유지하기 위해 제한될 수 있다.
- [0043] 더 상세히 설명하면, 디바이스 기판(208)은 제2 유전체 막(238)의 증착 온도가 디바이스 열화의 시작을 위한 임계 온도 이상일 경우 손상될 수 있는 복수의 디바이스 구조물들(210)을 포함할 수 있다. 그러므로, 본 발명의 일부 실시 예들에서 제2 유전체 막(238)은 약 400°C 이하의 온도에서 형성된다. 본 발명의 추가 실시 예들에서

제2 유전체 막(238)은 약 500℃ 이하의 온도에서 형성되는 반면, 본 발명의 또 다른 실시 예들에서 제2 유전체 막(238)은 약 600℃ 이하의 온도에서 형성된다.

[0044] 제2 유전체 막(238)은 예컨대, 증착 기술들에 의해 선택된 두께(D₂)로 형성될 수 있다. 본 발명의 일부 실시 예들에서, 제2 유전체 막(238)의 두께(D₂)는 제1 유전체 막(232)의 최초 두께(D₁)(즉, 증착 직후의 두께) 이하일 수 있다. 그러므로, 본 발명의 일부 실시 예들에서 접합을 위해 이용되는 유전체 층들의 전체 두께는 이전에 공지된 방법들의 두께 이하일 수 있고, 이 때문에 이전에 공지된 기술들에 비해 개선된 접합 특성들이 얻어질 수 있다. 유전체 막들의 두께를 제한하는 것은 막들의 균일성을 개선할 뿐 아니라, 예컨대, 반도체 구조물들이 기판 관통 비아들(through-substrate vias: TSVs)을 포함할 때 수율(yields) 개선과 함께 생산 비용(cost of ownership)도 저감시킬 수 있다.

[0045] 또한, 제2 유전체 막(238)은 rms 표면거칠기(R₃)를 가질 수 있는 제2 유전체 막 표면(240)을 포함할 수 있다. 본 발명의 일부 실시 예들에서 rms 표면 거칠기(R₃)는 또 다른 반도체 구조물을 표면(240)에 부착하기에 충분할 수 있다. 본 발명의 일부 실시 예들에서 표면(240)은 약 100Å 이하, 약 10 Å 이하, 또는 약 3Å 이하의 rms 표면 거칠기(R₃)를 가질 수 있다. 하지만, 본 발명의 일부 실시 예들에서 rms 표면 거칠기(R₃)는 표면(236)에 또 다른 반도체 구조물을 성공적으로 부착하는 데 필요한 거칠기를 초과할 수 있으므로, 표면(240)의 rms 표면 거칠기(R₃)를 감소시키기 위해 추가 공정들이 수행될 수 있다.

[0046] 도 2e는 처리된 반도체 구조물(202), 평탄화된 제1 유전체 막(232), 및 제2 유전체 막(238)을 포함하는 반도체 구조물(255)을 예시한다. 본 발명의 일부 실시 예들에서 제2 유전체 막(238)의 표면(240)의 rms 표면거칠기는 이 기술분야에서 공지된 다수의 방법들 중의 하나에 의해 더 개선(즉, 감소)될 수 있다. 본 발명의 일부 실시 예들에서 표면(240)의 rms 표면거칠기는 플라즈마 공정처리에 의해 개선될 수 있다. 예를 들면, 플라즈마 스무딩(smoothing) 공정은 반도체 구조물(255)을 플라즈마 반응기 내에 배치하는 단계, 및 반응기 내에 제2 유전체 막(238)의 표면(240)의 rms 표면 거칠기를 감소시킬 수 있는 활력 플라즈마(242)를 형성하는 단계를 포함할 수 있다. 한정하지 않는 예로서, 플라즈마 스무딩은 반도체 구조물(255)을 산소 플라즈마에 노출시키는 것에 의해 수행될 수 있다. 이러한 산소 플라즈마를 생성하는 것에 관한 추가 정보는 예컨대, 센서스 앤드 액츄에이터즈 82(Sensors and Actuators 82)(2000)의 239-244 페이지에 파스쿠아렐로 등(Pasquariello et al.)의 "산소 플라즈마 웨이퍼 접합시 셀프 바이어스 전압의 기능으로서의 표면 에너지(Surface energy as a function of self-bias voltage in oxygen plasma wafer bonding)"란 제목의 논문으로 개시되어 있다.

[0047] 본 발명의 추가 실시 예들에서, 플라즈마 처리 단계는 제2 유전체 막(238)의 표면(240)의 표면 화학적 성질을 변경하는데 이용될 수 있다. 이러한 플라즈마 공정은 "플라즈마 활성화(activation)" 공정으로 불려 질 수 있다. 이와 같은 플라즈마 활성화에 의한 표면(240)의 표면 화학적 성질의 변경(alternation)은 예컨대, 표면(240)을 실질적으로 친수성(hydrophilic) 또는 소수성(hydrophobic)이 있도록 만드는 것에 의해 추가 반도체 구조물들의 부착을 더 적당하게 하도록 하는데 이용될 수 있다. 예를 들면, 표면(240)의 표면 화학적 성질의 변경은 반도체 구조물(255)을 플라즈마 반응기 내에 배치하는 단계, 및 반응기 내부에 제2 유전체 막(238)의 표면(240)의 표면 화학적 성질을 변경할 수 있는 활력 플라즈마(242)를 형성하는 단계를 포함할 수 있다. 한정하지 않는 예로서, 표면(240)의 플라즈마 변경은 반도체 구조물(255)을 산소 플라즈마에 노출시키는 것에 의해 수행될 수 있다. 이러한 공정에 관한 추가 정보는 예컨대, 저널 오브 더 일렉트로케미컬 소사이어티(Journal of the Electrochemical Society)의 149 1 G8-G11 (2002)에 최 등(Choi et al.)의 "아노딕 접합을 개선하기 위한 산소 플라즈마 전처리의 분석(The analysis of Oxygen Plasma Pretreatment for Improving Anodic Bonding)"이란 제목의 논문으로 개시되어 있다.

[0048] 여기서 주목해야 할 것은 플라즈마 스무딩과 플라즈마 표면 화학적 성질의 변경의 각각 및/또는 모두가 제2 유전체 막(238)의 표면(240)에 관해 수행될 수 있다는 것이다. 플라즈마 스무딩과 플라즈마 표면 화학적 성질의 변경은 단일 플라즈마 공정에서 동시에 수행되거나, 다른 플라즈마 특성들(예컨대, 다른 가스 화학적 성질, 바이어스, 유량(flow rates) 등)을 포함하는 별도의 플라즈마 공정들을 이용하여 연속적으로 수행될 수 있다.

[0049] 제2 유전체 막(238)의 플라즈마 스무딩에 따라, 결과로 형성되는 스무드 평면 표면(240)은 rms 표면거칠기(R₄)를 가질 수 있다, 또한, 제2 유전체 막(238)의 표면(240)의 플라즈마 표면 화학적 성질의 변경에 따라, 표면(240)은 실질적으로 친수성을 가질 수 있다. 본 발명의 일부 실시 예들에서, rms 표면 거칠기(R₄)와 제2 유전체 층(238)의 표면(240)의 표면 화학적 성질은 또 다른 반도체 구조물을 표면(240)에 부착하기에 충분할 수 있다.

본 발명의 일부 실시 예들에서, 제2 유전체 막(238)의 표면(240)의 표면 거칠기는 약 100Å 이하, 약 10 Å 이하 또는 약 3Å 이하일 수 있다.

[0050] 도 2f는 처리된 반도체 구조물(202), 제1 유전체 막(232), 제2 유전체 막(238) 및 반도체 구조물(244)(도 2f에서는 아직 제2 유전체 막(238)에 부착되지 않음)을 포함하는 반도체 구조물(265)을 예시한다. 제2 유전체 막(238)은 접합 면(240)을 포함하고, 반도체 구조물(244)은 접합 표면(246)을 포함할 수 있다. 본 발명의 일부 실시 예들에서, 상세부분(250)에 도시된 바와 같이, 반도체 구조물(244)은 접합 보조 층(248)을 포함하는 제3 유전체 막을 포함할 수 있다. 접합 보조 층(248)은 하나 이상의 층을 포함하고, 또 다수의 다른 물질들을 포함할 수 있다. 본 발명의 일부 실시 예들에서, 접합 보조 층(248)은 예컨대, 규소 산화물, 규저 질화물 및 그 혼합물(예컨대, 규소 산화질화물)과 같은 하나 이상의 유전체 물질을 포함할 수 있다.

[0051] 반도체 구조물(244)은 다수의 구조물들과 물질들을 포함할 수 있다. 예를 들면, 반도체 구조물(244)은 디바이스 구조물, 및 접합 구조물(구조물은 두 개 이상의 층들, 디바이스들, 또는 서로 접합된 층들 및 디바이스들을 포함함)을 포함할 수 있다.

[0052] 한정하지 않는 예로서, 반도체 구조물(244)과 처리된 반도체 구조물(202)의 후속 접합이 웨이퍼 대 웨이퍼 접합(wafer-to-wafer bonding: W2W)으로 일컬어질 수 있도록, 반도체 구조물(244)과 처리된 반도체 구조물(202)은 각각 반도체 웨이퍼를 포함할 수 있다. 본 발명의 다른 실시 예들에서, 반도체 구조물(244)과 처리된 반도체 구조물(202)의 후속 접합이 다이 대 웨이퍼 접합(die-to-wafer bonding: D2W)으로 일컬어질 수 있도록, 반도체 구조물(244)은 반도체 웨이퍼를 포함하고 처리된 반도체 구조물(202)은 반도체 웨이퍼로부터 다이싱된(diced) 반도체 다이를 포함할 수 있다. 본 발명의 또 다른 실시 예들에서, 반도체 구조물(244)과 처리된 반도체 구조물(202)의 후속 접합이 다이 대 다이 접합(die-to-die bonding: D2D)으로 일컬어질 수 있도록, 반도체 구조물(244)과 처리된 반도체 구조물(202)은 각각 반도체 다이를 포함할 수 있다.

[0053] 보다 상세히 설명하면, 반도체 구조물(244)은 적어도 실질적으로 균일한(homogeneous) 단일 물질 층을 포함할 수 있다. 일부 그러한 반도체 구조물들은 이 기술분야에서 자립(free-standing substrate: FS) 기판들로 일컬어지는 것을 포함할 수 있다. 균일 물질은 예컨대, 기본 물질들(elemental materials) 또는 혼합 물질들(compound materials)을 포함하고, 전도성(conducting)(즉, 금속), 반전도성(semiconducting) 또는 절연성(insulating)을 가질 수 있다. 일부 실시 예들에서, 균일 물질은 규소, 게르마늄, 규소 탄화물, III-비화물들, III-인화물들, III-질화물들, III-안티몬화물들, II-VI 화합물들, 금속들, 금속 합금들, 사파이어, 석영, 및 아연 산화물 중의 하나 이상을 포함할 수 있다. 더욱이, 일부 실시 예들에서, 균일 물질은 단결정 재료를 포함할 수 있다.

[0054] 본 발명의 추가 실시 예들에서, 반도체 구조물(244)은 두 개 이상의 다른 물질을 포함하는 불균일 구조(heterogeneous structure)를 포함하는 반도체 구조물을 포함할 수 있다. 이러한 불균일 구조는 베이스 기판 상에 있는 템플릿 구조(template structure)(예컨대, 반도체 층과 같은)를 포함할 수 있다. 이러한 실시 예들에서, 템플릿 구조와 베이스 기판은 위에서 언급한 바와 같은 재료들을 포함할 수 있다. 또한, 반도체 구조물은 층 스택(layer stack)을 형성하도록 서로의 상단에 성장, 증착, 또는 배치된 두 개 이상의 물질들을 포함할 수 있다. 이러한 구조물 역시 위에서 서술한 바와 같은 물질들을 포함할 수 있다.

[0055] 본 발명의 또 다른 실시 예들에서, 반도체 구조물(244)은 디바이스 구조물을 포함할 수 있다. 디바이스 구조물은 능동 구성부품, 수동 구성부품 및/또는 그 혼합체들을 포함할 수 있다. 디바이스 구조물은 예를 들면, 스위칭 구조물(예컨대, 트랜지스터 등), 발광 구조물(예컨대, 레이저 다이오드, 발광 다이오드(LED) 등), 수광 구조물(예컨대, 도파관, 스플리터, 믹서, 광다이오드, 태양 전지, 태양 하부전지 등) 및 MEMS 구조물(예컨대, 가속도계, 압력 센서 등) 중의 하나 이상을 포함할 수 있다. 본 발명의 일부 실시 예들에서, 반도체 구조물(244)은 적어도 도 2e의 반도체 구조물(255)과 실질적으로 유사한(즉, 동일한) 또 다른 반도체 구조물을 포함할 수 있도록 본 발명의 방법들을 이용하여 공정처리된 처리 반도체 구조물을 포함할 수 있다.

[0056] 본 발명의 또 다른 실시 예들에서, 반도체 구조물(244)은 두 개 이상의 구성요소가 함께 부착되어 접합된 접합 구조물을 포함할 수 있다. 본 발명의 일부 실시 예들에서, 접합 구조물은 본 발명의 방법들을 이용하여 제조될 수 있다.

[0057] 도 2g는 처리된 반도체 구조물(202), 평탄화된 제1 유전체 막(232), 제2 유전체 막(238), 및 제2 유전체 막(238)에 직접 접합된 반도체 구조물(244)을 포함하는 반도체 구조물(275)을 예시한다. 처리된 반도체 구조물(202), 제1 유전체 막(232) 및 제2 유전체 막(238)을 포함하는 반도체 구조물(255)(도 2e)은 접합 경계면(25

2)에서 반도체 구조물(202)에 부착된다. 반도체 구조물(244)에 대한 처리된 반도체 구조물(202)의 접합은 제2 유전체 막(238)의 접합 표면(240)과 반도체 구조물(244)의 접합 표면(246) 사이의 접촉 영역인 접합 경계면(252)을 생성한다.

[0058] 제1 유전체 막(232)과 제2 유전체 막(238)을 통한 반도체 구조물(244)과 처리된 반도체 구조물(202)의 접합은 분자 접합(즉, 글루, 왁스, 솔더 등을 사용하지 않는 접합)에 의해 이루어질 수 있다. 예를 들면, 접합 동작은 접합 표면(246)과 접합 표면(240)이 충분히 매끄럽고 분진들 및 오염이 없어야한다는 것과 면들(240, 246)이 그 사이의 접촉이 시작될 수 있도록 서로 충분히 근접해야하는 하는 것(통상 5nm 이하의 거리로)을 필요로 한다. 그러한 접근이 이루어질 때, 접합 표면(246)과 접합 표면(240) 사이의 끌어당기는 힘은 분자 접착(두 면들(240, 246)의 원자들 또는 분자들 사이의 전자적인 상호작용에 기인하는 당기는 모든 힘들(예컨대, 반데르 발스 힘들))에 의해 유도된 접합)을 일으킬 만큼 충분히 높아질 수 있다.

[0059] 분자 접합의 시작은 보통 시작 지점에서부터 접합 웨이브의 전파를 촉발시키기 위해 TEFLON® 스타일러스 사용하여 다른 원소와 근접 접촉하는 한 원소에 국부적인 압력을 인가하는 것에 의해 달성될 수 있다. 용어 "접합 웨이브"는 접합 경계면(252)을 형성하도록 시작지점에서부터 제2 유전체 막의 접합 표면(240)과 반도체 구조물의 접합 표면(246) 사이의 전체 접촉영역의 곳곳으로 끌어당기는 힘들의 전파에 대응하여 시작지점에서부터 퍼져나가는 결합(bonds) 또는 분자 접합의 전선(front)을 지칭한다. 예를 들면, 메터리얼즈, 케미스트리 앤드 피직스(Materials, Chemistry and Physics) 37 101 (1994)의 "반도체 웨이퍼 접합: 최근 발전(Semiconductor wafer bonding: recent developments)"이란 제목의 통 등(Tong et al.)의 저널 출판물; 및 IEEE 94 12 2060 2006의 "웨이퍼 직접 접합: 마이크로/나노 전자공학에서 진보된 기관 엔지니어링에서 미래 응용 까지(Wafer direct Bonding: From Advanced Substrate Engineering to Future Applications in Micro/Nanoelectronics)"란 제목의 크리스찬센 등(Christiansen et al.)의 논문(Proceedings) 참조.

[0060] 제1 유전체 막(232)과 제2 유전체 막(238)을 통해 처리된 반도체 구조물(202)을 반도체 구조물(244)에 접합함에 따라, 추가 접합 후 처리들이 수행될 수 있다. 예를 들면, 반도체 구조물(275)은 처리된 반도체 구조물(202)과 반도체 구조물(244) 사이의 결합 강도를 증가시키도록 100 - 600 °C 사이에서 어닐링(annealing)될 수 있다. 반도체 구조물(275)의 결합 강도를 증가시키는 것은 가능한 추가 공정처리 동안 발생할 수 있는 처리된 반도체 구조물(202)과 반도체 구조물(244)의 원하지 않는 분리의 가능성을 감소시키기 위해 수행될 수 있다.

[0061] 특정 실시 예들에서, 제2 유전체 막(238)은 제1 유전체 막(232)이 적어도 실질적으로 평면 표면을 가질 수 있기 때문에 아래에 위치한 표면 형상에 대한 염려없이 증착될 수 있다. 그러므로, 제2 유전체 막(238)은 처리된 반도체 구조물(202)과 반도체 구조물(244) 사이에 고 접합 에너지를 허용할 수 있게 형성될 수 있다. 따라서, 접합 경계면(252)은 선택적으로 충분한 접합 강도를 생성하여 전체 부착 공정의 열 처리량을 개선하는 추가 열 공정들의 필요 없이 저온 어닐링만 필요로 할 수 있다.

[0062] 반도체 구조물(275)의 추가 처리는 다수의 추가 작업들과 절차들을 포함할 수 있다. 예를 들면, 본 발명의 일부 실시 예들에서, 반도체 구조물(275)의 반도체 구조물(244)은 이 기술분야에 공지된 방법들을 이용하여 디닝(thinning)될 수 있다. 그러한 방법들은 예컨대 그라인딩 공정, 폴리싱 공정 및/또는 이온 주입 및 분리 공정을 포함할 수 있다. 본 발명의 추가 실시 예들에서, 반도체 구조물(275)은 하나 이상의 추가 반도체 구조물에 부착될 수 있다. 본 발명의 추가 실시 예들에서, 반도체 구조물(244)은 복수의 디바이스들이 반도체 구조물(244)의 표면 위 및/또는 내에 제조될 수 있도록 처리될 수 있다. 반도체 구조물(275)의 추가 처리를 위한 방법들 중의 하나 이상은, 한 번 이상 수행될 수 있고 또 추가 반도체 층들을 반도체 구조물(275)에 부착하기 위한 평활 평면 표면들을 만들기 위해 본 발명의 방법들의 실시 예들을 이용할 수 있다.

[0063] 예

[0064] 이하, 한정하지 않는 예들이 본 발명의 실시 예들을 예시하기 위해 서술된다. 여기서 이해해야할 것은 다음 예들에서 변수들, 재료들, 구조들 등은 단지 예시를 위한 것이며, 본 발명의 실시 예들을 한정하지 않는다는 것이다.

[0065] 도 2a를 참조하면, 보충 금속산화물 반도체 디바이스 기관(208)을 포함하는 처리된 반도체 구조물(202)이 제공된다. 보충 금속산화물 반도체 디바이스 기관(208)은 다른 특징들 중에 전계 효과 트랜지스터들을 포함하는 복수의 디바이스 구조물(210)을 포함한다. 복수의 전도성 영역들(212)은 예컨대, 탄탈륨 질화물과 같은 배리어 물질, 및 구리를 포함하는 전극 물질을 포함한다. 유전체 층(206)은 이산화 규소(SiO₂)를 포함할 수 있다. 복수의 침식 영역들(218)과 복수의 디시형 영역들(216)은 CMP에 의해 전도성 구리 영역(204)(가상으로 도시됨)의 일부

의 제거에 따라 형성된다.

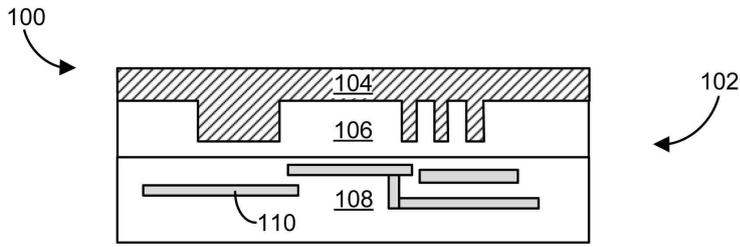
- [0066] 도 2b를 참조하면, 제1 유전체 막(232)은 비평면 표면(220) 위에 컨포말 증착된다. 제1 유전체 막은 150 -400 °C 사이의 온도에서 PECVD에 의해 증착된 이산화 규소(SiO₂)를 포함한다. PECVD를 위한 전구체들은 실란(SiH₄), 테트라에틸 오소실리케이트(TEOS), 산소(O₂), 수소(H₂) 및 아산화질소(N₂O)을 포함할 수 있다. 제1 유전체 막의 평균 두께(D₁)는 비평면 표면(220)의 최대 피크 대 골 거리(PV_{max}) 보다 더 크다. D₁은 본 발명의 추가 실시 예들에서 약 1 μm 이상이지만 본 예에서는 약 1nm 이상이다.
- [0067] 도 2c를 참조하면, 제1 유전체 막(232)은 처리된 반도체 구조물(202)의 반대쪽에 있는 제1 유전체 막(232)의 주 표면을 평탄화하여 평면 표면(236)을 제공하도록 CMP 처리된다.
- [0068] 도 2d를 참조하면, 제2 유전체 막(238)은 제1 유전체 막(232)의 평면 표면(236) 위에 컨포말 증착된다. 제2 유전체 막(238)은 150 - 400 °C 사이의 온도에서 PECVD에 의해 증착된 이산화 규소(SiO₂)를 포함한다. 제2 유전체 막(238)의 PECVD를 위한 전구체들은 실란(SiH₄), 테트라에틸 오소실리케이트(TEOS), 산소(O₂), 수소(H₂) 및 아산화질소(N₂O)을 포함할 수 있다.
- [0069] 도 2e를 참조하면, 제2 유전체 막(238)은 반도체 구조물에 부착하기에 적당한 rms 표면 거칠기를 갖는 친수성 표면을 얻기 위해 플라즈마 활성화 및 스무딩 공정 처리된다. 플라즈마 스무딩 공정은 반응 이온 식각(reactive ion etching: RIE) 챔버 내에 반도체 구조물을 배치하고 표면(240)을 산소 플라즈마에 쬐는 것에 의해 수행된다. RIE 챔버는 산소가 RIE 챔버 내에서 대략 30 sccm (standard cubic centimeters per minute)의 유량을 가지면서 산소이온들의 소스로 이용되는 동안 대략 0.050 Torr의 압력으로 설정될 수 있다. 플라즈마 셀프바이어스는 -60V와 -360V 사이로 가변될 수 있다.
- [0070] 도 2f를 참조하면, 반도체 구조물(244)은 규소 기판을 포함하고, 접합 보조 층(248)은 이산화 규소(SiO₂)를 포함한다.
- [0071] 도 2g를 참조하면, SiO₂ 접합 보조 층(248)을 가지는 규소 기판(244)은 처리된 반도체 구조물(202), 제1 유전체 막(232) 및 제2 유전체 막(238)을 포함하는 반도체 구조물(255)와 밀착된다. 접합 경계면(252)은 SiO₂ 접합 보조 층(248)과 제2 유전체 층(238)의 접합 표면(240) 사이에 형성된다.
- [0072] 이상에서 서술된 본 발명의 실시 예들은 단지 첨부된 특허청구범위와 그 법적 균등물들에 의해 규정되는 본 발명의 실시 예들의 예들이기 때문에 본 발명의 범위를 한정하지 않는다. 어떤 균등한 실시 예들도 본 발명의 범위 내에 있는 것으로 간주된다. 실제로, 본 명세서의 설명으로부터 여기에서 도시되고 서술된 것들에 추가하여 서술된 구성요소들의 선택적인 유용한 조합들과 같은 다양한 본 발명의 변경들이 가능함은 이 기술분야의 숙련된 기술자들에게는 명백할 것이다. 그러한 변경들 역시 첨부된 특허청구범위 내에 포함되는 것으로 간주된다. 여기의 명칭들과 부호설명들은 단지 명료성과 편의성을 위해 사용된다.

부호의 설명

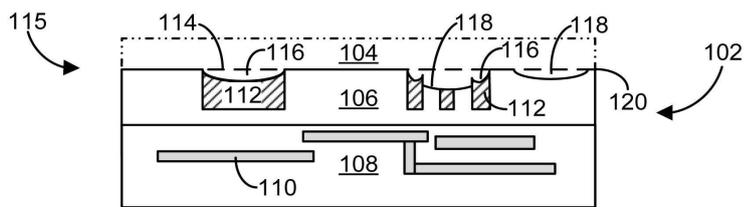
- [0073] 202: 처리된 반도체 구조물 204, 212: 전도성 영역
- 206: 유전체 층 208: 디바이스 기판
- 210: 디바이스 구조물
- 215, 225, 235, 244, 245, 255, 265, 275: 반도체 구조물
- 218: 침식 영역 220: 비평면 표면
- 226: 피크 영역 228: 골 영역
- 232: 제1 유전체 막 236: 평면 표면
- 238: 제2 유전체 막 240: 접합 표면
- 248: 접합 보조 층 252: 접합 경계면

도면

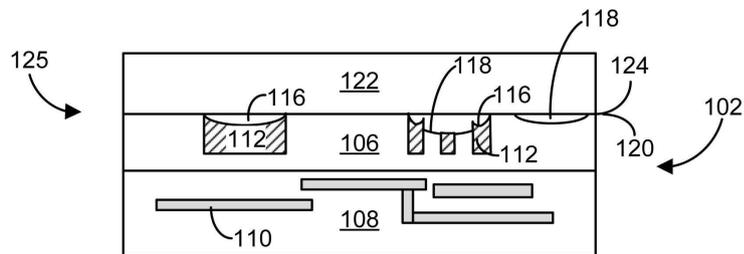
도면1a



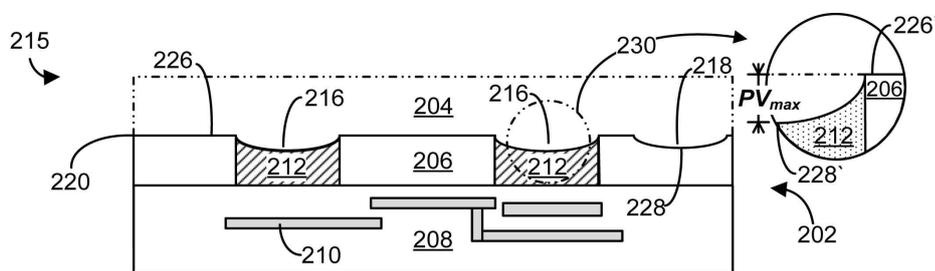
도면1b



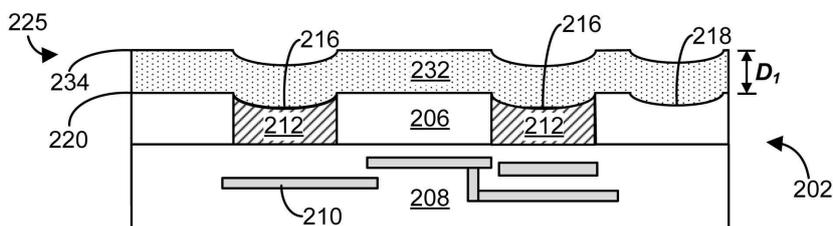
도면1c



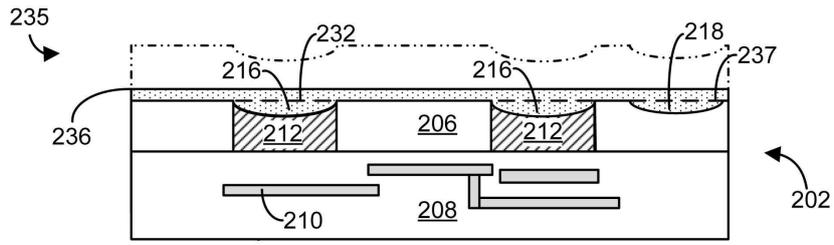
도면2a



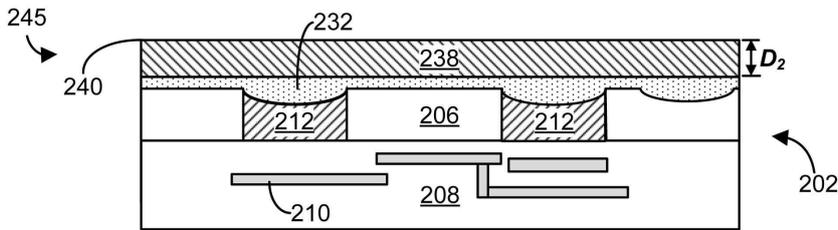
도면2b



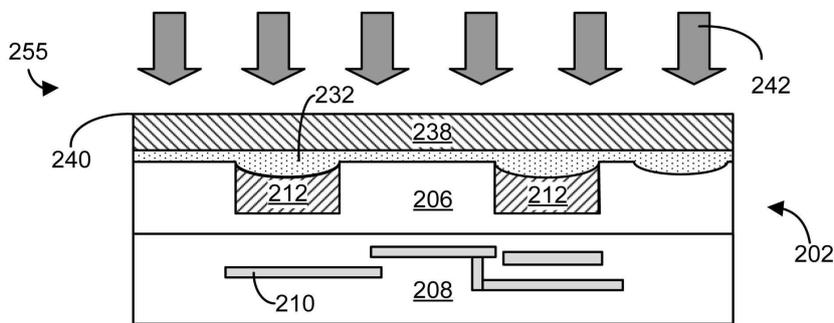
도면2c



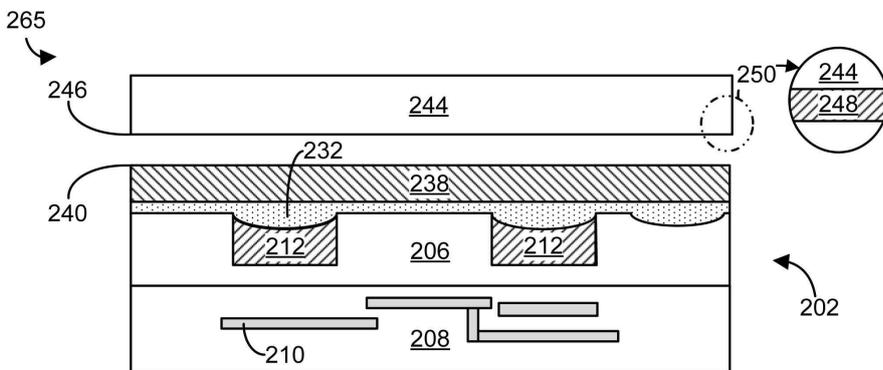
도면2d



도면2e



도면2f



도면2g

