

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-134486

(P2007-134486A)

(43) 公開日 平成19年5月31日(2007.5.31)

(51) Int. Cl. F I テーマコード (参考)  
 HO 1 L 25/18 (2006.01) HO 1 L 25/08 Z  
 HO 1 L 25/07 (2006.01)  
 HO 1 L 25/065 (2006.01)

審査請求 未請求 請求項の数 5 O L (全 15 頁)

(21) 出願番号 特願2005-325901 (P2005-325901)  
 (22) 出願日 平成17年11月10日 (2005.11.10)

(71) 出願人 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (74) 代理人 100077849  
 弁理士 須山 佐一  
 (74) 代理人 100113871  
 弁理士 川原 行雄  
 (74) 代理人 100124073  
 弁理士 山下 聡  
 (74) 代理人 100134223  
 弁理士 須山 英明  
 (72) 発明者 石田 勝広  
 三重県四日市市山之一色町800番地 株  
 式会社東芝四日市工場内

最終頁に続く

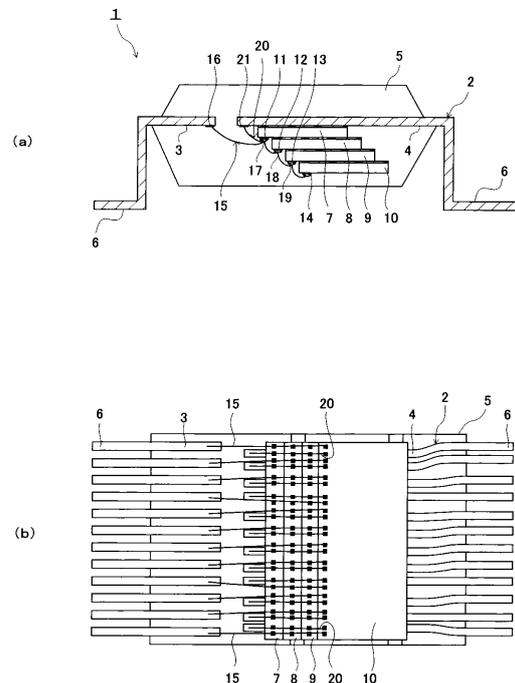
(54) 【発明の名称】 積層型半導体装置及びその製造方法

(57) 【要約】

【課題】信頼性を向上させた上で、容易にかつ収率よく製造可能な積層型半導体装置及びその製造方法を提供する。

【解決手段】積層型半導体装置1は、第1及び第2のインナーリード3, 4を有している。第2のインナーリード4には、第1乃至第4の半導体チップ7, 8, 9, 10が積層、配置されている。第1又は第2のボンディングワイヤ15, 20が、それぞれ一括してワイヤリングするように第4の半導体チップ10から、第3乃至第1の半導体チップ9, 8, 7の各電極パッド13, 12, 11に形成されたスタッドバンプ19, 18, 17に中継されて、第1又は第2のインナーリード3, 4上の各ボンディングパッド16, 21にボンディングされている。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

ボンディングパッドを有する回路基材と、  
前記回路基材上に実装され、第 1 の電極パッドを有する第 1 の半導体チップと、  
前記第 1 の半導体チップ上に積層され、第 2 の電極パッドを有する第 2 の半導体チップと、  
前記第 1 の電極パッド及び前記第 2 の電極パッドと前記ボンディングパッドとを電氣的に接続する接続部であって、前記ボンディングパッド、前記第 1 の電極パッド及び前記第 2 の電極パッドを一括してワイヤリングするように連続してボンディングされたボンディングワイヤを有する接続部と、  
前記第 1 の半導体チップ、前記第 2 の半導体チップ及び前記接続部を封止する封止樹脂と  
を具備することを特徴とする積層型半導体装置。

10

**【請求項 2】**

前記ボンディングワイヤは、その一方の端部が前記第 2 の電極パッドにボールボンディングされていると共に、他方の端部が前記ボンディングパッドにステッチボンディングされており、さらに前記ボンディングワイヤの中間部が前記第 1 の電極パッド上に形成されたスタッドバンプにステッチボンディングされていることを特徴とする請求項 1 に記載の積層型半導体装置。

**【請求項 3】**

前記ボンディングワイヤは、その一方の端部が前記ボンディングパッドにボールボンディングされていると共に、他方の端部が前記第 2 の電極パッドにステッチボンディングされており、さらに前記ボンディングワイヤの中間部が前記第 1 の電極パッド上に形成されたスタッドバンプにステッチボンディングされていることを特徴とする請求項 1 に記載の積層型半導体装置。

20

**【請求項 4】**

前記ボンディングワイヤがステッチボンディングされた前記スタッドバンプ上には、さらにスタッドバンプが積層されていることを特徴とする請求項 2 又は 3 に記載の積層型半導体装置。

**【請求項 5】**

ボンディングパッドを有する回路基材上に、第 1 の電極パッドを有する第 1 の半導体チップと第 2 の電極パッドを有する第 2 の半導体チップを積層して実装する工程と、  
前記ボンディングパッド、前記第 1 の電極パッド及び前記第 2 の電極パッドを一括してワイヤリングするように、ボンディングワイヤを連続してボンディングする工程と  
を具備することを特徴とする積層型半導体装置の製造方法。

30

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、複数の半導体チップを積層した積層型半導体装置及びその製造方法に関する。

40

**【背景技術】****【0002】**

近年、半導体装置の小型化や高密度実装化等を実現するために、1つのパッケージ内に複数の半導体チップ等を積層して封止したスタック型マルチチップパッケージが実用化されている。スタック型マルチチップパッケージにおいては、複数の半導体チップが例えばリードフレーム上に接着剤フィルムを介して順に積層されている。各半導体チップの電極パッドは、リードフレームのボンディングパッドとボンディングワイヤを介してそれぞれ電氣的に接続されている。そして、このような積層体を封止樹脂でパッケージングすることによって、スタック型マルチチップパッケージが構成される。

**【0003】**

50

例えば、NAND型フラッシュメモリ等を適用したメモリ装置においては、記憶容量の増大を図るために、リードフレーム上に複数のメモリチップを積層して封止することが行われている。このような積層型のメモリ装置において、最上層に位置する半導体チップの電極とリードフレームとを接続するボンディングワイヤは、その長さが長くなることが避けられない。その結果、ワイヤボンディング時や樹脂封止時にワイヤが流され、隣接する異電位のボンディングワイヤ同士が接触して短絡し易くなり、信頼性の低下を招く傾向にあった。また、ワイヤボンディングの配線引き回しデザインの難易度が高く、積層デザインの制約事項も多くなって汎用性に乏しいという難点がある。

#### 【0004】

このような点に対して、NAND型フラッシュメモリ等の半導体チップにおいては、複数の半導体チップの同電位の電極パッド間とリードフレームとの間を順にボンディングワイヤで接続した構造が提案されている（例えば、特許文献1, 2）。すなわち、まず上層側の半導体チップの電極パッドから下層側の半導体チップの電極パッドに対してワイヤボンディングする。下層側の半導体チップの電極パッドには、予めスタッドバンプを形成しておく。次いで、下層側の半導体チップの電極パッドからリードフレームに対してワイヤボンディングする。このように、下層側の半導体チップの電極パッドを中継して、複数の半導体チップの同電位の電極パッド間とリードフレームとの間を接続している。

10

#### 【0005】

しかしながら、従来の接続構造では、ボンディングワイヤを中継する半導体チップの電極パッドに対して、最低2回のワイヤボンディングを実施する必要がある。このような電極パッドにおいては、ワイヤボンディング時に超音波振動が繰り返し印加されることとなるため、ワイヤに変形や接続不良が発生しやすいという問題がある。これは積層型半導体装置の製造歩留まりの低下要因となる。また、ワイヤボンディング工程における電極パッドへの接合回数（ボンディング回数）が増加するため、製造工数の増加や製造効率の低下を招く原因となっている。

20

【特許文献1】特開平11-135714号公報

【特許文献2】特開2003-243442号公報

【発明の開示】

【発明が解決しようとする課題】

#### 【0006】

本発明の目的は、信頼性を向上させた上で、容易にかつ収率よく製造することが可能な積層型半導体装置及びその製造方法を提供することにある。

30

【課題を解決するための手段】

#### 【0007】

本発明の一態様に係る積層型半導体装置は、ボンディングパッドを有する回路基材と、前記回路基材上に実装され、第1の電極パッドを有する第1の半導体チップと、前記第1の半導体チップ上に積層され、第2の電極パッドを有する第2の半導体チップと、前記第1の電極パッド及び前記第2の電極パッドと前記ボンディングパッドとを電気的に接続する接続部であって、前記ボンディングパッド、前記第1の電極パッド及び前記第2の電極パッドを一括してワイヤリングするように連続してボンディングされたボンディングワイヤを有する接続部と、前記第1の半導体チップ、前記第2の半導体チップ及び前記接続部を封止する封止樹脂とを具備することを特徴としている。

40

#### 【0008】

本発明の一態様に係る積層型半導体装置の製造方法は、ボンディングパッドを有する回路基材上に、第1の電極パッドを有する第1の半導体チップと第2の電極パッドを有する第2の半導体チップを積層して実装する工程と、前記ボンディングパッド、前記第1の電極パッド及び前記第2の電極パッドを一括してワイヤリングするように、ボンディングワイヤを連続してボンディングする工程とを具備することを特徴としている。

【発明の効果】

#### 【0009】

50

上記構成により、信頼性を向上させた上で、容易にかつ収率よく製造することが可能な積層型半導体装置及びその製造方法を提供することができる。

【発明を実施するための最良の形態】

【0010】

以下、本発明を実施するための形態について、図面を参照して説明する。なお、以下では本発明の実施形態を図面に基づいて述べるが、それらの図面は図解のために提供されるものであり、本発明はそれらの図面に限定されるものではない。

【0011】

図1(a)(b)は本発明の第1の実施形態に係る積層型半導体装置を適用したTSOP(Thin Small Outline Package)構造の半導体装置の構成を模式的に示す断面図及び装置裏面側より透過して示す平面図である。ここでは、4個の半導体チップをフェイスダウンの状態に積層しパッケージングする場合を例に挙げて示す。同図に示す積層型半導体装置1は、回路基材としてリードフレーム2を備えている。なお、半導体チップを実装する回路基材はリードフレームに限られるものではなく、配線基板等であってもよい。

10

【0012】

リードフレーム2は、それぞれ異なる長さを有する第1及び第2のインナーリード3, 4と、これらインナーリード3, 4から外側に向けて延出され、封止樹脂5を突出してなる OUTER リード6とを有する。第1及び第2のインナーリード3, 4は、いずれもディプレスされておらず、その高さがほぼ同一平面上に位置するように配置されている。第2のインナーリード4には、第1の半導体チップ7を搭載するためのチップ搭載部が設けら

20

【0013】

第1の半導体チップ7は、その素子形成面側の一辺に沿って第1の電極パッド11が設けられた片側パッド構成のチップであり、第2のインナーリード4のチップ搭載部に20~40µm程度のフィルム状の絶縁性接着剤を介して接着されている。絶縁性接着剤には、ウエハからチップを個別に分離するダイシング工程で、ウエハ裏面に貼り付けられたフィルム状の絶縁性接着剤を用いてもよい。このように絶縁性接着剤で接着することによって、第1の半導体チップ7とチップ搭載部との電気的絶縁性を高め、信頼性を確保することができる。

【0014】

第1の半導体チップ7上には、第1の半導体チップ7と同様の構成を有する第2乃至第4の半導体チップ8, 9, 10がそれぞれ段差部分を形成するようにフィルム状の絶縁性接着剤を介して接着、積層されている。段差部分には、第1の電極パッド11と略平行となるように、第1の電極パッド11と同様の第2, 第3, 第4の電極パッド12, 13, 14がそれぞれ設けられている。ここでは、各電極パッド11, 12, 13, 14が、半導体チップの長辺側にそれぞれ配置されているが、これに限定されるものではなく、半導体チップの短辺側に配置してもよい。

30

【0015】

第1のボンディングワイヤ15は、1本の金属細線(例えばAu線)からなり、第1乃至第4の電極パッド11, 12, 13, 14と第1のインナーリード3上の第1のボンディングパッド16とを電気的に接続する接続部である。第1のボンディングワイヤ15は、第4の電極パッド14から、第1乃至第3の電極パッド11, 12, 13に形成されたスタッドバンプ17, 18, 19で中継されて第1のボンディングパッド16に一括してワイヤリングするように連続してボンディングされている。すなわち、第1のボンディングワイヤ15は、その一方の端部が第4の電極パッド14にボールボンディングされており、他方の端部が第1のボンディングパッド16にステッチボンディングされており、さらに第1のボンディングワイヤ15の中間部が第1乃至第3の電極パッド11, 12, 13に形成されたスタッドバンプ17, 18, 19にステッチボンディングされている。スタッドバンプ17, 18, 19は、ボンディングワイヤ15を設ける際に用いるワイヤボンディング装置を用いて形成され、ボンディングワイヤ15と同じ材質(例えばA

40

50

u等)からなる。

【0016】

第2のボンディングワイヤ20は、1本の金属細線(例えばAu線)からなり、第1乃至第4の電極パッド11, 12, 13, 14と第2のインナーリード4上の第2のボンディングパッド21とを電氣的に接続する接続部である。第2のボンディングワイヤ20は、第4の電極パッド14から、第1乃至第3の電極パッド11, 12, 13上のスタッドバンプ17, 18, 19で中継されて第2のボンディングパッド21に一括してワイヤリングするように連続してボンディングされている。すなわち、第2のボンディングワイヤ20は、その一方の端部が第4の電極パッド14にボールボンディングされていると共に、他方の端部が第2のボンディングパッド21にステッチボンディングされており、さらに第2のボンディングワイヤ20の中間部が第1乃至第3の電極パッド11, 12, 13に形成されたスタッドバンプ17, 18, 19にステッチボンディングされている。これら第1及び第2のボンディングワイヤ15, 20は、電氣的特性、信号特性等が等しい電極間を接続するように構成されている。

10

【0017】

積層、配置された第1乃至第4の半導体チップ7, 8, 9, 10と、第1及び第2のボンディングワイヤ15, 20とを例えばエポキシ樹脂等の封止樹脂5を用いて封止することによって、TSP構造の積層型半導体装置1が構成される。なお、図1(a)(b)では4個の半導体チップを積層した構造について説明したが、半導体チップの積層数は特に限定されるものではなく、複数の半導体チップが積層されているものであればよい。例えば2~3個もしくは5個以上であってもよい。

20

【0018】

上述した本実施形態の積層型半導体装置1は、例えば以下のようにして作製される。図2は、図1に示す積層型半導体装置の製造工程において、第1のボンディングワイヤのワイヤボンディング工程の一例を説明する図である。

【0019】

まず、第2のインナーリード4のチップ搭載部に、第1乃至第4の半導体チップ7, 8, 9, 10を各電極パッド11, 12, 13, 14がそれぞれ略平行に配置されるようにフィルム状の絶縁性接着剤を介して積層、実装しておく。

【0020】

次に、図2(a)に示すように、キャピラリ30を用いて、第1乃至第3の半導体チップ7, 8, 9の各電極パッド11, 12, 13にスタッドバンプ17, 18, 19を形成する。キャピラリ30には、その中央にAu線などのワイヤ31を挿通する挿通孔が設けられている。キャピラリ30の挿通孔から延出したワイヤ31の先端に、スパーク放電等によってボール部32を形成し、ボール部32を一定の圧力(荷重)で第3の電極パッド13上に押し付けるとともに、キャピラリ30を超音波振動させて電極パッド13にボンディングする。そして、キャピラリ30とともにワイヤ31を上方に引き上げて切り離し、第3の電極パッド13にスタッドバンプ19を形成する。スタッドバンプ19の大きさは、スパーク放電時の電流と時間をコントロールして、60 $\mu$ m程度の一定の大きさにすることが好ましい。同様にして、第1及び第2の電極パッド11, 12にもそれぞれスタッドバンプ17, 18を形成する。

30

40

【0021】

スパーク放電等によりボール部32が形成されたキャピラリ30を第4の電極パッド14上に移動させて、キャピラリ30先端のボール部32を第4の電極パッド14に一定の圧力で押し付けるとともに、キャピラリ30に超音波振動を印加してボールボンディングする。

【0022】

第4の電極パッド14上にボールボンディングした後、図2(b)に示すように、ワイヤ31をキャピラリ30から延出し、キャピラリ30を第3の半導体チップ9のスタッドバンプ19上に移動させる。そして、ワイヤ31をスタッドバンプ19に加圧、または超

50

音波振動を併用してステッチボンディングする。同様にして、第2および第1の電極12, 11上の各スタッドバンプ18, 17、第1のインナーリード3の第1のボンディングパッド16に順次段々をなすように連続してステッチボンディングする。なお、各電極パッド13, 12, 11に与える損傷を抑制するため、キャピラリ30の下降速度を下げてソフトランディングさせることが好ましい。

【0023】

図2(c)に示すように、第1のボンディングワイヤ15が、第4の電極パッド14から、第3乃至第1の電極パッド13, 12, 11で中継されて第1のボンディングパッド16に一括してワイヤリングするように連続してボンディングされる。

【0024】

この後、第1のボンディングワイヤ15のワイヤボンディング工程と同様にして、第2のボンディングワイヤ20で、第1乃至第4の電極パッド11, 12, 13, 14と第2のインナーリード4上の第2のボンディングパッド21とを連続してボンディングする。すなわち、第4の電極パッド14にボールボンディングした後、第3乃至第1の電極パッド13, 12, 11にそれぞれ形成されたスタッドバンプと第2のボンディングパッド21に対して一括してワイヤリングする。

【0025】

積層された第1乃至第4の半導体チップ7, 8, 9, 10と第1及び第2のボンディングワイヤ15, 20を例えばエポキシ樹脂等の封止樹脂5を用いて封止して、図1に示す積層型半導体装置1を得ることができる。

【0026】

このようにして得られる積層型半導体装置1では、4個の半導体チップ7, 8, 9, 10がフェイスダウンの状態でパッケージ内に封止される。これによって、例えば製品の組み立て工程においてパッケージの上面側(リードフレームのチップ非搭載面側のパッケージ面)にレーザ光を照射してマーキングしても、チップ7, 8, 9, 10やボンディングワイヤ15, 20がレーザ光によって損傷を被る恐れがない。

【0027】

また、本実施形態に適用される半導体チップ7, 8, 9, 10は、その素子形成面側のチップ一辺に沿って電極パッド11, 12, 13, 14が配置されているためチップサイズを小さくすることができる。すなわち、例えばNAND型フラッシュメモリなどのメモリチップでは、周辺回路のレイアウトの仕方によって回路結線が合理化され面積が変わる。本実施形態に適用される半導体チップ7, 8, 9, 10のように、チップ一辺に沿って配置された片側パッド構成のチップによれば、パッドと周辺回路との間の配線の引き回しが合理化されるためチップ面積を小さくすることができる。したがって、本実施形態に適用される半導体チップ7, 8, 9, 10は、低価格の積層パッケージ技術を要求される例えばNAND型フラッシュメモリに好適である。

【0028】

したがって、本実施形態によれば、第4の電極パッド14から、第3乃至第1の電極パッド13, 12, 11上の各スタッドバンプ19, 18, 17で順次中継し、ボンディングパッド16, 21にそれぞれ一括してワイヤリングするように連続してワイヤボンディングすることによって、ボンディングワイヤ15, 20の長さを短くして、ループ高さを低くすることができる。これによって、封止樹脂5で半導体チップ7, 8, 9, 10とボンディングワイヤ15, 20を封止する際に、ワイヤ15, 20が流され、隣接するワイヤ15, 20同士が接触して短絡することを防止することができ、信頼性の高い積層型半導体装置を提供することが可能となる。

【0029】

また、電極パッド11, 12, 13の各スタッドバンプ17, 18, 19に連続してボンディングすることによって、各電極パッド11, 12, 13に対するワイヤボンディングは1回で済む。これによって、電極パッド11, 12, 13において、ワイヤボンディング時に超音波振動を付与した際に生じるワイヤの変形や接続不良を抑制することができ

10

20

30

40

50

、容易に収率よく積層型半導体装置を得ることが可能となる。

【0030】

なお、本実施形態に係る第1のボンディングワイヤ15のワイヤボンディング工程では、第4の電極パッド14にボールボンディングした後、第3乃至第1の半導体チップ9, 8, 7上のスタッドパンプ19, 18, 17に順次連続してステッチボンディングし、第1のボンディングパッド16にボンディングしているが、これに限定されるものではない。すなわち、図3に示すように、第1乃至第4の半導体チップ7, 8, 9, 10の電極パッド11, 12, 13, 14にスタッドパンプ17, 18, 19, 22を形成した後(図3(a))、第1のインナーリード3の第1のボンディングパッド16にボールボンディングし、各スタッドパンプ17, 18, 19に順次連続してステッチボンディングし(図3(b))、第4の半導体チップ10のスタッドパンプ22にボンディングしてもよい(図3(c))。

10

【0031】

また、例えば図4に示すように、第1及び/又は第2のボンディングワイヤ15, 20を設けた後、ワイヤ15, 20とスタッドパンプ17, 18, 19との接続を確実にするため、さらにスタッドパンプ40, 41, 42を積層してもよい。

【0032】

次に、第2の実施形態に係る積層型半導体装置について図5を用いて説明する。図5は、例えばNAND型フラッシュメモリのパッケージングに適用した本発明の第2の実施形態に係る積層型半導体装置において、メモリチップの一例を示す構成図である。本実施形態に係る積層型半導体装置は、上述した第1の実施形態と同様に、4個の半導体チップ(メモリチップ)をフェイスダウンの状態で積層してパッケージングしており、第1の実施形態とはボンディングワイヤの接続構造が異なる。なお、第1の実施形態と同一の構成部分については、同一の符号を付してその説明を簡略または省略する。

20

【0033】

図5に示すように、メモリチップ60には17個の電極パッド61が設けられている。各電極パッド61には、例えばVCC、VSS、I/O-0~I/O-7、RB、REの電源や入出力信号用の外部端子と、CE、CLE、ALE、WE、WPの制御用の外部端子がそれぞれ割り付けられている。

【0034】

外部端子VCCが割り付けられた電極パッドは、電源電位(VCC)を供給するためのVCC入力用のパッドである。外部端子VSSが割り付けられた電極パッドは、接地電位(VSS)を供給するためのVSS入力用のパッドである。外部端子I/O-0~I/O-7が割り付けられた電極パッドは、アドレス、コマンド、及び入出力データを入出力するための入出力用のパッドである。外部端子REが割り付けられた電極パッドは、データをシリアル出力させるための出力用のパッドである。外部端子RBが割り付けられた電極パッドは、装置の内部の動作状態を外部に知らせるための出力用のパッドである。

30

【0035】

外部端子CEが割り付けられた電極パッドは、デバイス選択用の信号を取り込むための入力用のパッドである。外部端子CLEが割り付けられた電極パッドは、装置の内部のコマンドレジスタ(不図示)への動作コマンドの取り込みをコントロールするための信号が入力されるパッドである。外部端子ALEが割り付けられた電極パッドは、装置内部のアドレスレジスタおよびデータレジスタ(いずれも不図示)へのアドレスデータおよび入力データの取り込みをコントロールするための信号が入力されるパッドである。外部信号WEが割り付けられた電極パッドは、I/O端子から各データを装置内部に取り込むための信号が入力されるパッドである。外部端子WPが割り付けられた電極パッドは、書き込み・消去動作を強制的に禁止させるための信号が入力されるパッドである。

40

【0036】

ここで、本実施形態に適用されたリードフレームの一例について図6を用いて説明する。図6は、本実施形態による積層型半導体装置に適用されたリードフレームの一例を示す

50

平面図である。図6には、第1の実施形態で示したリードフレームの第1及び第2のインナーリード3, 4の左右の位置関係を反転させたリードフレーム2Aが示されている。第1及び第2のインナーリード3, 4上の各ボンディングパッド(不図示)には、図5に示すNAND型フラッシュメモリ60の電極パッド61に対応する外部端子VCC、VSS、I/O-0~I/O-7、RB、CE、RE、CLE、ALE、WE、WPが割り付けられている。なお、N.Cは未使用であることを示す。

【0037】

リードフレーム2Aは、第2のインナーリード4の各先端部がインナーリード配列の幅方向の中央寄りに集中して配列され、その両側(幅方向の外寄り)に第1のインナーリード3の各先端部が配列されている。第1のインナーリード3は、リードフレーム2Aを製造する上で、急激に曲げるような引き回しが困難であるため、このように外寄りに配置されることが好ましい。第2のインナーリード4は、引き回しの自由度が高いため、中央寄りに配置されている。

10

【0038】

本実施形態に係る積層型半導体装置は、第3乃至第6のボンディングワイヤ(不図示)を備えている。

【0039】

第3のボンディングワイヤは、その一方の端部が図5に示すメモリチップ60のVCC、VSS、I/O-1~I/O-7が割り付けられた第4の電極パッド14にボールボンディングされていると共に、他方の端部が図6に示す第1のインナーリード3の対応するボンディングパッドにステッチボンディングされており、さらに前記ボンディングワイヤの中間部がVCC、VSS、I/O-1~I/O-7が割り付けられた第1乃至第3の電極パッド11, 12, 13に形成されたスタッドバンプ17, 18, 19にそれぞれステッチボンディングされている。

20

【0040】

第4のボンディングワイヤは、その一方の端部が図5に示すメモリチップ60のRB、REが割り付けられた第4の電極パッド14にボールボンディングされていると共に、他方の端部が図6に示す第2のインナーリード4の対応するボンディングパッドにステッチボンディングされており、さらに前記ボンディングワイヤの中間部がRB、REが割り付けられた第1乃至第3の電極パッド11, 12, 13に形成されたスタッドバンプ17, 18, 19にそれぞれステッチボンディングされている。

30

【0041】

第5のボンディングワイヤは、その一方の端部が図5に示すメモリチップ60のCE、WP、WE、ALE、CLEが割り付けられた第1乃至第4の電極パッド11, 12, 13, 14にそれぞれボールボンディングされていると共に、他方の端部が図6に示す第2のインナーリード4の対応するボンディングパッドにステッチボンディングされている。すなわち、第5のボンディングワイヤは、スタッドバンプ17, 18, 19で中継されることなく、CE、WP、WE、ALE、CLEが割り付けられた第1乃至第4の電極パッドと、ボンディングパッド21とにそれぞれボンディングされている。

【0042】

本実施形態に適用可能なリードフレームは、上記に限定されるものではなく、図7に示すようなリードフレームを用いてもよい。図7は、本実施形態に係る積層型半導体装置に適用されたリードフレームの他の一例を示す平面図である。図7に示すVCC、VSS、I/O-0~I/O-7、RE、CLE、ALE、WE、WPは、図5に示すNAND型フラッシュメモリ60の電極パッド61に対応する外部端子の一例である。なお、N.Cは未使用であることを示す。リードフレーム2Bは、第1及び第2のインナーリード3, 4が、幅方向に二分されており、第2のインナーリード4の各先端部がインナーリード配列の幅方向の中央寄りに集中して配列され、その両側(幅方向の外寄り)に、第1のインナーリード3の各先端部が配列されている。

40

【0043】

50

したがって、本実施形態によれば、第4の電極パッド14から、第3乃至第1の電極パッド13, 12, 11上の各スタッドバンプ19, 18, 17で順次中継し、第1又は第2のインナーリード3, 4の各ボンディングパッド16, 21にそれぞれ一括してワイヤリングするように連続してワイヤボンディングすることによって、ボンディングワイヤの長さを短くして、ループ高さを低くすることができる。これによって、封止樹脂でメモリチップとボンディングワイヤを封止する際に、ワイヤが流され、隣接するワイヤ同士が接触して短絡することを防止することができ、信頼性の高い積層型半導体装置を提供することが可能となる。

【0044】

また、電極パッド11, 12, 13の各スタッドバンプ17, 18, 19に連続してボンディングすることによって、各電極パッド11, 12, 13に対するワイヤボンディングは1回で済む。これによって、電極パッド11, 12, 13において、ワイヤボンディング時に超音波振動を付与した際に生じるワイヤの変形や接続不良を抑制することができ、容易に収率よく積層型半導体装置を得ることが可能となる。

10

【0045】

次に、第3の実施形態に係る積層型半導体装置について説明する。本実施形態に係る積層型半導体装置は、上述した第2の実施形態と同様に例えばNAND型フラッシュメモリのパッケージングに適用した装置を示しており、同様のメモリチップ(図5)とリードフレーム(図6又は図7)を備えている。第2の実施形態とは、ボンディングワイヤの接続方法が異なる。なお、第1、第2の実施形態と同一の構成部分については、同一の符号を付してその説明を簡略または省略する。

20

【0046】

本実施形態に係る積層型半導体装置は、第5、第6a~6d及び第7a~7dのボンディングワイヤ(不図示)を備えている。なお、本実施形態における第5のボンディングワイヤとは、上述した第2の実施形態における第5のボンディングワイヤと同様のものを意味する。

【0047】

第5のボンディングワイヤは、その一方の端部が図5に示すメモリチップ60のCE、WP、WE、ALE、CLEが割り付けられた第1乃至第4の電極パッド11, 12, 13, 14にそれぞれボールボンディングされていると共に、他方の端部が図6に示す第2のインナーリード4の対応するボンディングパッドにステッチボンディングされている。

30

【0048】

第6aのボンディングワイヤは、その一方の端部が図5に示すメモリチップ60のVCC、VSS、I/O-1~I/O-7が割り付けられた第4の電極パッド14にボールボンディングされていると共に、他方の端部が対応するVCC、VSS、I/O-1~I/O-7が割り付けられた第3の電極パッド13に形成されたスタッドバンプ19にステッチボンディングされている。第6bのボンディングワイヤは、その一方の端部がVCC、VSS、I/O-1~I/O-7が割り付けられた第3の電極パッド13上のスタッドバンプ19にボールボンディングされていると共に、他方の端部が対応するVCC、VSS、I/O-1~I/O-7が割り付けられた第2の電極パッド12上のスタッドバンプ18にステッチボンディングされている。第6cのボンディングワイヤは、その一方の端部がVCC、VSS、I/O-1~I/O-7が割り付けられた第2の電極パッド12上のスタッドバンプ18にボールボンディングされていると共に、他方の端部が対応するVCC、VSS、I/O-1~I/O-7が割り付けられた第1の電極パッド11上のスタッドバンプ17にステッチボンディングされている。第6dのボンディングワイヤは、その一方の端部がVCC、VSS、I/O-1~I/O-7が割り付けられた第1の電極パッド11上のスタッドバンプ17にボールボンディングされていると共に、他方の端部が図6に示す第1のインナーリード3の対応するボンディングパッドにステッチボンディングされている。

40

【0049】

50

よって、VCC、VSS、I/O-1～I/O-7が割り付けられた第1乃至第4の電極パッド間と第1のインナーリード3上のボンディングパッドとの間は、第6a～6dのボンディングワイヤでそれぞれ順にボンディングされている。

【0050】

第7aのボンディングワイヤは、その一方の端部が図5に示すメモリチップ60のRB、REが割り付けられた第4の電極パッド14にボールボンディングされているとともに、他方の端部が対応するRB、REが割り付けられた第3の電極パッド13のスタッドバンプ19にステッチボンディングされている。第7bのボンディングワイヤは、その一方の端部がRB、REが割り付けられた第3の電極パッド13上のスタッドバンプ19にボールボンディングされていると共に、他方の端部が対応するRB、REが割り付けられた第2の電極パッド12上のスタッドバンプ18にステッチボンディングされている。第7cのボンディングワイヤは、その一方の端部がRB、REが割り付けられた第2の電極パッド12上のスタッドバンプ18にボールボンディングされていると共に、他方の端部が対応するRB、REが割り付けられた第1の電極パッド11上のスタッドバンプ17にステッチボンディングされている。第7dのボンディングワイヤは、その一方の端部がRB、REが割り付けられた第1の電極パッド11上のスタッドバンプ17にボールボンディングされていると共に、他方の端部が図6に示す第2のインナーリード4の対応するボンディングパッドにステッチボンディングされている。

10

【0051】

よって、RB、REが割り付けられた第1乃至第4の電極パッド間と第2のインナーリード4上のボンディングパッドとの間は、第7a～7dのボンディングワイヤでそれぞれ順にボンディングされている。

20

【0052】

したがって、本実施形態によれば、第1乃至第4の電極パッド11, 12, 13, 14間と、第1又は第2のインナーリード3, 4上のボンディングパッド16, 21との間をそれぞれ順にワイヤボンディングすることによって、ボンディングワイヤの長さを短くして、ループ高さを低くすることができる。これによって、封止樹脂でメモリチップとボンディングワイヤを封止する際に、ワイヤが流され、隣接するワイヤ同士が接触して短絡することを防止することができ、信頼性の高い積層型半導体装置を提供することが可能となる。

30

【0053】

次に、第4の実施形態に係る積層型半導体装置について図8を用いて説明する。図8は本発明の第4の実施形態に係る積層型半導体装置を適用したTSP構造の半導体装置の構成を模式的に示す断面図である。同図に示す積層型半導体装置は、上述した第1乃至第3の実施形態とは、ボンディングワイヤの接続構造が異なる。なお、第1乃至第3の実施形態と同一の構成部分には、同一の符号を付してその説明を簡略または省略する。同図に示す積層型半導体装置50は、第8乃至第11のボンディングワイヤ51, 52, 53, 54を備えている。

【0054】

第8のボンディングワイヤ51は、その一方の端部が第4の電極パッド14にボールボンディングされていると共に、他方の端部が第1のインナーリード3の第1のボンディングパッド16にステッチボンディングされており、さらにボンディングワイヤ51の中間部が第3の電極パッド13に形成されたスタッドバンプ19にステッチボンディングされている。

40

【0055】

第9のボンディングワイヤ52は、その一方の端部が第4の電極パッド14にボールボンディングされていると共に、他方の端部が第2のインナーリード4の第2のボンディングパッド21にステッチボンディングされており、さらにボンディングワイヤ52の中間部が第3の電極パッド13に形成されたスタッドバンプ19にステッチボンディングされている。

50

## 【0056】

第10のボンディングワイヤ53は、その一方の端部が第2の電極パッド12にボールボンディングされていると共に、他方の端部が第1のボンディングパッド16にステッチボンディングされており、さらにボンディングワイヤ53の中間部が第1の電極パッド11に形成されたスタッドバンプ17にステッチボンディングされている。

## 【0057】

第11のボンディングワイヤ54は、その一方の端部が第2の電極パッド12にボールボンディングされていると共に、他方の端部が第2のボンディングパッド21にステッチボンディングされており、さらにボンディングワイヤ54の中間部が第1の電極パッド11に形成されたスタッドバンプ17にステッチボンディングされている。

10

## 【0058】

これら第8乃至第11のボンディングワイヤ51, 52, 53, 54と、リードフレーム上に積層、配置された第1乃至第4の半導体チップ7, 8, 9, 10は、例えばエポキシ樹脂等の封止樹脂5で封止され、T S O P構造の積層型半導体装置50が構成される。なお、図8では4個の半導体チップ7, 8, 9, 10を積層した構造について説明したが、半導体チップの積層数は特に限定されるものではなく、2~3個もしくは5個以上であってもよい。

## 【0059】

したがって、本実施形態によれば、第4又は第2の電極パッド14, 12から、第3又は第1の電極パッド13, 11の各スタッドバンプ19, 17に中継して、インナーリードのボンディングパッド16, 21に一括してワイヤリングするようにワイヤボンディングすることにより、ボンディングワイヤ51, 52, 53, 54の長さを短くすることができる。これによって、樹脂封止する際にボンディングワイヤ51, 52, 53, 54が流され、隣接するワイヤ同士の短絡を回避することができ、信頼性の高い積層型半導体装置50を提供することができる。

20

## 【0060】

また、電極パッド11, 12, 13, 14間およびボンディングパッド16, 21を一括してワイヤリングすることによって、電極パッド11, 13に対するワイヤボンディングは1回で済む。これによって、超音波振動を付与した際にワイヤに生じる変形や接続不良を抑制することができ、製造歩留まりを低下させることなく積層型半導体装置を得ることが可能となる。

30

## 【0061】

なお、本発明は、上述した各実施形態に限定されるものではなく、チップをフェイスダウンの状態樹脂パッケージ内に封止する構成に限られるものではなく、フェイスアップの状態樹脂パッケージ内に封止する構成にも適用することができる。

## 【0062】

また、本発明は、複数の半導体チップを積層して搭載した各種の積層型半導体装置に適用することができ、例えばBGAタイプの積層型半導体装置についても本発明に含まれるものである。本発明の実施形態は本発明の技術的思想の範囲内で拡張もしくは変更することができ、この拡張、変更した実施形態も本発明の技術的範囲に含まれるものである。

40

## 【図面の簡単な説明】

## 【0063】

【図1】本発明の第1の実施形態による積層型半導体装置の構成を模式的に示す断面図及び装置裏面側より透過して示す平面図。

【図2】図1に示す積層型半導体装置の製造工程において、第1のボンディングワイヤのワイヤボンディング工程の一例を示す図。

【図3】図1に示す積層型半導体装置の製造工程において、第1のボンディングワイヤのワイヤボンディング工程の他の一例を示す図。

【図4】図1に示す積層型半導体装置の一変形例を示す断面図。

【図5】本発明の第2の実施形態による積層型半導体装置の半導体チップに適用されたN

50

A N D型フラッシュメモリの一例を示す構成図である。

【図6】本発明の第2の実施形態による積層型半導体装置に適用されたリードフレームの一例を示す平面図。

【図7】本発明の第2の実施形態による積層型半導体装置に適用されたリードフレームの他の一例を示す平面図。

【図8】本発明の第4の実施形態による積層型半導体装置の構成を模式的に示す断面図。

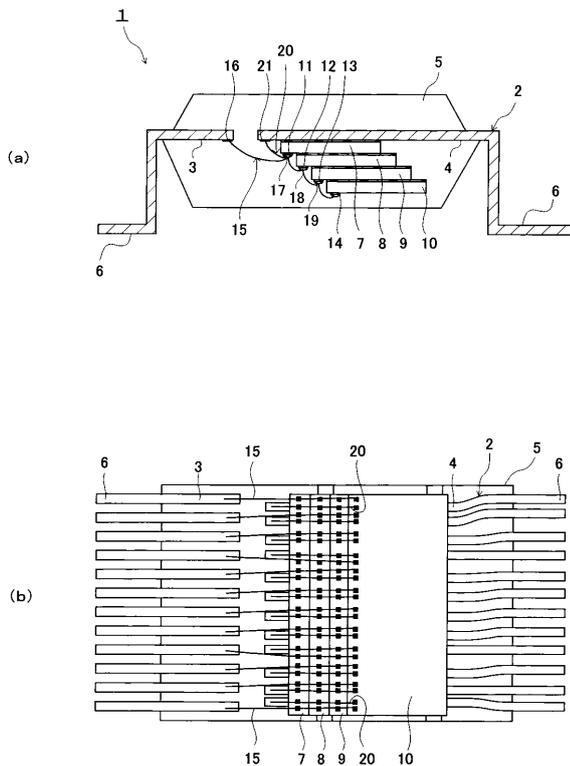
【符号の説明】

【0064】

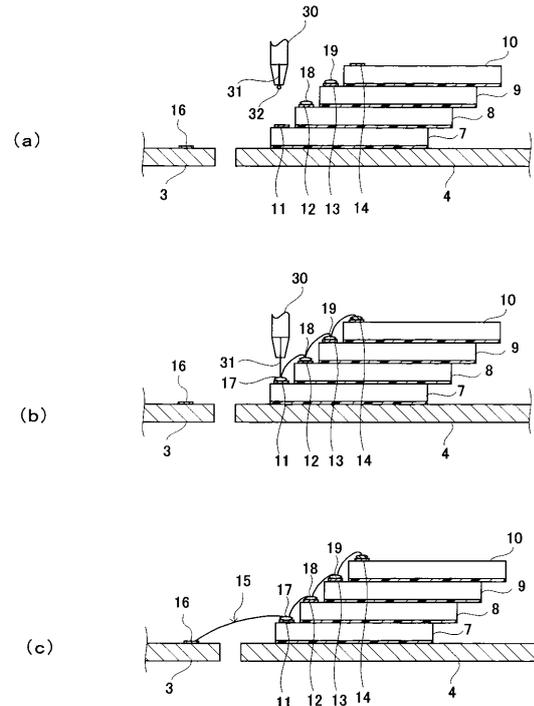
1 ... 積層型半導体装置、 2 ... リードフレーム、 3 ... 第1のインナーリード、 4 ... 第2のインナーリード、 5 ... 封止樹脂、 7 ... 第1の半導体チップ、 8 ... 第2の半導体チップ、 9 ... 第3の半導体チップ、 10 ... 第4の半導体チップ、 11 ... 第1の電極パッド、 12 ... 第2の電極パッド、 13 ... 第3の電極パッド、 14 ... 第4の電極パッド、 15 ... 第1のボンディングワイヤ、 16 ... 第1のボンディングパッド、 17, 18, 19, 22 ... スタッドバンプ、 20 ... 第2のボンディングワイヤ、 21 ... 第2のボンディングパッド。

10

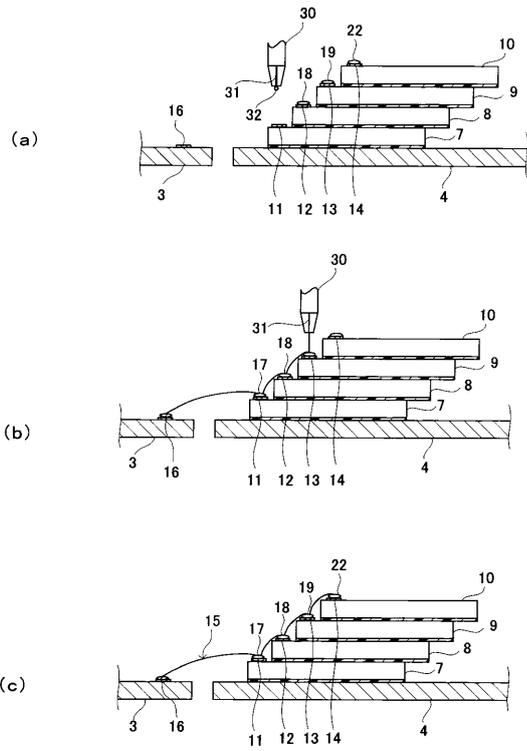
【図1】



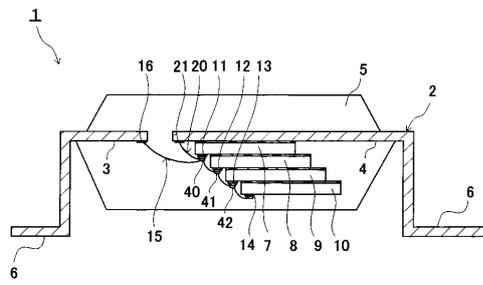
【図2】



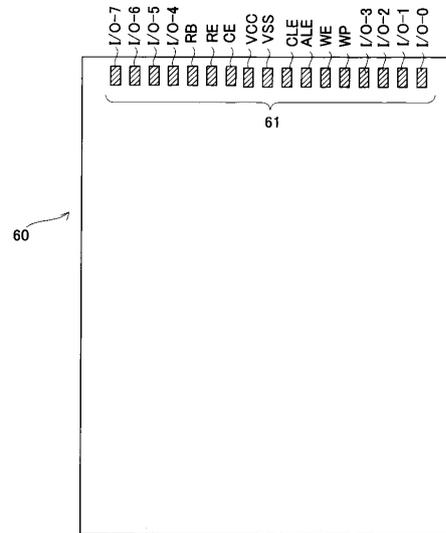
【 図 3 】



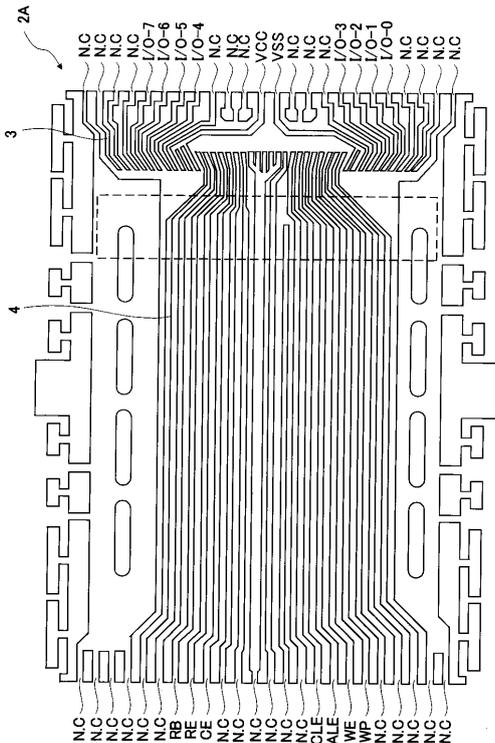
【 図 4 】



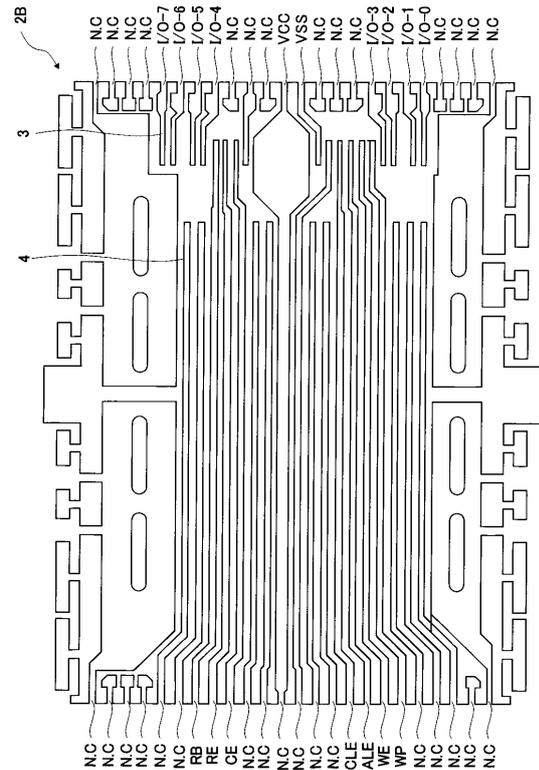
【 図 5 】



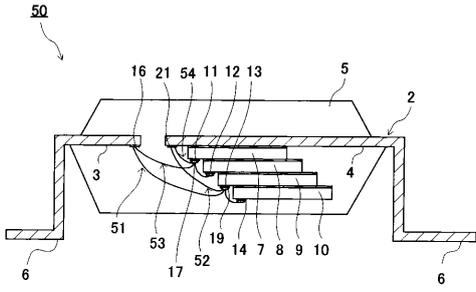
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(72)発明者 松嶋 良二

三重県四日市市山之色町800番地 株式会社東芝四日市工場内