

A1

**DEMANDE  
DE BREVET D'INVENTION**

②

**N° 80 03572**

---

⑤4 Emetteur numérique de fréquences.

⑤1 Classification internationale (Int. Cl.<sup>3</sup>). H 04 Q 1/45; H 04 J 3/12.

②2 Date de dépôt..... 19 février 1980.

③3 ③2 ③1 Priorité revendiquée :

④1 Date de la mise à la disposition du  
public de la demande..... B.O.P.I. — « Listes » n° 34 du 21-8-1981.

---

⑦1 Déposant : COMPAGNIE INDUSTRIELLE DES TELECOMMUNICATIONS CIT-ALCATEL, rési-  
dant en France.

⑦2 Invention de : Philippe Duplessis et Philippe Delpit.

⑦3 Titulaire : *Idem* ⑦1

⑦4 Mandataire : Marceau Pougeot, SOSPI,  
14-16, rue de la Baume, 75008 Paris.

Emetteur numérique de fréquences

L'invention concerne un émetteur numérique de fréquences commandé par un processeur, et plus particulièrement un générateur numérique de signalisation multifréquence pour un autocommutateur téléphonique de type temporel. On connaît divers types de générateurs de signaux numériques.

Le brevet français n° 2 087 711 intitulé "Générateur numérique de fréquence" décrit un générateur qui comporte un oscillateur et un dispositif de stabilisation par filtre numérique linéaire défini par des équations aux différences finies.

Le brevet français n° 2 098 528 intitulé "Générateur numérique de signaux" décrit un générateur de signaux sinusoïdaux comportant une table de N valeurs de la fonction  $y = \sin x$ , et des moyens d'exploration périodique de la table. La fréquence  $f$  du signal est liée à la fréquence  $F$  d'exploration de la table et au pas d'exploration  $k$  par la relation :

$f \times N = kF$  avec une valeur maximale de  $k$  donnée par le théorème de SHANNON :  $k \leq N/2$ . Le générateur décrit comporte également un circuit additionneur qui permet de délivrer un signal composé de 2 fréquences. D'autre part on sait qu'en transmission numérique les signaux sont codés suivant une loi de compression logarithmique approchée par des segments de droite (avis G.711 du C.C.I.T.T. définissant la loi A).

On peut considérer que le codage suivant la loi A est approximativement logarithmique, avec un signal codé  $Y$  en fonction de la tension  $V$  en millivolts de la forme :

$$Y = 16 \text{ Log}_2 \left[ \frac{V}{12} \right]$$

Ceci introduit une distorsion très souvent acceptable. On utilise cette forme pour appliquer un gain  $G$  au signal par une simple addition des valeurs codées : le signal codé  $X$  correspondant au signal amplifié  $G \times V$  s'écrit en effet :

$$X = 16 \left[ \text{Log}_2 \left[ \frac{V}{12} \right] + \text{Log}_2 G \right] = 16 \text{ Log}_2 G \cdot \left[ \frac{V}{12} \right]$$

Par contre pour réaliser une addition de signaux, par exemple pour créer des signaux bifréquences à partir d'un générateur de signaux sinusoidaux, il faut réaliser une décompression pour linéariser les signaux. Pour cela une méthode connue consiste à utiliser une approximation permettant de faite la linéarisation à l'aide d'un circuit de décalage :

Soit S le signal décompressé, le signal compressé s'écrit

$\log_2 S = c + m$  (c caractéristique et m mantisse du logarithme avec  $0 < m < 1$ ).

10 L'approximation consiste à remplacer  $2^m$  par  $1 + m$ , soit

$$S = 2^c 2^m \approx 2^c (1 + m)$$

La décompression consiste à décaler la quantité  $1 + m$  d'un nombre de poids binaires égal à c.

Cette approximation entraîne une distorsion qui peut être éliminée par utilisation d'une table de correspondance entre les valeurs de m et celle d'un paramètre p tel que  $2^m = 1 + p$ , cette table étant par exemple stockée dans une mémoire morte. Cette méthode est utilisée par exemple dans le générateur numérique de fréquences décrit dans le brevet français n° 2 087 711 déjà cité.

20 L'invention a pour but de réaliser un dispositif permettant, à partir des signaux fournis par un générateur numérique, de créer les différents signaux multifréquences correspondant aux codes utilisés dans un central téléphonique, et de distribuer ces signaux sur des voies numériques par exemple sur des liaisons multiplex de type MIC.

25 La création et la distribution des signaux multifréquences sont commandées par un processeur, par exemple le calculateur de commande de l'autocommutateur dans le cas d'une commande centralisée de ce dernier.

L'objet de l'invention est un émetteur numérique de fréquences comportant un générateur fournissant des signaux de codes multifréquences par exploration cyclique d'une table sous le contrôle d'une base de temps, caractérisé par le fait que ladite table comporte les valeurs de la fonction sinus sous forme compressée et que le générateur comporte des moyens d'amplification des signaux compressés, et par le fait que l'émetteur numérique comporte un additionneur

- 3 -

permettant la combinaison de deux signaux monofréquences, pour produire un signal bifréquence compressé et un distributeur de fréquences formé d'une mémoire pour enregistrer les signaux bifréquences fournis par l'additionneur, des moyens d'émission desdits signaux bifréquences  
 5 sur un canal numérique, et des moyens de sélection pilotés par un calculateur par l'intermédiaire d'un module d'échanges, lesdits moyens de sélection permettant d'affecter à toute voie du canal numérique le contenu de n'importe quel mot de ladite mémoire.

L'invention va être précisée par la description qui va suivre  
 10 d'un mode préféré de réalisation de l'invention, donné à titre d'exemple non limitatif en référence aux dessins annexés qui représentent

- figure 1 : un schéma d'ensemble de l'émetteur numérique
- figure 2 : un schéma d'un générateur des signaux monofréquences amplifiés correspondant à plusieurs codes de signalisation téléphonique
- 15 - figure 3 : un schéma d'un additionneur
- figure 4 : un schéma d'un distributeur de fréquences
- figure 5 : un diagramme des principaux signaux de pilotage du distributeur de la figure 4
- figure 6 : le format des messages échangés avec le calculateur.

20 Dans cette application l'émetteur numérique délivre sur les voies multiplexées d'une liaison MIC, des signaux mono ou bifréquences de la forme :

$$A_i \sin 2\pi f_i T + A_j \sin 2\pi f_j T$$

Les valeurs de f désignent les fréquences des codes utilisés,  
 25 et les coefficients A déterminent l'amplitude des signaux délivrés. Les coefficients A dépendent du code multifréquence de la fréquence émise, et tiennent compte de l'affaiblissement propre au système jusqu'au niveau de la liaison MIC. Comme on le verra ces coefficients A sont enregistrés sous forme compressée dans une mémoire MA (figure 2).

30 Dans la figure 1, l'émetteur numérique comporte un générateur de signaux logarithmiques GL qui délivre des signaux monofréquences, un additionneur logarithmique AL qui effectue la somme de deux signaux monofréquences sous forme compressée et un distributeur de fréquences DF

commandé par un calculateur CAL par l'intermédiaire d'un module d'échange ME. Les circuits GL, AL, DF, ME, reçoivent les signaux d'une base de temps BT, le calculateur CAL étant le calculateur de commande d'un autocommutateur à commande centralisée.

5 En sortie du distributeur de fréquences DF, les signaux traversent un transcodeur TC pour adaptation au code HDB3 de transmission sur la liaison MIC (figure 1);

Dans cette application, le générateur GL fonctionne de manière cyclique indépendamment du calculateur CAL. La durée du cycle du  
10 générateur est de 125 microsecondes et elle est égale à la période d'échantillonnage sur les voies MIC aux normes européennes. A chaque cycle le générateur émet un échantillon de chaque fréquence et pour chacun des codes utilisés. On voit donc qu'il n'y a pas nécessité d'utiliser le calculateur à ce niveau, puisque tous les signaux possibles  
15 sont délivrés à chaque cycle. La mémoire qui contient les coefficients A peut donc être une mémoire morte.

Le générateur GL est représenté à la figure 2. Ce générateur produit des signaux monofréquences de la forme qui est déjà indiquée plus haut. La fonction sinus est fournie par exploration d'une table  
20 contenue dans une mémoire MS sous forme logarithmique. Les coefficients A sont stockés dans une mémoire MA. La longueur des mots dans les mémoires MA et MS est de 8 e.b. Les sorties de ces mémoires sont reliées à l'entrée d'un additionneur AD1 et le signal de sortie de l'additionneur est stocké dans un registre R1.

25 Le signal de sortie du générateur GL comporte 10 e.b. : 3 e.b. pour la caractéristique c, 5 e.b. pour la mantisse m, un e.b. d qui provient de la sortie de débordement de l'additionneur AB1, et un e.b. s qui indique le signe de la fonction sinus qui provient de la sortie d'un registre R2.

30 Le distributeur fournit 128 échantillons de signaux par cycle. Compte tenu qu'il s'agit de signaux bifréquences, il a été donné au générateur GL une capacité double. De cette manière 2 échantillons consécutifs fournis par le générateur GL à l'additionneur AL permettent la création d'un échantillon bifréquence. Le générateur GL est piloté  
35 par un signal h1 de la base de temps BT d'une fréquence de 2,048 mégahertz qui commande un compteur CR1 à 256 pas.

- 5 -

Les adresses de lecture de la table de sinus contenue dans la mémoire MS pour chacun des 256 échantillons sont stockées dans une mémoire ML. Le pas de lecture  $k$  de la table pour chacun des signaux est stocké dans une mémoire MK. Les mémoires MA, MK et ML sont adressées  
5 par le compteur CR1.

L'incrémentation de la valeur contenue dans la mémoire ML est réalisée par un additionneur AD2 dont une entrée E1 est reliée à la sortie de la mémoire MK et l'autre entrée E2 est reliée à la sortie de la mémoire ML par l'intermédiaire du registre R2. La liaison entre  
10 la sortie de l'additionneur AD2 et l'entrée de la mémoire ML comporte un groupe de portes ET P1 validé par le signal  $t_1$  de la base de temps. La liaison entre la sortie de la mémoire ML et l'entrée du registre R2 comporte un groupe de portes ET P2 validé par un signal  $t_2$  de la base de temps.

La table des sinus comporte 1024 échantillons. Pour l'adresser il suffit donc de 10 e.b. Cependant si les mémoires MK et ML avaient des mots d'une longueur de 10 e.b., la précision du choix de la fréquence, égale à la fréquence la plus basse que le système peut créer et qui correspond à la valeur minima de  $k$ , serait suffisante. Pour obtenir  
20 des fréquences plus basses, la longueur des mots mémoires MK, ML et du registre R2 a été portée à 16 e.b., et seuls les 10 e.b. de poids fort sont utilisés pour l'adressage de la table.

D'une manière connue, la mémoire MS a une capacité de seulement 256 mots, car on utilise les symétries de la fonction sinus. 2 e.b.  
25 (e.b. n° 15 et 16 en sortie du registre R2) déterminent le cadran concerné. Les 8 e.b. (7 à 14) sont utilisés pour l'adressage de la mémoire MS à travers un groupe de portes OU EXCLUSIF P3. Ces 8 e.b. représentent les valeurs de la fonction dans le premier cadran. L'e.b. n° 15 qui contrôle les portes P3 permet de réaliser la symétrie de  
30 la fonction par rapport à l'axe des ordonnées.

L'e.b. n° 16 qui représente le signe est transmis à l'entrée du registre R1 directement à travers un groupe de portes ET P4. Le registre R1 est synchronisé avec le compteur CR1. Pour cela son entrée est contrôlée par le groupe de portes ET P4 validé par le signal  
35 d'horloge  $h_1$ . L'initialisation du générateur GL est faite par un signal RZ de la base de temps reçu à l'entrée de remise à zéro du compteur CR1.

- 6 -

L'additionneur de signaux logarithmiques AL est représenté à la figure 3. Les signaux reçus du générateur GL traversent un groupe de portes ET P5 validé par un signal d'horloge t3 et entrent dans un registre R3 d'une capacité de 10 e.b. Les 10 e.b. à l'exclusion du signe s du signal sont reçus par un circuit de décompression DEC. Comme on l'a expliqué plus haut ce circuit peut être un simple décaleur éventuellement complété par une table de corrections en mémoire morte. Après décompression on conserve 12 e.b. du signal linéaire. La sortie du circuit DEC est reliée à l'entrée d'un registre R4 à travers un groupe de portes OU EXCLUSIF P6 et un groupe de portes ET P7. Les portes P6 sont contrôlées par le signal s en sortie du registre R3. Les portes P7 sont contrôlées par un signal d'horloge t4. Les sorties du groupe de portes P7 et du registre R4 sont reliées aux entrées d'un additionneur AD3 d'une capacité de 13 e.b. Comme on l'a indiqué précédemment l'addition de signaux linéaires réalisée par l'additionneur AD3 porte 2 sur deux signaux monofréquences fournis consécutivement par le générateur GL : le premier de ces signaux est stocké dans le registre R4, et l'addition est réalisée après apparition du deuxième signal en sortie du groupe de portes P7. Le signal en sortie du circuit DEC comporte 12 e.b., et l'additionneur travaille sur 13 e.b. (12 complétés par le signe). La sortie de l'additionneur AD3 est reliée à un circuit de compression COM par un groupe de portes OU EXCLUSIF P8. Ces portes sont contrôlées par l' e.b. de poids fort en sortie de l'additionneur AD3 à travers un inverseur I1. Les signaux bifréquences fournis par le circuit AL sont stockés dans un registre de sortie R5 à 8 éléments binaires comportant la caractéristique, la mantisse et le signe du signal. L'accès à ce registre est contrôlé par un groupe de portes ET P9 validé par un signal de la base de temps t5.

Le distributeur de fréquences DF (figure 4) délivre à sa sortie S des échantillons de fréquences codés sur 8 e.b. La sortie S est reliée à une liaison MIC comportant 32 voies temporelles, et le distributeur a un cycle de fonctionnement dont la durée est égale à la période de fonctionnement de la liaison MIC, c'est-à-dire 125 microsecondes.

Pour le pilotage de la synchronisation du distributeur, la base de temps fournit les signaux suivants (figure 5) :

- 7 -

- deux signaux h1 et h2 décalés, de même fréquence égale à celle de l'apparition des e.b. sur la voie MIC.
- un signal de synchronisation de voie temporelle w8
- un signal de synchronisation de trames t31.

5 Les opérations internes au distributeur DF sont pilotées par un compteur CR2 à 8 e.b., qui progresse par les impulsions du signal h1. Ce compteur est chargé à chaque cycle avec une valeur câblée K à l'instant où sont présents simultanément les signaux t31, w8, h2 (groupe de portes ET P10, portes ET P11 et P12). La valeur de K est  
10 choisie pour permettre comme on le verra plus loin, le chargement du signal dans un registre de sortie R5 juste avant son émission sur la sortie S.

Les signaux de fréquences provenant de la sortie SB de l'additionneur AL sont reçus à l'entrée d'une mémoire tampon MT de 128 mots.  
15 Cette mémoire est adressée par les 7 e.b. de poids fort du compteur CR2 à travers un multiplexeur MX2. Le fil qui correspond au poids faible est relié à l'entrée de positionnement du multiplexeur MX2 et à l'entrée EC qui permet l'écriture de la mémoire MT (signal mx2 figure 5).

En lecture, la mémoire MT est adressée par le module d'échange ME.  
20 L'adresse de lecture est contenue dans une mémoire de commandes divisée en deux parties MC, MN. 3 e.b. sont fournis par la mémoire MC en fonction du code multifréquence utilisé. La mémoire MN fournit 5 autres e.b. utilisés pour désigner le numéro de la combinaison multifréquence dans un code. Les mémoires MC et MN ont 32 mots, qui permettent  
25 chacun d'affecter une combinaison de fréquences à chacune des voies du canal MIC de sortie. En lecture, les mémoires MC et MN sont adressées par les 5 e.b. de poids fort du compteur CR2, ces 5 e.b. désignant le numéro de la voie temporelle en préparation dans le registre R5. Les mémoires MC et MN sont adressées à travers un multiplexeur MX1  
30 qui reçoit sur une entrée l'adresse d'écriture AE provenant du module d'échange, et sur l'autre entrée les 5 poids forts du compteur CR2. Des informations de choix de codes (C) et de choix de fréquences (N) sont reçues du module d'échanges à travers des groupes de portes P13 et P14 contrôlés par des portes ET P15 et P16 respectivement. Les  
35 portes P15 et P16 sont validées par des signaux EC et EN du module d'échanges.

Les 3 e.b. de poids faible du compteur CR2 permettent de découper chaque voie temporelle en 8 instants égaux  $w$  (figure 5). Un décodeur DC1 permet de valider successivement chacune de ces 8 instants  $w_1$  à  $w_8$ . Le multiplexeur MX1 est commandé en sortie d'une bascule B1 de type D dont l'entrée de données est à l'état 1. L'entrée d'horloge H de la bascule B1 est reliée à la sortie 1 du décodeur DC1, et l'entrée de remise à zéro R de la bascule B1 est reliée à la sortie 7 du décodeur. La sortie 3 du décodeur contrôle les portes P15 et P16, les sorties du décodeur ne sont validées que pendant le signal  $h_2$ . La position du multiplexeur MX1 est indiquée à la figure 5 (signal  $mx_1$ ). Pour la valeur 1 du signal l'adressage des mémoires MC et MN provient du compteur CR2. Pour la valeur 0, l'adressage est fourni par le module d'échange (sortie AE).

Pour des raisons de simplicité d'utilisation et de modification des codes à émettre, l'adressage de la mémoire MT n'est pas effectué directement en sortie des mémoires MC et MN, mais à travers une mémoire de traduction MTR.

Pour l'émission des signaux sur le canal MIC en sortie S, le distributeur doit être capable d'émettre un code repos RE dans le cas d'une voie non affectée, et les codes de synchronisation de trames (synchronisation de trames paires STP et de trames impaires STI). La liaison entre la sortie de la mémoire MT et l'entrée du registre R5 est effectuée par un multiplexeur MX3 à 4 entrées effectuées respectivement aux codes STP, STI, à la sortie de la mémoire MT, et au code RE. Le chargement du code STP ou STI est effectué pendant le passage de la voie T31. Le poids fort de l'adressage du multiplexeur MX3 reçoit donc l'information  $t_{31}$  de la base de temps. La parité de la trame est déterminée par une bascule B2 montée en boucle à deux pas. L'entrée H de la bascule B2 est reliée à la sortie de la porte P12. La sortie de la bascule est reliée à l'entrée de poids faible de l'adressage du multiplexeur MX3 à travers une porte ET P17 validée au temps  $t_{31}$ , et une porte OU P18. Le choix du code repos est déterminé en fonction d'une valeur du mot lu dans la mémoire de traduction MTR, et enregistré dans une bascule B3. La sortie de la mémoire MTR est reliée à l'entrée de données D de la bascule B3 à travers un décodeur DC2 et une porte ET P19 validée au point  $t_{31}$  à travers un inverseur I3.

- 9 -

- La sortie de la bascule B3 est reliée à une entrée de la porte OU P18. L'entrée d'horloge de la bascule B3 est commandée à l'instant w8 h2 (porte P20). Le signal de chargement CH du registre R5 (figure 5) est fourni par une porte ET P21 commandée aux instants w8, h2 à travers un inverseur I4, et h1 à travers un inverseur I5. Le fonctionnement du dispositif de distribution est donc le suivant :
- pendant un cycle de fonctionnement, la mémoire MT est chargée 128 fois par le signal fourni en sortie de l'additionneur AL, pendant la présence du signal mx2.
  - pour chaque voie temporelle, un mot de la mémoire tampon est transmis dans le registre R5. La mémoire MT est adressée par les mémoires MC et MN, elles-mêmes adressées par le compteur CR2 (pendant le signal mx1).
  - Pendant la voie temporelle t31, le registre R5 est chargé avec le contenu d'un code de synchronisation de trames.
  - A chaque voie temporelle, le calculateur a la possibilité d'intervenir par l'intermédiaire du module d'échanges pour modifier le contenu des mémoires MC et (ou) MN (instant w3 h2).

Dans cette application, la commande du dispositif suivant l'invention par le calculateur peut être réalisée par l'intermédiaire d'une liaison série asynchrone. Pour la commande de plusieurs dispositifs, la liaison d'émission des messages du calculateur vers les dispositifs sera par exemple unique et multipliée sur les différents dispositifs, et on pourra avoir une liaison de comptes-rendus de messages pour chaque dispositif.

- Il est connu par exemple d'utiliser un module d'échanges comportant un registre à décalage dans lequel est reçu en entrée le message série provenant du calculateur, et dans lequel est composé le message retour. On se reportera par exemple au brevet français n° 79 11593 du 8 Mai 1979 de la Demanderesse intitulé "Système de raccordement des tables d'opératrices à un central à réseau de connexion numérique". Les messages seront par exemple de la forme représentée à la figure 6. Le message aller comporte un code de parité P, un numéro d'identification NI qui permet au dispositif destinataire du message de le prendre en compte, un code de fonction F qui précise l'opération à réaliser, un numéro de voie NV qui indique le numéro de la voie du canal numérique MIC à laquelle on veut affecter la fréquence d'un

code, et une information de données D précisant le code à utiliser et le numéro de la fréquence.

Le message retour comporte un code de parité P, un code de reconnaissance R indiquant que le module d'échanges a reconnu par  
5 le numéro NI du message aller que le message lui était destiné, un  
code de comparaison CP utilisé dans le cas où la fonction S implique  
un test, un code PA indiquant la parité du message aller, un code T  
indiquant le type du distributeur qui a traité le message (ceci dans  
le cas où le calculateur pilote plusieurs types d'organes par la  
10 même liaison aller), et les codes F, N, V et D qui ont la même signifi-  
cation que dans le message aller.

## REVENDEICATIONS

- 1/ Emetteur numérique de fréquences comportant un générateur fournissant des signaux de codes multifréquences par exploration cyclique d'une table sous le contrôle d'une base de temps caractérisé par le fait  
5 que ladite table comporte la valeur de la fonction sinus sous forme compressée et que le générateur comporte des moyens d'amplification (MA, AD1) des signaux compressés, et par le fait que l'émetteur numérique comporte un additionneur (AL) permettant la combinaison de deux signaux monofréquence pour produire un signal bifréquence compressé, et un  
10 distributeur de fréquences (DF) formé d'une mémoire (MT) pour enregistrer les signaux bifréquences fournis par l'additionneur (AL), des moyens d'émission (R5, MX3, CR2) desdits signaux bifréquences sur un canal numérique MIC et des moyens de sélection (MX1, MX2, MC, MN) pilotés par un calculateur (CAL) par l'intermédiaire d'un module d'échanges (ME),  
15 lesdits moyens de sélection permettant d'affecter à toute voie du canal numérique MIC le contenu de n'importe quel mot de ladite mémoire (MT).
- 2/ Emetteur numérique suivant la revendication 1 comportant un générateur numérique cyclique, permettant d'émettre à chaque cycle au moins un échantillon de chacune des fréquences utilisées avec un  
20 niveau d'amplification qui dépend du code multifréquence et de la fréquence particulière émise, caractérisé par le fait qu'il comporte une deuxième mémoire (MS) contenant ladite table, une troisième mémoire (MA) contenant les coefficients d'amplification sous forme logarithmique, les sorties des deuxième et troisième mémoires (MS) et (MA) étant  
25 reliées à un deuxième additionneur (AD1), et par le fait qu'il comporte une quatrième mémoire (ML) contenant pour chaque signal monofréquence l'adresse dans la deuxième mémoire (MS) du prochain échantillon à émettre, une cinquième mémoire (MK) contenant pour chaque échantillon l'incrément à ajouter à chaque cycle au contenu du mot de la quatrième  
30 mémoire (ML), les troisième, quatrième, cinquième mémoires (MA, MK, ML) étant adressées par un compteur (CR1) piloté par la base de temps (BT) et ayant une capacité égale au nombre d'échantillons à émettre à chaque cycle.
- 3/ Emetteur numérique suivant la revendication 2, caractérisé par  
35 le fait que seuls les poids forts du mot de la quatrième mémoire (ML) sont utilisés pour l'adressage de la deuxième mémoire (MS).

4/ Emetteur numérique suivant la revendication 1, caractérisé par le fait que le premier additionneur (AL) comporte un circuit de décompression (DEC) des signaux fournis par le générateur, un registre de stockage (R4) d'un signal intermédiaire, un troisième additionneur  
5 (AD3) dont les deux entrées sont reliées respectivement à la sortie du circuit de décompression et à la sortie du registre de stockage (R4), et dont la sortie est reliée à l'entrée d'un circuit de compression fournissant le signal bifréquence compressé (SB).

5/ Emetteur de fréquence suivant la revendication 4, caractérisé  
10 par le fait que pour chaque signal bifréquence à émettre, le générateur (GL) fournit au premier additionneur (AL) consécutivement les deux signaux monofréquences nécessaires.

6/ Emetteur numérique suivant la revendication 1, caractérisé par le fait qu'il comporte un compteur (CR2) piloté par la base de temps (BT),  
15 la mémoire étant une mémoire tampon (MT) recevant de la sortie (SB) de l'additionneur (AL), un échantillon de chacun des signaux bifréquences utilisés, et adressée en écriture par le compteur (CR2), et une mémoire de commande (MC, MN) dont la capacité est égale au nombre de voies du canal MIC de sortie, chaque mot de la mémoire  
20 de commande comportant l'adresse de lecture de la mémoire tampon (MT), et ladite mémoire de commande étant adressée en lecture par les poids forts du compteur (CR2) qui indique le numéro de la voie (MIC) en cours d'émission, et en écriture par le calculateur pour permettre la modification de l'affectation des signaux bifréquences aux voies  
25 du canal MIC.

7/ Emetteur numérique suivant la revendication 6 caractérisé par le fait que lesdits moyens d'émission comportent un registre à décalage (R5) de capacité égale à celui d'une voie numérique du canal MIC, et dont l'entrée est reliée à la sortie d'un multiplexeur (MX3) qui  
30 permet de charger dans le registre à décalage (R5) soit le signal en sortie de la mémoire tampon (MT), soit un code repos (RE) en cas de voies non affectées, soit un signal de synchronisation (STP, STI).

8/ Emetteur numérique suivant la revendication 6, caractérisé par le fait que la sortie de la mémoire de commande (MC, MN) est reliée  
35 à l'entrée d'adressage de lecture de la mémoire tampon (MT) par l'intermédiaire d'une mémoire de traduction (MTR).

1/4

FIG. 1

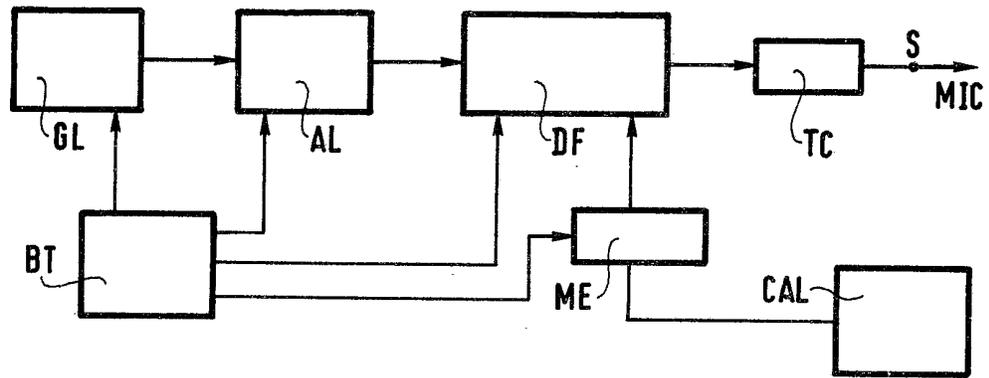


FIG. 3

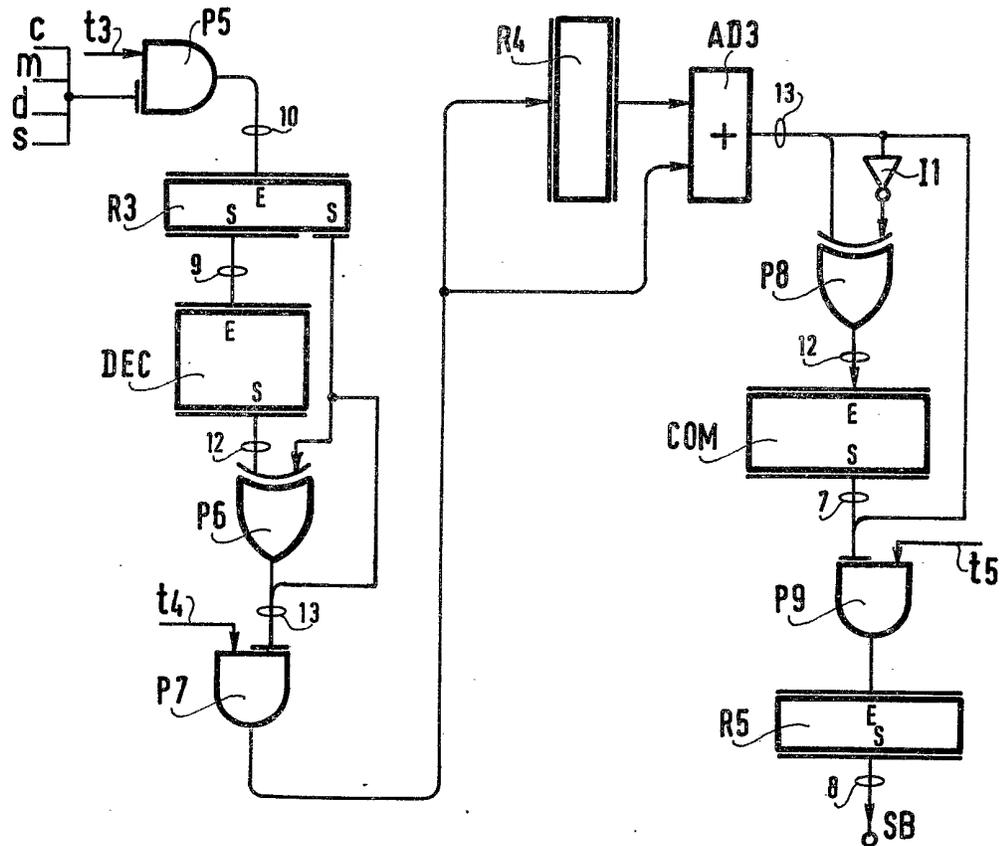
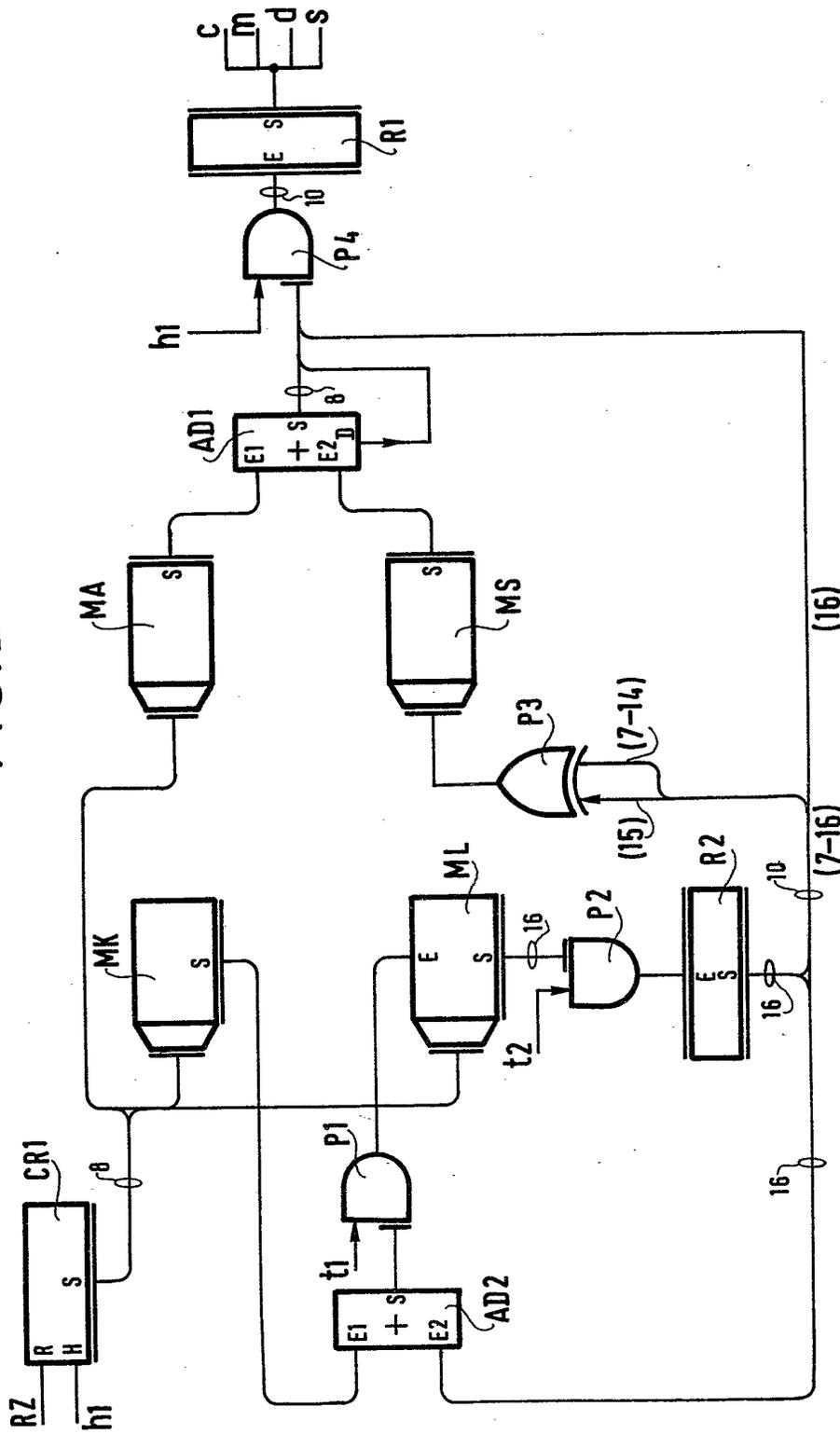


FIG. 2



3/4

FIG. 4

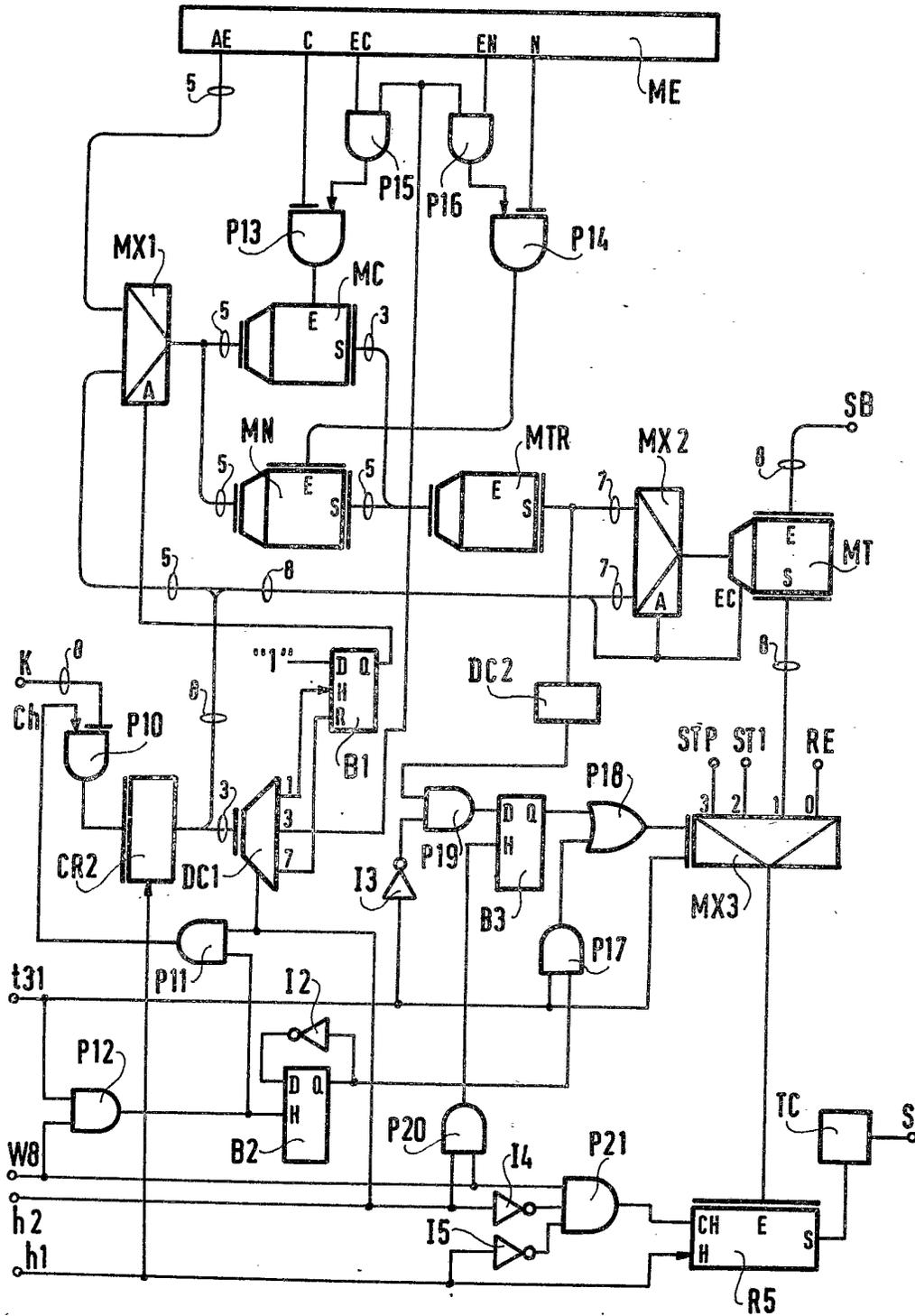


FIG.5

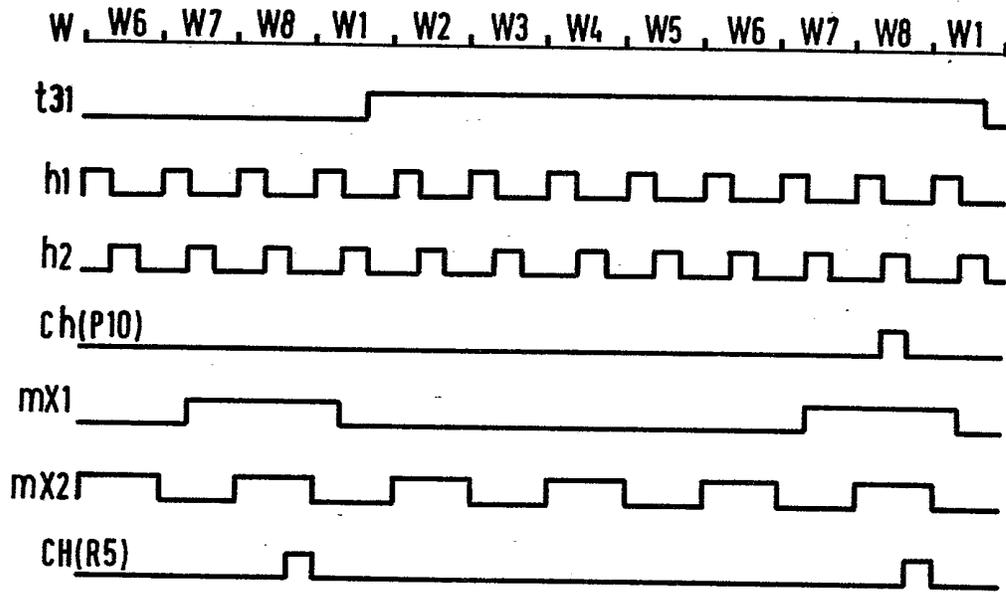


FIG.6

P	NI	F	NV	D
---	----	---	----	---

P	R	CP	PA	T	F	NV	D
---	---	----	----	---	---	----	---