



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201829292 A

(43) 公開日：中華民國 107 (2018) 年 08 月 16 日

(21) 申請案號：106119594 (22) 申請日：中華民國 106 (2017) 年 06 月 13 日

(51) Int. Cl. : **B82Y10/00 (2011.01)**

(30) 優先權：2016/11/29 美國 62/427,548

2017/05/01 美國 15/583,126

(71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING CO., LTD. (TW)

新竹市力行六路八號

(72) 發明人：王仲盛 WANG, JHONG-SHENG (TW)；黃鼎盛 HUANG, TING-SHENG (TW)；施
教仁 SHIH, JIAW-REN (TW)

(74) 代理人：卓俊傑

申請實體審查：無 申請專利範圍項數：1 項 圖式數：7 共 51 頁

(54) 名稱

半導體裝置

SEMICONDUCTOR DEVICE

(57) 摘要

一種半導體裝置包括基板、位於所述基板上的第一電晶體及位於所述基板上的第二電晶體。所述第一電晶體具有第一臨界電壓，且所述第一電晶體的通道區及源極/汲極區為 N 型。所述第二電晶體具有第二臨界電壓，所述第二電晶體的通道區為 N 型且所述第二電晶體的源極/汲極區為 P 型，並且所述第一臨界電壓的絕對值實質上等於所述第二臨界電壓的絕對值。

A semiconductor device includes a substrate, a first transistor on the substrate, and a second transistor on the substrate. The first transistor has a first threshold voltage, and a channel region and a source/drain regions of the first transistor are N-type. The second transistor has a second threshold voltage, a channel region of the second transistor is N-type and source/drain regions of the second transistor are P-type, and an absolute value of the first threshold voltage is substantially equal to an absolute value of the second threshold voltage.

指定代表圖：

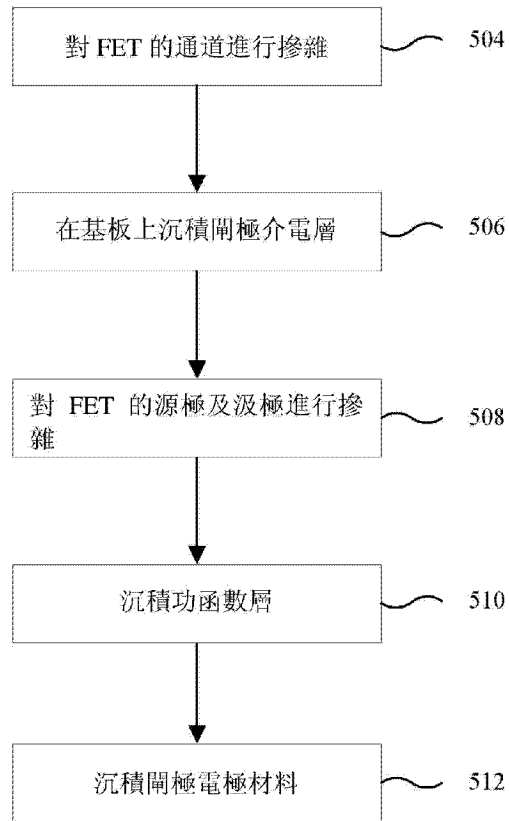
符號簡單說明：

500 . . . 方法

504、506、508、

510、512 . . . 步驟

500
↓



【圖 5】

【發明說明書】

【中文發明名稱】 半導體裝置

【英文發明名稱】 SEMICONDUCTOR DEVICE

【技術領域】

【0001】 本發明是有關於一種半導體裝置及其製造方法，且特別是有關於一種具有奈米線場效電晶體（nanowire FET；NWFET）以及累積模式場效電晶體（accumulation mode FET）的半導體裝置及其製造方法。

【先前技術】

【0002】 與具有較長通道長度的半導體裝置相比，具有較短通道長度的半導體裝置會經歷程度升高的與熱載子注入（hot carrier injection；HCI）、依時性介電崩潰（time-dependent dielectric breakdown；TDDB）及偏壓臨界值不穩定性（bias threshold instability；BTI）相關聯的裝置失效。隨著半導體裝置的技術節點（node）減小，會使用更薄的閘極介電層來減弱短通道效應（short channel effect）。閘極誘發介電損耗（Gate-induced dielectric loss；GIDL）在具有鄰接場效電晶體（field effect transistor；FET）的薄閘極介電層的半導體裝置中比在其他半導體裝置中更為普遍。

【發明內容】

【0003】 一種半導體裝置包括基板。所述半導體裝置進一步包括位於所述基板上的第一電晶體，其中所述第一電晶體具有第一臨界電壓，且所述第一電晶體的通道區及源極/汲極區為 N 型。所述半導體裝置進一步包括位於所述基板上的第二電晶體，其中所述第二電晶體具有第二臨界電壓，所述第二電晶體的通道區為 N 型且所述第二電晶體的源極/汲極區為 P 型，並且所述第一臨界電壓的絕對值實質上等於所述第二臨界電壓的絕對值。

【圖式簡單說明】

【0004】

圖 1 是根據一些實施例的 N 型累積模式(accumulation mode)場效電晶體(FET)的剖面圖。

圖 2 是根據一些實施例的 P 型累積模式場效電晶體的剖面圖。

圖 3A 是根據一些實施例的鰭式場效電晶體(fin field effect transistor; FinFET)的立體圖。

圖 3B 至圖 3C 是根據一些實施例鰭式場效電晶體沿著圖 3A 所示對應剖線 A-A 及 B-B 的剖面圖。

圖 4A 是根據一些實施例的奈米線場效電晶體(nanowire field effect transistor; NWFET)的立體圖。

圖 4B 至圖 4C 是根據一些實施例奈米線場效電晶體沿著圖 4A 所示對應剖線 C-C 及 D-D 的剖面圖。

圖 5 是根據一些實施例形成場效電晶體的方法的流程圖。

圖 6A 至圖 6D 是根據一些實施例鱗式場效電晶體在製造過程的各種階段期間的剖面圖。

圖 7A 至圖 7F 是根據一些實施例奈米線場效電晶體在製造過程的各種階段期間的剖面圖。

【實施方式】

【0005】 以下公開內容提供用於實作所提供主題的不同特徵的許多不同的實施例或例子。以下闡述組件及構造的具體例子以簡化本公開內容。當然，這些僅為例子且不旨在進行限制。例如，以下說明中將第一特徵形成在第二特徵之上或第二特徵上可包括其中第一特徵與第二特徵被形成為直接接觸的實施例，且也可包括其中第一特徵與第二特徵之間可形成有附加特徵、進而使得所述第一特徵與所述第二特徵可能不直接接觸的實施例。另外，本公開內容可能在各種例子中重複使用參考編號及/或字母。這種重複使用是出於簡潔及清晰的目的，而不是自身表示所論述的各種實施例及/或配置之間的關係。

【0006】 此外，為易於說明，本文中可能使用例如“在...下方 (beneath)”、“在...下麵 (below)”、“下部的 (lower)”、“上方 (above)”、“上部的 (upper)”等空間相對性用語來闡述圖中所示的一個元件或特徵與另一(其他)元件或特徵的關係。所述空間相對性用語旨在除圖中所繪示的取向外還囊括裝置在使用或步驟中的不同取向。設備可具有其他取向(旋轉 90 度或其他

取向)，且本文中所用的空間相對性用語可同樣相應地進行解釋。

【0007】 半導體裝置的老化相關故障（aging-related breakdown）包括例如熱載子注入（hot carrier injection；HCI）、依時性介電崩潰（time-dependent dielectric breakdown；TDDB）及偏壓溫度不穩定性（bias temperature instability）等故障機制。老化相關場效電晶體故障的速率會隨著電晶體在高溫中的累積暴露量以及電流的累積流量而增加。因熱載子注入、依時性介電崩潰及偏壓臨界值不穩定性引起的老化相關電晶體故障會隨著電晶體中通道與閘極介電材料的介面處的電流密度增加而增強。一種降低老化相關場效電晶體故障速率的因素是減弱場效電晶體中的閘極介電材料區中的電場。另一種降低老化相關場效電晶體故障速率的因素是在閘極介電層與通道的介面處傳導更少電流。

【0008】 與通道包含與源極區及汲極區相反的摻質且載子是在反轉模式（inversion mode）下誘發出的其他平面金屬氧化物半導體場效電晶體（metal-oxide-semiconductor field effect transistor，MOSFET）相比，累積模式（accumulation mode）金屬氧化物半導體場效電晶體在閘極介電層與通道區之間經歷更小的場。造成強場強度的一種因素是閘極介電層與通道區之間的介面的幾何形狀。平面金屬氧化物半導體場效電晶體在閘極介電層與通道區之間具有單一平整介面，從而在平面金屬氧化物半導體場效電晶體的步驟期間沿單一方向吸引電荷載子（charge carrier）。鰭式場效電晶體裝置及奈米線場效電晶體（nanowire FET；NWFET）構造

有三維通道而非二維通道。由於閘極電極及閘極介電層環繞鰭式場效電晶體的通道的三個側，且環繞奈米線場效電晶體的通道的四個側，因而觸發電流流經通道的電場並不將所有電荷載子牽引至裝置的單一側。而是，鰭式場效電晶體及奈米線場效電晶體中的電場將電荷載子牽引至通道的多個側，從而在裝置步驟期間減小閘極介電層/通道介面處的總載子密度。因此，鰭式場效電晶體及奈米線場效電晶體的老化相關故障是以比平面金屬氧化物半導體場效電晶體低的速率發生。

【0009】 利用累積模式場效電晶體（accumulation mode FET）也會實現使通道/閘極介電層介面處的載子密度減小。在其他方法中，場效電晶體在通道與源極及汲極之間的介面處具有 P-N 接面（junction），因為源極及汲極摻雜有一種類型的摻質且通道具有相反類型的摻質。所述 P-N 接面不僅在通道介面處產生恒定電壓（constant voltage），而且會增大用於觸發電流流經場效電晶體通道的臨界電壓（threshold voltage）。相比之下，累積模式場效電晶體在通道、源極及汲極中的每一者中存在有單一摻質類型。所述單一摻質類型是 N 型摻質或 P 型摻質。由於通道、源極及汲極中具有單一摻質類型，因而在通道-源極介面及通道-汲極介面處不會誘發出電壓。此外，用於觸發電流流經通道的電場的強度比其他方法中具有類似尺寸及結構的場效電晶體小。通過將源極、汲極及通道中摻質的濃度調整為不同值且通過對閘極電極中的功函數層進行選擇以在閘極電極與通道區之間引起功函數層差值，會為

積體電路中的每一場效電晶體確定出臨界電壓。根據一些實施例，根據積體電路的設計特性而將 N 型場效電晶體 (N-type FET) 及 P 型場效電晶體 (P-type FET) 構造成具有不同臨界電壓。

【0010】圖 1 是根據一些實施例的 N 型累積模式場效電晶體 (FET) 100 的剖面圖。源極 102 及汲極 104 摻雜有第一濃度的 N 型摻質。通道 106 也摻雜有第二濃度的 N 型摻質。第二濃度小於第一濃度。在 N 型累積模式場效電晶體的一些實施例中，通道摻質濃度 (第二濃度) 介於約 $5e16 \text{ cm}^{-3}$ 至約 $1e18 \text{ cm}^{-3}$ 的範圍內，但通道中的其他摻質濃度也適合於本公開內容。隨著通道摻質濃度增加，電荷載子的數目會增加；然而，在某些情況中，洩漏電流 (leakage current) 的風險會增加。在一些實施例中，源極 102 或汲極 104 中摻質的濃度 (第一濃度) 介於約 $1e19 \text{ cm}^{-3}$ 至約 $1e21 \text{ cm}^{-3}$ 的範圍內，以減小源極 102 及汲極 104 中的寄生電阻 (parasitic resistance)。閘極介電層 108 位於通道 106 上。閘極電極 110 位於閘極介電層 108 上。一對間隙壁 (spacer) 112 抵靠閘極電極 110 的各側及閘極介電層 108 的各側並位於含有源極 102、汲極 104 及通道 106 的基板 116 的頂側 114 上。為減小鄰接的場效電晶體之間的寄生電容及寄生電流，基板 116 包括摻質類型與源極 102、汲極 104 及通道 106 相反的至少一個阱 (well) 122。根據一些實施例，基板 116 的主體部分具有比第一濃度及第二濃度低的濃度的摻質。在一些實施例中，基板 116 是沉積至半導體晶圓 (semiconductor wafer) 上的鰭狀材料。在一些實施例中，基板 116

包括通過將半導體晶圓圖案化而產生的鰭狀結構。在一些實施例中，基板 116 包含矽銻。在一些實施例中，基板 116 包含矽。在一些實施例中，基板 116 包含 III-V 族半導體材料。在一些實施例中，基板 116 是適合於形成電晶體的另一種半導體材料。

【0011】 第一箭頭 118 表示在 N 型累積模式場效電晶體 100 的操作期間汲極 104 與通道 106 之間的電場的方向。第二箭頭 120 表示在 N 型累積模式場效電晶體 100 的操作期間通道 106 與閘極電極 110 之間的電場的方向。

【0012】 在 N 型累積模式場效電晶體 100 中，由第一箭頭 118 及第二箭頭 120 表示的電場的量值比在通道 106 中與在源極 102/汲極 104 中具有相反類型摻質的 N 型場效電晶體 (NFET) 小。在其他方法的 N 型場效電晶體中，例如，在增強模式中，通道與源極之間以及通道與汲極之間的介面處的 P-N 接面隨著每一區中的載子被吸引至這些區之間的介面而具有誘發出的電壓。場效電晶體中此種誘發出的電壓會使啟動場效電晶體操作的臨界電壓與累積模式場效電晶體 100 的臨界電壓相比升高。例如 N 型累積模式場效電晶體 100 等的場效電晶體比其他方法中的場效電晶體更能耐受因熱載子注入、依時性介電崩潰及偏壓臨界值不穩定性引起的老化相關故障，因為跨閘極介電層（位於通道與閘極電極材料之間）所經歷的垂直場強度（由第二箭頭 120 表示）會減小電荷載子對閘極介電層的衝擊能量。因此，載子被嵌入閘極介電層中的風險得以降低；且被嵌入閘極介電層中的載子的深度與其他方法

中的場效電晶體相比更小。垂直場強度更小會降低對閘極介電層與通道的介面造成損壞的風險且隨之減弱會引起場效電晶體的老化相關故障的載子的衝擊。

【0013】圖 2 是根據一些實施例的 P 型累積模式場效電晶體 200 的剖面圖。P 型累積模式場效電晶體 200 中的與 N 型累積模式場效電晶體 100 中的元件類似的元件具有被增加 100 的相同附圖標號。與 N 型累積模式場效電晶體 100 相比，P 型累積模式場效電晶體 200 在源極 202、汲極 204 及通道 206 中包含 P 型摻質。在 P 型累積模式場效電晶體的一些實施例中，通道摻質濃度介於約 $5e16 \text{ cm}^{-3}$ 至約 $1e18 \text{ cm}^{-3}$ 之間，但其他濃度也適合於本文中所公開的實施例。大於 $1e18 \text{ cm}^{-3}$ 的摻質濃度會減弱載子散射 (carrier scattering) 並提高通道 206 中的接通狀態電流 (on-state current)。根據一些實施例，第二濃度小於第一濃度。在一些實施例中，源極 202 或汲極 204 中摻質的濃度介於約 $1e19 \text{ cm}^{-3}$ 至約 $1e21 \text{ cm}^{-3}$ 之間。在一些實施例中，源極 202 及汲極 204 中的摻質濃度是通道 206 中的摻質濃度的十倍，以減小源極 202 及汲極 204 中的寄生電阻。

【0014】 表 1

其他方法中的 模式場效電晶 體	裝置	N型金屬氧化物半導 體	P型金屬氧化物半 導體
	閘極功函數	小	大
	通道植入	P型	N型
	垂直場強度	大	大
	橫向場強度	大	大
耐崩潰場效電 晶體	裝置	N型金屬氧化物半導 體	P型金屬氧化物半 導體
	閘極功函數	大	小
	通道植入	N型	P型
	垂直場強度	小	小
	橫向場強度	小	小

【0015】 以上表 1 包含對其他方法中的 N 型場效電晶體及 P 型場效電晶體的特徵以及累積模式場效電晶體（例如 N 型累積模式場效電晶體 100（圖 1）及 P 型累積模式場效電晶體 200（圖 2））的特徵的匯總。具體來說，表 1 表明：其他方法中 N 型場效電晶體及 P 型場效電晶體中的垂直場強度及橫向場強度大於耐崩潰場效電晶體中的垂直場強度及橫向場強度。對於耐崩潰場效電晶體，在一些情況中，當在閘極電極上施加的電壓 V_g 是 0 V 時，介電電場介於約 0.13MV/cm 至約 0.14MV/cm 的範圍內，且當 V_g 被設定為第一參考電壓（例如， V_{cc} （積體電路的正電源））時，介電電場介於約 4.15 MV/cm 至約 4.4 MV/cm 的範圍內。然而，耐崩潰場效電晶體的介電電場小於其他方法中的場效電晶體的介電電場。根據一些實施例，耐崩潰場效電晶體的介電電場（當 $V_g = V_{cc}$ 時）介於傳統設計場效電晶體的介電電場的 80%至傳統設計場效電晶

體的介電電場的 90%的範圍內。與其他方法中具有類似尺寸的場效電晶體相比，介電電場的減弱有助於使耐崩潰場效電晶體（例如 N 型累積模式場效電晶體 100 或 P 型累積模式場效電晶體 200）耐受因熱載子注入、依時性介電崩潰及偏壓臨界值不穩定性引起的老化相關故障，因為跨閘極介電層（位於通道與閘極電極材料之間）所經歷的垂直場強度減弱了電荷載子對閘極介電層的衝擊。垂直場強度更小會減弱對閘極介電層與通道的介面的損壞，從而彌補了載子遷移率降低的發生，載子遷移率降低最終會引起場效電晶體的老化相關故障。儘管因累積模式操作而減小為在通道區中誘發出載子（例如，在通道 206 中誘發出電子）而施加的 V_g ，但臨界電壓 V_t 可通過其他方法來進行調整。在一些實施例中，通過修改閘極電極與基板之間的功函數差值來調整臨界電壓 V_t 。在至少一個實施例中，通過修改閘極電極中的功函數層並在通道區中進行通道植入，累積模式操作下的臨界電壓 V_t 會與反轉模式操作下的臨界電壓 V_t 實質上相同。因此，與其他方法中的場效電晶體相比，累積模式場效電晶體在維持相同臨界電壓 V_t 的同時具有更小的場強度。基於各種電路設計要求，累積模式場效電晶體與其他方法中的場效電晶體的組合有助於提高產品可靠性。

【0016】 圖 3A 是根據一些實施例的累積模式鰭式場效電晶體（FinFET）302 的立體圖。鰭式場效電晶體 302 在鰭 308 中具有源極 304 及汲極 306。鰭 308 還含有位於源極 304 與汲極 306 之間以及閘極電極 312 下方的通道 310。剖線 A-A 在閘極電極 312 的

方向上沿著閘極電極 312 的長度延伸。剖線 B-B 垂直於剖線 A-A 而延伸穿過鰭式場效電晶體 302 的鰭 308。根據一些實施例，鰭式場效電晶體 302 是其中源極 304、汲極 306 及通道 310 均具有共同的摻質導電類型的累積模式鰭式場效電晶體。在一些實施例中，源極 304 具有第一濃度的第一摻質，汲極 306 具有第二濃度的第一摻質，且通道 310 具有第三濃度的第一摻質。在一些實施例中，源極 304 及汲極 306 具有為第一類型的第一摻質，且通道 310 具有也為第一類型的第二摻質（不同於第一摻質）。在一些實施例中，源極 304 及汲極 306 具有為第一類型的多種摻質，且通道 310 具有屬於源極 304 及汲極 306 中所述為第一類型的多種摻質之列的單一摻質。在一些實施例中，源極 304 及汲極 306 具有為第一類型的多種摻質，且通道 310 具有為第一類型的單一摻質，所述單一摻質不同於源極 304 及汲極 306 中所述為第一類型的多種摻質中的摻質。

【0017】 根據一些實施例，第三濃度小於第一濃度及第二濃度。在一些實施例中，第一濃度及第二濃度彼此不同。在一些實施例中，第一濃度等於第二濃度。在鰭式場效電晶體的一些實施例中，各摻質濃度與上文針對平面 N 型累積模式場效電晶體 100（參見圖 1）及平面 P 型累積模式場效電晶體 200（參見圖 2）所述的摻質濃度近似相同。在一些實施例中，源極 304、汲極 306 及通道 310 摻雜有具有相同摻質類型（N 型或 P 型）的多種摻質。

【0018】 根據各種實施例，累積模式鰭式場效電晶體在所述鰭式

場效電晶體中具有至少一個鰭。累積模式鰭式場效電晶體中鰭的數目是根據半導體裝置的電路佈局及根據電路的其他特性（例如通道長度或鰭間距）而決定。根據一些實施例，累積模式場效電晶體的源極、汲極及通道中共同類型的摻質是 N 型摻質，例如磷、砷或另一種適合的 N 型摻質。在一些實施例中，累積模式場效電晶體的源極、汲極及通道中共同類型的摻質是 P 型摻質，例如硼。根據一些實施例，通道 310 具有比源極 304 或汲極 306 小的濃度的共同導電類型（common type）摻質。在一些實施例中，源極 304 或汲極 306 中摻質的濃度介於通道 310 中的摻質濃度的 1.5 倍與 10 倍之間。在一些實施例中，源極 304 的摻質濃度與汲極 306 的摻質濃度相同。在一些實施例中，源極 304 的摻質濃度不同於汲極 306 的摻質濃度。在一些實施例中，通道 310 與源極 304/汲極 306 之間的接面位於閘極電極 312 下。在一些實施例中，鰭式場效電晶體 302 不具有輕摻雜汲極（lightly-doped drain；LDD）區。在一些實施例中，通道 310 與源極 304/汲極 306 之間的接面位於閘極電極 312 下。

【0019】 類似於 N 型累積模式場效電晶體 100（參見圖 1）及 P 型累積模式場效電晶體 200（參見圖 2），累積模式鰭式場效電晶體從鰭 308 中通道 310 的中心通過閘極介電層 320（參見圖 3B）而朝向閘極電極 312 經歷更小的場強度。在鰭 308 中通道 310 的中心朝向閘極電極 312 之間場強度的減弱會減小穿過通道 310 的區而衝撞通道 310 與閘極介電層 320 的介面的載子密度。與在反轉

模式下誘發出載子的鰭式場效電晶體相比，通道 310 與閘極介電層 320 的介面處載子密度的減小會減弱閘極介電層 320 的老化並延長累積模式鰭式場效電晶體 302 的使用壽命。

【0020】 圖 3B 是根據一些實施例，鰭式場效電晶體通道沿著圖 3A 所示剖線 A-A 的剖面圖。鰭式場效電晶體 302 位於基板 316 上，其中鰭 308 從所述基板向上延伸並穿過多層介電材料 318。鰭 308 的上部分形成鰭式場效電晶體 302 的通道 310。閘極介電層 320 沿著介電材料 318 的頂側延伸。閘極介電層 320 也覆蓋鰭 308 的上部分，所述鰭在所述上部分中穿過介電材料 318 而突出。閘極介電層 320 也覆蓋鰭式場效電晶體 302 中鰭 308 的頂側。在一些實施例中，功函數層 322 位於閘極介電層 320 與閘極電極 312 之間。在一些實施例中，功函數層 322 由功函數層 322 與通道 310 的摻質濃度之間的功函數差值決定。

【0021】 根據一些實施例，介電材料 318 是二氧化矽 (silicon dioxide; SiO_2)、氮氧化矽 (silicon oxy-nitride; SiON)、低介電常數介電材料、或另一種被配置成將各鰭彼此電絕緣並將鰭式場效電晶體 302 與附近電路元件電性絕緣的介電材料。在一些實施例中，低介電常數 (low-k) 介電材料具有比二氧化矽的介電常數小的介電常數。一些低介電常數介電材料含有空隙 (void) 或氣泡。一些低介電常數介電材料含有碳。根據一些實施例，閘極介電層 320 是二氧化矽、氮氧化矽、或另一種被配置成將鰭與閘極電極 312 電性絕緣的介電材料。在其中閘極介電層 320 是二氧化矽的一

些實施例中，閘極介電層 320 是通過熱氧化（thermal oxidation）而形成。在一些實施例中，可通過化學氣相沉積（chemical vapor deposition；CVD）、電漿增強化學氣相沉積（plasma-enhanced chemical vapor deposition；PE-CVD）、或其他將材料沉積至基板上的方法來沉積介電材料。

【0022】 根據一些實施例，閘極介電層 320 包含二氧化矽（ SiO_2 ）、氮氧化矽（ SiON ）、或其他適用於場效電晶體的閘極介電材料。根據一些實施例，閘極介電層 320 是介電常數比二氧化矽（介電常數= 3.9）大的高介電常數（high-k）介電材料。根據一些實施例，閘極介電層 320 是包含 HfZrO 、 HfSiO_4 、 TiO_2 、 Ta_2O_3 、 ZrO_2 、 ZrSiO_2 、或其組合、或其他適合材料的閘極介電層。根據一些實施例，閘極介電層 320 是通過例如原子層沉積（atomic layer deposition）或磊晶膜生長（epitaxial film growth）等沉積方法形成，以在介電材料 318 的頂側以及鱗式場效電晶體 302 中鱗 308 的各側及頂部上形成厚度均勻的膜。

【0023】 根據一些實施例，閘極介電層 320 與功函數層 322 重疊，功函數層 322 共形地（conformally）覆蓋閘極介電層 320。根據一些實施例，功函數層 322 完全地覆蓋閘極介電層 320。在一些實施例中，功函數層 322 局部地覆蓋介電材料 318。根據本公開內容一些實施例的設計參數來視需要包含功函數層 322。在場效電晶體中，可通過修改通道 310 的摻質濃度並通過對功函數層進行選擇來調整臨界電壓。包含功函數層（例如金屬、金屬氮化物、或金

屬矽化物)的場效電晶體具有與形成所述功函數層的材料之類型相關聯的功函數。在其中會發生費米釘紮效應(fermi pinning effect)(即,功函數基於不同的閘極介電層而變化)的一些實施例中,有效功函數被計算成滿足功函數層與基板之間的預定功函數差值。

【0024】根據其中鰭式場效電晶體 302 是 N 型電晶體的一些實施例,功函數層 322 包含 P 型功函數金屬。在其中基板 316 是矽系基板的一些實施例中,導帶能量(conduction band energy)為大約 4.05 電子伏特(electron volt, eV),且價帶能量(valence band energy)為大約 5.17 eV。由於在累積模式電晶體中為誘發出電洞(hole)而施加的電壓比反轉模式電晶體小,因而功函數層 322 的有效功函數約為導帶能量 ± 0.45 eV。在一些實施例中,功函數層 322 包含 Pt、Ir、RuO₂、TiN、MoN_x、Ni、Pd、Co、TaN、Ru、Mo、W、或 WN_x、或矽化物(例如 ZrSi₂、MoSi₂、TaSi₂、或 NiSi₂)、或其他功函數層、或其組合。所屬領域中的普通技術人員將理解,有效功函數是基於基板中所包含的不同材料而決定。在其中鰭式場效電晶體 302 是 P 型電晶體的一些實施例中,所述功函數層包括 N 型功函數層,且功函數層 322 的有效功函數是價帶能量 ± 0.45 eV。因此,在一些實施例中,功函數層 322 包含 Ti、Nb、Ag、Au、Al、Co、W、Ni、Ta、TaAl、TaAlC、TaAlN、TaC、TaCN、TaSiN、Mn、Zr、或其他 N 型功函數層、或其組合。在一些實施例中,積體電路中的一些鰭式場效電晶體具有 P 型功函數層,且

同一積體電路中第二子組的鰭式場效電晶體具有 N 型功函數層。藉由基於步驟電壓來對功函數層 322 進行選擇，在一些實施例中，累積模式電晶體具有與其他方法中的電晶體（例如反轉模式電晶體）實質上相同的臨界電壓。這樣一來，例如，N 型電晶體的臨界電壓的絕對值與 P 型電晶體的臨界電壓的絕對值實質上相同。在一些實施例中，積體電路中的鰭式場效電晶體對於 P 型鰭式場效電晶體/N 型鰭式場效電晶體兩者均具有 P 型功函數層。在一些實施例中，積體電路中的鰭式場效電晶體對於 P 型鰭式場效電晶體/N 型鰭式場效電晶體兩者均具有 N 型功函數層。在一些實施例中，在 P 型累積模式鰭式場效電晶體上，將 P 型功函數層連同高介電常數介電材料一起使用。在一些實施例中，在 N 型累積模式鰭式場效電晶體上，將 N 型功函數層連同高介電常數介電材料一起使用。在一些實施例中，在 P 型累積模式場效電晶體上使用與 N 型場效電晶體相關聯的功函數層。在一些實施例中，在 N 型累積模式場效電晶體上使用與 P 型場效電晶體相關聯的功函數層。在一些實施例中，半導體裝置包括具有功函數層的第一場效電晶體及具有不同類型的功函數層或不具有功函數層的第二場效電晶體。在一些實施例中，第一場效電晶體是與第二場效電晶體不同類型的場效電晶體（N 型或 P 型）。在一些實施例中，第一場效電晶體是與第二場效電晶體相同類型的場效電晶體。

【0025】 根據一些實施例，閘極電極 312 與鰭式場效電晶體的鰭 308 的通道 310 重疊。在一些實施例中，閘極電極 312 直接接觸功

函數層 322。在一些實施例中，閘極電極 312 直接接觸閘極介電層 320。根據一些實施例，閘極電極 312 與源極 304 及汲極 306 分離，且在通道 310 上方覆蓋鰭 308 的內部分。根據一些實施例，鰭式場效電晶體 302 的臨界電壓是通過調節通道 310 中在閘極電極 312 下方的摻質濃度並對功函數層 322 進行選擇而決定。在一些實施例中，累積模式鰭式場效電晶體的通道 310 具有比源極 304 及汲極 306 中的摻質濃度小的摻質濃度。

【0026】 圖 3C 是根據一些實施例，鰭式場效電晶體沿著圖 3A 所示剖線 B-B 的剖面圖。源極 304、汲極 306、以及將源極 304 與汲極 306 內連 (interconnect) 的鰭 308 位於基板 316 上。通道 310 位於鰭 308 的一部分處，所述部分通過鰭 308 的位於通道 310 之外的區段而與源極及汲極分離。閘極介電層 320 位於通道 310 的頂部上及閘極電極 312 下面。在一些實施例中，功函數層 322 位於閘極介電層 320 與閘極電極 312 之間。根據一些實施例，閘極電極 312 具有與功函數層 322 及閘極介電層 320 相同的寬度。在其中通道 310 與源極 304/汲極 306 之間的接面是位於閘極電極 312 下的一些實施例中，閘極電極 312 具有與功函數層 322、閘極介電層 320 或通道 310 中的至少一者不同的寬度。舉例來說，閘極電極 312 的寬度大於通道 310 的長度。在一些實施例中，源極 304 及汲極 306 是延伸至閘極介電層 320 上面的應力 (stressed) 源極區及汲極區。

【0027】 圖 4A 是根據一些實施例的奈米線場效電晶體 (奈米 FET

或 NWFET) 402 的立體圖。奈米線場效電晶體 402 具有源極 404 及汲極 406，源極 404 及汲極 406 由在源極 404 與汲極 406 之間延伸的導線 408 連接。導線 408 與源極 404 及汲極 406 下方的基板（圖中未繪示）電性隔離。導線 408 具有位於源極 404 與汲極 406 之間的通道 410。根據一些實施例，源極 404、汲極 406 及導線 408 由例如矽、矽鍺或 III-V 型半導體材料等的半導體材料製成。根據一些實施例，用於形成源極 404、汲極 406 及導線 408 的半導體材料摻雜有相同的摻質。奈米線場效電晶體 402 還具有包圍通道 410 的閘極電極 412。閘極電極 412 包含閘極電極材料，根據一些實施例，所述閘極電極材料是矽、經摻雜矽、或某種其他可被製成為閘極電極的材料。

【0028】 源極 404 具有第一濃度的第一摻質，汲極 406 具有第二濃度的第一摻質，且通道 410 具有第三濃度的第一摻質。在一些實施例中，源極 404、汲極 406 或通道 410 中的至少一者包含多於一種為相同類型的種類摻質。根據一些實施例，第三濃度小於第一濃度及第二濃度兩者。在一些實施例中，第一濃度與第二濃度近似相同。根據一些實施例，位於通道 410 之外的導線 408 具有第四濃度的第一摻質，所述第四濃度大於第三濃度。根據一些實施例，第四濃度大於第三濃度且小於第一濃度及第二濃度。在一些實施例中，源極 404 中的摻質是與汲極 406 及通道 410 中的摻質相同的種類。在一些實施例中，源極 404 中的摻質不同於汲極 406 或通道 410 中的摻質種類。在一些實施例中，源極 404 中摻質

的濃度是與汲極 406 中摻質相同的濃度。在一些實施例中，源極 404 中摻質的濃度不同於汲極 406 或通道 410 中的至少一者中摻質的濃度。在奈米線場效電晶體的一些實施例中，各摻質濃度與上文針對平面 N 型累積模式場效電晶體 100（參見圖 1）及平面 P 型累積模式場效電晶體 200（參見圖 2）所述的摻質濃度近似相同。

【0029】 剖線 C-C 在閘極電極 412 的方向上延伸且與奈米線場效電晶體 402 中的通道 410 重疊。剖線 D-D 在垂直於剖線 C-C 的方向上延伸且與源極 404、汲極 406 及導線 408 重疊。源極 404 具有第一濃度的第一摻質，汲極 406 具有第二濃度的第一摻質，且通道 410 具有第三濃度的第一摻質。第三濃度小於第一濃度及第二濃度兩者。

【0030】 如上文針對 N 型累積模式場效電晶體 100（參見圖 1）及 P 型累積模式場效電晶體 200（參見圖 2）所述，累積模式鰭式場效電晶體從導線 408 中通道 410 的中心通過閘極介電層 420 而朝向閘極電極 412 經歷更小的“垂直”場強度。在導線 408 中通道 410 的內部分與閘極電極 412 之間垂直場強度的減弱是因場效電晶體的功函數被修改且場效電晶體的臨界電壓更小而引起。在導線 408 中通道 410 的內部分與閘極電極 412 之間垂直場強度的減弱會減小穿過通道 410 的區而衝撞通道 410 與閘極介電層 420 的介面的載子密度。通道 410 與閘極介電層 420 的介面處載子密度的減小會減弱閘極介電層 420 的老化並延長奈米線場效電晶體 402 在因熱載子注入、依時性介電崩潰及偏壓臨界值不穩定性引起

的老化相關故障發生之前的壽命。

【0031】 圖 4B 是根據一些實施例，奈米線場效電晶體 402 沿著圖 4A 所示剖線 C-C 貫穿通道 410 的剖面圖。通道 410 由閘極介電層 420 包圍。根據一些實施例，功函數層 422 環繞閘極介電層 420 及通道 410 兩者，並被閘極電極 412 環繞。

【0032】 根據一些實施例，通道 410 可為 N 摻雜累積模式場效電晶體或 P 摻雜累積模式場效電晶體的一部分。根據一些實施例，閘極介電層 420 包含二氧化矽 (SiO_2)、氮氧化矽 (SiON) 或其他介電材料。在一些實施例中，閘極介電層 420 是通過原子層磊晶 (atomic layer epitaxy; ALE)、原子層沉積 (ALD)、熱氧化、或其他在通道 410 上沉積薄膜的方法而沉積。在一些實施例中，介電層 420 是介電常數比二氧化矽大的高介電常數介電材料。在一些實施例中，功函數層 422 是 P 型功函數金屬 (例如 Pt、Ir、 RuO_2 、TiN、 MoN_x 、Ni、Pd、Co、TaN、Ru、Mo、W、或 WN_x)、或矽化物 (例如 ZrSi_2 、 MoSi_2 、 TaSi_2 、或 NiSi_2)、或其他功函數層、或其組合。在其中包含功函數層 422 的一些實施例中，功函數及臨界電壓是通過閘極電極 412 中所包含的功函數層 422 及閘極介電層 420 的類型來調配。

【0033】 在一些實施例中，所述功函數層是 N 型功函數修改金屬 (modifying metal) (例如 Ti、Nb、Ag、Au、Al、Co、W、Ni、Ta、TaAl、TaAlC、TaAlN、TaC、TaCN、TaSiN、Mn、Zr)、或其他 N 型功函數層、或其組合。根據一些實施例，閘極電極 412 是

例如矽、矽鍺或其他可被形成為閘極電極的半導體材料等的半導體材料。閘極電極 412 與源極 404 及汲極 406 分離、位於源極 404 與汲極 406 之間、覆蓋導線 408 的內部分，並包圍通道 410。

【0034】 在一些實施例中，在 P 型累積模式場效電晶體上使用與其他方法中的 N 型場效電晶體相關聯的功函數層。在一些實施例中，在 N 型累積模式場效電晶體上使用與其他方法中的 P 型場效電晶體相關聯的功函數層。在一些實施例中，半導體裝置包括具有功函數層的第一場效電晶體以及具有不同類型的功函數層或不具有功函數層的第二場效電晶體。在一些實施例中，第一場效電晶體是與第二場效電晶體不同類型的場效電晶體（N 型或 P 型）。在一些實施例中，第一場效電晶體是與第二場效電晶體相同類型的場效電晶體。

【0035】 圖 4C 是根據一些實施例耐崩潰奈米線場效電晶體 424 沿著圖 4A 所示剖線 D-D 貫穿通道 410 的剖面圖。源極 404、汲極 406 及閘極電極 412 配置在基板 426 上。導線 408 在基板 426 上方的點處連接源極 404 及汲極 406。在導線 408 內具有位於通道的頂側及底側上的閘極介電層 420。閘極介電層 420 及通道 410 在導線 408 上方及下面均被閘極介電材料環繞。耐崩潰奈米線場效電晶體 424 進一步包括功函數層 422。源極 404 具有第一濃度的第一摻質，汲極 406 具有第二濃度的第一摻質，且通道 410 具有第三濃度的第一摻質。根據一些實施例，第三濃度小於第一濃度及第二濃度。在一些實施例中，源極 404 及汲極 406 具有單一摻質。在

一些實施例中，每一源極及汲極具有多種具相同摻質類型的摻質種類。在一些實施例中，位於通道 410 外的部分導線 408 具有比第三濃度大的濃度的第一摻質。在一些實施例中，位於通道 410 外的部分導線中的第一摻質的濃度與第一濃度及第二濃度近似相同。

【0036】 圖 5 是根據一些實施例形成場效電晶體的方法 500 的流程圖。

【0037】 在步驟 504 中，以具有第一摻質類型的摻質對場效電晶體的通道進行摻雜。在至少一個實施例中，此種摻雜製程被稱為臨界電壓植入 (threshold voltage implantation)。在一些實施例中，對通道進行摻雜包括植入製程。在一些實施例中，離子植入製程是垂直離子植入製程 (vertical ion implantation process)。在一些實施例中，離子植入製程是傾斜離子植入製程 (angled ion implantation process)。在一些實施例中，植入製程之後是退火製程。在一些實施例中，對通道進行摻雜是與在執行蝕刻過程以使通道成形之前將塊狀通道材料沉積至晶圓 (wafer) 表面上的沉積的步驟期間原位 (in-situ) 完成。在一些實施例中，對通道進行原位摻雜是在進行磊晶沉積製程以形成鰭式場效電晶體的鰭或奈米線場效電晶體的奈米線期間執行。在一些實施例中，對通道進行摻雜是通過沉積一層摻質並將半導體結構退火以使摻質擴散至基板、鰭或奈米線結構中來執行。

【0038】 通道的摻質濃度小於源極的摻質濃度及汲極的摻質濃

度。在一些實施例中，植入至通道中的種類與植入至源極或汲極中的至少一者中的種類相同。在一些實施例中，植入至通道中的種類不同於植入至源極或汲極中的至少一者中的種類。根據一些方法，添加至場效電晶體通道的摻質是 N 型摻質。一些方法包括將 P 型摻質添加至通道。添加摻質以調整或設定場效電晶體的功函數及臨界電壓有時會涉及形成摻質濃度比對應場效電晶體的源極或汲極中摻質的濃度小的通道。在一些實施例中，步驟 504 是以循序方式對 N 型場效電晶體及 P 型場效電晶體執行。在一些實施例中，步驟 504 是以同時方式對 N 型場效電晶體及 P 型場效電晶體兩者執行。

【0039】 方法 500 包括步驟 506，以在基板上沉積閘極介電層。在一些實施例中，所述閘極介電層是二氧化矽 (SiO_2) 或氮氧化矽 (SiON)。一些實施例具有為高介電常數介電材料 (例如 HfZrO 、 HfSiO_4 、 TiO_2 、 Ta_2O_3 、 ZrO_2 、 ZrSiO_2 、或其組合、或其他高介電常數介電材料) 的閘極介電層。沉積閘極介電層有時是通過執行原子層磊晶或原子層沉積來完成。通過例如原子層沉積而沉積的閘極介電層不僅覆蓋通道，而且覆蓋鰭 (對於鰭式場效電晶體來說) 或導線 (對於奈米線場效電晶體來說) 的非通道部分以及電晶體源極及汲極。在一些實施例中，閘極介電層是在沉積隔離各場效電晶體的塊狀層間介電質 (inter layer dielectric; ILD) 層之前被沉積。在一些實施例中，閘極介電層是在層間介電質沉積之後被沉積。

【0040】 方法 500 包括步驟 508，以具有第一摻質類型的摻質對場效電晶體的源極及汲極進行摻雜。在一些實施例中，對源極及汲極進行摻雜包括在源極及汲極的磊晶生長期間進行原位摻雜製程。在一些實施例中，對源極及汲極進行摻雜包括植入製程。在一些實施例中，植入製程之後是退火製程。在一些實施例中，以與對汲極的植入製程循序的方式來對源極執行植入。在一些實施例中，同時對源極及汲極執行植入製程。在一些實施例中，對源極的植入製程包括植入與對汲極的植入製程相同的摻質種類。在一些實施例中，對源極的植入製程會植入與在汲極中植入的摻質物質不同的摻質種類。在一些實施例中，源極的摻質濃度等於汲極的摻質濃度。在一些實施例中，源極的摻質濃度不同於汲極的摻質濃度。在一些實施例中，第一摻質類型是 N 型摻質，例如磷、砷或另一種適合的 N 型摻質。在一些實施例中，第一摻質類型是 P 型摻質，例如硼、銦或另一種適合的 P 型摻質。適用於第一摻質類型的種類取決於正被進行摻雜的材料。P 型摻質是電子受體 (electron acceptor)。相比之下，N 型摻質是電子給體 (electron donor)。

【0041】 在一些實施例中，步驟 504 是與對源極的植入製程或與對汲極的植入製程同時執行。

【0042】 以單一摻質類型對源極、汲極及在源極與汲極之間延伸的通道進行摻雜，以使得每一源極、每一汲極及源極與汲極之間的每一通道具有第一濃度的摻質。根據一些實施例，一旦源極、

汲極及通道接收到達第一濃度的第一摻質，便可在源極與汲極之間的通道上配置罩幕，以阻止通道在第二摻雜製程期間接收到更多的摻質。根據一些實施例，所述罩幕是光阻罩幕。在一些實施例中，所述罩幕包含例如旋塗玻璃等的介電材料，所述介電材料是利用光阻被圖案化並被蝕刻以在通道上界定對應於通道長度的罩幕尺寸。在形成閘極電極之前，從通道移除罩幕材料（不論是光阻還是介電罩幕材料）。

【0043】 在第二摻雜製程期間，將源極、汲極及通道（至少是通道的位於罩幕區域之外的一部分）中摻質的濃度增加至比通道中摻質的第一濃度大的第二濃度。在一些實施例中，在第二摻雜製程之前，保護通道的罩幕也覆蓋源極或汲極中的一者。在一些實施例中，在第二摻雜製程之後，移除罩幕，且在進行第三摻雜製程以調整場效電晶體被暴露出的部分中的摻質濃度之前，對晶圓表面施加第二罩幕，所述第二罩幕覆蓋通道並覆蓋源極或汲極中（由第一罩幕暴露出）的另一者。在一些實施例中，第二摻雜製程涉及不同於第一摻質且與第一摻質為相同類型（N 型或 P 型）的第二摻質。在一些實施例中，第三摻雜製程涉及不同於第一摻質及第二摻質且與第一摻質及第二摻質為相同類型的第三摻質。

【0044】 方法 500 進一步包括步驟 510，以在通道上沉積功函數層。在累積模式 N 型電晶體的一些實施例中，所述功函數層的有效功函數與基板（例如，通道區）的價帶能量之間的差值等於或小於所述價帶能量的 10%。在累積模式 P 型電晶體的一些實施例

中，所述功函數層的有效功函數與基板（例如，通道區）的導帶能量之間的差值等於或小於所述導帶能量的 10%。在其中基板包含矽系材料的一些實施例中，功函數層是 P 型功函數金屬（例如 Pt、Ir、RuO₂、TiN、MoN_x、Ni、Pd、Co、TaN、Ru、Mo、W、或 WN_x）、或矽化物（例如 ZrSi₂、MoSi₂、TaSi₂、或 NiSi₂）、或其他功函數層、或其組合。在一些實施例中，功函數層是 N 型功函數修改金屬（例如 Ti、Nb、Ag、Au、Al、Co、W、Ni、Ta、TaAl、TaAlC、TaAlN、TaC、TaCN、TaSiN、Mn、Zr）、或其他 N 型功函數層、或其組合。在一些實施例中，積體電路中一個子組的鰭式場效電晶體具有 P 型功函數層，且同一積體電路中第二子組的鰭式場效電晶體具有 N 型功函數層。在一些實施例中，在 P 型累積模式鰭式場效電晶體上，將 P 型功函數層連同高介電常數介電材料一起使用。在一些實施例中，在 N 型累積模式鰭式場效電晶體上，將 N 型功函數層連同高介電常數介電材料一起使用。在一些實施例中，功函數層被沉積在閘極介電層上。

【0045】 方法 500 包括步驟 512，以在閘極介電層上沉積閘極電極材料。根據一些實施例，所述閘極電極材料是多晶矽或矽鍺。一些實施例具有由其他半導體材料（例如 III-V 型半導體）製成的閘極電極。根據一些實施例，閘極電極還可包含被配置成在積體電路的操作期間調整電晶體的切換速度的金屬化層或摻質。在一些實施例中，閘極電極是通過以下由閘極電極堆疊（包括閘極電極材料、閘極介電層，且在一些實施例中包括功函數層）所形成：

將光阻沉積至一層閘極電極材料上，將所述光阻圖案化以在閘極電極材料的被指定為閘極電極的一部分上留下罩幕線，並蝕刻閘極電極堆疊以暴露出源極、汲極以及鰭（對於鰭式場效電晶體來說）或導線（對於奈米線場效電晶體來說）的非通道部分。在一些實施例中，蝕刻閘極電極是通過執行電漿蝕刻以從源極、汲極以及鰭（對於鰭式場效電晶體來說）或導線（對於奈米線場效電晶體來說）的非通道部分上選擇性地移除閘極電極堆疊的膜來完成。

【0046】 在一些實施例中，對方法 500 添加額外的步驟。舉例來說，在一些實施例中，作為方法 500 的一部分來形成鰭式場效電晶體的鰭。作為另一實例，在一些實施例中，通過磊晶生長製程來形成源極/汲極區。

【0047】 圖 6A 是根據一些實施例與累積模式鰭式場效電晶體 302 類似的鰭式場效電晶體 600 在製造過程期間沿著剖線 A-A 的剖面圖。圖 6B 是根據一些實施例與累積模式鰭式場效電晶體 302 類似的鰭式場效電晶體 600 在製造過程的與圖 6A 相同的階段處沿著剖線 B-B 的剖面圖。圖 6A 及圖 6B 示出在第一摻雜步驟 602 期間的基板 316 及從基板 316 向上延伸的鰭 308。第一摻雜步驟 602 在每一源極 304、每一汲極 306 及每一鰭 308 中將第一摻質添加至第一濃度。在一些實施例中，在第一摻雜步驟 602 期間，源極 304 及汲極 306 受光阻保護。在第一摻雜步驟 602 期間確定出通道區。第一摻雜步驟 602 沿著鰭 308 的長度確立摻質的第一濃度，所述

第一濃度與將被形成的通道中摻質的濃度相一致。

【0048】 圖 6C 是與累積模式鰭式場效電晶體 302 類似的鰭式場效電晶體 600 在製造過程期間在圖 6A 所示第一摻雜步驟 602 之後沿著剖線 A-A 的剖面圖。鰭式場效電晶體 600 中的鰭 308 在鰭 308 的上部分處具有通道 310。通道 310 是在第二摻雜步驟 608 期間形成，其中在第一摻雜步驟 602 期間添加至鰭式場效電晶體的第一摻質被添加至場效電晶體的源極及汲極。在一些實施例中，通道 310 受罩幕 610 保護。在一些實施例中，罩幕 610 是光阻罩幕。在其他實施例中，罩幕 610 是複合 (composite) 罩幕層，其具有一層無機罩幕材料，例如旋塗玻璃或其他在第二摻雜步驟 608 期間覆蓋通道 310 的介電材料。

【0049】 圖 6D 是與累積模式鰭式場效電晶體 302 類似的鰭式場效電晶體 600 的一些實施例在製造過程期間在圖 6B 所示第一摻雜步驟 602 之後沿著剖線 B-B 的剖面圖。圖 6C 與圖 6D 表示製造過程中的同一階段。圖 6D 示出鰭式場效電晶體 600 沿著鰭 308 的剖面圖，其繪示由鰭 308 連接的源極 304 及汲極 306，其中通道 310 上方的罩幕 610 保護所述通道免於在第二摻雜步驟 608 期間接收到其他摻質。源極 304、汲極 306 及鰭 308 位於基板 316 上。在耐崩潰鰭式場效電晶體 600 的一些實施例中，通道 310 位於鰭 308 的上部分中。耐崩潰鰭式場效電晶體 600 的一些實施例具有從鰭 308 的頂部向下延伸至基板 316 的通道 310。

【0050】 圖 7A 是與累積模式奈米線場效電晶體 402 的一些實施例

類似的奈米線場效電晶體 700 在製造過程期間沿著剖線 D-D 的剖面圖。耐崩潰奈米線場效電晶體 700 位於基板 702 上，且包括由導線 408 內連的源極 404 及汲極 406。導線 408 通過犧牲層 704 與基板 702 分離。在一些實施例中，犧牲層 704 是一層介電材料，例如二氧化矽。在一些實施例中，犧牲層 704 是一層半導體材料，例如鍺。犧牲層 704 被配置成通過執行蝕刻製程（例如濕化學蝕刻）而從導線 408 與基板 702 之間被選擇性地移除。在一些實施例中，犧牲層 706 位於導線 408 的頂側上。根據一些實施例，犧牲層 706 被沉積至導線 408 的頂側上，以在被移除之前容許對晶圓進行化學機械拋光或平坦化，從而建立平整的頂側 708。在製造累積模式奈米線場效電晶體（例如耐崩潰奈米線場效電晶體 700）的一些方法中，犧牲層 704 及犧牲層 706 是在類似的蝕刻製程期間被移除。

【0051】 圖 7B 是與累積模式奈米線場效電晶體 402 的一些實施例類似的奈米線場效電晶體 700 在製造過程期間在圖 7A 所示的同一階段處沿著剖線 C-C 的剖面圖。奈米線場效電晶體 700 包括配置在基板 702 上並由導線 408 內連的源極 404 及汲極 406。在一些實施例中，犧牲層 704 及 706 確立導線 408 的垂直厚度以及導線 408 在基板 702 上方的間隔。可在製造過程的後續階段期間利用對用於形成源極 404、汲極 406 及導線 408 的半導體材料的移除具選擇性的技術（例如濕化學蝕刻）來移除犧牲層 704 及 706。

【0052】 圖 7C 是與累積模式奈米線場效電晶體 402 的一些實施例

類似的奈米線場效電晶體 700 在製造過程期間沿著剖線 C-C 的剖面圖。圖中描繪了第一摻雜步驟 714 期間的奈米線場效電晶體 700，其中正將第一摻質（N 型摻質或 P 型摻質）添加至導線 408。根據一些實施例，犧牲層 704 在第一摻雜步驟 714 之前已被移除。在一些實施例中，犧牲層 704 及犧牲層 706 在第一摻雜步驟 714 期間仍存在。

【0053】 圖 7D 是奈米線場效電晶體 700 在執行製造過程期間在圖 7C 所描繪的同一階段處沿著剖線 D-D 的剖面圖。在第一摻雜步驟 714 期間，配置在基板 702 上的源極 404 及汲極 406 由導線 408 內連。犧牲層 704 及 706 在本剖面圖中已被移除，但在一些實施例中，犧牲層 704 及 706 在第一摻雜步驟 714 期間可存在。根據方法 500 的一些型式，通過在第一摻雜步驟 714 中以第一濃度的第一摻質對導線 408 進行摻雜來調配奈米線場效電晶體 700 的功函數。根據一些實施例，可在掩蔽導線 408 的通道 410 以界定通道並將更多的摻質添加至源極 404 及汲極 406 之前以多於一個摻雜步驟將摻質添加至導線 408。可通過一次或多次植入製程將摻質添加至導線 408、源極 404 及汲極 406。

【0054】 圖 7E 是奈米線場效電晶體 700 的一些實施例在製造過程期間的剖面圖，其類似於累積模式奈米線場效電晶體 402 沿著剖線 C-C 的剖面圖。圖中繪示了第二摻雜步驟 720 期間的奈米線場效電晶體 700，其中通道 410 由包圍通道 410 的所有側且配置在基板 702 的頂表面上的罩幕 722 保護。

【0055】 圖 7F 是奈米線場效電晶體 700 的實施例在第二摻雜步驟 720 期間的剖面圖，其類似於累積模式奈米線場效電晶體 402 沿著剖線 D-D 的剖面圖。源極 404 及汲極 406 配置在基板 702 上並由導線 408 內連。導線 408 被罩幕 722 局部地掩蔽，罩幕 722 包圍通道 410，從而保護通道 410 免受通過第二摻雜過程 720 添加至源極 404、汲極 406 及導線 408 的一些部分的額外摻質的影響。通道 410 及罩幕 722 位於導線 408 的與源極 404 及汲極 406 分離的內部分處。罩幕 722 配置在基板 702 的頂表面上。根據一些實施例，罩幕 722 是已被沉積及圖案化的光阻層。在一些實施例中，罩幕 722 是複合罩幕層，其包含底部介電材料層（例如旋塗玻璃）及已被圖案化的頂部光阻層。在一些實施例中，當罩幕 722 是複合罩幕層時，底部介電材料層已被局部地移除，從而暴露出源極 404、汲極 406、及導線 408 的一部分、以及基板 702 的頂表面。在一些實施例中，在執行第二摻雜步驟 720 之前，上部光阻層被移除，從而僅留下經圖案化的介電材料。

【0056】 根據本公開內容的一些實施例，鰭式場效電晶體或奈米線場效電晶體是具有雙邊對稱性（bilateral symmetry）且操作電壓低於 3 伏的場效電晶體。對於與圖 3A 及圖 3B 中所描繪的累積模式鰭式場效電晶體 302 類似的耐崩潰鰭式場效電晶體，沿著剖線 A-A 及 B-B 示範出雙邊對稱性。對於與圖 4A 及圖 4B 中所描繪的累積模式奈米線場效電晶體 402 類似的耐崩潰奈米線場效電晶體，沿著剖線 C-C 及 D-D 示範出雙邊對稱性。本文中針對耐崩潰

場效電晶體所述的操作電壓與平面互補金屬氧化物半導體 (Complementary Metal-Oxide-Semiconductor, CMOS) N 型場效電晶體裝置及平面互補金屬氧化物半導體 P 型場效電晶體裝置以及鱗式場效電晶體裝置及奈米線場效電晶體裝置相一致。

【0057】 本公開內容的方面涉及一種半導體裝置。所述半導體裝置包括基板。所述半導體裝置進一步包括位於所述基板上的第一電晶體，其中所述第一電晶體具有第一臨界電壓，且所述第一電晶體的通道區及源極/汲極區為 N 型。所述半導體裝置進一步包括位於所述基板上的第二電晶體，其中所述第二電晶體具有第二臨界電壓，所述第二電晶體的通道區為 N 型且所述第二電晶體的源極/汲極區為 P 型，並且所述第一臨界電壓的絕對值實質上等於所述第二臨界電壓的絕對值。

【0058】 在一些實施例中，所述第一電晶體具有第一功函數 (work function) 層，其中所述第一功函數層的有效功函數 (effective work function) 與所述基板的價帶能量 (valence band energy) 之間的差值小於約 0.45 電子伏特 (eV)。所述第二電晶體具有第二功函數層，其中所述第二功函數層的有效功函數與所述基板的所述價帶能量之間的差值小於約 0.45 eV。

【0059】 在一些實施例中，所述第一功函數層包含 Pt、Ir、RuO₂、TiN、MoN_x、WN_x、Mo、Ni、Pd、Co、Ag、Au 或 W。

【0060】 在一些實施例中，所述第一功函數層包含與所述第二功函數層相同的材料。

【0061】 在一些實施例中，所述半導體裝置進一步包括第三電晶體及第四電晶體。第三電晶體位於所述基板上，其中所述第三電晶體具有第三臨界電壓，且所述第三電晶體的通道區及源極/汲極區為 P 型。第四電晶體位於所述基板上，其中所述第四電晶體具有第四臨界電壓，所述第四電晶體的通道區為 P 型且所述第四電晶體的源極/汲極區為 N 型，並且所述第四臨界電壓實質上等於所述第一臨界電壓。

【0062】 在一些實施例中，所述第三電晶體具有第三功函數層，其中所述第三功函數層的有效功函數與所述基板的導帶能量（conduction band energy）之間的差值小於 0.45 eV。所述第四電晶體具有第四功函數層，其中所述第四功函數層的有效功函數與所述基板的所述導帶能量之間的差值小於 0.45 eV。

【0063】 在一些實施例中，所述第三功函數層包含 Nb、Al、Ta、Zr、Ti、TaN、Mo、Co、Ag、Au 或 W。

【0064】 在一些實施例中，所述第三功函數層包含與所述第四功函數層相同的材料。

【0065】 在一些實施例中，所述第一電晶體的所述通道區與所述源極/汲極區之間的接面（junction）位於閘極結構下。

【0066】 在一些實施例中，所述第一電晶體的所述通道區中的摻質的濃度介於約 $5e16 \text{ cm}^{-3}$ 至約 $1e18 \text{ cm}^{-3}$ 的範圍內。

【0067】 在一些實施例中，所述第一電晶體的所述源極/汲極區中的摻質的濃度介於約 $1e19 \text{ cm}^{-3}$ 至約 $1e21 \text{ cm}^{-3}$ 的範圍內。

【0068】 本公開內容的方面涉及一種積體電路。所述積體電路包括位於矽系基板上的第一電晶體，其中所述第一電晶體包括通道區及源極/汲極區，所述通道區及所述源極/汲極區具有第一導電類型 (conductivity type)。所述積體電路進一步包括位於所述矽系基板上的第二電晶體，其中所述第二電晶體包括具有第二導電類型的通道區及具有所述第一導電類型的源極/汲極區，所述第二導電類型不同於所述第一導電類型且所述第一電晶體的功函數層不同於所述第二電晶體的功函數層。

【0069】 在一些實施例中，所述第一電晶體具有與所述第二電晶體相同的臨界電壓。

【0070】 在一些實施例中，所述第一電晶體的阱區 (well region) 具有與所述第二電晶體的阱區相同的導電類型。

【0071】 在一些實施例中，所述積體電路進一步包括第三電晶體。第三電晶體位於所述矽系基板上，其中所述第三電晶體包括具有所述第一導電類型的通道區及具有所述第二導電類型的源極/汲極區，且所述第三電晶體的功函數層包含與所述第一電晶體的所述功函數層相同的材料。

【0072】 在一些實施例中，所述第一電晶體不具有輕摻雜汲極 (lightly-doped drain ; LDD) 區。

【0073】 本公開內容的一些方面涉及一種半導體裝置的製造方法。所述方法包括對第一電晶體的通道區及第二電晶體的通道區進行植入 (implant) 以具有第一導電類型。所述方法進一步包括

將所述第一電晶體的源極/汲極區形成為具有所述第一導電類型且將所述第二電晶體的源極/汲極區形成為具有第二導電類型，其中所述第二導電類型不同於所述第一導電類型。所述方法進一步包括在所述第一電晶體的所述通道區上沉積第一功函數層並在所述第二電晶體的所述通道區上沉積第二功函數層，其中所述第一電晶體具有與所述第二電晶體相同的臨界電壓或材料。

【0074】 在一些實施例中，所述方法進一步包括對在所述第二電晶體中形成具有所述第二導電類型的輕摻雜汲極（lightly-doped drain；LDD）區。

【0075】 在一些實施例中，對所述第一電晶體的所述通道區及所述第二電晶體的所述通道區進行植入包括使用相同的摻質對所述第一電晶體的所述通道區及所述第二電晶體的所述通道區進行植入。

【0076】 在一些實施例中，對所述第一電晶體的所述通道區及所述第二電晶體的所述通道區進行植入包括同時對所述第一電晶體的所述通道區及所述第二電晶體的所述通道區進行植入。

【0077】 以上內容概述了若干實施例的特徵以使所屬領域中的技術人員可更好地理解本公開內容的各個方面。所屬領域中的技術人員應理解，他們可易於使用本公開內容作為基礎來設計或修改其他製程及結構以實現本文所介紹實施例的相同的目的及/或獲得本文所介紹實施例的相同優點。所屬領域中的技術人員還應認識到，此種等效構造並不背離本公開內容的精神及範圍，且在不背

離本公開內容的精神及範圍條件下他們可對本文做出各種改變、替代、及變更。

【符號說明】

【0078】

100：N 型累積模式場效電晶體

102、202、304、404：源極

104、204、306、406：汲極

106、206、310、410：通道

108：閘極介電層

110、412：閘極電極

112：間隙壁

114：頂側

116、316、426、702：基板

118：第一箭頭

120：第二箭頭

122：阱

200：P 型累積模式場效電晶體

302：鰭式場效電晶體

308：鰭

312：閘極電極

318：介電材料

320：閘極介電層

322、422：功函數層

402、424、700：奈米線場效電晶體

408：導線

420：閘極介電層

500：方法

504、506、508、510、512：步驟

600：鰭式場效電晶體

602、714：第一摻雜步驟

608、720：第二摻雜步驟

610、722：罩幕

704、706：犧牲層

708：頂側

A-A、B-B、C-C、D-D：剖線



201829292

申請日: 106/06/13

IPC分類:

【發明摘要】

【中文發明名稱】半導體裝置

【英文發明名稱】SEMICONDUCTOR DEVICE

【中文】一種半導體裝置包括基板、位於所述基板上的第一電晶體及位於所述基板上的第二電晶體。所述第一電晶體具有第一臨界電壓，且所述第一電晶體的通道區及源極/汲極區為N型。所述第二電晶體具有第二臨界電壓，所述第二電晶體的通道區為N型且所述第二電晶體的源極/汲極區為P型，並且所述第一臨界電壓的絕對值實質上等於所述第二臨界電壓的絕對值。

【英文】A semiconductor device includes a substrate, a first transistor on the substrate, and a second transistor on the substrate. The first transistor has a first threshold voltage, and a channel region and a source/drain regions of the first transistor are N-type. The second transistor has a second threshold voltage, a channel region of the second transistor is N-type and source/drain regions of the second transistor are P-type, and an absolute value of the first threshold voltage is substantially equal to an absolute value of the second threshold voltage.

【指定代表圖】圖5。

【代表圖之符號簡單說明】

500：方法

504、506、508、510、512：步驟

【發明申請專利範圍】

【第1項】 一種半導體裝置，包括：

基板；

第一電晶體，位於所述基板上，其中所述第一電晶體具有第一臨界電壓，且所述第一電晶體的通道區及源極/汲極區為 N 型；

以及

第二電晶體，位於所述基板上，其中所述第二電晶體具有第二臨界電壓，所述第二電晶體的通道區為 N 型且所述第二電晶體的源極/汲極區為 P 型，並且所述第一臨界電壓的絕對值實質上等於所述第二臨界電壓的絕對值。

