

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ G02F 1/133	(45) 공고일자 1999년11월01일	(11) 등록번호 10-0228604
(21) 출원번호 10-1995-0043058	(65) 공개번호 특1996-0018697	(24) 등록일자 1999년08월11일
(22) 출원일자 1995년11월17일	(43) 공개일자 1996년06월17일	
(30) 우선권 주장 94-283398 1994년11월17일 일본(JP) 94-292867 1994년11월28일 일본(JP) 95-009846 1995년01월25일 일본(JP)		
(73) 특허권자 닛본 덴기 가부시키키가이샤	가네꼬 히사시	
(72) 발명자 스즈끼 데루야끼	일본국 도쿄도 미나토구 시바 5쥬메 7방 1고	
(74) 대리인 이병호	일본국 도쿄도 미나토구 시바 5-7-1 닛폰덴키주식회사 내 다가도리 겐이찌 일본국 도쿄도 미나토구 시바 5-7-1 닛폰덴키주식회사 내 스미요시 겐 일본국 도쿄도 미나토구 시바 5-7-1 닛폰덴키주식회사 내 스즈끼 마사요시 일본국 도쿄도 미나토구 시바 5-7-1 닛폰덴키주식회사 내	

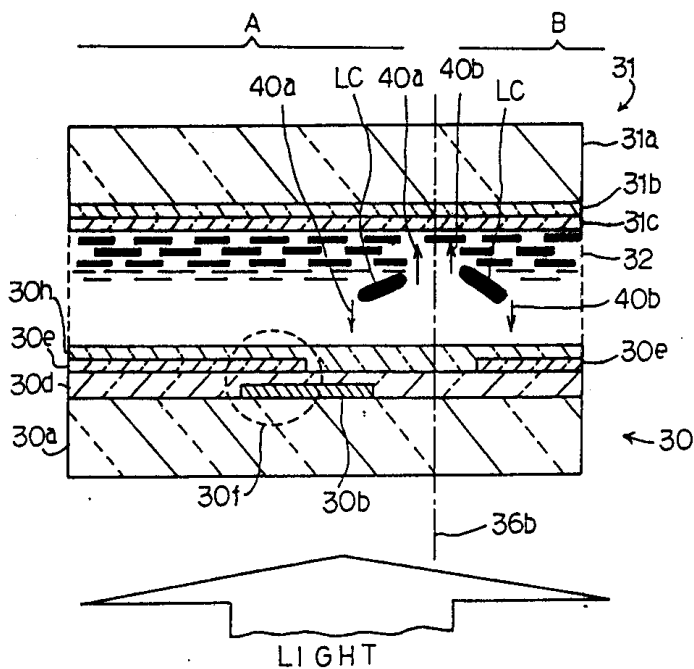
심사관 : 이수찬

(54) 스크린상 영상의 디스클리네이션 라인의 영향을 방지하는 액정 표시 장치

요약

액정 표시 패널은 픽셀 전극(30e) 상의 제1배향막(30h) 및 공통 전극(31b) 상의 제2배향막(31c)사이의 액정(32)을 한정하고, 제1배향막의 서로 다르게 배향된 영역(A/B)은 각 경계(36b)의 양측상에 액정 분자(LC)의 방향과 전계내의 전기력선을 일치시키도록 픽셀 전극(30e)상에서 그리고 픽셀 전극(30e) 및 게이트/드레인 버스 라인(30b) 사이에서 연장되는 경계(36a/36b)를 형성함으로써, 픽셀 전극상의 개구 영역의 바깥쪽 소정의 위치에서 디스클리네이션 라인을 안정적으로 조절할 수 있다.

대표도



명세서

도면의 간단한 설명

제1도는 종래의 액정 표시 패널의 배치를 도시한 평면도.

제2도는 종래의 액정 표시 패널의 구조를 도시한 단면도.

제3도는 종래의 액정 표시 패널의 작용을 도시한 개략도.

제4(a)도 및 제4(b)도는 종래의 액정 표시 패널상에 생성되는 디스클리네이션 라인(disclination line)을 도시한 평면도.

제5도는 본 발명에 따른 액정 표시 패널에 설치되는 픽셀 전극, 게이트 버스 라인 및 드레인 버스 라인의 배치를 도시한 평면도.

제6도는 액정 표시 패널의 구조를 도시한 단면도.

제7(a)도 내지 제7(e)도는 유기 화합물막을 배향시키는 러빙 순서를 도시한 단면도.

제8도는 액정 패널의 액정에 생성되는 디스클리네이션 라인을 도시한 도면.

제9도는 비교되는 액정 패널의 액정에 생성되는 디스클리네이션 라인을 도시한 도면.

제10도는 본 발명에 따른 또다른 액정 표시 패널에 설치되는 픽셀 전극, 게이트 버스 라인 및 드레인 버스 라인의 배치를 도시한 평면도.

제11도는 본 발명에 따른 등균질형 액정 패널에 설치되는 픽셀 전극, 게이트 버스 라인 및 드레인 버스 라인의 배치를 도시한 평면도.

제12도는 본 발명에 따른 또다른 액정 표시 패널에 설치되는 픽셀 전극, 게이트 버스 라인 및 드레인 버스 라인의 배치를 도시한 평면도.

제13도는 본 발명에 따른 또다른 액정 표시 패널에 설치되는 픽셀을 도시한 평면도.

제14도는 본 발명에 따른 액정 표시 패널의 구조를 도시한 단면도.

제15도는 액정 표시 패널에 설치되는 투명 기판상의 픽셀 전극 및 버스 라인의 배치를 도시한 평면도.

제16도는 본 발명에 따른 다른 액정 표시 패널의 구조를 도시한 단면도.

제17도는 액정층을 가로지르는 전계를 도시한 개략도.

제18도는 서로 다른 프리틸트각의 영향하에서 생성되는 디스클리네이션 라인을 도시한 개략도.

제19도는 본 발명에 따른 액정 표시 패널에 설치되는 제2기판 구조를 도시한 밀면도.

제20도는 액정 표시 패널에 설치되는 픽셀 전극상의 구조를 도시한 단면도.

제21도는 픽셀 전극 및 배향 방향간의 관계를 도시한 평면도.

제22도는 본 발명에 따른 다른 액정 표시 패널에 설치되는 픽셀 전극 및 배향 방향간의 관계를 도시한 평면도.

제23도는 본 발명에 따른 또다른 액정 표시 패널에 설치되는 픽셀 전극 및 배향 방향간의 관계를 도시한 평면도.

* 도면의 주요부분에 대한 부호의 설명

30, 50, 60, 70, 80, 91, 95, 100 : 제1기판 구조

31, 92, 96, 101 : 제2기판 구조

32, 93, 97, 102 : 액정

30e, 80, 91b, 100b, 101b : 픽셀 전극

30g, 91e : 스위칭 트랜지스터

31b, 92c, 101b : 공통 전극

[발명의 상세한 설명]

[발명의 분야]

본 발명은 액정 표시 장치에 관한 것으로, 보다 구체적으로는 디스클리네이션 라인에 대하여 효과적인 액정 표시 장치에 관한 것이다.

[관련 기술의 설명]

표준 액정 표시 장치는 기판 사이에 삽입된 액정을 갖는다. 액정이 트위스트 네마틱(twisted nematic)형 일 경우, 배향막(orientation films)이 기판의 표면을 덮고 있으며, 트위스트 네마틱형 액정은 배향막 사이에 끼워진다(sandwiched). 트위스트 네마틱형 액정은, 배향막들중 한 배향막으로부터 다른 배향막으로 주축의 방향을 점차 변화시키는 액정 분자로 구성되며, 상기 한 배향막상의 액정 분자의 주축은 다른 배향막상의 액정 분자의 주축과는 직각으로 다르다. 배향막상의 액정 분자는 배향막의 표면에 대해 프리틸트(pre-tilted)되어 있다. 액정 분자의 방향 및 프리틸트 방향은 대개는 러빙(rubbing)에 의해 조절된다. 하지만, 그 방향 또한 배향막의 경사 증착(oblique evaporation)법을 이용함으로써 제어 가능하다.

트위스트 네마틱형 액정을 가로지르는 전계가 변화되는 경우, 트위스트 네마틱형 액정은 광학적 투과율을 변화시키며 그에 따라 계조(gradation)도 변화시키고, 트위스트 네마틱형 액정 표시 장치상에 영상(image)을 재생한다. 광학적 투과율이 일정할지라도, 밝기는 시각에 따라 변한다. 이것은 액정 표시 장치의 좁은 시각에 대한 문제점이 있음을 의미한다. 달리 말하면, 영상은 액정 표시 장치의 앞의 위치에 따라 희끄무레하고 거무스름하게 보여진다.

시각에 따른 계조의 변화는 배향된 액정 분자의 비대칭성에 기인한다. 전계내에서의 액정 분자의 방향은 전계의 방향 및 프리틸트 방향에 의해 결정된다. 전계의 방향은 일반적으로 기관의 끝부분을 제외한 기관에 대해 수직이고, 이런 이유로 전계내의 액정 분자의 방향은 프리틸트 방향에 의해 좌우된다. 전계의 영향이 없는 방향 및 전계하의 방향간의 각도는 기관에 인가된 전위의 크기에 의존한다. 전위의 크기가 커질수록, 영상은 계조를 변화시킨다. 액정 분자의 움직임은 기관 사이의 중간 영역에서보다 기관의 표면 부근에서 더 작다. 따라서 중간 영역의 액정 분자는 기관에 인가된 전위에 따라 밝기가 좌우된다. 전계 인가시에 액정 분자의 방향에서 영상이 관찰될 때, 그 영상은 희끄무레하게 재생된다. 반대로, 반대 위치에서 영상을 보게 되면, 그 영상은 거무스름하게 보인다.

좁은 시각의 문제점은 등균질의 분자 정렬형 액정 표시 장치에서도 발생한다. 등균질의 분자 정렬형 액정 표시 장치는 기관의 표면에 평행하게 기관 사이에 삽입된 액정을 배향하고, 편광판이 기관의 외측 표면에 제공된다. 전위가 인가될 때, 액정 분자가 입상하고, 복굴절의 크기가 변한다. 광학적 투과율은 기관에 인가된 전위를 변화시킴으로써 제어된다. 이 경우, 프리틸트의 방향은 입상 액정 분자의 방향에 영향을 미치며, 시각 의존성의 문제는 트위스트 네마틱형 액정 표시 장치와 마찬가지로 등균질의 분자 정렬형 액정 표시 장치에서도 나타난다.

심사된 특허출원의 일본 공개특허공보 제 58-43723 호에는 시각을 개선한 액정 구조를 개시하고 있다. 종래의 액정 구조는 미세한 피치로 배열된 미소 영역을 갖는데, 이 미소 영역은 액정 방향으로 서로 교호적으로 대향하고 있다. 각각의 미소 영역내의 액정들은 전위 인가시에 각각 다른 각도로 입상한다. 이런 이유로, 종래의 액정 구조에서 영상을 재생하는 경우에, 시각 특성은 미소 영역들 사이에서 평균화되고, 관찰자는 평균적인 시각 특성으로 영상을 인식하게 된다. 따라서, 미소 영역들에 의해 시각 의존성이 보강되고, 관찰자는 종래의 표준형 액정 표시 장치에 재생된 영상보다 더욱 우수한 영상감을 갖는다.

액정을 정렬을 다르게 하는 조각들로 분할하는 경우에, 디스클리네이션 라인이라 하는 결함이 생기고, 콘트라스트(contrast)를 저하시킨다. 이 디스클리네이션 라인은 액정 방향의 불연속성에 기인한다. 액정 표시 장치에 재생되는 영상을 디스클리네이션 라인으로부터 보호하기 위하여, 디스클리네이션 라인을 가리기 위한 차광막(shading film)을 제공하거나 픽셀 전극상에서 디스클리네이션 라인을 억제시키는 것이 효과적이다. 하지만, 이들 대책은 디스클리네이션 라인이 발생하는 위치에 대한 설계자의 정확한 예측을 필요로 하며, 설계자는 디스클리네이션 라인의 위치를 예측하기 위해 제조자로 하여금 액정 분자 방향을 정확히 제어하도록 요구한다. 그러나 전위 인가시의 액정 분자 방향의 각도는 액정에 대한 배향처리에 의해 큰 영향을 받으며, 픽셀 전극 및 게이트/드레인 버스 라인간의 횡방향 전계가 또한 액정 분자 방향의 각도에 영향을 미친다. 디스클리네이션 라인은 거의 예측하지 못한다. 게이트 버스 라인 및 드레인 버스 라인으로 선택된 픽셀을 구동하기 위해 매트릭스로 배열되는 신호 라인이다.

미심사된 특허출원의 일본 공개특허 공보 제 6-43460 호에는 횡방향 전계의 영향을 고려하여 설계된 액정 구조에 대해 개시하고 있다. 미심사된 특허출원의 상기 일본 공개특허공보에 따르면, 배향막은 게이트 버스 라인에 관하여 미소 영역으로 분할되고, 그 미소 영역들은 서로 다르게 배향된다. 전위가 인가되는 경우에 액정 분자들은 게이트 버스 라인으로 향하게 된다. 이러한 종래의 기술에 있어서, 배향막들에 대한 서로 다른 러빙 처리에 의한 액정 분자 방향은 게이트 버스 라인 및 픽셀 전극간의 횡방향 전계로 인한 액정 분자의 방향과 일치하고, 미소 영역의 액정 조각들은 안정적으로 배향된다.

능동 소자로 픽셀을 구동하는 유형의 액정 표시 장치는 액티브 매트릭스형 액정 표시 장치라 칭하여지고, 일반적으로 저장 캐패시터를 픽셀 커패시터스에 병렬로 연결하여 픽셀에 인가된 전위를 유지하도록 한다. 이런 경우에, 픽셀 전극이 픽셀을 구동하는 능동 소자에 결합되는 것과는 다른 게이트 버스 라인과 부분적으로 중첩되면, 저장 캐패시터는 개구율을 낮추지 않고서도 쉽게 설치가 가능하다. 이런 특징을 게이트 저장 구조라 칭한다.

게이트 저장 구조를 갖는 액정 표시 장치는 게이트 저장 구조가 없는 액정 표시 장치내의 횡방향 전계와는 다른 횡방향 전계를 발생시키는데, 이는 픽셀 전극이 게이트 버스 라인과 부분적으로 중첩되기 때문이다. 이런 이유로, 미심사된 특허출원의 일본 공개특허공보 제 6-43460 호에 의해 알 수 있듯이 게이트 버스 라인하의 경계에 관하여 서로 다르게 배향된 미소 영역들로 배향막을 분할하는 경우에도, 미소 영역내의 액정 분자 방향은 안정되지 않으며, 디스클리네이션 라인이 픽셀 개구부의 중심 영역에서 종종 발생된다. 이런 디스클리네이션 라인은 콘트라스트비를 저하시킨다. 디스클리네이션 라인이 픽셀마다 다르게 발생할 경우, 영상은 액정 표시 장치의 스크린에서 변형되거나 소실(burnt)되기 쉬우며, 잔상(after image)이 스크린상에 생성되기 쉽다.

픽셀이 게이트 저장 구조를 갖지 않는 액정 표시 장치에서 미소화될 경우, 픽셀 및 게이트 버스 라인 사이의 갭은 좁아지고, 강한 횡방향 전계가 픽셀 및 게이트 버스 라인 사이에서 생성되며, 미소 영역의 액정 분자 방향을 불안정하게 한다. 따라서, 게이트 저장 구조를 갖는 액정 표시 장치에서와 같은 문제가 생기게 된다. 디스클리네이션은 게이트 버스 라인과 관련하여 전술되어 있다. 디스클리네이션 라인 또한 드레인 버스 라인에 기인하여 발생된다. 픽셀 전극 및 드레인 버스 라인 사이의 갭은 픽셀의 소형화와 함께 좁아지고, 미소 영역에서의 액정 분자 방향은, 미소 영역이 각각 다른 방향으로 배향된 경우에도 불안정하다.

미소 영역에서 각각 배향된 액정의 조각들이 시각을 증가시키더라도, 상기 문제점은 불안정한 액정 분자 방향의 종래의 액정 표시 장치에서도 발생하며, 불안정한 액정 분자 방향으로 인하여, 픽셀 개구의 중심 영역에서의 디스클리네이션 라인, 콘트라스트비의 감소, 영상 변형, 영상 소실 및 잔상이 초래된다.

미심사된 특허출원의 일본 공개특허공보 제 59-21109, 63-106624 및 5-173142 호에는 또한, 서로 다르게

배향된 미소 영역을 갖는 액정 표시 장치에 대해 개시하고 있다. 두번째 문제점을 해소하기 위하여, 미심사된 특허출원의 일본 공개특허공보 제 5-173142 호에 개시된 종래의 액정 표시 패널에 대해 보다 상세히 기술한다.

제1도 내지 제3도는 미심사된 특허출원의 일본 공개특허공보 제 5-173142호에 개시된 종래의 액정 표시 패널의 레이아웃을 도시하고 있다. 제1도 및 제2도에 도시된 바와 같이, 유닛 영역(1)은 인접한 두 신호 전극 라인(2a, 2b) 및 인접한 두 주사 전극 라인(3a, 3b)에 의해 형성되고, 두 영역(1a, 1b)으로 분할된다. 영역(1a 및 1b) 사이의 경계는 주사 전극 라인(3a, 3b)에 평행하게 산화 인듐 주석(indium tin oxide; ITO)의 픽셀 전극(4)을 가로지른다. 박막 트랜지스터(5a, 5b)는 리던던트한(redundant) 구성을 갖고, 픽셀 전극(4)의 중앙선에 대해 대칭이다.

저장 캐패시터 전극(6)은 제1기판(7a)의 표면에 제공되며, 절연층(8)은 제1기판(7a)의 표면을 피복하며 이에 따라 저장 캐패시터 전극(6)도 피복한다. 절연층(8)은 픽셀 전극(4)에 의해 덮여지고, 배향막(9a)은 픽셀 전극(4)을 피복한다. 컬러 필터(10a, 10b)는 제2기판(7b)의 내측면에 제공되며, 적, 녹 및 청색의 픽셀 영역을 형성한다. 차광층(photo-shield layer)(11)은 또한 제2기판(7b)의 내측면에 제공되고, 적, 청 및 녹색 영역에 대한 개구부를 형성한다. 투명 보호층(12)은 컬러 필터(10a, 10b) 및 차광층(11)을 덮는다. 투명 전극(13)은 투명 보호층(12) 위에 적층되고, 배향막(9b)에 의해 덮여진다. 액정(14)은 배향막(9a, 9b)간의 갭을 메운다.

제3도에서와 같이, 전계(15)가 액정(14)을 가로지르며 생성될 때, 짧은 막대로 표시된 액정 분자는 전기력선을 따라 주축의 방향을 변화시키고, 주사 전극 라인(3a)을 향해 프리틸트(pre-tilted)된다.

따라서, 트위스트 방향은 영역(1a, 1b) 사이에서는 동일하지만, 틸트 방향은 전위 인가시에는 다르다. 이런 특징은 바람직한 것이다. 왜냐하면, 영역(1a, 1b)이 경사진 입사광에 대해 광학적 특성을 보상하며, 종래의 액정 표시 패널이 시각에 덜 의존하는 전기 광학적 특성을 달성하기 때문이다. 특히, 종래의 액정 표시 패널에 재생되는 영상의 계조는 시각에 덜 의존적이며, 그 반대로는 발생되기가 쉽지 않다.

제4(a)도 및 제4(b)도는 디스클리네이션 라인을 도시하고 있다. 도면 부호(20, 21, 22, 23)는 박막 트랜지스터, 픽셀 전극, 게이트 버스 라인(또는 주사 전극 라인) 및 드레인 버스 라인(또는 신호 전극 라인) 각각을 나타내며, 점선(24)은 영역의 경계를 가리킨다. 제4(a)도 및 제4(b)도에 도시되지는 않았지만, 제1기판 및 제2기판은 화살표(25a, 25b)로 표시된 방향으로 배향되어 있다. 디스클리네이션 라인은 실선(26)으로 표시되는 바와 같이 생성되며, 경계(24)로 연장된다.

게이트 버스 라인(22) 및 드레인 버스 라인(23)에 기인하는 전기력선의 횡방향 성분이 액정 분자에 크게 영향을 미치지 않는 반면, 디스클리네이션 라인(26)은 제4(a)도에 도시된 바와 같이 게이트 버스 라인(22), 드레인 버스 라인(23)의 측면 에지 및 픽셀 전극(21)의 중심선과 일치되는 경계로 연장된다. 디스클리네이션 라인(26)은 5 미크론 내지 10 미크론 폭의 범위를 갖고, 픽셀 전극(21)의 중심선에 대한 협소한 차단(shading) 부재가 디스클리네이션 라인(26)을 가린다.

하지만, 애니메이션 또는 블랙 영상이 픽셀 위에 표시될 때, 제4(b)도에서와 같이, 전기력선의 횡방향 성분은 연장되고, 디스클리네이션 라인(26)은 넓게 뒤틀리게 되며 픽셀 전극(21) 상의 개구 영역으로 돌출된다. 디스클리네이션의 움직임은 잔상으로 인식된다.

디스클리네이션 라인(26)은 광학적 투과율을 변동시키고, 이런 이유 때문에 블랙 영상은 광학적 투과율의 증가에 기인하여 희끄무레해진다. 실제의 영상 재생에 있어서, 디스클리네이션 라인은 소실 영상 및 경사각으로부터의 바람직하지 못한 브라이트 스팟(bright spot)의 원인이 되며, 재생된 영상을 열화시킨다.

미심사된 특허출원의 일본 공개특허공보 제 5-173138호에는 액정 표시 패널이 개시되어 있으며, 차단 부재는 종래의 액정 표시 패널에 설치된다. 저장 캐패시터 전극(6)(제1도 및 제2도 참조)은 미심사 특허출원의 일본 공개특허공보 제 5-173138호에 기재된 종래의 액정 표시 패널의 차단부재와 유사하게 기능한다. 차단 부재는 경계를 따라 연장되는 디스클리네이션 라인을 가리고, 향상된 광학 투과율에 기인하는 바람직하지 않은 영향으로부터 블랙 영상을 보호한다. 차단 부재는 경사진 시인점(viewing point)으로부터의 브라이트 스팟 및 소실 영상에 대하여 효과적이다.

그러나, 차단 부재가 액정 표시 장치에 제공되다 하더라도, 디스클리네이션 라인은 스크린에서 완전하게 제거되지는 않으며, 스크린상에서 소실 영상이나 브라이트 스팟이 종종 관찰된다. 이것은 분할된 미소 영역뿐만 아니라 전계가 디스클리네이션 라인의 원인이 된다는 사실 때문이다. 달리 말하면, 경계상의 액정의 에너지 안정성은 액정 방향의 에너지 및 전계에 기인한 에너지 변화에 의해 영향을 받는다. 이들 요소는 픽셀의 중심부에서 경계상에 생성된 디스클리네이션 라인을 변형시키며, 디스클리네이션 라인은 차단 부재하에서 볼 수 있도록 변형된다. 특히, 디스클리네이션은 중심부보다는 픽셀의 끝부분에서 변형되기 쉬우며, 제어 불가능한 디스클리네이션 라인으로 인하여 소실 영상 및 브라이트 스팟이 초래된다.

미심사 특허출원의 일본 공개특허공보 제 57-186735, 60-211422, 63-106624, 64-88520, 1-245223 및 5-203951 호에는 유사한 액정 표시 장치에 대해 개시되어 있으며, 다르게 배향된 영역으로 분할되는 픽셀은 종래의 액정 표시 장치의 특징을 이룬다.

공지된 배향 기법에는 산화 실리콘의 경사 증착법 및 폴리이미드(Polyimide)의 박막에서 수행되는 러빙 처리가 있다. 이용 가능한 폴리이미드는 미심사 특허출원의 일본 공개특허공보 제 61-47932 및 6-148650 호에 개시되어 있다. 다른 이용가능한 폴리이미드는 Nissan Chemical Corporation 제조의 SE-7311 및 Nippon Synthetic Rubber Corporation 제조의 AL1051로서 공지되어 있다.

복수의 미소 영역이 러빙 처리를 통하여 형성될 경우, 픽셀에 할당되는 좁은 영역에서 러빙 방향을 바꾸는 것이 필요하다. 미심사된 특허출원의 일본 공개특허공보 제 60-211422, 5-203951 및 5-173137 호는 러빙법을 개시하고 있다.

미심사 특허출원의 일본 공개특허공보 제 60-211422 호에 개시된 러빙법은 다음과 같은 순서를 따른다. 먼저, 배향막상의 픽셀에 할당된 미소 영역이 한 방향으로 러빙되고, 포토레지스트층에 의해 부분적으로

피복된다. 노출된 영역은 다른 방향으로 또다시 러빙되고, 포토레지스트층은 배향막으로부터 제거된다. 그 순서가 반복되고, 배향막은 다르게 배향된다

한편, 미시사 특허출원의 일본 공개특허공보 제 5-173137 및 5-203951 호는 다음과 같은 순서를 따른다. 기관의 하나는 분리 배향, 즉 서로 다른 방향으로 배향된 영역에 사용되고, 다른 기관은 균일한 배향이 된다. 분리 배향된 기관의 프리틸트각은 균일하게 배향된 기관에 대한 프리틸트각 또는 균일하게 배향된 기관의 프리틸트각보다 큰 각으로 조절된다. 액정층의 배향은 분리 배향된 기관에 의해 좌우된다.

각각의 픽셀 영역이 서로 다르게 배향된 영역들로 분리될 때, 디스클리네이션 라인은 영역간의 경계를 따라 발생하며, 빛이 디스클리네이션을 통하여 누설된다. 이로써, 콘트라스트의 저하 현상이 나타나게 된다. 차단 부재는 스크린상에 생긴 영상에 대한 콘트라스트의 악화를 막는다. 하지만, 차단 부재의 폭이 넓을 경우, 와이드 차단 부재는 개구비를 감소시키고, 스크린을 어렵게 한다. 이런 이유로, 차단 부재는 보통, 큰 개구율을 크게 하기 위해 협소하다.

차단 부재가 협소한 경우, 디스클리네이션 라인은 협소한 차단 부재 하에 볼 수 있게 되도록 변형되며, 누설된 빛이 콘트라스트를 저하시킨다. 보다 구체적으로는, 디스클리네이션 라인이 정확하게 경계를 따라 연장되는 경우, 협소한 차단 부재는 디스클리네이션 라인을 감출 수 있다. 그러나, 횡방향 전계는 픽셀의 주변에서 디스클리네이션 라인을 넓게 왜곡시키며, 차단 부재의 폭은 주변에서 부분적으로 넓어진다.

따라서, 종래의 액정 표시 장치는 디스클리네이션 라인을 감추도록 부분적으로 넓은 차단 부재가 요구되며, 낮은 개구율은 스크린을 어렵게 한다.

[발명의 개요]

따라서, 본 발명의 목적은 디스클리네이션에 기인하는 소실 영상, 잔상, 브라이트 스팟 및 낮은 콘트라스트가 없는 액정 표시 장치를 제공하는 것이다.

위와 같은 목적을 달성하기 위하여, 본 발명은 배향막상에 서로 다르게 배향된 영역간의 경계 주변의 액정 분자의 프리틸트의 방향에 액정층을 가로지르는 전계의 전기력선을 일치시키는 것을 제안한다.

그 목적 달성을 위하여, 본 발명은 공통 전극을 덮는 배향막으로 하여금 다르게 액정을 배향시키도록 하고 있다.

본 발명의 양태에 따르면, 복수의 게이트 버스 라인과, 상기 복수의 게이트 버스 라인으로부터 전기적으로 절연되어서 상기 복수의 게이트 버스 라인과 함께 복수의 영역을 형성하는 복수의 드레인 버스 라인과, 상기 복수의 영역에 각각 형성되고 상기 복수의 게이트 버스 라인 및 상기 복수의 드레인 버스 라인으로부터 전기적으로 절연되는 복수의 픽셀 전극과, 상기 복수의 픽셀 전극과 각각 관련된 복수의 스위칭 트랜지스터로서, 상기 복수의 스위칭 트랜지스터 각각은 상기 복수의 픽셀 전극과 관련된 하나와 상기 드레인 버스 라인중 하나 사이에 연결되는 소스 드레인 경로, 및 상기 복수의 게이트 버스 라인중 하나에 연결된 게이트를 갖고 있는 상기 복수의 스위칭 트랜지스터와, 상기 복수의 게이트 버스 라인, 상기 복수의 드레인 버스 라인, 상기 복수의 픽셀 전극 및 상기 복수의 스위칭 트랜지스터를 피복하며, 복수의 부영역으로 분할되고, 인접한 두개의 부영역마다 다른 방향으로 배향되는 제1배향막을 포함하는 제1기관 구조; 상기 복수의 픽셀 전극에 대향되는 공통 전극 및 상기 공통 전극을 피복하여 상기 제1배향막과 함께 갭을 형성하는 제2배향막을 포함하는 제2기관 구조; 및 상기 갭을 메우는 액정을 포함하는 액정 표시 장치로서, 상기 복수의 부영역(A/B)은 상기 복수의 픽셀 전극상에서 연장되는 제1경계(36a, 73a, 85a/85b) 및 제2경계(36b, 73b, 85c)를 형성하고, 상기 제2경계 각각은 상기 복수의 픽셀 전극중의 하나와 관련된 상기 복수의 스위칭 트랜지스터중 하나에 결합되는 드레인 버스 라인 및 게이트 버스 라인 중의 하나와, 상기 복수의 픽셀 전극중의 상기 하나 사이의 영역상에서 연장되는 것을 특징으로 하는 액정 표시 장치가 제공된다.

본 발명의 다른 양태에 따르면, 복수의 게이트 버스 라인과, 상기 복수의 게이트 버스 라인으로부터 전기적으로 절연되고 상기 복수의 게이트 버스 라인과 함께 복수의 영역을 형성하는 복수의 드레인 버스 라인과, 상기 복수의 영역에 각각 형성되고 상기 복수의 게이트 버스 라인 및 상기 복수의 드레인 버스 라인으로부터 전기적으로 절연되는 복수의 픽셀 전극과, 상기 복수의 픽셀 전극에 각각 관련된 복수의 스위칭 트랜지스터로서, 상기 복수의 스위칭 트랜지스터 각각은 상기 복수의 픽셀 전극중 관련된 하나와 상기 드레인 버스 라인중의 하나 사이에 결합되는 소스 드레인 경로, 및 상기 복수의 게이트 버스 라인중 하나에 결합되는 게이트를 갖는 상기 복수의 스위칭 트랜지스터와, 상기 복수의 게이트 버스 라인, 상기 복수의 드레인 버스 라인, 상기 복수의 픽셀 전극 및 상기 복수의 스위칭 트랜지스터를 피복하는 제1배향막을 포함하는 제1기관 구조; 상기 복수의 픽셀 전극에 대향되는 공통 전극과, 상기 공통 전극을 피복하여 상기 제1배향막과 함께 갭을 형성하는 제2배향막을 포함하는 제2기관 구조로서, 상기 제2배향막이 복수의 부영역으로 분할되며, 인접하는 2개의 상기 부영역마다 다른 방향으로 배향되는 상기 제2기관 구조; 및 상기 갭을 메우는 액정을 포함하는 액정 표시 장치에 있어서, 상기 제1배향막 및 상기 제2배향막은, 상기 액정이 상기 제1배향막에 인접한 제1액정 분자 및 상기 제2배향막에 인접한 제2액정 분자를 갖도록 각각의 화합물로 형성되며, 상기 제1액정 분자의 프리틸트각은 상기 제2액정 분자의 프리틸트각보다 작은 것을 특징으로 하는 액정 표시 장치가 제공된다.

본 발명의 또다른 양태에 따르면, 복수의 게이트 버스 라인과, 상기 복수의 게이트 버스 라인으로부터 전기적으로 절연되고 상기 복수의 게이트 버스 라인과 함께 복수의 영역을 형성하는 복수의 드레인 버스 라인과, 상기 복수의 영역에 각각 형성되고 상기 복수의 게이트 버스 라인 및 상기 복수의 드레인 버스 라인으로부터 전기적으로 절연되는 복수의 픽셀 전극과, 상기 복수의 픽셀 전극에 각각 관련된 복수의 스위칭 트랜지스터로서, 상기 복수의 스위칭 트랜지스터 각각은 상기 복수의 픽셀 전극중 관련된 하나와 상기 드레인 버스 라인중의 하나 사이에 결합되는 소스 드레인 경로, 및 상기 복수의 게이트 버스 라인중 하나에 결합되는 게이트를 갖는, 상기 복수의 스위칭 트랜지스터와, 상기 복수의 게이트 버스 라인, 상기 복수의 드레인 버스 라인, 상기 복수의 픽셀 전극 및 상기 복수의 스위칭 트랜지스터를 피복하고, 복수의 부영역으로 분할되는 제1배향막으로서, 인접하는 두 개의 부영역마다 각각의 상기 복수의 픽셀 전극상에서 경계를 형성하도록 서로 다른 방향으로 배향되는, 상기 제1배향막을 포함하는 제1기관 구조; 상기 복수의

픽셀 전극에 대항되는 공통 전극과, 상기 공통 전극을 피복하고 상기 제1배향막과 함께 갭을 형성하는 제2배향막을 포함하는 제2기판 구조; 및 상기 갭을 메우는 액정을 포함하는 액정 표시 장치로서, 상기 공통 전극(101b)은 상기 각각의 복수 픽셀 전극(100b)상의 상기 경계(104)를 따라 각각 일치되는 복수의 슬릿(101b)을 갖는 액정 표시 장치가 제공된다.

본 발명에 따른 액정 표시 장치의 특징 및 이점은 첨부 도면과 관련된 하기의 상세한 설명으로부터 보다 명확하게 이해될 것이다.

[양호한 실시예의 설명]

[제1실시예]

도면의 제5도를 참고하면, 본 발명을 구현하는 액정 표시 패널은 크게 제1기판 구조(30), 제1기판 구조(30)와 떨어져 있는 제2기판 구조(31) 및 제1기판 구조(30) 및 제2기판 구조(31)간의 갭을 메우는 액정(32)을 포함한다. 제5도는 제2기판 구조(31)상의 관점에서 액정 표시 패널을 도시한다.

제1기판 구조(30)는 제1기판(30a), 간격을 두고 연장되는 복수의 게이트 버스 라인(30b), 및 게이트 버스 라인(30b)에 수직으로 간격을 두고 연장되고 게이트 버스 라인(30b)과 전기적으로 절연된 복수의 드레인 버스 라인(30c)을 포함한다. 제5도에서는 게이트 버스 라인(30b) 및 드레인 버스 라인(30c)이 빗금쳐져 있지만, 그 해칭선은 다른 구성 부재로부터 게이트/드레인 버스 라인(30b 및 30c)의 용이한 판별을 위한 것이다. 이하의 설명에 있어서, 용어 "행"은 게이트 버스 라인(30b)이 연장되는 방향을 의미하고, 용어 "열"은 드레인 버스 라인(30c)이 연장되는 방향을 의미한다.

제1기판 구조(30)는 게이트 버스 라인(30b) 및 드레인 버스 라인(30c)을 피복하는 절연층(30d)과 절연층(30d)에 행 및 열로 배열되는 복수의 픽셀 전극(30e)을 더 포함한다. 각각의 픽셀 전극(30e)은 일반적으로 장방형 영역으로 할당되고, 두 게이트 버스 라인(30b) 및 두 드레인 버스 라인(30c)은 일반적으로 장방형 영역의 두개의 긴 축선 및 두개의 짧은 끝선을 따라 연장된다. 픽셀 전극(30e)은 한 영상이나 복수의 영상들이 생성되는 스크린의 픽셀을 각각 한정한다.

각각의 게이트 버스 라인(30b)은 인접한 행의 픽셀 전극(30e)과 부분적으로 중첩되고, 저장 캐패시터(30f)가 게이트 버스 라인(30b) 및 픽셀 전극(30e)간의 중첩된 영역내에 형성된다.

제1기판 구조(30)는 픽셀 전극(30e)에 각각 관련된 복수의 스위칭 트랜지스터(30g)를 더 포함한다. 이 경우에, 스위칭 트랜지스터(30g)는 금속 절연 반도체형 전계 효과 트랜지스터에 의해 각각 구현된다. 스위칭 트랜지스터(30g)의 게이트 전극은 게이트 버스 라인(30b)에 선택적으로 결합되고, 소스 드레인 경로는 관련 픽셀 전극(30e) 및 드레인 버스 라인(30c) 사이에 결합된다.

제1기판 구조(30)는 절연층(30d)의 노출면 및 픽셀 전극(30e)을 피복하는 제1배향막(30h)을 더 포함하며, 액정(32)이 제1배향막(30h)과 접촉하고 있다.

한편, 제2기판 구조(31)는 제2기판(31a)과, 제2기판(31a)의 내측면에 형성되는 공통 전극(31b) 및 공통 전극(31b)을 피복하는 제2배향막(31c)을 포함한다. 제2배향막(31c)은 액정(32)과 접촉하고 있다.

제1 및 제2배향막(30h, 31c)은 스트라이프(stripe) 영역(A, B)으로 분리되고, 스트라이프 영역(A)은 스트라이프 영역(B)과 다르게 배향된다. 화살표(34a, 34b)는 스트라이프 영역(A)내의 배향 방향 및 제1배향막(30h)의 스트라이프 영역(B)내의 배향 방향을 나타내고, 화살표(35a, 35b)는 스트라이프 영역(A)내의 배향 방향 및 제2배향막(31c)의 스트라이프 영역(B)내에서의 배향 방향을 나타낸다.

인접한 스트라이프 영역(A, B)간의 경계는 참조 부호(36a 또는 36b)로 표시된다. 경계(36a, 36b)는 게이트 버스 라인(30b)에 평행하게 연장된다. 각각의 경계(36a)는 행의 픽셀 전극(30e)의 중심선에 일치되고, 각각의 경계(36b)는 픽셀 전극(30e)의 행에 관련된 스위칭 트랜지스터(30g)의 게이트 전극에 결합되는 게이트 버스 라인(30b) 및 행의 픽셀 전극(30e)의 짧은 사이를 통과한다. 제6도에 도시되지는 않았지만, 제2기판 구조는 경계(36A), 게이트 버스 라인(30b) 및 드레인 버스 라인(30c)상에 형성되는 차단 부재를 포함할 수 있다. 컬러 필터도 제2기판 구조(31)에 설치될 수 있다.

제7(a)~7(e)도는 스트라이프 영역(A, B)을 형성하기 위한 러빙 처리를 설명하고 있다. 제1 및 제2배향막(30h, 31c)은 모두 러빙 처리를 통하여 형성되며, 제1배향막(30h)에 대해서만 설명한다.

픽셀 전극(30e)이 절연층(30d)상에서 패터닝될 때, 유기 화합물막(37)이 제7(a)도에 도시된 바와 같이 픽셀 전극(30e) 상에 제공된다. 이 예에서, 유기 화합물은 Nissan Chemical Corporation에 의해 제조된 SE-7210으로 불리는 폴리이미드이다.

러빙 로울러(38)가 준비되며, 레이온 시트와 같은 가죽천(buff cloth)이 회전 부재에 감겨 있다. 러빙 로울러(38a)는 화살표(38a) 방향으로 회전하며, 화살표(38b) 방향으로 진행한다. 러빙 로울러(38)는 유기 화합물막(37)에 접촉하여 유지되며, 유기 화합물막(37)은 제7(b)도에서와 같이 러빙 로울러(38)에 의해 러빙된다.

계속해서, 포토레지스트 마스크(39)가 유기 화합물막(37)에 제공되며, 제7(c)도에서와 같이 스트라이프 영역(A 또는 B)을 위해 표면 영역을 덮는다. 노출면 영역이 러빙 로울러(38)에 의해 러빙되고, 러빙 로울러가 회전하여 제7(d)도에 도시된 화살표(38c, 38d)로 표시된 반대 방향으로 진행한다.

마침내, 포토레지스트가 유기 화합물막(37)에서 에틸락틱산으로 제거된다.

액정은 미량의 좌회전성의 카이랄제(chiral agent)를 함유하며, 배향막(30h, 31c)상의 러빙 방향 및 카이랄제는 액정 분자로 하여금 배향막(31c)의 표면으로부터 배향막(30h)의 표면으로 시계 바늘 반대 방향으로 90도이상 회전하도록 한다. 배향막(30h, 31c)의 표면 주위의 액정 분자는 배향 방향에 따라 화살표(34a/34b, 35a/35b)로 표시된 바와 같이 프리틸트된다. 즉, 액정 분자는 스트라이프 영역(A, B) 사이에서 서로 다르게 프리틸트되고, 이에 따라 전계하에서 다른 방향으로 입상한다.

제6도는 게이트 버스 라인(30b)의 연장 방향에 대하여 수직인 단면을 도시하며, 스트라이프 영역(A, B)간의 경계(36b)를 일정 채선으로 표시하고 있다. 짧은 막대(LC)는 경계(36b)의 양측상의 액정 분자를 나타내고, 화살표쌍(40a, 40b)은 액정 분자(LC)의 입상 방향을 나타낸다.

계속해서, 제8도를 참고하여 액정 표시 패널의 액정(32)에 생성되는 디스클리네이션에 대하여 설명하기로 한다. 화살표(41a/41b, 41c/41d)는 단면을 향한 배향막(31c)상의 러빙 방향 성분 및 단면을 향한 배향막(30h)상의 러빙 방향 성분을 나타낸다.

픽셀 전극(30e) 및 공통 전극(31b) 사이에 전위가 인가되었을 때, 점선으로 표시되는 바와 같이 전계가 발생되고, 이 전계는 액정 분자(LC)의 속성에 영향을 미치게 된다.

전술한 바와 같이 경계(36b)가 게이트 버스 라인(30b) 및 픽셀 전극(30e) 사이로 연장되고, 이에 따라 전계내의 전기력선은 경계(36b) 주위에 프리틸트 방향과 일치한다. 전선의 횡방향 성분은 경계(36b)의 양측에 있는 액정 분자에 나쁜 영향을 미치지 않는다. 이로써, 디스클리네이션 라인(42)은 픽셀 전극(30e) 및 게이트 버스 라인(30b) 사이에 소정의 위치로 고정된다. 디스클리네이션(42)은 픽셀 전극(30e)상의 개구 영역내로 돌출되지 않으며, 본 발명에 따른 액정 표시 패널은 화질이 향상된 영상 또는 영상들을 발생시킨다. 달리 말하면, 영상의 콘트라스트비가 향상되고, 브라이트 스폿 및 소실 영상이나 잔상을 방지할 수 있다.

본 발명자는 본 발명의 범위 밖의 액정 표시 패널의 스크린상에 생성된 영상과 비교하여 향상된 화질을 확인하였다. 제9도는 제1비교예의 액정 표시 패널의 구조를 나타내며, 그 구성 요소는 제8도의 액정 표시 패널에서와 같은 부호로 표시되어 있다.

화살표(41a, 41b, 41c, 41d)에서 이해할 수 있듯이, 스트라이프 영역(A, B)사이의 경계(43)가 게이트 버스 라인(36b)의 중심선에 일치되고, 게이트 버스 라인을 따라 연장된다. 다른 경계(도시 생략)가 경계(36a)와 유사하게 각 행으로 픽셀 전극(30e)을 가로질러 연장된다.

전계내의 전기력선은 경계(43) 주변의 액정 분자의 프리틸트 방향과 일치하지 않으며, 픽셀 전극(30e)상에 디스클리네이션(44)이 불안정하게 발생한다. 디스클리네이션(44)이 화질을 저하시킨다.

전술한 바에서 알 수 있듯이, 게이트 버스 라인(30b) 및 픽셀 전극 사이에 스트라이프 영역(A, B)간의 경계의 위치가 정해지고, 전계내의 전기력선은 경계 주위의 프리틸트 방향과 일치한다. 따라서, 디스클리네이션 라인(4)은 게이트 버스 라인(30b) 및 픽셀 전극(30e) 사이의 위치로 고정되며, 누설 전류는 픽셀 전극(30e)상에 생성되는 영상이나 영상들에 영향을 미치지 않는다.

[제2실시예]

제10도에 도시된, 본 발명을 구현하는 다른 액정 표시 패널은 또한 제 1기판 구조(50), 제 1기판 구조(50)에서 떨어져 있는 제 2기판 구조, 및 제 1기판 구조(50) 및 제 2기판 구조간의 갭을 메우는 액정을 포함한 다. 제10도는 제2기판 구조(31)의 관점에서 본 액정 표시 패널을 도시하고 있으며, 제2실시예의 제1 및 제2기판 구조는 배향막(30h, 31c)에 대응하는 배향막을 제외하고는 제1 및 제2기판 구조(30, 31)와 유사하다. 이런 이유로, 제2실시예의 구성 요소는 상세한 설명 없이 제1실시예에서와 같은 부호로 표시한다. 게이트 버스 라인(30b) 및 드레인 버스 라인(30c)은 용이한 디스클리네이션을 위해 래치된다.

제1기판 구조(50)의 배향막은 액정이 큰 프리틸트각을 갖게 하는 물질로 형성된다. 한편, 제2기판 구조의 배향막은 액정이 작은 프리틸트각을 갖게 하는 물질로 형성된다. 제1기판 구조(50)의 배향막은 제1실시예의 배향막(30h)과 마찬가지로, 다르게 배향된 스트라이프 영역(A, B)으로 분할된다. 하지만, 제2기판 구조의 배향막은 다르게 배향되지 않고, 화살표(51)로 표시된 방향으로 전체면에 걸쳐 균일하게 배향된다. 한쪽 방향으로의 러빙은 균일하게 배향된 막을 형성하며, 제2실시예에서의 공정은 다소 간략해진다.

경계(36b)는 픽셀 전극(30)의 행 및 게이트 버스 라인(30b) 사이에서 연장되며, 다른 경계(36a)는 픽셀 전극(30e)의 행의 중앙선에 대체로 일치된다.

큰 프리틸트각에 대한 배향막에 의해 액정 분자의 입상 방향이 좌우되며, 제2기판 구조의 배향막에 스트라이프 영역(A, B)이 없이 제1실시예에서와 유사한 액정 분자의 일치를 이룬다.

제7(a)~7(e)도의 러빙이 스트라이프 영역(A, B)간의 프리틸트 각도를 다르게 하는 경우, 더 큰 프리틸트각을 갖는 스트라이프 영역은 소위 스프레이형 배치를 형성하게 된다. 이 스프레이형 배치에 의해 안정한 액정 분자 정합이 달성된다. 이 경우에, Nissan Chemical Corporation 제조의 SE-7210 및 Nippon Synthetic Rubber Corporation 제조의 AL-1051를 큰 프리틸트각을 위한 물질 및 작은 프리틸트각을 위한 물질에 사용한다.

본 발명자는 제2실시예를 구현하는 액정 표시 패널과 본 발명의 범위 밖의 제2비교예의 액정 표시 패널과 비교하였다. 제2비교예의 액정 표시 패널은 스트라이프 영역(A, B)간의 경계를 제외하고는 제10도의 액정 표시 패널과 구조상 유사하다. 경계(36b)는 게이트 버스 라인(30b) 및 픽셀 전극(30e) 사이에 위치하지 않고, 게이트 버스 라인(30b)의 중심선과 일치한다.

전위가 인가될 때, 제1비교예의 액정 표시 패널과 유사하게 제2비교예의 액정 표시 패널의 픽셀 전극(30e)상에 디스클리네이션 라인이 불안정하게 발생된다. 한편, 본 발명에 따른 액정 표시 패널은 게이트 버스 라인(30b) 및 픽셀 전극(30e) 사이의 위치로 디스클리네이션 라인을 고정시키고, 픽셀 전극(30e)상의 개구영역으로 돌출하지 않는다. 게이트 버스 라인(30b) 및 픽셀 전극(30e) 사이에 고정된 디스클리네이션 라인은 전계내의 전기력선 및 프리틸트 방향 간의 일치로부터 도출된다. 따라서, 본 발명자는 화질의 향상을 확인하였다.

[제3실시예]

본 발명은 등균질형 액정 표시 패널에 생성된 디스클리네이션 라인에 대하여 효과적이며, 제11도는 본 발명을 구현하는 등균질형 액정 표시 패널을 도시한다. 등균질형 액정 표시 패널은 또한 제1기판 구조(60),

제2기판 구조, 및 제1기판 구조(60) 및 제2기판 구조간의 갭을 메우는 액정을 구비한다. 제11도는 제2기판 구조상의 관점에서 등균질형 액정 표시 패널을 도시하고 있으며, 제2실시예의 제1 및 제2기판 구조는 배향막(30h, 31c)에 대응하는 배향막을 제외하고는 제1 및 제2 기판 구조(30,31)와 유사하다. 이런 이유로 제3실시예의 구성 요소는 상세한 설명없이 제1실시예에서와 같은 참조 부호로 표시된다. 게이트 버스 라인(30b) 및 드레인 버스 라인(30c)은 용이한 디스클리네이션을 위해 래치된다.

제1기판 구조(60)의 배향막은 스트라이프 영역(A,B)으로 분할되며, 배향 방향은 화살표 (61a, 61b)로 표시된 바와 같이 스트라이프 영역(A) 및 스트라이프 영역(B) 사이에서 반대이다. 제2기판 구조의 배향막은 스트라이프 영역(A,B)으로 분할되고, 배향 방향은 화살표(62a,62b)로 표시된 바와 같이 제1기판 구조(60)의 배향막의 배향 방향에 각각 대향하고 있다.

경계(36a, 36b)는 제1실시예에서와 유사하게 위치한다. 경계(36a)는 게이트 버스 라인(30b)에 평행하여 연장되며, 각각의 행의 픽셀 전극(30e)의 중심선을 통과한다. 한편, 경계(36b)는 픽셀 전극(30e)의 관련 행에 각각 결합되는 게이트 버스 라인(30b) 및 픽셀 전극(30e)의 행 사이에서 연장된다. 배향막이 큰 프리틸트각을 위한 물질 및 작은 프리틸트각을 위한 또다른 물질로 각각 형성될 경우, 스트라이프 영역(A, B)은 제1기판 구조만의 배향막내에서 형성되며, 공정은 제2실시예와 마찬가지로 간략화된다.

액정은 카이랄제를 함유하지 않으며, 액정 분자는 배향막의 표면과 평행하게 배향 방향과 일치된다. 배향막의 표면 주위의 액정 분자는 화살표(61a/61b, 62a/62b)의 머리쪽으로 프리틸트된다. 따라서, 액정 분자는 배향막의 표면 주위의 스트라이프 영역(A, B) 사이에서 다르게 프리틸트되며, 전계하에서 다르게 입상한다.

본 발명자는 등균질형 액정 표시 패널의 액정에서 생성되는 디스클리네이션 라인의 위치를 확인하였다. 제3비교예의 등균질형 액정 표시 패널도 경계(36b)를 제외하고는 제3실시예에서와 유사하게 제조된다. 제3비교예의 등균질형 액정 표시 패널의 경계(36b)는 제1비교 액정 패널과 유사하게 게이트 버스 라인(30b)의 중심선 방향과 일치된다.

본 발명에 따른 등균질형 액정 표시 패널의 경계(36b)는, 액정이 경계(36b)의 양측상에서 프리틸트 방향 및 전계내의 전기력선을 일치시킴으로써 게이트 버스 라인(30b) 및 픽셀 전극(30e) 사이에서 디스클리네이션 라인을 고정되게 생성하도록 하고 있다. 한편, 제3비교예의 등균질형 액정 표시 패널에 의하면, 디스클리네이션 라인이 픽셀 전극(30e)상의 개구 영역으로 불안전하게 돌출되도록 하는데 이는 경계(36b)의 양측에 대하여 액정 분자의 프리틸트 방향과 불일치하는 전기력선 때문이다.

따라서, 디스클리네이션 라인은 본 발명에 따른 등균질형 액정 표시 패널의 화질을 저하시키지 않는다

[제4실시예]

도면의 제12도에 있어서, 본 발명을 구현하는 또다른 액정 표시 패널 또한 제1기판 구조(70), 제2기판 구조, 및 제1기판 구조와 제2기판 구조간의 갭을 메우는 액정을 구비한다. 제12도는 제2기판 구조상의 관점에서 액정 표시 패널을 도시한다. 제2기판 구조 및 액정은 제1실시예에서와 유사하다.

게이트 버스 라인(71)은 드레인 버스 라인(72)과 교차되고, 드레인 버스 라인(72) 및 픽셀 전극(30e) 사이에 결합된 스위칭 트랜지스터(30g)를 제어한다. 게이트 버스 라인(71) 및 드레인 버스 라인(72)은 다른 구성요소들로부터 쉽게 판별할 수 있도록 해칭되어 있다. 게이트 버스 라인(71)은 픽셀 전극(30e)과 중첩되지 않으며, 게이트 저장 구조는 그들 사이에 형성되지 않는다.

제1기판 구조(70)의 배향막 및 제2기판 구조의 배향막은 스트라이프 영역(A, B)으로 분할된다. 경계(73a)는 드레인 버스 라인(72)에 평행하게 연장되며, 픽셀 전극(30e)의 행의 중심선을 따라 일치된다. 한편, 경계(73b)는 드레인 버스 라인(72)에 평행하게 드레인 버스 라인(72) 및 픽셀 전극(30e)의 행들 사이에서 연장된다.

제1기판 구조(70)의 배향막은 스트라이프 영역(A, B) 사이에서 다르게 배향되며, 배향의 방향은 참조 부호(74a, 74b)로 표시된다. 참조부호(75a, 75b)는 제2기판 구조의 배향막상의 스트라이프 영역(A, B)내에서의 배향 방향을 나타낸다.

각 경계(73b)의 양측상의 액정 분자는 제6도에 도시된 액정 분자(LC)에서와 같이 각각 기울어지는 개개의 주축을 갖는다.

본 발명자는 드레인 버스 라인(72) 및 픽셀 전극 사이의 액정에서 디스클리네이션 라인이 안정하게 발생됨을 확인하였다. 디스클리네이션 라인은 픽셀 전극(30e)상의 개구 영역으로 돌출되지 않으며, 제4실시예를 구현하는 액정 표시 패널은 화질이 향상되었다.

[제5실시예]

제13도는 매트릭스로 배열되고 게이트 버스 라인(81) 및 드레인 버스 라인(82)으로 둘러싸인 픽셀 전극(80)을 도시한다. 픽셀 전극(80)은 제1기판 구조내에서 형성되며, 제1기판 구조는 제2기판 구조와, 제1 및 제2기판 구조간의 갭을 메우는 액정과 함께 액정 표시 패널을 형성한다. 제13도는 제2기판 구조상의 관점에서 액정 표시 패널을 도시한다. 제2기판 구조 및 액정은 제1실시예에서와 유사하며, 게이트 버스 라인(81) 및 드레인 버스 라인(82)은 다른 구성요소와 쉽게 판별할 수 있도록 해칭되어 있다.

제1기판 구조 및 제2기판 구조는 각각의 배향막을 갖고, 배향막은 각각의 픽셀 전극(80)과 중첩되는 각각의 장방형 영역을 포함한다. 제1배향막의 장방형 영역은 4개의 부영역(A, B, C 및 D)으로 분할되고, 참조 부호(83a, 83b, 83c 및 83d)는 제1기판 구조의 배향막내의 4개의 부영역(A, B, C 및 D)의 배향 방향을 나타내고 있다. 유사하게, 참조부호(84a, 84b, 84c 및 84d)는 제2기판 구조의 배향막내의 4개의 부영역(A, B, C 및 D)의 배향 방향을 각각 나타낸다.

경계(85a, 85b, 85c 및 85d)는 부영역(A, B, C 및 D) 사이에서 발생한다. 각각의 경계(85a)는 픽셀 전극(80)의 제1중심선과 일치되며, 드레인 버스 라인(82)에 평행하게 연장된다. 경계(85b)는 제1중심선에 수직으로 픽셀 전극(80)의 제2중심선에 일치되며, 게이트 버스 라인(81)에 평행하게 연장된다. 각각의 경계

(85c)는 게이트 버스 라인(81)에 평행하게 이 게이트 버스 라인(81)과 관련된 픽셀 전극(80) 및 게이트 버스 라인(81)중의 하나 사이에서 연장되고, 각각의 경계부(85d)는 드레인 버스 라인에 관련된 픽셀 전극 및 각각의 드레인 버스 라인(82)의 각각의 사이에서 연장된다.

각각의 경계(85c 또는 85d)의 양측상의 액정 분자는 전계 하에서 제6도에 도시된 액정 분자(LC)와 유사하게 각각 기울어지는 개개의 주축을 갖는다.

본 발명자는, 디스클리네이션 라인이 픽셀 전극(80) 및 게이트 버스 라인(81) 사이와 픽셀 전극(80) 및 드레인 버스 라인(82) 사이에서 안정적으로 발생됨을 확인하였다. 디스클리네이션 라인은 픽셀 전극(80)상의 개구 영역으로 돌출되지 않으며, 액정 표시 패널은 화질이 향상되었다.

상술한 설명에서 알 수 있는 바와 같이, 디스클리네이션 라인은, 픽셀 전극 및 게이트/드레인 버스 라인간의 경계의 양측상의 액정 분자에 대한 프리틸트 방향 및 전계내의 전기력선간의 일치함으로 인해 픽셀 전극상의 개구 영역으로 돌출하지 않으며, 액정 표시 패널은 화상 품질을 향상시킨다.

[제6실시예]

도면에 제14도에 있어서, 본 발명을 구현하는 액정 표시 패널은 크게 제 1기판 구조(91), 제1기판 구조(91)에서 떨어져 있는 제2기판 구조(92), 및 제1기판 구조(91)와 제2기판 구조(92)간의 갭을 메우는 액정을 포함한다.

제1기판 구조(91)는 유리로 된 투명 기판(91a)을 포함하며, 픽셀 전극(91b)은 제15도에서와 같이 투명 기판(91a)상에 행 및 열로 배열된다. 픽셀 전극(91b)의 행은 서로 떨어져 있고, 픽셀 전극(91b)의 매 두 열 사이에 갭이 생기게 된다. 픽셀 전극(91b)은 투명 기판(91a)상에 스퍼터링된 산화 주석 인듐막으로부터 패턴화된 산화 주석 인듐(ITO)으로 형성되며, 이에 따라 투명하게 된다. 각각의 픽셀 전극(91b)은 일반적으로 장방향 구조를 가지며, 261 미크론×108 미크론의 영역을 점유한다.

제1기판 구조(91)는, 픽셀 전극(91b)의 두 행 사이에서 각각 연장되는 복수의 게이트 버스 라인(91c), 픽셀 전극(91b)의 두 열 사이에서 각각 연장되는 복수의 드레인 버스 라인(91b), 및 픽셀 전극(91b)에 각각 관련되는 복수의 박막 트랜지스터(91e)를 더 포함한다. 게이트 버스 라인(91c) 및 드레인 버스 라인(91b)은 스퍼터링된 크롬막으로부터 형성되고, 그의 폭은 18 미크론이다. 박막 트랜지스터(91e)가 비결정 실리콘층에 형성되며, 게이트 절연층은 질화 실리콘으로 형성된다.

이 경우에, 게이트 버스 라인(91c)은 행 방향으로 연장된다. 하지만, 게이트 버스 라인(91c) 및 드레인 버스 라인(91d)은 교차 가능하며, 이에 따라, 게이트 버스 라인(91c) 및 드레인 버스 라인(91d)은 열 방향 및 행 방향으로 각각 연장될 수 있다.

제1기판 구조(91)는 폴리이미드의 배향층(91f)을 포함한다. 이 경우에, 배향층(91f)을 위한 폴리이미드는 Nippon Synthetic Rubber Corporation 제조의 AL-1051이고, 제14도에서 짧은 막대로 표시된 액정 분자(LC)에 작은 프리틸트각을 제공한다.

배향층(91f)은 다음과 같이 형성된다. AL-1051의 폴리이미드는 투명 기판(91a)상에 패턴화된 픽셀 전극에 스퍼닝되고, 폴리이미드막은 200°C에서 1시간 동안 가열되며, 가열된 폴리이미드층은 러빙에 사용된다.

제2기판 구조(92)는 투명 기판(92a), 투명 기판(92a)상에 스퍼터링된 크롬막에서 형성된 차단 부재(92b) 및 산화 주석 인듐의 투명 공통 전극(92c)을 포함한다. 투명 공통 전극(92c)은 차단 부재(92b) 및 투명 기판(92a)의 노출면을 덮는다.

제2기판 구조(92)는 또한, 픽셀 전극(91e)상에 매트릭스로 배열된 컬러 필터(92d) 및 투명 공통 전극(92c)의 노출면 및 컬러 필터(92d)를 피복하는 보호층(92e)을 포함한다. 컬러 필터(92d)는 염색 처리에 의해 적절하게 채색되며, 보호층(92e)은 실리콘으로 형성된다.

제2기판 구조(92)는 또한 보호층(92e)을 피복하는 폴리이미드의 배향층(92f)을 더 포함한다. 배향층(92f)의 폴리이미드는 Hitachi Chemical Industry 제조의 LC-102 이고, 제14도에 도시된 액정 분자에 큰 프리틸트각을 제공한다. 배향층(92f)은 반대 방향으로 교호적으로 배향된 복수의 스트라이프 영역으로 분할되고, 인접한 두 스트라이프 영역은 각각의 픽셀 전극(91b)상에 영역(1, 2)을 형성하도록 액정 분자를 서로 다르게 프리틸트한다.

배향층(92f)은 다음과 같이 형성된다. 폴리이미드의 코팅 단계 후, 폴리이미드막을 250°C에서 1시간 동안 가열한다. 가열된 폴리이미드층은 전체면상에서 한 방향으로 러빙 처리된다. 포토레지스트층은 폴리이미드층의 전체면상에 제공되며, 리소그래픽법을 통하여 스트라이프형 포토레지스트 마스크로 패턴화된다. 포토레지스트 마스크는 간격을 두고 스트라이프부를 갖고, 스트라이프부 및 그들간의 개구 영역은 각각 폭 126 미크론 및 폭 135 미크론이다. 각각의 픽셀 전극(91b)은 스트라이프부로 부분적으로 피복되며 개구 영역으로 부분적으로 노출된다. 개구영역에 노출된 폴리이미드층은 이전의 러빙과 180도 다르게 러빙 처리된다. 러빙 후, 포토레지스트 마스크는 폴리이미드 층에서 제거되고, 배향층(92f)은 2회에 걸쳐 러빙을 이용하여 폴리이미드층으로부터 형성된다. 배향층(92f)상에서의 러빙 방향은 제4(a)도 및 제4(b)도에서 25b로 표시된 것과 동일하고, 배향층(91f)상의 러빙 방향은 배향층(92f)상의 배향 방향에 대해 90도 트위스트된다.

제1기판 구조(91)는 배향층(91f)이 배향층(92f)과 5.5 미크론 떨어져 있도록 제2기판 구조(92)와 대향하고 있으며, 실리콘 볼의 스페이서(도시 생략)는 제1기판 구조(91) 및 제2기판 구조(92) 사이에 삽입된다. 제1기판 구조(91)는 스페이서를 통하여 제2기판 구조(92)에 부착되어 있으며, 액정(93)은 그 갭으로 주입된다. 액정은 포지티브의 유전적 비등방성을 갖는 표준 네마틱형이며, 좌회전성의 카이랄제를 함유하고 있다.

본 발명자는 다음과 같이 영역(1, 2)에서 프리틸트각을 측정하였다.

먼저, LC-102의 폴리이미드층은 한 방향으로 러빙 처리되었고, 포토레지스트는 전체 면상에 도포되어 있

다. 포토레지스트층은 마스크로 완전 피복되며, 마스크는 빛에 노출된다. 포토레지스트층이 현상될 때, 포토레지스트층은 폴리이미드층의 전체면상에 남아 있게 된다. 폴리이미드층상의 포토레지스트층은 제2러빙 처리되며, 포토레지스트가 제거된다. 이것이 제1샘플이다.

유사하게, LC-102의 다른 폴리이미드층은 한 방향으로 러빙 처리되며, 포토레지스트는 전체면상에 도포된다. 포토레지스트층은 마스크로 완전하게 피복되지는 않으며, 빛에 노출된다. 포토레지스트층이 현상될 때, 포토레지스트층은 폴리이미드층의 전체면에서 완전 제거된다. 폴리이미드층은 제2러빙 처리된다. 이것이 제2샘플이다. 따라서, 두 종류의 반평행 샘플이 준비되며, 프리틸트각이 결정 회전법(crystal rotation method)을 통하여 측정된다. 제1샘플의 프리틸트각은 3.4도이고, 제2샘플의 프리틸트각은 2.7도이다.

유사하게, 제3샘플이 AL-1051의 폴리이미드를 사용함으로써 준비되며, 프리틸트각은 결정 회전법을 통해 측정된다. 프리틸트각은 1.4도이다.

본 발명자는 액정 표시 패널을 평가하였다. 픽셀상에 영상이 생성될 때, 소실 영상 및 브라이트 스폿은 볼 수 없었다. 반사광이 제1 또는 제2투명 기판(91a, 92)상에 입사될 때, 차단 부재(92b)하에서 디스클리네이션 라인은 감추어진다. 전기력선의 횡방향 성분이 증가할 때, 디스클리네이션 라인은 픽셀 전극(91b)상에서 개구 영역으로 돌출되지 않으며, 본 발명자는 화질의 향상을 확인하게 되었다.

전술한 내용에서 알 수 있듯이, 배향층(92f)은 그 위의 액정 분자가 본 발명에 따른 배향층(91f)상의 액정 분자보다 더 큰 프리틸트각을 갖도록 하며, 이들 배향층(91f, 92f)은 차단 부재(92b)하에서 디스클리네이션 라인을 제한한다. 따라서, 배향층(91f, 92f)을 갖는 액정 표시 패널의 화질이 향상된다.

[제7실시예]

본 발명을 구현하는 다른 액정 표시 패널은 큰 프리틸트각을 위한 폴리이미드를 제외하면 제6실시예와 유사하게 제조된다. 큰 프리틸트각의 배향층(92f)은 Nissan Chemical Corporation 제조의 폴리이미드층 RN-715로부터 형성된다.

본 발명자는 제6실시예와 유사한 처리를 이용하여 프리틸트각을 측정하였다. 포토레지스트층을 통하여 제2러빙 처리된 스트라이프 영역하의 프리틸트각은 12도이고, 2회에 걸쳐 직접 러빙 처리되는 다른 스트라이프 영역하의 프리틸트각은 9도이다.

제7실시예의 배향층(92f)은 더 큰 프리틸트각에 의해 안정한 배향을 얻었고, 본 발명자는 화질의 향상을 확인하였다. 즉, 제7실시예를 구현하는 액정 표시 패널은 브라이트 스폿을 발생시키지 않으며, 디스클리네이션 라인은 픽셀 전극(91b)상의 개구 영역으로 돌출되지 않고서 차단 부재(92b)하에서 감추어지게 된다.

[제8실시예]

본 발명을 구현하는 또다른 액정 표시 패널은 큰 프리틸트각을 위한 폴리이미드를 제외하고는 제6실시예와 유사하게 제조된다. 큰 프리틸트각의 배향층(92f)은 Torary Corporation 제조의 폴리이미드층 K-106으로부터 형성되며, 폴리이미드층은 200°C에서 가열된다.

본 발명자는 제6실시예와 유사한 공정을 사용하여 프리틸트각을 측정하였다. 포토레지스트층을 통하여 제2러빙 처리되는 스트라이프 영역하의 프리틸트각은 16도이고, 2회에 걸쳐 직접 러빙 처리되는 다른 스트라이프 영역하의 프리틸트각은 9도이다.

제8실시예의 배향층(92f)은 더 큰 프리틸트각에 의해 안정적인 배향을 얻게 되었고, 본 발명자는 향상된 화질을 확인할 수 있었다. 즉, 제7실시예를 구현하는 액정 표시 패널은 브라이트 스폿을 생성하지 않으며, 디스클리네이션 라인은 픽셀 전극(91b)상의 개구 영역으로 돌출되지 않고서 차단 부재(92b)하에 감추어지게 된다.

[제9실시예]

도면의 제16도에 있어서, 본 발명을 구현하는 또다른 액정 표시 패널은 제1기판 구조(95), 제1기판 구조(95)와 떨어져 있는 제2기판 구조(96), 및 제1기판 구조(95) 및 제2기판 구조(96)간의 갭을 메우는 액정을 포함한다.

제2기판 구조(96) 및 액정(97)은 제6실시예에서와 유사하며, 이런 이유로, 제2기판 구조(96)의 구성 요소는 상세한 설명없이 제2기판 구조(92)의 대응하는 부분 및 층들을 나타내는 동일한 참조 부호로 표시되어 있다.

제1기판 구조(95)는 배향층(95a)을 제외하고는 제1기판 구조(92)와 유사하며, 제1기판 구조(95)의 다른 구성 요소들은 상세한 설명없이 제1기판 구조(91)의 대응하는 부분 및 층들을 나타내는 동일한 참조 부호로 표시된다.

작은 프리틸트각의 배향층(95a)은 Nissan Chemical Corporation 제조의 폴리이미드 SE-1180으로 형성된다.

본 발명자는 제6실시예와 유사하게 배향층(95a)상의 프리틸트각을 측정하였다. 결정 회전법에 의하면 프리틸트각이 0.8도임을 알 수 있으며, 본 발명자는 액정 표시 패널이 소실 영상 및 브라이트 스폿이 없음을 확인하였다.

픽셀 전극(91b) 및 투명 공통 전극(92c) 사이에 전위가 인가될 때, 전계는 액정층(97)을 가로지르며 발생되고, 대표적인 전기력선이 제17도의 화살표(97a)로 표시되며, 게이트 버스 라인(91c) 및 드레인 버스 라인(91d)은 화살표(97b)로 표시되는 전계 전기력선을 더 생성한다.

배향층(92f)상의 액정 분자의 프리틸트각이 작을 경우, 디스클리네이션 라인은 주변 위치(98a)에서 픽셀

전극(91b)상의 중심 위치(98b)로 이동된다. 한편, 프리틸트각이 클 경우, 디스클리네이션 라인은 픽셀 전극(91b)의 주변 영역상에서 발생된다.

본 발명자는 디스클리네이션 라인의 돌출을 관찰하였고, 배향층(92f)상의 액정 분자의 프리틸트각 및 디스클리네이션 라인의 위치간의 관계를 연구했다. 프리틸트각이 1.5도 보다 작을 경우, 디스클리네이션 라인은 픽셀 전극(91b) 폭의 10퍼센트내로 픽셀 전극의 외측 주변으로부터 돌출된다. 프리틸트각이 1.0도보다 작을 경우, 돌출 길이는 픽셀 전극(91b) 폭의 30퍼센트까지 증가된다. 따라서, 큰 프리틸트각이 바람직하다.

다르게 배향된 스트라이프 영역은 배향층(92f)상의 액정 분자의 작은 프리틸트각을 보상한다.

본 발명자는 더 배향층(91f)상의 액정 분자의 프리틸트각을 더 연구하였고, 1.5도 이하의 프리틸트각이 디스클리네이션 라인에 대하여 효과적임을 결론지었다. 프리틸트각이 1.0도 이하일 경우, 디스클리네이션 라인은 차단 부재(92b)하의 액정내에서 완전히 제한된다.

[제10실시예]

제19도 및 제20도는 본 발명을 구현하는 액정 표시 패널의 일부를 도시하고 있다. 액정 표시 패널은 크게 제1기판 구조(100), 제1기판 구조(100)와 떨어져 있는 제2기판 구조(101), 및 제1기판 구조(100) 및 제2기판 구조(101)간의 갭을 메우는 액정(102)을 포함한다.

제1기판 구조(100)는 투명 기판(100a), 행 및 열로 배열된 투명 픽셀 전극(100b), 투명 픽셀 전극(100b)에 각각 관련되는 스위칭 트랜지스터(도시 생략), 픽셀 전극(100b)의 행에 각각 관련되며 관련된 행의 스위칭 트랜지스터의 게이트 전극에 결합되는 게이트 버스 라인(100c), 및 픽셀 전극(100b)의 열에 각각 관련되며 관련된 열의 스위칭 트랜지스터의 드레인 노드에 결합되는 드레인 버스 라인(도시생략)을 포함한다. 픽셀 전극(100b), 게이트 버스 라인(100c) 및 드레인 버스 라인은 서로 전기적으로 절연되어 있다.

제1기판 구조(100)는 또한 Nissan Chemical Corporation 제조의 SE-7210의 폴리이미드층으로부터 형성되는 배향층(100d)을 포함하며, 배향층(100d)은 인접한 액정 분자에 큰 프리틸트각을 제공한다.

배향층(100d)은 다음과 같이 형성된다. 픽셀 전극(100b), 게이트 버스 라인(100c) 및 드레인 버스 라인이 투명 기판(100a)에 패턴화될 때, 투명 기판(100a)은 정수(pure water)로 세척되고, SE-7210의 폴리이미드는 투명 기판(100a)으로 스핀된다. 폴리이미드층은 200^{°C}에서 1 시간 동안 가열되고, 한 방향으로 제1러빙 처리된다.

Tokyo Applied Chemical Industry Corporation 제조의 OFPR-800C의 포토레지스트는 1 마이크로 두께의 포토레지스트층(도시 생략)을 형성하도록 폴리이미드층으로 스핀된다. 포토레지스트층은 85^{°C}에서 30분간 가열된다. 포토레지스트층은 마스크(도시 생략)를 통하여 빛에 노출되고, 마스크는 일정 간격을 두고 스트라이프부, 및 이에 따라 그 사이의 스트라이프 개구 영역을 갖는다. 스트라이프부 및 개구 영역간의 경계는 각각의 픽셀 전극(100b)의 중심선과 일치되며, 마스크 패턴은 포토레지스트층으로 전사된다.

포토레지스트층이 현상되고, 각 픽셀 전극(100b)의 1/2 영역에서 부분적으로 제거된다. 투명 기판(100a)은 정수로 행귀지고, 75^{°C}에서 20분간 건조된다.

본 발명자는 현미경을 통하여 포토레지스트층으로 부분 피복된 폴리이미드층을 관찰하였고, 모든 픽셀 전극의 1/2이 포토레지스트층으로 피복됨을 확인하였다.

폴리이미드 층은 제1러빙에 반대 방향으로 제2러빙 처리된다. 화살표 (103a)는 제1러빙의 방향을 나타내며, 화살표(103b)는 제2러빙(제21도 참조)의 방향을 나타낸다.

투명 기판(100a)을 에틸라틱산 용액에 2분간 담그고, 남아있는 포토레지스트층이 벗겨진다. 이같이 형성된 제1기판 구조는 정수로 행귀져서 110^{°C}에서 30분간 건조된다.

배향층(100d)은 한 방향으로 배향된 스트라이프 영역 및 반대 방향으로 배향된 스트라이프 영역으로 분할되고, 각각 다르게 배향된 스트라이프 영역간의 경계(104)는 제21도에서와 같이 각각의 픽셀 전극(100b) 상에서 연장된다.

제20도에 있어서, 제2기판 구조(101)는 유리로 된 투명 기판(101a), 산화 주석 인듐으로 형성된 투명 공통 전극(101b), 및 배향층(101c)을 포함한다. 컬러 필터가 또한 제2기판 구조(101)에 제공된다.

장방형 슬릿(101d)은 공통 전극(101b)에 형성된다. 각각의 장방형 슬릿(101d)은 폭이 6 마이크로이고, 장방형 슬릿(101d)의 길이는 픽셀 전극(100b)의 폭의 길이와 같다. 장방형 슬릿(101d)은 배향층(106)의 경계(104)에 일치된다. 큰 개구율 때문에 장방형 슬릿(101d)은 바람직한 것이다.

차단 부재는 디스클리네이션 라인을 숨기기 위하여 제1 및 제2기판 구조(100, 101)중 하나에 설치될 수 있다. 그러나, 배향층(100d)만이 이 경우에서 다른 방향으로 배향되기 때문에, 제1기판 구조(100)내에 차단 부재를 형성하는 것이 바람직하다.

공통 전극(101b) 및 배향층(10c)은 다음과 같이 형성된다. 산화 주석 인듐층(도시생략)은 투명 기판(101a)에 형성되고, 정수로 행귀진다. 적정 포토레지스트 마스크(도시생략)가 산화 주석 인듐층을 피복하고, 사전에 가열된다. 포토레지스트층은 슬릿 패턴을 갖는 적정 마스크를 통하여 빛에 노출되고, 슬릿 패턴은 포토레지스트층으로 전사된다. 포토레지스트층이 현상되고, 장방형 슬릿이 포토레지스트층에 형성된다. 장방형 슬릿에 노출된 산화 주석 인듐층은 습식 에칭으로 제거되고, 포토레지스트 마스크가 벗겨진다. 따라서, 패턴화된 산화 주석 인듐층은 정수로 행귀진다.

Nippon Synthetic Rubber Corporation 제조의 AL-1051 폴리이미드는 공통 전극(101b)에 스핀되고, 폴리이미드층을 200^{°C}에서 1시간 동안 가열한다. 폴리이미드층은 러빙 처리되며, 러빙 방향은 제21도의 화살표

(103c)로 표시된다.

따라서, 배향된 폴리이미드층은 배향층(101c)으로 가능하며, 폴리이미드층의 배향층은 인접한 액정 분자에 작은 프리틸트각을 제공한다.

제1 및 제2기판 구조(100, 101)는 러빙 방향(103c)이 러빙 방향(103a, 103b)를 90도로 교차하도록 조정된다. 제2기판 구조(101)는 제1기판 구조(100)와 6 마이크로 떨어져 있으며, 제1 및 제2기판 구조(100, 101)는 구형 스페이서(spherical spacer)(도시생략)를 통하여 서로 결합된다.

직접 제2러빙 처리되는 스트라이프 영역은 다른 스트라이프 영역보다 큰 프리틸트각을 갖고, 제1 및 제2기판 구조(100, 101)는 스트라이프 영역 및 다른 스트라이프 영역이 표준 TN형 변형 영역 및 스프레이 TN형 변형 영역을 형성하는 방식으로 조정된다.

제1 및 제2기판 구조(100, 101)간의 갭은 카이랄제를 함유한 표준 네마틱형 액정(102)으로 메워지고, 네마틱형 액정(102)은 그 내부에 밀폐된다. LC는 경계(104)의 양측상의 액정 분자를 나타낸다.

본 발명자는 제20도에 도시된 액정 표시 패널을 평가하였다. 게이트 제어 신호는 게이트 버스 라인(100c)에 선택적으로 인가되고, 적정 구동 신호가 드레인 버스 라인에 선택적으로 공급된다. 픽셀상에 영상이 생성되며, 본 발명자는 편광 현미경을 사용하여 액정을 관찰하였다. 구동 신호가 변하더라도, 본 발명자는 액정(102)내의 분리 배향(split orientation)이 양호함을 확인하였다. 장방향 슬릿(101b)하의 영역으로 디스클리네이션 라인이 고정되고, 본 발명자는 디스클리네이션 라인이 구동 신호의 변화에 의해 이동하지 않음을 확인하였다. 디스클리네이션 라인은 12 마이크로미터의 좁은 범위내로 떨어지고, 12 마이크로미터와 같이 좁은 차단 부재에 의해 감춰진다. 따라서, 개구율은 영상을 선명하게 생성할 만큼 충분히 크다.

장방향 슬릿하에 고정된 디스클리네이션 라인은 공통 전극(101b) 및 픽셀 전극(100b)간의 전기력선으로부터 유도된다. 장방향 슬릿(101d)이 공통 전극(101b)에 형성될 때, 전기력선은 장방향 슬릿(101d)하에서 액정내의 디스클리네이션을 제한한다.

사실상, 픽셀 전극(100b) 및 게이트/드레인 버스 라인(100c)간의 횡방향 전계가 증가되더라도, 전극(100b 및 101b)간의 전기력선은 디스클리네이션의 이동을 허용하지 않으며, 디스클리네이션 라인은 크게 왜곡되지 않는다.

본 발명자는 제6실시예와 유사하게 결정 회전법을 통하여 배향층(100d, 101c)상에서 프리틸트각을 측정하였다. 직접 제2러빙 처리되는 스트라이프 영역은 6.3도이고, 간접적으로 제2러빙 처리되는 다른 스트라이프 영역은 4.1도이다. 배향층(101c)의 프리틸트각은 1도이다.

본 발명자는 장방향 슬릿(101d)을 제외하고는 제20도에 도시된 표시 패널과 유사한 구조로 제4비교예의 액정 표시 패널을 제조하였다. 디스클리네이션 라인은 장방향 슬릿(101d)이 없는 제4비교예의 액정 표시 패널에서 발생되고, 크게 왜곡된다. 결과적으로, 디스클리네이션 라인은 12 마이크로미터 폭의 차단 부재하의 영역으로부터 돌출된다. 이는 제4비교예의 액정 표시 패널이 12 마이크로미터보다 넓은 차단 부재를 필요로 함을 뜻한다. 아울러, 디스클리네이션 라인은 다수의 픽셀 전극상으로 연장되며, 잔상 및 소실 영상이 나타난다.

배향층(101c)은 배향층(100d)과 마찬가지로, 서로 다르게 배향된 스트라이프 영역으로 분할될 수도 있다.

전술한 내용에서 알 수 있듯이, 장방향 슬릿(101d)은 전극(100b 및 101b)간의 전기력선이 슬릿하의 액정으로 디스클리네이션 라인을 제한하도록 하며, 개구비의 희생없이 화질을 향상시킨다.

[제11실시예]

본 발명을 구현하는 다른 액정 표시 패널은 표준 TN 변형 영역 및 스프레이 TN 변형 영역을 제외하고는 제10실시예와 구조상 같다. 이 경우에, 간접적으로 제2러빙 처리되는 스트라이프 영역은 표준 TN 변형 영역을 형성하고, 직접 제2러빙 처리되는 다른 스트라이프 영역은 스프레이 TN 변형 영역을 형성한다.

제조 공정에 있어서, 화살표(103b)로 표시된 방향으로 제1러빙 처리가 수행되고, 화살표(103a)로 표시된 방향으로 제2러빙 처리가 수행된다.

본 발명자는 제11실시예를 구현하는 액정 표시 패널을 평가하고, 장방향 슬릿(101d)하에 고정된 디스클리네이션 라인 및 양호한 분리 배향을 확인하였다. 디스클리네이션 라인은 6 마이크로미터의 좁은 범위내로 낮아진다. 차단 부재에 기인하는 개구비의 감소는 수용할 수 있다. 구동 신호의 크기가 변하더라도, 디스클리네이션 라인은 이동하지 않는다.

본 발명자는 제5비교예의 액정 표시 패널을 제조하였다. 제5비교예의 액정 표시 패널은 장방향 슬릿(101d)을 제외하고는 제11실시예와 구조상 유사하다. 즉, 공통 전극(101b)은 어떠한 장방향 슬릿도 갖지 않는다. 픽셀상에 영상이 생성된다. 영상이 제4비교예의 액정 표시 패널의 영상보다 더 선명하지만, 디스클리네이션 라인은 제11실시예에서보다 더 크게 왜곡된다. 따라서, 디스클리네이션 라인은 12 마이크로미터 폭의 차단 부재하의 액정으로부터 돌출된다.

[제12실시예]

제12실시예를 구현하는 액정 표시 패널은 배향막(101c)을 제외하면 제10실시예와 구조상 유사하다. 제12실시예의 배향막(101c)은 배향층(100d)과 마찬가지로 서로 다르게 배향된 스트라이프 영역으로 분할된다. 배향층(100d)은 화살표(110a)로 표시된 방향으로 제1러빙 처리되며, 그 다음에 화살표(110b)로 표시된 반대 방향으로 제2러빙 처리된다. 한편, 배향층(101c)은 화살표(111a)로 표시된 방향으로 제1러빙 처리된 후, 화살표(111b)로 표시된 방향으로 제2러빙 처리된다.

제1 및 제2기판 구조는 스트라이프 영역이 TN 변형 영역을 형성하는 방식으로 조정되고, 구형 스페이서를 통하여 서로 결합되어 있다. 배향(110a 및 110b)의 방향은 배향(111b 및 111a)의 방향과 90도로 교차하며, 제1 및 제2기판 구조(100, 101)간의 갭은 6마이크론이다. 네마틱형 액정은 제1기판 구조(100) 및 제2기

판 구조(101)간의 갭을 메운다.

본 발명자는 제12실시예를 구현하는 액정 표시 패널을 평가하였다. 먼저, 본 발명자는 편광 현미경으로 액정의 양호한 배향을 확인하였고, 구동 신호의 변화는 배향에 악영향을 미치지 않았다. 본 발명자는 또한 장방향 슬릿(101d)하에 제한된 디스클리네이션 라인을 확인하였고, 디스클리네이션 라인은 6미크론내로 줄어졌다. 차단 부재에 기인한 개구비의 감소는 허용 가능하다.

본 발명자는 장방향 슬릿(101d)을 제외한 제12실시예와 유사한 제6비교예의 액정 표시 패널을 제조하였다. 디스클리네이션 라인은 왜곡되고, 다수의 픽셀 전극상에서 개구 영역으로 돌출된다. 디스클리네이션 라인은 12 미크론 이내로 줄어들고, 화질을 저하시킨다.

[제13실시예]

제13실시예를 구현하는 액정 표시 패널은 배향층(100d)을 제외한 제11실시예와 유사하다. 제13실시예의 배향층(100d)은 Nissan Chemical Corporation 제조의 RN-715의 폴리이미드층에서 형성된다. 다르게 배향된 스트라이프 영역의 프리틸트각은 상호 변화되며, 큰 프리틸트각의 스트라이프 영역 및 작은 프리틸트각의 스트라이프 영역은 스프레이 TN 변형 영역 및 표준 TN 변형 영역을 각각 형성한다.

본 발명자는 제13실시예를 구현하는 액정 표시 패널을 평가하였다. 본 발명자는 구동 신호의 임의의 크기에서의 액정의 양호한 배향을 확인하였고, 디스클리네이션 라인은 장방향 슬릿(101d)하에서 제한된다. 디스클리네이션 라인은 10미크론 이내로 떨어지고, 큰 개구비가 얻어진다.

본 발명자는 결정 회전법을 통하여 제10실시예와 유사하게 프리틸트각을 측정하였다. 간접적으로 제2러빙 처리되는 스트라이프 영역의 프리틸트각은 12도이고, 다른 스트라이프 영역의 프리틸트각은 9도이다.

[제14실시예]

제14실시예를 구현하는 액정 표시 패널은 제1기판 구조(100)에 설치되는 차단 부재를 제외하고는 제11실시예와 구조상 유사하다. 차단 부재는 픽셀 전극(100b)의 중심선에 일치되며, 12 미크론의 폭을 갖는다. 액정의 분리 배향은 양호하며, 디스클리네이션 라인은 차단 부재에 의해 감춰진다.

[제15실시예]

제15실시예를 구현하는 액정 표시 패널은 슬릿(101d)의 구성을 제외하고는 제11실시예와 유사하다. 제10~14실시예의 슬릿(101d)은 픽셀 전극(100b)의 폭과 같은 길이를 갖는다. 하지만, 폭이 6 미크론이더라도, 제15실시예의 슬릿은 픽셀 전극상으로 연장된다. 분리 배향은 양호하며, 디스클리네이션 라인은 6미크론내로 떨어진다. 10 미크론 폭의 차단 부재는 디스클리네이션 라인을 완전히 감춘다.

[제16실시예]

제16실시예를 구현하는 액정 표시 패널은 러빙 방향을 제외하고는 제10실시예와 유사하다. 배향층(100d)의 스트라이프 영역은 화살표(120a)로 표시된 방향으로 제1러빙 처리되며, 다른 스트라이프 영역은 화살표(120b)로 표시된 방향으로 제2러빙 처리된다. 배향층(101c)은 화살표(121)로 표시된 방향으로 러빙 처리된다.

이 경우에, 디렉터(director)는 픽셀 전극(100b)의 중심 영역에서 발생되지 않고 단부에서 발생된다. 이런 이유로, 슬릿(101d)은 단부에 대향되는 영역에서 형성되며, 모두 서로 다르게 배향되는 두 스트라이프 영역 사이의 경계에 일치된다.

본 발명자는 양호한 분리 배향을 확인하였고, 디스클리네이션 라인은 슬릿하에서 제한된다.

본 발명자는 슬릿을 제외하고는 제16실시예와 유사한 비교예의 액정 표시 패널을 제조하였다. 디스클리네이션 라인은 슬릿하의 액정에서 돌출되고, 상호 연결된다. 그 결과, 소실 영상이 나타나게 된다.

본 발명의 특정 실시예들에 관하여 도시 및 설명하였으나, 당업자에 의하여 본 발명의 의도 및 범위를 벗어나지 않고서 각종 변경 및 수정이 가능함은 자명할 것이다.

(57) 청구의 범위

청구항 1

액정 표시 장치에 있어서, 복수의 게이트 버스 라인(30b, 71, 81)과, 상기 복수의 게이트 버스 라인으로부터 전기적으로 절연되어서 상기 복수의 게이트 버스 라인과 함께 복수의 영역을 형성하는 복수의 드레인 버스 라인(30c, 72, 82)과, 상기 복수의 영역에 각각 형성되고 상기 복수의 게이트 버스 라인 및 상기 복수의 드레인 버스 라인으로부터 전기적으로 절연되는 복수의 픽셀 전극(30e, 80)과, 상기 복수의 픽셀 전극과 각각 관련되는 복수의 스위칭 트랜지스터(30g)로서, 상기 복수의 스위칭 트랜지스터 각각은 상기 복수의 픽셀 전극중 관련된 하나와 상기 드레인 버스 라인중 하나 사이에 연결되는 소스 드레인 경로, 및 상기 복수의 게이트 버스 라인중 하나에 연결된 게이트를 갖고 있는 상기 복수의 스위칭 트랜지스터(30g)와, 상기 복수의 게이트 버스 라인, 상기 복수의 드레인 버스 라인, 상기 복수의 픽셀 전극 및 상기 복수의 스위칭 트랜지스터를 피복하며, 복수의 부영역(A/B, A/B/C/D)으로 분할되고, 인접한 두개의 부영역(A/B, A/B 및 D/C 또는 A/D 및 B/C)마다 다른 방향으로 배향되는 제1배향막(30h)을 포함하는 제1기판 구조(30, 50, 60, 70, 80); 상기 복수의 픽셀 전극에 대향되는 공통 전극(31b) 및 상기 공통 전극을 피복하여 상기 제1배향막과 함께 갭을 형성하는 제2배향막(31c)을 포함하는 제2기판 구조(31); 및 상기 갭을 메우는 액정(32)을 포함하되, 상기 복수의 부영역(A/B)은 상기 복수의 픽셀 전극상에서 연장되는 제1경계들(36a, 73a, 85a/85b) 및 제2경계(36b, 73b, 85c) 들을 형성하고, 상기 제2경계 각각은 상기 복수의 픽셀 전극중의 하나와 관련된 상기 복수의 스위칭 트랜지스터중 하나에 결합되는 드레인 버스 라인 및 게이트 버스 라인 중의 하나와, 상기 복수의 픽셀 전극중의 상기 하나 사이의 영역상에서 연장되는 것을 특징으로 하는 액정 표시 장치.

청구항 2

제1항에 있어서, 상기 복수의 게이트 버스 라인(30b)은 저장 커패시터(30f)를 형성하도록 절연층(30d)을 통하여 상기 복수의 픽셀 전극(30e)과 부분적으로 중첩되고, 상기 제2경계(36b) 각각은 상기 복수의 게이트 버스 라인중의 하나에 결합되는 스위칭 트랜지스터와 관련된 상기 복수의 픽셀 전극 및 상기 복수의 게이트 버스 라인중의 상기 하나 사이에서 연장되는 것을 특징으로 하는 액정 표시 장치.

청구항 3

제1항에 있어서, 상기 액정(32)은 상기 제2경계들(36b)중 한 경계의 한쪽상의 제1액정 분자(LC) 및 상기 제2경계들(36b)중 상기 한 경계의 다른 쪽상의 제2액정 분자(LC)를 포함하고, 상기 제1액정 분자(LC) 각각은 다른 단부보다 상기 제2경계들중의 상기한 경계에 더 가까운 한 단부를 가지며, 상기 제1액정 분자의 상기 한 단부는 상기 다른 단부보다 상기 제2기판 구조에 더 가깝고, 상기 제2액정 분자(LC) 각각은 다른 단부보다 상기 제2경계들중의 상기한 경계와 더 가까운 한 단부를 가지며, 상기 제2액정 분자의 상기 한 단부는 상기 다른 단부보다 상기 제2기판 구조에 더 가까운 액정 표시 장치.

청구항 4

제1항에 있어서, 상기 복수의 부영역은, 상기 픽셀 전극들중의 상기 하나 및 상기 게이트 버스 라인과 상기 드레인 버스 라인의 다른 하나 사이의 또다른 영역상에서 각각 연장되는 제3경계들(85d)을 더 형성하는 액정 표시 장치.

청구항 5

제4항에 있어서, 상기 액정은, 상기 제2경계들중 한 경계의 한쪽상의 제1액정 분자와 상기 제2경계들중 상기 한 경계의 다른쪽상의 제2액정 분자, 및 상기 제3경계들중 한 경계의 한쪽상의 제3액정 분자와 상기 제3경계들중 상기 한 경계의 다른쪽상의 제4액정 분자를 포함하고, 상기 제1액정 분자 각각은 다른 단부보다 상기 제2경계들중 상기 한 경계에 더 가까운 한 단부를 가지며, 상기 제1액정 분자의 상기 한 단부는 상기 다른 단부보다 상기 제2기판 구조에 더 가깝고, 상기 제2액정 분자 각각은 다른 단부보다 상기 제3경계들중 상기 한 경계에 더 가까운 한 단부를 가지며, 상기 제2액정 분자의 상기 한 단부는 상기 다른 단부보다 상기 제2기판 구조에 더 가깝고, 상기 제3액정 분자 각각은 다른 단부보다 상기 제3경계들중 상기 한 경계에 더 가까운 한 단부를 가지며, 상기 제3액정 분자의 상기 한 단부는 상기 다른 단부보다 상기 제2기판 구조에 더 가깝고, 상기 제4액정 분자 각각은 다른 단부보다 상기 제3경계들중 상기 한 경계에 더 가까운 한 단부를 가지며, 제4액정 분자의 상기 한 단부는 상기 다른 단부보다 상기 제2기판 구조에 더 가까운 액정 표시 장치.

청구항 6

액정 표시 장치에 있어서, 복수의 게이트 버스 라인(91c)과, 상기 복수의 게이트 버스 라인으로부터 전기적으로 절연되고 상기 복수의 게이트 버스 라인과 함께 복수의 영역을 형성하는 복수의 드레인 버스 라인(91d)과, 상기 복수의 영역에 각각 형성되고 상기 복수의 게이트 버스 라인 및 상기 복수의 드레인 버스 라인으로부터 전기적으로 절연되는 복수의 픽셀 전극(91b)과, 상기 복수의 픽셀 전극과 각각 관련되는 복수의 스위칭 트랜지스터(91e)로서, 상기 복수의 스위칭 트랜지스터 각각은 상기 복수의 픽셀 전극중 관련된 하나와 상기 드레인 버스 라인중 하나 사이에 연결되는 소스 드레인 경로, 및 상기 복수의 게이트 버스 라인중 하나에 연결된 게이트를 갖고 있는 상기 복수의 스위칭 트랜지스터(91e)와, 상기 복수의 게이트 버스 라인, 상기 복수의 드레인 버스 라인, 상기 복수의 픽셀 전극 및 상기 복수의 스위칭 트랜지스터를 피복하는 제1배향막(91f, 95a)을 포함하는 제1기판 구조(91, 95); 상기 복수의 픽셀 전극에 대향되는 공통 전극(92c)과 상기 공통 전극을 피복하여 상기 제1배향막과 함께 갭을 형성하는 제2배향막(92f)을 포함하는 제2기판 구조(92; 96)로서, 상기 제2배향막이 복수의 부영역으로 분할되며, 인접하는 2개의 상기 부영역마다 다른 방향으로 배향되는, 상기 제2기판 구조(92, 96); 및 상기 갭을 메우는 액정(93,97)을 포함하되, 상기 제1배향막 및 상기 제2배향막은, 상기 액정이 상기 제1배향막에 인접한 제1액정 분자(LC) 및 상기 제2배향막에 인접한 제2액정 분자(LC)를 갖도록 각각의 화합물로 형성되며, 상기 제1액정 분자의 프리틸트각은 상기 제2액정 분자의 프리틸트각보다 작은 것을 특징으로 하는 액정 표시 장치.

청구항 7

제6항에 있어서, 상기 제1액정 분자(LC)의 상기 프리틸트각은 1.5도 이하인 액정 표시 장치.

청구항 8

제6항에 있어서, 상기 제1액정 분자(LC)의 상기 프리틸트각은 1.0도 이하인 액정 표시 장치.

청구항 9

액정 표시 장치에 있어서, 복수의 게이트 버스 라인(100c)과, 상기 복수의 게이트 버스 라인으로부터 전기적으로 절연되고 상기 복수의 게이트 버스 라인과 함께 복수의 영역을 형성하는 복수의 드레인 버스 라인과, 상기 복수의 영역에 각각 형성되고, 상기 복수의 게이트 버스 라인 및 상기 복수의 드레인 버스 라인으로부터 전기적으로 절연되는 복수의 픽셀 전극(100b)과, 상기 복수의 픽셀 전극에 각각 관련되는 복수의 스위칭 트랜지스터로서, 상기 복수의 스위칭 트랜지스터 각각은 상기 복수의 픽셀 전극중 관련된 하나와 상기 드레인 버스 라인중의 하나 사이에 결합되는 소스 드레인 경로, 및 상기 복수의 게이트 버스 라인중 하나에 결합되는 게이트를 갖는, 상기 복수의 스위칭 트랜지스터와, 상기 복수의 게이트 버스 라인, 상기 복수의 드레인 버스 라인, 상기 복수의 픽셀 전극 및 상기 복수의 스위칭 트랜지스터를 피복하고, 복수의 부영역으로 분할되는 제1배향막(100d)으로서, 상기 복수의 부영역중 인접하는 두 개의 부영역마다 각각의 상기 복수의 픽셀 전극상에 경계(104)를 형성하도록 서로 다른 방향으로 배향되는, 상기 제1배향막(100d)을 포함하는 제1기판 구조(100); 상기 복수의 픽셀 전극에 대향되는 공통 전극(101b)과, 상기 공통 전극을 피복하고 상기 제1배향막과 함께 갭을 형성하는 제2배향막(101c)을 포함하는 제2기판구조

(101): 및 상기 갭을 메우는 액정(102)을 포함하되, 상기 공통 전극(101b)은 상기 각각의 복수 픽셀 전극(100b)상의 상기 경계(104)를 따라 각각 일치되는 복수와 슬릿(101d)을 갖는 것을 특징으로 하는 액정표시장치.

청구항 10

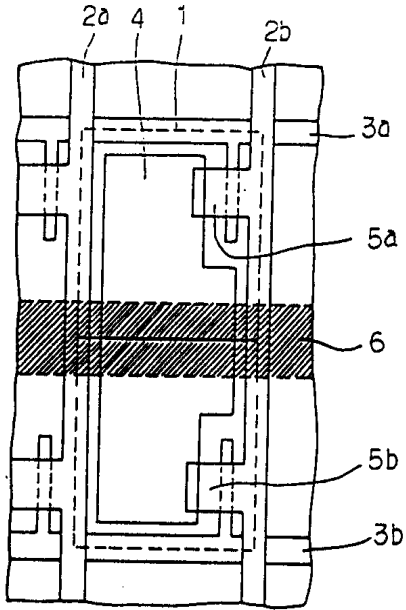
제9항에 있어서, 상기 슬릿(101d)은 장방형 형상인 액정 표시 장치.

청구항 11

제10항에 있어서, 각각의 상기 슬릿(101d)은 상기 복수의 픽셀 전극(100b)중 하나의 폭과 동일한 길이를 갖는 액정 표시 장치.

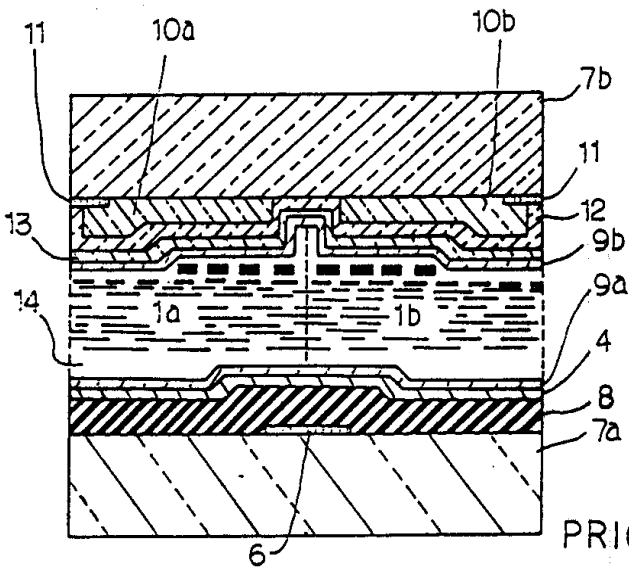
도면

도면1



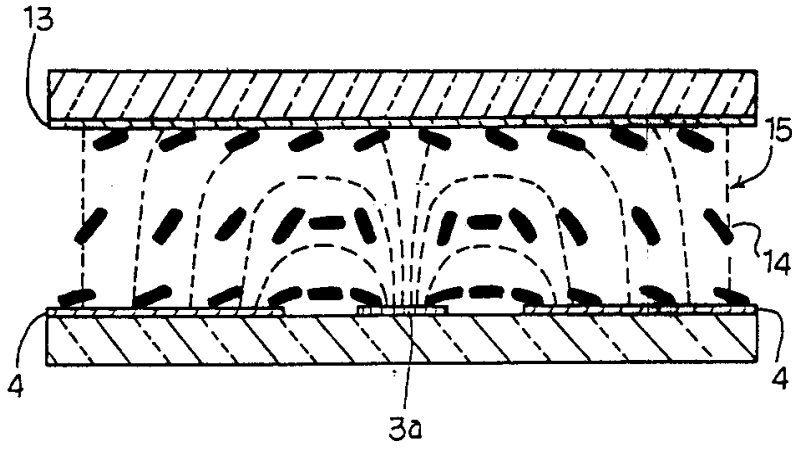
PRIOR ART

도면2



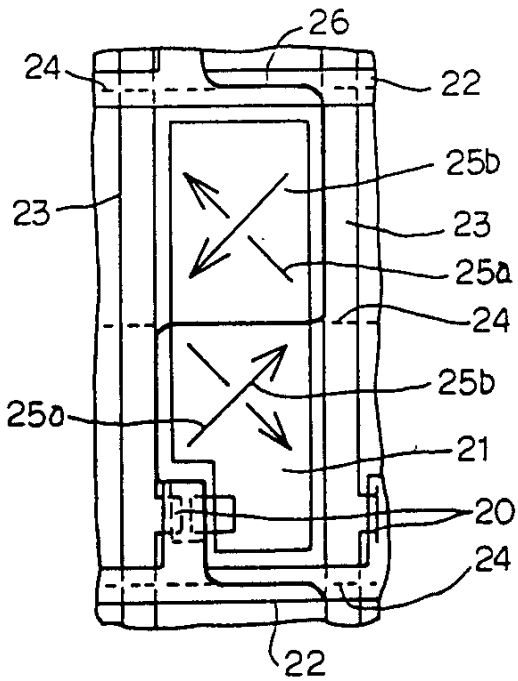
PRIOR ART

도면3



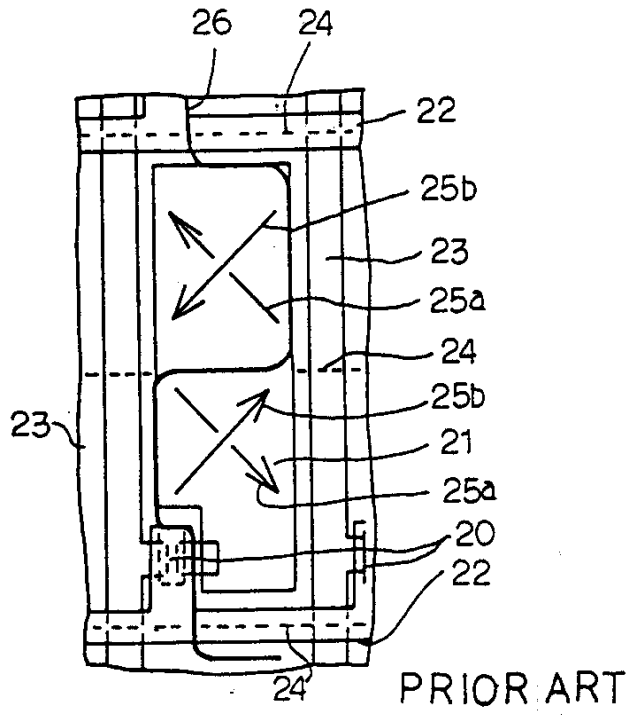
PRIOR ART

도면4a

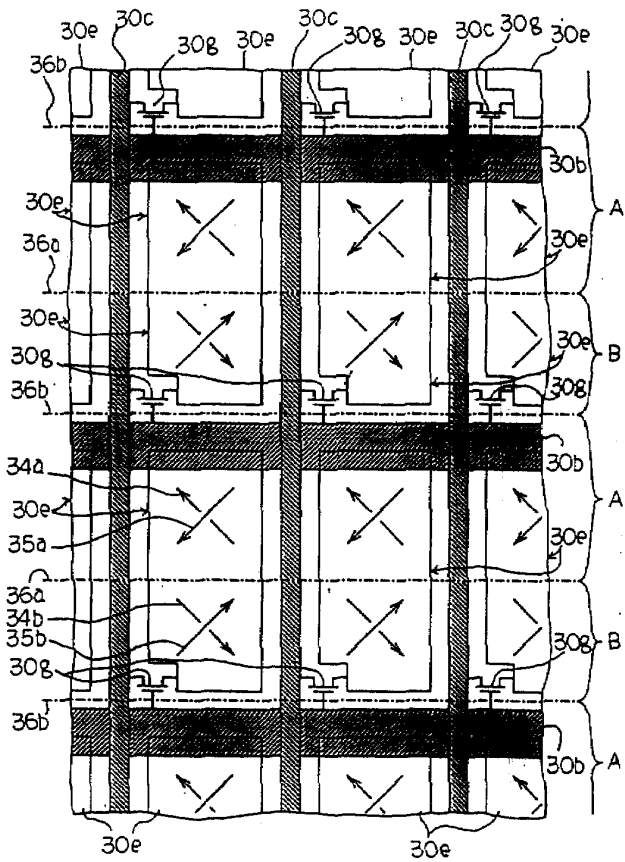


PRIOR ART

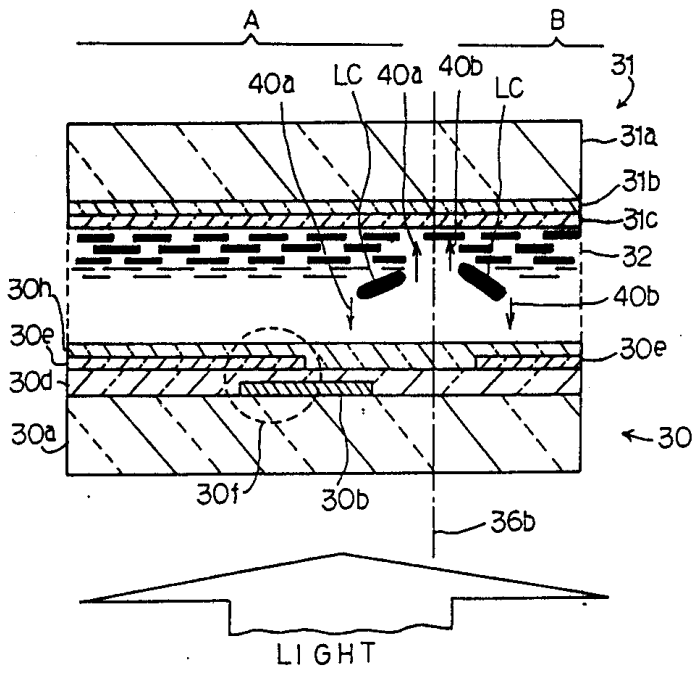
도면4b



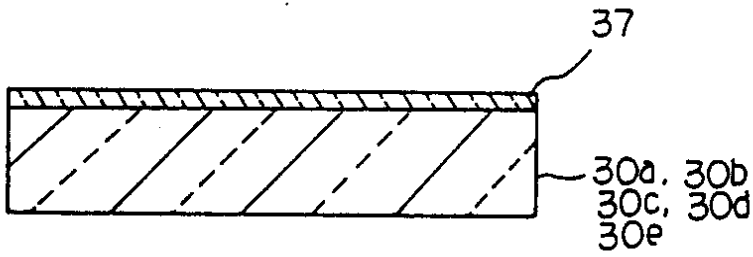
도면5



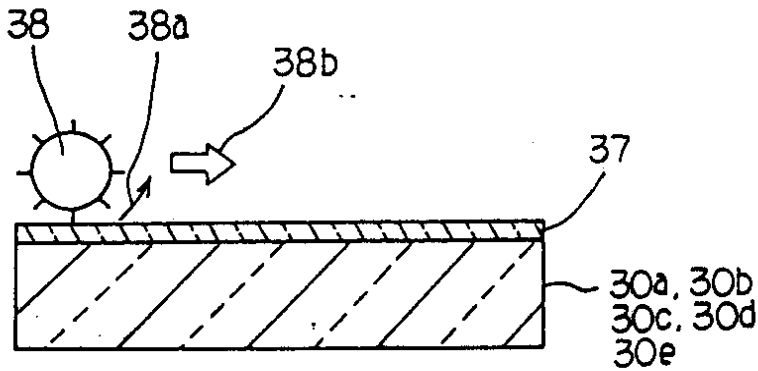
도면6



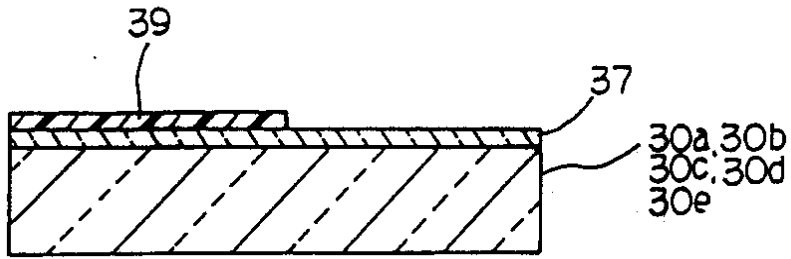
도면7a



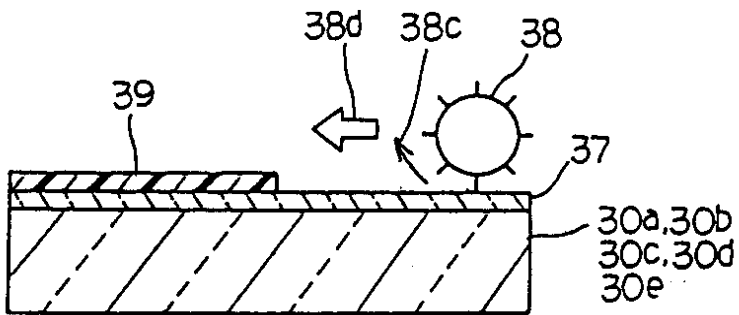
도면7b



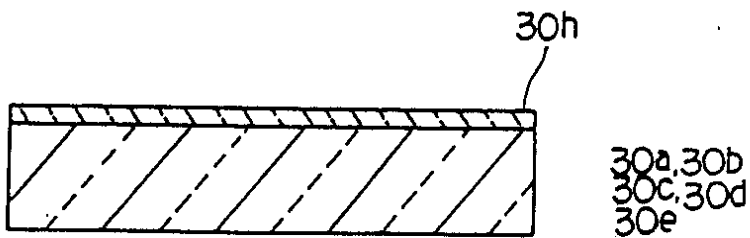
도면7c



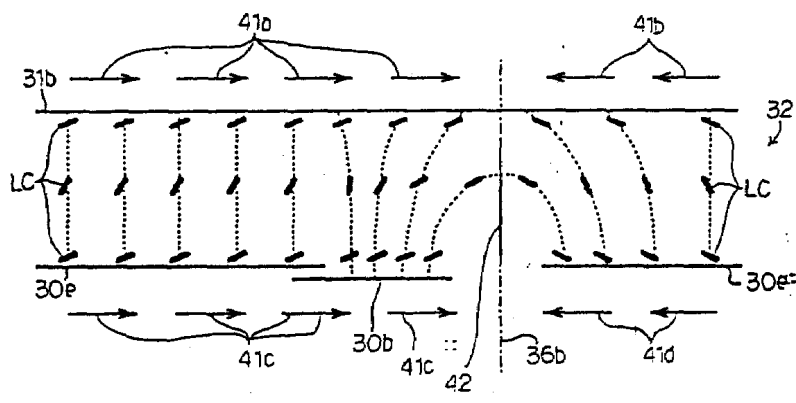
도면7d



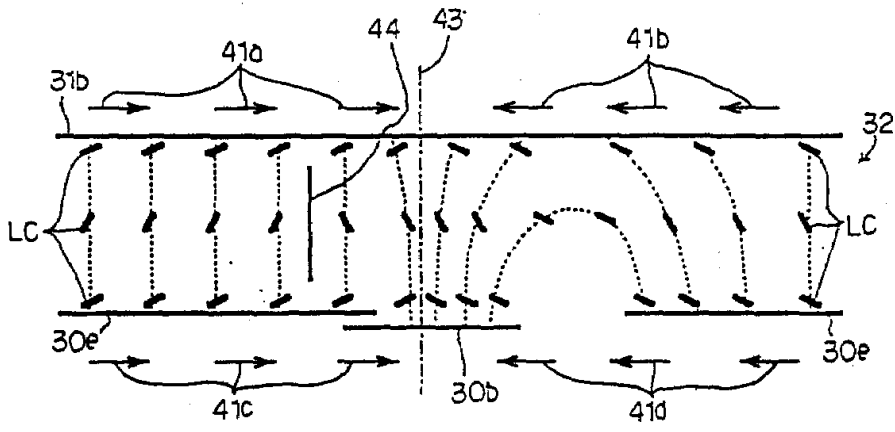
도면7e



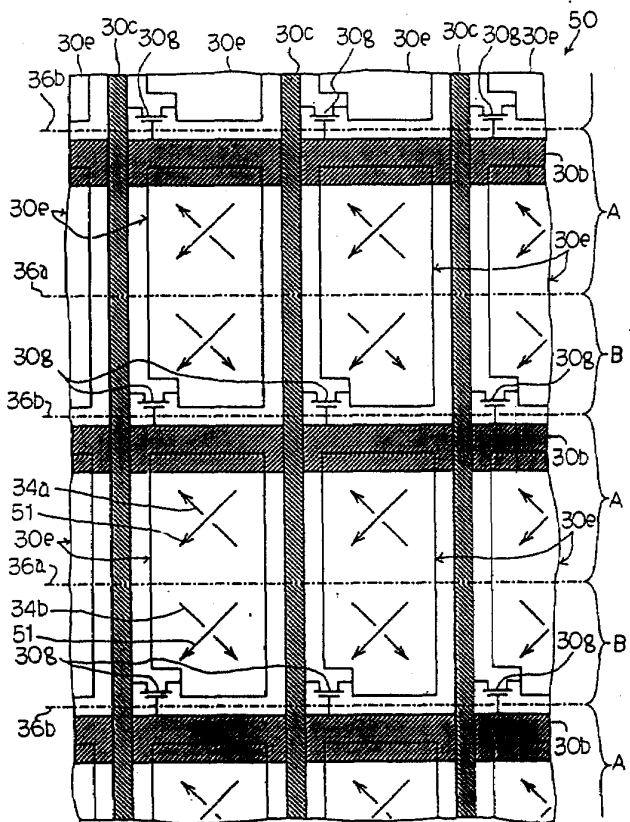
도면8



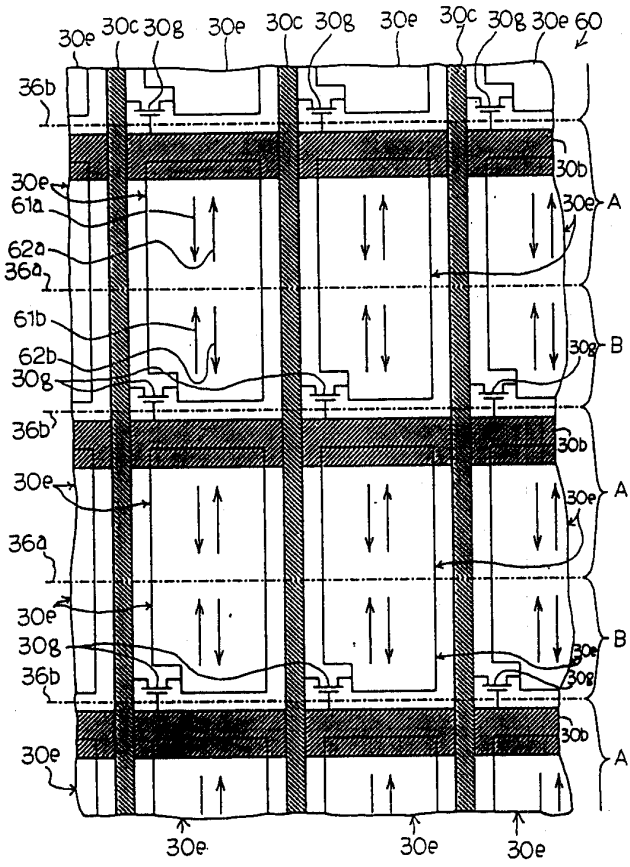
도면9



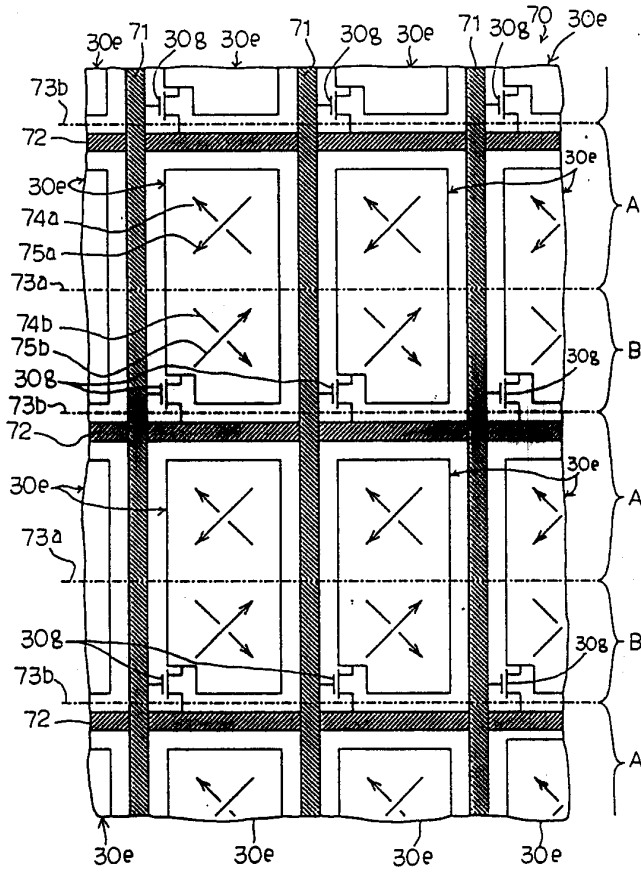
도면10



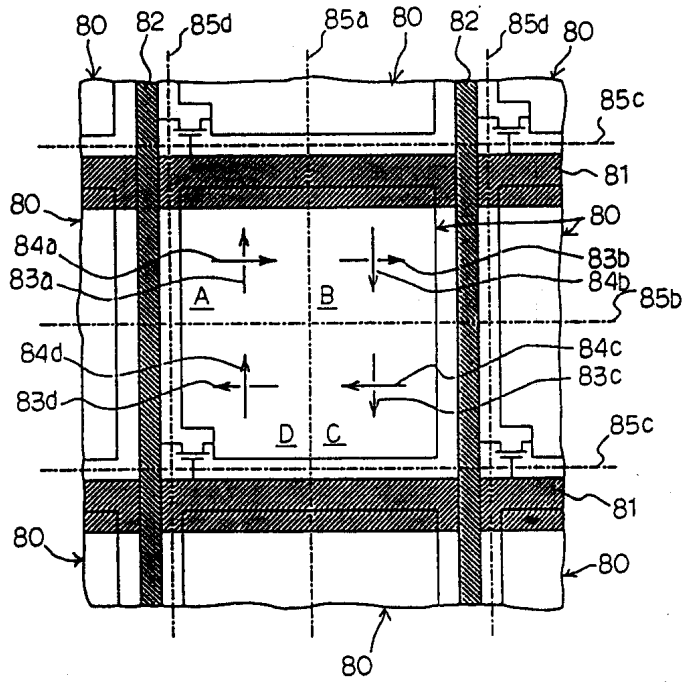
도면11



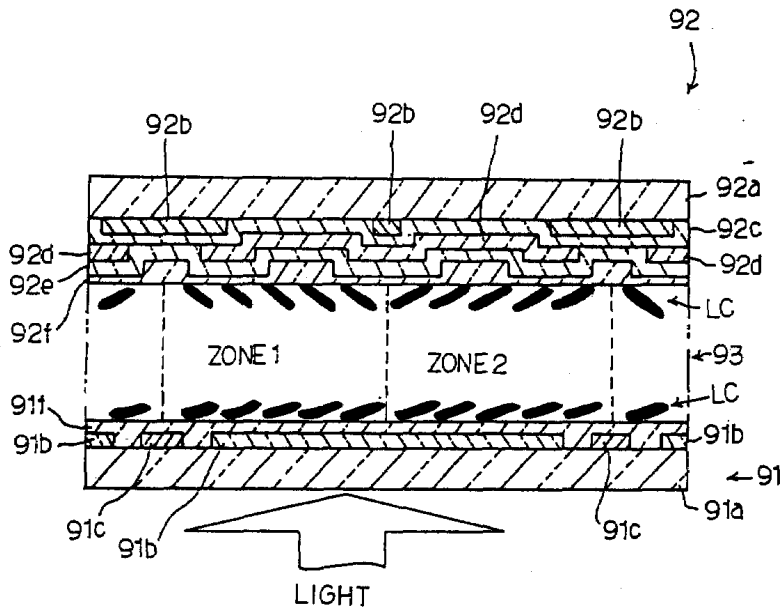
도면12



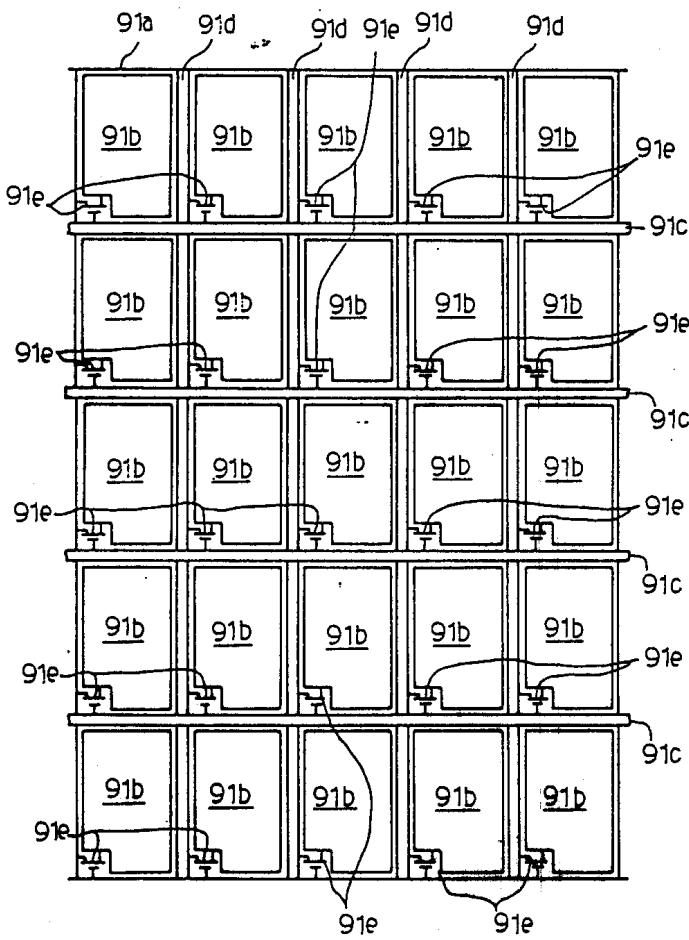
도면13



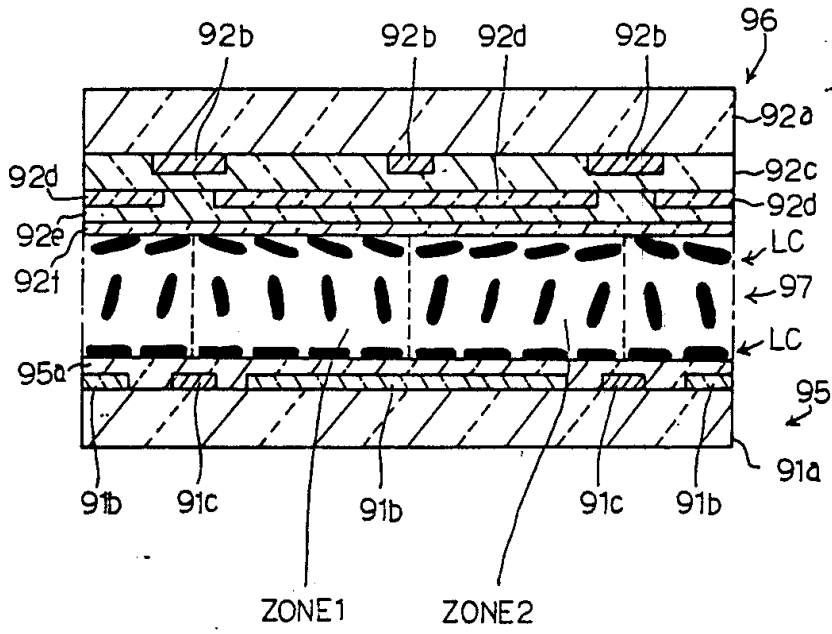
도면14



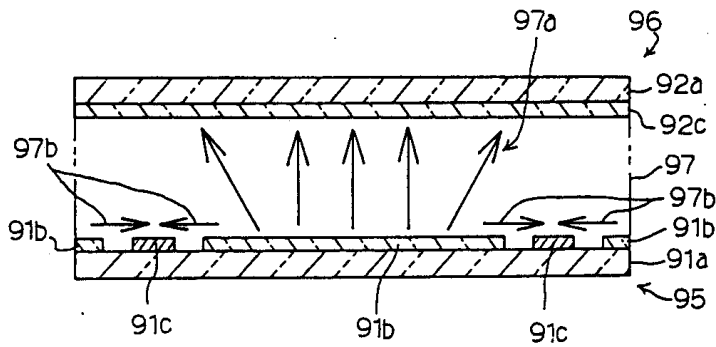
도면15



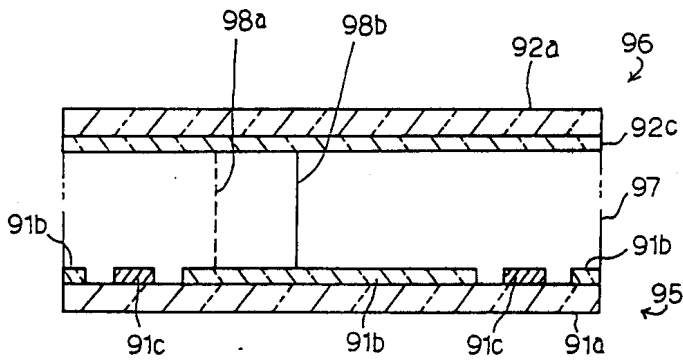
도면16



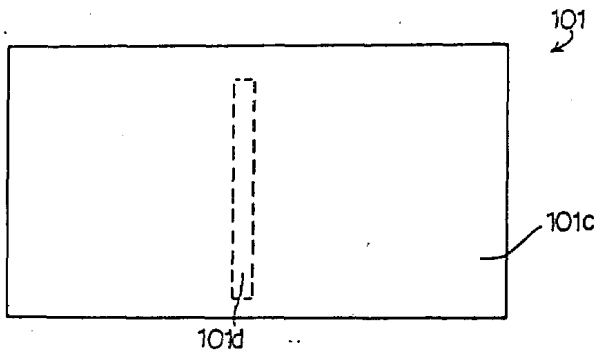
도면17



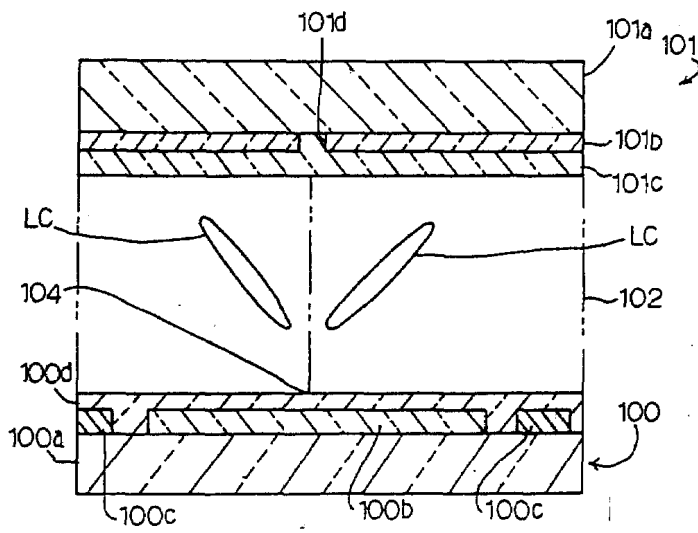
도면18



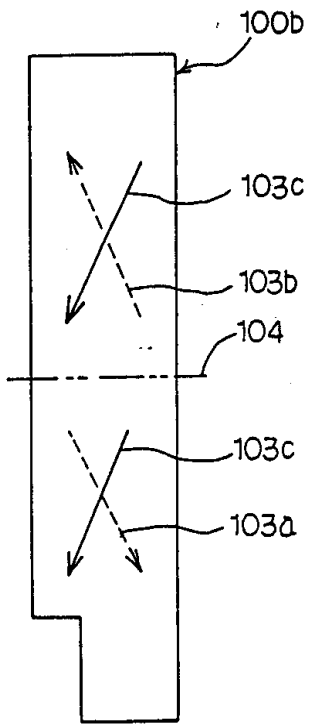
도면19



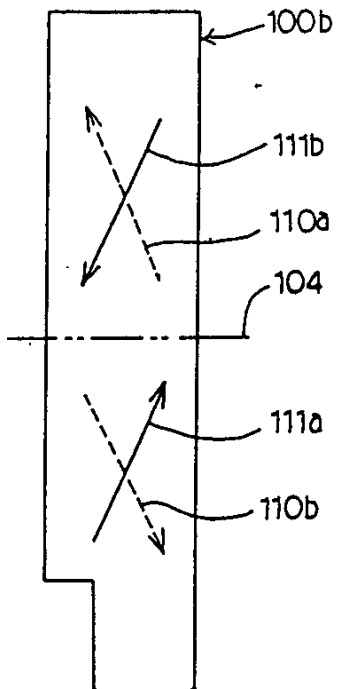
도면20



도면21



도면22



도면23

