(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년05월17일
(11) 등록번호 10-1145784
(24) 등록일자 2012년05월07일

(51) 국제특허분류(Int. Cl.)
G11C 11/4093 (2006.01) *G11C 11/4096* (2006.01)
G11C 11/4076 (2006.01)
(21) 출원번호 10-2010-0098803
(22) 출원일자 2010년10월11일
심사청구일자 2010년10월11일
(65) 공개번호 10-2012-0037191
(43) 공개일자 2012년04월19일
(56) 선행기술조사문헌
KR1020010045596 A
KR1020030078134 A
전체 청구항 수 : 총 36 항

(73) 특허권자
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
문진영
서울특별시 서초구 남부순환로350길 59-17, 203호 (양재동)
(74) 대리인
특허법인 신성

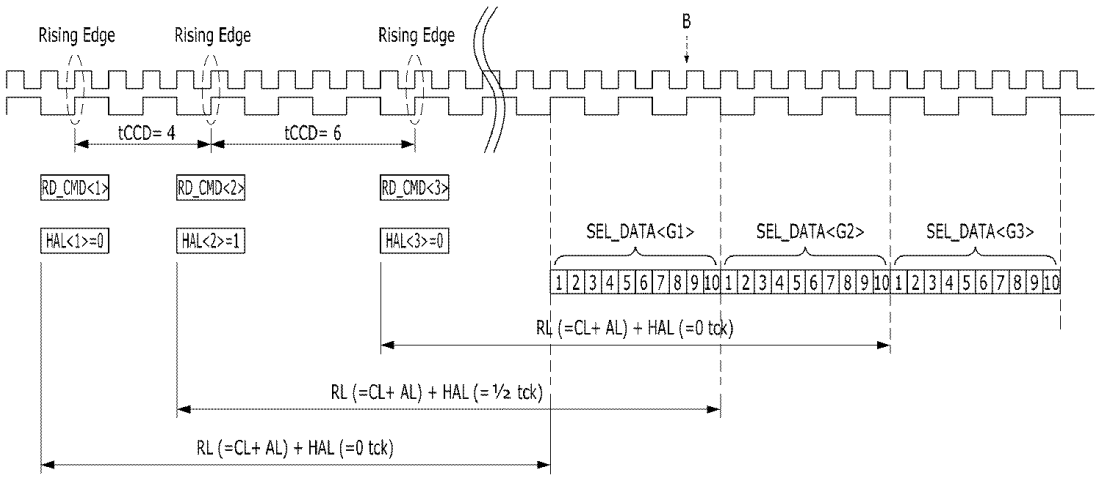
심사관 : 한선경

(54) 발명의 명칭 **반도체 메모리 장치 및 그를 포함하는 메모리 시스템**

(57) 요 약

기어-다운(gear down)모드를 이용하는 반도체 메모리 장치 및 그를 포함하는 메모리 시스템에 관한 것으로, 외부 클럭신호, 커맨드, 어드레스를 전송하되, 특정 버스트 길이 전송모드시 연속적인 컬럼 커맨드를 제1 및 제2 클럭 간격으로 교대로 전송하고, 연속적인 컬럼 커맨드에 대응하여 정의되는 하프 애디티브 레이턴시 선택정보신호를 전송하기 위한 메모리 컨트롤러와, 메모리 컨트롤러로부터 외부 클럭신호, 커맨드, 어드레스를 인가받으며, 외부 클럭신호를 분주하여 기어-다운(gear down)된 내부 클럭신호를 생성하고, 하프 애디티브 레이턴시 선택정보신호에 따라 기설정된 기본 애디티브 레이턴시에 하프 애디티브 레이턴시 - 내부 클럭신호의 반주기에 대응하는 값을 가짐 - 를 선택적으로 부가하여 컬럼 경로 동작에 반영하기 위한 반도체 메모리를 구비하는 반도체 메모리 장치 및 그를 포함하는 메모리 시스템이 제공된다.

대 표 도



특허청구의 범위

청구항 1

외부 클럭신호의 주기를 분주하여 내부 클럭신호를 생성하기 위한 내부 클럭신호 생성부;

기본 애디티브 레이턴시를 설정하기 위한 기본 애디티브 레이턴시 설정부; 및

연속되는 컬럼 커맨드 각각에 대응하여 외부로부터 인가되는 하프 애디티브 레이턴시 선택정보신호에 따라 상기 기본 애디티브 레이턴시에 하프 애디티브 레이턴시 - 상기 내부 클럭신호의 반주기에 대응하는 값을 가짐 - 를 선택적으로 부가하여 컬럼 경로 동작에 반영하기 위한 레이턴시 반영부

를 구비하는 반도체 메모리 장치.

청구항 2

제1항에 있어서,

상기 내부 클럭신호는 상기 외부 클럭신호의 주기가 2분주된 클럭신호인 반도체 메모리 장치.

청구항 3

제1항 또는 제2항에 있어서,

BL(Burst Langth)4 전송모드 또는 BL8 전송모드인 경우, 상기 연속되는 컬럼 커맨드는 커맨드 간에 간격(tCCD : CAS to CAS command delay)이 일정하게 인가되는 반도체 메모리 장치.

청구항 4

제3항에 있어서,

상기 레이턴시 반영부는 상기 기본 애디티브 레이턴시에 상기 하프 애디티브 레이턴시를 미부가하는 반도체 메모리 장치.

청구항 5

제1항 또는 제2항에 있어서,

BL(Burst Length)10 전송모드인 경우, 상기 연속되는 컬럼 커맨드는 커맨드 간에 간격(tCCD : CAS to CAS command delay)이 제1 및 제2 클럭 간격으로 교대로 인가되는 반도체 메모리 장치.

청구항 6

제5항에 있어서,

상기 제1 및 제2 클럭 간격은 상기 외부 클럭신호의 '4 tCK' 및 '6 tCK'에 대응하는 반도체 메모리 장치.

청구항 7

제5항에 있어서,

상기 레이턴시 반영부는 상기 커맨드 간에 간격(tCCD)에 대응하여 상기 기본 애디티브 레이턴시에 상기 하프 애

디티브 레이턴시를 선택적으로 부가하는 반도체 메모리 장치.

청구항 8

제6항에 있어서,

상기 레이턴시 반영부는 상기 커맨드 간에 간격(tCCD)이 '4 tCK'인 경우 상기 기본 애디티브 레이턴시에 상기 하프 애디티브 레이턴시를 부가하고, 상기 커맨드 간에 간격(tCCD)이 '6 tCK'인 경우 상기 기본 애디티브 레이턴시에 상기 하프 애디티브 레이턴시를 미부가하는 반도체 메모리 장치.

청구항 9

제8항에 있어서,

상기 레이턴시 반영부는 상기 연속되는 컬럼 커맨드 중 최초 컬럼 커맨드에 대응하는 하프 애디티브 레이턴시 선택정보신호에 따라 상기 기본 애디티브 레이턴시에 상기 하프 애디티브 레이턴시를 미부가하는 반도체 메모리 장치.

청구항 10

제1항에 있어서,

상기 기본 애디티브 레이턴시는 모드 레지스터 셋(Mode Register set:MRS)을 통해 설정되는 반도체 메모리 장치.

청구항 11

제1항에 있어서,

상기 하프 애디티브 레이턴시 선택정보신호는 상기 컬럼 커맨드 인가시 활당된 핀을 통해 인가되는 반도체 메모리 장치.

청구항 12

외부 클럭신호의 주기를 분주하여 내부 클럭신호를 생성하기 위한 내부클럭 생성부;

기본 애디티브 레이턴시 및 카스 레이턴시를 설정하기 위한 레이턴시 설정부;

연속되는 리드 커맨드 각각에 응답하여 상기 기본 애디티브 레이턴시 및 상기 카스 레이턴시에 따라 기본 리드 레이턴시를 결정하기 위한 레이턴시 제어부;

상기 연속되는 리드 커맨드 각각에 응답하여 해당 버스트 길이에 대응하는 리드 데이터를 각각 래치하고, 상기 기본 리드 레이턴시에 대응하여 래치된 각각의 리드 데이터를 순차적으로 출력하기 위한 데이터 출력부;

상기 연속되는 리드 커맨드 각각에 응답하여 하프 애디티브 레이턴시 선택정보신호 - 상기 연속되는 리드 커맨드에 대응하여 외부로부터 인가됨 - 를 래치하고, 상기 기본 리드 레이턴시에 대응하여 래치된 하프 애디티브 레이턴시 선택정보신호를 출력하기 위한 하프 애디티브 레이턴시 선택정보신호 출력부; 및

상기 하프 애디티브 레이턴시 선택정보신호 출력부의 출력신호에 응답하여 상기 데이터 출력부로부터 순차적으로 출력되는 각각의 리드 데이터를 하프 애디티브 레이턴시 - 상기 내부 클럭신호의 반주기에 대응하는 값을 가짐 - 만큼 선택적으로 지연시켜 외부로 출력하기 위한 데이터 출력 제어부

를 구비하는 반도체 메모리 장치.

청구항 13

제12항에 있어서,

상기 내부 클럭신호는 상기 외부 클럭신호의 주기가 2분주된 클럭신호인 반도체 메모리 장치.

청구항 14

제12항 또는 제13항에 있어서,

상기 데이터 출력부는 상기 연속되는 리드 커맨드에 대응하는 각각의 리드 데이터를 래치하기 위한 다수의 파이프 래치부를 구비하는 반도체 메모리 장치.

청구항 15

제14항에 있어서,

상기 데이터 출력 제어부는,

상기 다수의 파이프 래치부로부터 출력되는 각각의 리드 데이터를 상기 하프 애디티브 레이턴시만큼 지연시켜 출력하기 위한 다수의 지연부;

상기 하프 애디티브 레이턴시 선택정보신호 출력부의 출력신호에 응답하여 상기 다수의 파이프 래치부로부터 각각 출력되는 리드 데이터 및 상기 다수의 지연부로부터 각각 출력되는 지연된 리드 데이터를 선택적으로 출력하기 위한 다수의 다중화부; 및

상기 다수의 다중화부의 출력신호를 병렬로 입력받아 직렬로 출력하기 위한 P2S(Parallel-to-Serial) 컨버터를 구비하는 반도체 메모리 장치.

청구항 16

제15항에 있어서,

상기 다수의 지연부는 상기 다수의 파이프 래치부로부터 각각 출력되는 리드 데이터를 상기 내부 클럭신호의 하강 에지에 동기시켜 출력 개시하기 위한 D 플립플롭(D Flip Flop)을 구비하는 반도체 메모리 장치.

청구항 17

제12항 또는 제13항에 있어서,

BL(Burst Langth)4 전송모드 또는 BL8 전송모드인 경우, 상기 연속되는 리드 커맨드는 커맨드 간에 간격(tCCD : CAS to CAS command delay)이 일정하게 인가되는 반도체 메모리 장치.

청구항 18

제17항에 있어서,

상기 데이터 출력 제어부는 상기 데이터 출력부로부터 출력되는 모든 리드 데이터를 미지연시켜 외부로 출력하는 반도체 메모리 장치.

청구항 19

제12항 또는 제13항에 있어서,

BL(Burst Length)10 전송모드인 경우, 상기 연속되는 리드 커맨드는 커맨드 간에 간격(tCCD : CAS to CAS command delay)이 제1 및 제2 클럭 간격으로 교대로 인가되는 반도체 메모리 장치.

청구항 20

제19항에 있어서,

상기 제1 및 제2 클럭 간격은 각각 상기 외부 클럭신호의 '4 tCK' 및 '6 tCK'에 대응하는 반도체 메모리 장치.

청구항 21

제19항에 있어서,

상기 데이터 출력 제어부는 상기 연속되는 리드 커맨드에 응답하여 상기 데이터 출력부로부터 출력되는 각각의 리드 데이터에 대하여 지연과 미지연을 교대로 수행하고, 지연된 리드 데이터와 미지연된 리드 데이터를 교대로 외부로 출력하는 반도체 메모리 장치.

청구항 22

제20항에 있어서,

상기 데이터 출력 제어부는 상기 커맨드 간에 간격(tCCD)이 '4 tCK'인 경우 상기 데이터 출력부로부터 출력되는 리드 데이터를 상기 하프 애디티브 레이턴시(HAL)만큼 지연시켜 외부로 출력하고, 상기 커맨드 간에 간격(tCCD)이 '6 tCK'인 경우 상기 데이터 출력부로부터 출력되는 리드 데이터를 미지연시켜 외부로 출력하는 반도체 메모리 장치.

청구항 23

제22항에 있어서,

상기 데이터 출력 제어부는 상기 연속되는 컬럼 커맨드 중 최초 컬럼 커맨드에 대응하여 상기 데이터 출력부로부터 출력되는 리드 데이터를 미지연시켜 외부로 출력하는 반도체 메모리 장치.

청구항 24

제12항 또는 제13항에 있어서,

상기 기본 애디티브 레이턴시 및 상기 카스 레이턴시는 모드 레지스터 셋(Mode Register set:MRS)을 통해 설정되는 반도체 메모리 장치.

청구항 25

제12항 또는 제13항에 있어서,

상기 하프 애디티브 레이턴시 선택정보신호는 상기 연속되는 리드 커맨드 인가시 활당된 핀을 통해 인가되는 반도체 메모리 장치.

청구항 26

컬럼 경로 동작에 따라 데이터를 저장 및 제공하기 위한 반도체 메모리와 상기 반도체 메모리의 컬럼 경로 동작을 제어하기 위한 메모리 컨트롤러를 포함하는 메모리 시스템에 있어서,

외부 클럭신호, 커맨드, 어드레스를 상기 반도체 메모리에게 전송하되, 특정 버스트 길이 전송모드시 연속적인 컬럼 커맨드를 제1 및 제2 클럭 간격으로 교대로 상기 반도체 메모리에게 전송하고, 상기 연속적인 컬럼 커맨드 각각에 대응하여 정의되는 하프 애디티브 레이턴시 선택정보신호를 상기 반도체 메모리에게 전송하기 위한 메모리 컨트롤러; 및

상기 메모리 컨트롤러로부터 상기 외부 클럭신호, 상기 커맨드, 상기 어드레스를 인가받으며, 상기 외부 클럭신호를 분주하여 기어-다운(gear down)된 내부 클럭신호를 생성하고, 상기 하프 애디티브 레이턴시 선택정보신호에 따라 기설정된 기본 애디티브 레이턴시에 하프 애디티브 레이턴시 - 상기 내부 클럭신호의 반주기에 대응하는 값을 가짐 - 를 선택적으로 부가하여 컬럼 경로 동작에 반영하기 위한 반도체 메모리

를 구비하는 메모리 시스템.

청구항 27

제26항에 있어서,

상기 반도체 메모리는,

상기 외부 클럭신호의 주기를 2분주하여 내부 클럭신호를 생성하기 위한 내부 클럭신호 생성부;

상기 기본 애디티브 레이턴시를 설정하기 위한 기본 애디티브 레이턴시 설정부; 및

상기 하프 애디티브 레이턴시 선택정보신호에 응답하여 상기 기본 애디티브 레이턴시에 상기 하프 애디티브 레이턴시를 선택적으로 부가하여 컬럼 경로 동작에 반영하기 위한 레이턴시 반영부를 구비하는 메모리 시스템.

청구항 28

제26항 또는 제27항에 있어서,

상기 특정 버스트 길이 전송모드는 BL(Burst Length)10 전송모드인 메모리 시스템.

청구항 29

제28항에 있어서,

상기 제1 및 제2 클럭 간격은 각각 상기 외부 클럭신호의 '4 tCK' 및 '6 tCK'에 대응하는 메모리 시스템.

청구항 30

제29항에 있어서,

상기 반도체 메모리는 상기 커맨드 간에 간격(tCCD)이 '4 tCK'인 경우 상기 기본 애디티브 레이턴시에 상기 하프 애디티브 레이턴시를 부가하고, 상기 커맨드 간에 간격(tCCD)이 '6 tCK'인 경우 상기 기본 애디티브 레이턴시에 상기 하프 애디티브 레이턴시를 미부가하는 메모리 시스템.

청구항 31

제30항에 있어서,

상기 반도체 메모리는 상기 연속되는 컬럼 커맨드 중 최초 컬럼 커맨드에 대응하는 하프 애디티브 레이턴시 선택정보신호에 따라 상기 기본 애디티브 레이턴시에 상기 하프 애디티브 레이턴시를 미부가하는 메모리 시스템.

청구항 32

제26항 또는 제27항에 있어서,

상기 메모리 컨트롤러는 노말 버스트 길이 전송모드에서 상기 연속적인 컬럼 커맨드를 전송시 커맨드 간에 간격(tCCD : CAS to CAS command delay)을 해당 버스트 길이에 대응하여 일정한 클럭 간격으로 상기 반도체 메모리에게 전송하고,

상기 메모리 컨트롤러는 상기 노말 버스트 길이 전송모드에서 상기 일정한 클럭 간격으로 전송되는 컬럼 커맨드에 대응하여 동일한 논리 레벨의 하프 애디티브 레이턴시 선택정보신호를 상기 반도체 메모리에게 전송하는 메모리 시스템.

청구항 33

제32항에 있어서,

상기 노말 버스트 길이 전송모드는 BL(Burst Langth)4 전송모드 또는 BL8 전송모드인 메모리 시스템.

청구항 34

제33항에 있어서,

상기 반도체 메모리는 상기 기본 애디티브 레이턴시에 상기 하프 애디티브 레이턴시를 미부가하는 메모리 시스템.

청구항 35

제26항 또는 제27항에 있어서,

상기 기본 애디티브 레이턴시는 모드 레지스터 셋(Mode Register set:MRS)을 통해 설정되는 메모리 시스템.

청구항 36

제26항 또는 제27항에 있어서,

상기 하프 애디티브 레이턴시 선택정보신호는 상기 연속적인 컬럼 커맨드 인가시 활당된 핀을 통해 연속적으로 인가되는 메모리 시스템.

명 세 서

기 술 분 야

[0001] 본 발명의 반도체 설계 기술에 관한 것으로, 더욱 상세하게는 반도체 메모리 장치 및 그를 포함하는 메모리 시스템에 관한 것이다.

배 경 기 술

[0002] 일반적으로, 디램(DRAM : Dynamic Random Access Memory)과 같은 반도체 메모리 장치는 집적도의 증가와 더불어 그 동작 속도의 향상을 위하여 계속적으로 개선되고 있다. 디램(DRAM)의 동작 속도를 향상시키기 위하여 외부에서 입력되는 외부 클럭신호와 동기되어 동작할 수 있는 에스디램(SDRAM : Synchronous Dynamic Random Access Memory)이 등장하였다. 처음 제안된 에스디램(SDRAM)은 외부로부터의 외부 클럭신호의 상승 에지(rising edge)에 동기되어 하나의 데이터가 데이터 핀을 통해 입출력되는 이른바 싱글 데이터 레이트(Single Data Rate

: SDR) 에스디램(SDRAM)을 말한다.

[0003] 그러나 싱글 데이터 레이트 에스디램(SDR SDRAM) 역시 고속 동작을 요구하는 시스템의 속도를 만족하기에는 불충분하였다. 이에 따라 하나의 클럭 주기에 두 개의 데이터를 처리하는 방식인 더블 데이터 레이트(Double Data Rate : DDR) 에스디램(SDRAM)이 제안되었다. 더블 데이터 레이트 에스디램(DDR SDRAM)은 외부에서 입력되는 외부 클럭신호의 상승 에지(rising edge)와 하강 에지(falling edge)에 각각 동기되어 연속적으로 두 개의 데이터가 입출력되는바, 외부 클럭신호의 주파수를 증가시키지 않더라도 종래의 싱글 데이터 레이트 에스디램(SDR SDRAM)에 비하여 최소한 두 배 이상의 대역폭(band width)을 구현할 수 있다. 따라서 그만큼 고속동작이 가능해진다.

[0004] 한편, 더블 데이터 레이트 에스디램(DDR SDRAM)은 세대를 거듭하면서 'DDR2 SDRAM', 'DDR3 SDRAM', 'DDR4 SDRAM' 등으로 발전하게 된다. 'DDR SDRAM'은 입출력 시에 2비트 프리페치(prefetch)를 수행하여 데이터의 버스트 길이(Burst Length : BL)를 2로 지원하고, 'DDR2 SDRAM'은 4비트 프리페치를 수행하여 데이터의 버스트 길이(BL)를 4로 지원하며, 'DDR3 SDRAM'은 8비트 프리페치를 수행하여 데이터의 버스트 길이(BL)를 8로 지원한다. 그리고 'DDR4 SDRAM'은 데이터의 버스트 길이(BL)를 8 및 10으로 지원하고 있다. 여기서, 버스트 길이(BL)가 10이라는 것은 10개의 데이터가 외부 클럭신호의 클럭에지에 동기되어 하나의 데이터 핀을 통해 연속적으로 입출력됨을 의미한다. 이하에서는, 복수의 데이터가 연속적으로 입출력되는 것을 버스트 전송방식이라 칭한다.

[0005] 도 1a 및 도 1b에는 종래의 'DDR4 SDRAM'에서 지원하는 버스트 전송방식을 설명하기 위한 타이밍도가 도시되어 있다.

[0006] 도 1a에는 BL8 전송모드인 경우의 버스트 전송방식을 보인 타이밍도가 도시되어 있고, 도 1b에는 BL10 전송모드인 경우의 버스트 전송방식을 보인 타이밍도가 도시되어 있다.

[0007] 이때, 도 1a 및 도 1b를 설명함에 있어서 리드(read) 동작에 따른 버스트 전송방식을 예로 들어 설명하기로 한다. 그리고 도 1a 및 도 1b에는 외부 클럭신호(EX_CLK)가 2분주된 내부 클럭신호(IN_CLK)를 이용하는 것으로 설명한다. 참고적으로, 분주된 내부 클럭신호(IN_CLK)를 이용하는 이유는 리드 커맨드(RD_CMD<1>, RD_CMD<2>)의 마진을 충분히 확보하기 위함이다.

[0008] 먼저, 도 1a를 참조하면, BL8 전송모드인 경우에는 리드 커맨드(RD_CMD<1>, RD_CMD<2>) 간에 간격(tCCD : CAS to CAS command delay)이 '4 tCK' 로 설정된다. 여기서, 'tCK'는 외부 클럭신호(EX_CLK)의 1 주기를 말한다. 따라서, 리드 커맨드(RD_CMD<1>, RD_CMD<2>)가 내부 클럭신호(IN_CLK)의 상승 에지에 동기되어 입력되면, 해당 리드 커맨드(RD_CMD<1>, RD_CMD<2>)의 인가시점을 기준으로 기설정된 리드 레이턴시(Read Latency)(RL1) 이후에 8개의 리드 데이터(G1, G2)가 데이터 핀을 통해 순차적으로 출력된다. 여기서, 리드 레이턴시(R1)는 카스 레이턴시(CL1)와 애디티브 레이턴시(AL1)의 합으로 정의된다.

[0009] 다음, 도 1b를 참조하면, BL10 전송모드인 경우에는 리드 커맨드(RD_CMD<1>, RD_CMD<2>) 간에 간격(tCCD)이 '6 tCK'로 설정된다. 따라서, 리드 커맨드(RD_CMD<1>, RD_CMD<2>)가 내부 클럭신호(IN_CLK)의 상승 에지에 동기되어 입력되면, 해당 리드 커맨드(RD_CMD<1>, RD_CMD<2>)의 인가시점을 기준으로 기설정된 리드 레이턴시(RL2 = CL2 + AL2) 이후에 10개의 리드 데이터(G3, G4)가 데이터 핀을 통해 연속적으로 출력된다.

[0010] 그러나, 종래의 'DDR4 SDRAM'에서 지원하는 버스트 전송방식은 다음과 같은 문제점이 있다.

[0011] 도 1a에 도시된 바와 같이 BL8 전송모드인 경우에는 연속된 리드 커맨드(RD_CMD<1>, RD_CMD<2>)에 따라 연속적으로 출력되는 리드 데이터(G1, G2) 사이에 공백없이 리드 데이터(G1, G2)를 순차적으로 출력할 수 있지만, 도 1b에 도시된 바와 같이 BL10 전송모드인 경우에는 연속된 리드 커맨드(RD_CMD<1>, RD_CMD<2>) 각각에 대응하여 출력되는 리드 데이터(G3, G4) 사이에 '1 tCK' 만큼의 공백(gap)이 발생하게 된다. 따라서, BL10 전송모드에서는 단위 시간당 데이터 전송량(bandwidth)을 열화시키는 문제점이 발생한다. 이러한 문제점을 해결하기 위해서는 리드 커맨드(RD_CMD<1>, RD_CMD<2>) 간에 간격(tCCD)을 '6 tCK'가 아닌 '5 tCK'로 설정하면 되지만, 내부 클럭신호(IN_CLK)의 주기가 '5 tCK'를 만족할 수 없기 때문에, 리드 커맨드(RD_CMD<1>, RD_CMD<2>) 간에 간격(tCCD)을 '5 tCK'로 설정할 수 없다. 즉, 내부 클럭신호(IN_CLK)의 클럭 에지를 보면, 외부 클럭신호(EX_CLK)의 '5 tCK'에 해당하는 부분(A)이 외부 클럭신호(EX_CLK)와 같이 상승 에지가 아닌 하강 에지이기 때문이다.

[0012] 정리하면, 내부 클럭신호(IN_CLK)가 외부 클럭신호(EX_CLK) 대비 2배의 클럭 사이클을 가짐에 따라, 내부 클럭신호(IN_CLK)는 리드 커맨드(RD_CMD<1>, RD_CMD<2>) 간에 간격(tCCD)으로 외부 클럭신호(EX_CLK)의 짝수 주기 - '2 tCK', '4 tCK', '6 tCK' 등 - 에 대응하여서만 만족할 수 있다. 따라서, BL10 전송모드인 경우에는 리드 커맨드(RD_CMD<1>, RD_CMD<2>) 간에 간격(tCCD)이 '6 tCK'로 설정됨에 따라 연속적으로 출력되는 리드 데이터

(G3, G4) 사이에 '1 tCK' 만큼의 공백(gap)이 생겨 단위 시간당 데이터 전송량(bandwidth)이 열화되는 문제점이 발생하게 된다.

발명의 내용

해결하려는 과제

[0013] 본 발명은 연속된 컬럼 커맨드에 대응하는 컬럼 데이터들을 연속적으로 입출력할 때 데이터들 간에 공백없이(gapless) 입출력할 수 있는 반도체 메모리 장치 및 그를 포함하는 메모리 시스템을 제공하는데 그 목적이 있다.

과제의 해결 수단

[0014] 본 발명의 일 측면에 따르면, 본 발명은 외부 클럭신호의 주기를 분주하여 내부 클럭신호를 생성하기 위한 내부 클럭신호 생성부; 기본 애디티브 레이턴시를 설정하기 위한 기본 애디티브 레이턴시 설정부; 및 연속되는 컬럼 커맨드 각각에 대응하여 외부로부터 인가되는 하프 애디티브 레이턴시 선택정보신호에 따라 기본 애디티브 레이턴시에 하프 애디티브 레이턴시 - 내부 클럭신호의 반주기에 대응하는 값을 가짐 - 를 선택적으로 부가하여 컬럼 경로 동작에 반영하기 위한 레이턴시 반영부를 포함한다.

[0015] 본 발명의 다른 측면에 따르면, 본 발명은 외부 클럭신호의 주기를 분주하여 내부 클럭신호를 생성하기 위한 내부클럭 생성부; 기본 애디티브 레이턴시 및 카스 레이턴시를 설정하기 위한 레이턴시 설정부; 연속되는 리드 커맨드 각각에 응답하여 기본 애디티브 레이턴시 및 카스 레이턴시에 따라 기본 리드 레이턴시를 결정하기 위한 레이턴시 제어부; 연속되는 리드 커맨드 각각에 응답하여 해당 버스트 길이에 대응하는 리드 데이터를 각각 래치하고, 기본 리드 레이턴시에 대응하여 래치된 각각의 리드 데이터를 순차적으로 출력하기 위한 데이터 출력부; 연속되는 리드 커맨드 각각에 응답하여 하프 애디티브 레이턴시 선택정보신호 - 연속되는 리드 커맨드에 대응하여 외부로부터 인가됨 - 를 래치하고, 기본 리드 레이턴시에 대응하여 래치된 하프 애디티브 레이턴시 선택정보신호를 출력하기 위한 하프 애디티브 레이턴시 선택정보신호 출력부; 및 하프 애디티브 레이턴시 선택정보신호 출력부의 출력신호에 응답하여 데이터 출력부로부터 순차적으로 출력되는 각각의 리드 데이터를 하프 애디티브 레이턴시 - 내부 클럭신호의 반주기에 대응하는 값을 가짐 - 만큼 선택적으로 지연시켜 외부로 출력하기 위한 데이터 출력 제어부를 포함한다.

[0016] 본 발명의 또 다른 측면에 따르면, 본 발명은 컬럼 경로 동작에 따라 데이터를 저장 및 제공하기 위한 반도체 메모리와 반도체 메모리의 컬럼 경로 동작을 제어하기 위한 메모리 컨트롤러를 포함하는 메모리 시스템에 있어서, 외부 클럭신호, 커맨드, 어드레스를 반도체 메모리에게 전송하되, 특정 버스트 길이 전송모드시 연속적인 컬럼 커맨드를 제1 및 제2 클럭 간격으로 교대로 반도체 메모리에게 전송하고, 연속적인 컬럼 커맨드 각각에 대응하여 정의되는 하프 애디티브 레이턴시 선택정보신호를 반도체 메모리에게 전송하기 위한 메모리 컨트롤러; 및 메모리 컨트롤러로부터 외부 클럭신호, 커맨드, 어드레스를 인가받으며, 외부 클럭신호를 분주하여 기어-다운(gear down)된 내부 클럭신호를 생성하고, 하프 애디티브 레이턴시 선택정보신호에 따라 기설정된 기본 애디티브 레이턴시에 하프 애디티브 레이턴시 - 내부 클럭신호의 반주기에 대응하는 값을 가짐 - 를 선택적으로 부가하여 컬럼 경로 동작에 반영하기 위한 반도체 메모리를 포함한다.

발명의 효과

[0017] 본 발명은 특정 버스트 길이 전송모드(예:BL10 전송모드)에서 연속된 컬럼 커맨드에 대응하는 컬럼 데이터들을 연속적으로 입출력할 때 컬럼 데이터들 간에 공백없이(gapless) 입출력함으로써, 단위 시간당 데이터 전송량(bandwidth)을 개선할 수 있는 효과가 있다.

도면의 간단한 설명

[0018] 도 1a는 BL8 전송모드에 따른 버스트 전송방식을 설명하기 위한 타이밍도.

도 1b는 BL10 전송모드에 따른 버스트 전송방식을 설명하기 위한 타이밍도.

도 2는 본 발명의 실시예에 의한 메모리 시스템의 블록 구성도.

도 3은 도 2에 도시된 반도체 메모리의 블록 구성도.

도 4는 도 3에 도시된 레이턴시 반영부의 블록 구성도.

도 5는 도 4에 도시된 데이터 출력 제어부의 블록 구성도.

도 6은 BL10 전송모드에 따른 메모리 시스템의 동작을 설명하기 위한 타이밍도.

도 7은 도 6의 타이밍도를 더욱 상세하게 설명하기 위한 타이밍도.

발명을 실시하기 위한 구체적인 내용

[0019] 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 실시예를 첨부 도면을 참조하여 설명하기로 한다.

[0020] 본 발명의 실시예에서는 설명의 편의를 위해 반도체 메모리 장치의 리드(Read) 경로를 예로 들어 설명한다. 또한 본 발명의 실시예에서는 단위 시간당 데이터 전송량(bandwidth)이 열화되는 특정 버스트 길이 전송모드, 즉 BL(Burst Length)10 전송모드를 예로 들어 설명하기로 한다.

[0021] 도 2에는 본 발명의 실시예에 의한 반도체 메모리 장치 및 그를 포함하는 메모리 시스템의 블록 구성도가 도시되어 있다.

[0022] 도 2를 참조하면, 메모리 시스템(100)에는 리드 경로 동작을 제어하기 위한 메모리 컨트롤러(200)와, 메모리 컨트롤러(200)의 제어에 따라 리드 데이터(DATA)를 메모리 컨트롤러(300)로 제공하기 위한 반도체 메모리(300)를 포함한다.

[0023] 여기서, 메모리 컨트롤러(200)는 외부 클럭신호(EX_CLK) 및 연속되는 리드 커맨드(RD_CMD<1:3>)를 반도체 메모리(300)에게 전송하되, 특정 버스트 길이 전송모드시 연속되는 리드 커맨드(RD_CMD<1:3>)를 제1 및 제2 클럭 간격으로 교대로 반도체 메모리(300)에게 전송하고, 연속되는 리드 커맨드(RD_CMD<1:3>) 각각에 대응하여 정의되는 하프 애디티브 레이턴시 선택정보신호(HAL<1:3>)를 반도체 메모리(300)에게 전송한다. 이때, 제1 및 제2 클럭 간격은 외부 클럭신호(EX_CLK)의 '4 tCK' 및 '6 tCK'에 대응하며, 하프 애디티브 레이턴시 선택정보신호(HAL<1:3>)는 연속되는 리드 커맨드(RD_CMD<1:3>)마다 새롭게 정의된다.

[0024] 그리고, 반도체 메모리(300)는 메모리 컨트롤러(200)로부터 외부 클럭신호(EX_CLK), 연속되는 리드 커맨드(RD_CMD<1:3>), 하프 애디티브 레이턴시 선택정보신호(HAL<1:3>)를 각각 할당된 핀을 통해 인가받으며, 외부 클럭신호(EX_CLK)를 분주하여 기어-다운(gear down)된 내부 클럭신호(IN_CLK)를 생성하고, 하프 애디티브 레이턴시 선택정보신호(HAL<1:3>)에 따라 기설정된 기본 리드 레이턴시(RL)에 하프 애디티브 레이턴시(HAL) - 내부 클럭신호(IN_CLK)의 반주기에 대응하는 값을 가짐 - 를 선택적으로 부가하여 리드 데이터(DATA) 출력시 반영한다.

[0025] 한편, 도 3에는 도 2에 도시된 반도체 메모리(300)의 내부 구성이 블록 구성도로 도시되어 있고, 도 4에는 도 3에 도시된 레이턴시 반영부(330)의 내부 구성이 블록 구성도로 도시되어 있으며, 도 5에는 도 4에 도시된 데이터 출력 제어부(339)의 내부 구성이 블록 구성도로 도시되어 있다.

[0026] 먼저, 도 3을 참조하면, 반도체 메모리(300)에는 외부 클럭신호(EX_CLK)의 주기를 분주하여 내부 클럭신호(IN_CLK)를 생성하기 위한 내부 클럭신호 생성부(310)와, 기본 애디티브 레이턴시(AL) 및 기본 카스 레이턴시(CL)를 설정하기 위한 레이턴시 설정부(320)와, 연속되는 리드 커맨드(RD_CMD<1:3>)에 대응하여 메모리 셀(도면에 미도시)로부터 리드 데이터(CORE_DATA<G1:G3>)를 입력받으며 하프 애디티브 레이턴시 선택정보신호(HAL<1:3>)에 따라 기본 리드 레이턴시(RL) - 기본 애디티브 레이턴시(AL)와 기본 카스 레이턴시(CL)의 합으로 정의됨 - 에 하프 애디티브 레이턴시(HAL)를 선택적으로 부가하여 입력된 리드 데이터(CORE_DATA<G1:G3>)를 메모리 컨트롤러(200)로 출력시 반영하기 위한 레이턴시 반영부(330)가 포함된다.

[0027] 여기서, 내부 클럭신호 생성부(310)는 외부 클럭신호(EX_CLK)의 주기를 2분주하여 내부 클럭신호를 생성한다.

[0028] 그리고, 레이턴시 설정부(320)는 초기 구동시 메모리 컨트롤러(200)에 의해 기본 애디티브 레이턴시(AL) 및 기본 카스 레이턴시(CL)가 설정될 수 있으며, 이와 같은 레이턴시 설정부(320)는 모드 레지스터 셋(Mode Register

set:MRS)일 수 있다.

[0029] 또한, 레이턴시 반영부(330)는 도 4에 도시된 바와 같이, 연속되는 리드 커맨드(RD_CMD<1:3>) 각각에 응답하여 기본 애디티브 레이턴시(AL) 및 기본 카스 레이턴시(CL)에 따라 기본 리드 레이턴시(RL)를 결정하기 위한 레이턴시 제어부(331)와, 연속되는 리드 커맨드(RD_CMD<1:3>) 각각이 지연부(333)에 의해 예정된 구간만큼 지연된 리드 커맨드(DELY_RD_CMD<1:3>) 각각에 응답하여 각각의 리드 데이터(CORE_DATA<G1:G3>)를 래치하고, 기본 리드 레이턴시(RL)에 대응하여 래치된 리드 데이터(LAT_DATA<G1:G3>)들을 순차적으로 출력하기 위한 데이터 출력부(335)와, 지연된 리드 커맨드(DELY_RD_CMD<1:3>) 각각에 응답하여 하프 애디티브 레이턴시 선택정보신호(HAL<1:3>)를 래치하고, 기본 리드 레이턴시(RL)에 대응하여 래치된 하프 애디티브 레이턴시 선택정보신호(LAT_HAL<1:3>)를 출력하기 위한 하프 애디티브 레이턴시 선택정보신호 출력부(337)와, 하프 애디티브 레이턴시 선택정보신호 출력부(337)의 출력신호(LAT_HAL<1:3>) 및 내부 클럭신호(IN_CLK)에 응답하여 데이터 출력부로(335)부터 순차적으로 출력되는 각각의 래치된 리드 데이터(LAT_DATA<G1:G3>)를 하프 애디티브 레이턴시(HAL)만큼 선택적으로 지연시켜 연속되는 리드 커맨드(RD_CMD<1:3>)에 대응하는 리드 데이터(DATA)를 최종적으로 출력하기 위한 데이터 출력 제어부(339)를 구비한다.

[0030] 여기서, 데이터 출력부(335)는 해당 리드 커맨드(RD_CMD<1:3>) 각각에 대응하는 리드 데이터(CORE_DATA<G1:G3>)를 각각 래치하기 위한 제1 내지 제3 파이프 래치부(PIPE1, PIPE2, PIPE3)로 구성되고, 하프 애디티브 레이턴시 선택정보신호 출력부(337) 또한 하프 애디티브 레이턴시 선택정보신호(HAL<1:3>)가 실시간으로 입력되는 커맨드의 일종이므로 파이프 래치부(PIPE4)로 구성되는 것이 좋다.

[0031] 그리고, 데이터 출력 제어부(339)는 도 5에 도시된 바와 같이, 데이터 출력부(335)로부터 출력되는 각각의 래치된 리드 데이터(LAT_DATA<G1:G3>)를 하프 애디티브 레이턴시(HAL)만큼, 즉 내부 클럭신호(IN_CLK)의 반주기만큼 지연시켜 출력하기 위한 제1 내지 제3 D 플립플롭(339_1, 339_2, 339_3)과, 각각의 래치된 하프 애디티브 레이턴시 선택정보신호(LAT_HAL<1:3>)에 응답하여 데이터 출력부(335)로부터 출력되는 각각의 래치된 리드 데이터(LAT_DATA<G1:G3>) 및 제1 내지 제3 D 플립플롭(339_1, 339_2, 339_3)으로부터 출력되는 각각의 지연된 리드 데이터(DELY_LAT_DATA<G1:G3>) 중 어느 하나를 선택적으로 출력하기 위한 제1 내지 제3 다중화부(339_4, 339_5, 339_6)와, 제1 내지 제3 다중화부(339_4, 339_5, 339_6)의 출력신호(SEL_DATA<G1:G3>)를 병렬로 입력받아 직렬로 출력하기 위한 P2S(Parallel-to-Serial) 컨버터(339_7)를 구비한다.

[0032] 여기서, 제1 내지 제3 D 플립플롭(339_1, 339_2, 339_3)은 내부 클럭신호(IN_CLK)의 상승 에지가 아닌 반주기 지연된 하강 에지에서 각각의 지연된 리드 데이터(DELY_LAT_DATA<G1:G3>)를 출력 개시하게 되는데, 이와 같은 제1 내지 제3 D 플립플롭(339_1, 339_2, 339_3)을 대신하여 내부 클럭신호(IN_CLK)의 반주기만큼 지연시켜 출력하는 통상의 지연부를 이용할 수도 있다.

[0033] 그리고, 제1 내지 제3 다중화부(339_4, 339_5, 339_6)는 래치된 하프 애디티브 레이턴시 선택정보신호(LAT_HAL<1:3>)에 따라 래치된 리드 데이터(LAT_DATA<G1:G3>) 및 지연된 리드 데이터(DELY_LAT_DATA<G1:G3>)를 각각 교대로 선택하여 출력한다. 예컨대, 제1 다중화부(339_4)는 논리 로우 레벨의 래치된 하프 애디티브 레이턴시 선택정보신호(LAT_HAL<1>)에 응답하여 래치된 리드 데이터(LAT_DATA<G1>)를 선택하여 출력하고, 제2 다중화부(339_5)는 논리 하이 레벨의 래치된 하프 애디티브 레이턴시 선택정보신호(LAT_HAL<2>)에 응답하여 지연된 리드 데이터(DELY_LAT_DATA<G2>)를 선택하여 출력하며, 제3 다중화부(339_6)는 다시 논리 로우 레벨의 래치된 하프 애디티브 레이턴시 선택정보신호(LAT_HAL<3>)에 응답하여 래치된 리드 데이터(LAT_DATA<G3>)를 선택하여 출력한다.

[0034] 또한, P2S 컨버터(339_7)는 지연과 미지연이 교대로 수행된 리드 데이터, 예컨대 제1 다중화부(339_4)로부터 전송된 리드 데이터(LAT_DATA<G1>), 제2 다중화부(339_5)로부터 전송된 리드 데이터(DELY_LAT_DATA<G2>), 제3 다중화부(339_6)로부터 전송된 리드 데이터(LAT_DATA<G3>)를 병렬로 입력받아 직렬로 변환한 후 최종 리드 데이터(DATA)를 메모리 컨트롤러(200)로 전송한다.

[0035] 이하, 상기와 같은 구성을 가지는 본 발명에 의한 반도체 메모리 장치 및 그를 포함하는 메모리 시스템의 동작을 도 6 및 도 7을 참조하여 설명한다.

[0036] 도 6에는 BL10 전송모드에 따른 메모리 시스템의 동작을 설명하기 위한 타이밍도가 도시되어 있고, 도 7에는 도 6의 타이밍도를 더욱 상세하게 설명하기 위한 타이밍도가 도시되어 있다.

[0037] 먼저, 도 6을 참조하면, 메모리 컨트롤러(200)는 연속되는 리드 커맨드(RD_CMD<1:3>)를 반도체 메모리(300)로

전송할 때 커맨드 간에 간격(tCCD)이 외부 클럭신호(EX_CLK)의 '4 tCK' 및 '6 tCK'를 교대로 가지도록 전송한다. 즉, 첫 번째 리드 커맨드(RD_CMD<1>)를 전송하고, 첫 번째 리드 커맨드(RD_CMD<1>)의 전송시점을 기준으로 '4 tCK' 이후에 두 번째 리드 커맨드(RD_CMD<2>)를 전송하며, 두 번째 리드 커맨드(RD_CMD<2>)의 전송시점을 기준으로 '6 tCK' 이후에 세 번째 리드 커맨드(RD_CMD<3>)를 전송한다. 도면에는 미도시되고 있지만, 만약 네 번째와 다섯 번째의 리드 커맨드가 연속해서 전송된다면, 세 번째 리드 커맨드(RD_CMD<3>)의 전송시점을 기준으로 다시 '4 tCK' 이후에 네 번째 리드 커맨드를 전송하고, 네 번째 리드 커맨드의 전송시점을 기준으로 다시 '6 tCK' 이후에 다섯 번째 리드 커맨드를 전송하게 된다. 이는 커맨드 간에 간격(tCCD)이 두 개의 간격 단위로 '10 tCK'를 만족하게 하기 위함이며, 이에 따라 BL10 전송모드에 따라 메모리 컨트롤러(200)로 전송되는 리드 데이터(DATA)는 그 사이에 공백없이 전송 가능한 환경이 마련된다.

[0038] 한편, 메모리 컨트롤러(200)는 연속되는 리드 커맨드(RD_CMD<1:3>)를 반도체 메모리(300)로 전송함과 동시에 연속되는 리드 커맨드(RD_CMD<1:3>) 각각에 대응하여 새롭게 정의되는 하프 애디티브 레이턴시 선택정보신호(HAL<1:3>)를 전송한다. 즉, 첫 번째 리드 커맨드(RD_CMD<1>)를 전송함과 동시에 논리 로우 레벨의 하프 애디티브 레이턴시 선택정보신호(HAL<1>)를 전송하고, 두 번째 리드 커맨드(RD_CMD<2>)를 전송함과 동시에 논리 하이 레벨의 하프 애디티브 레이턴시 선택정보신호(HAL<2>)를 전송하고, 세 번째 리드 커맨드(RD_CMD<3>)를 전송함과 동시에 논리 로우 레벨의 하프 애디티브 레이턴시 선택정보신호(HAL<3>)를 전송한다. 물론, 도면에는 미도시되고 있지만, 만약 네 번째와 다섯 번째 리드 커맨드가 연속되어 전송된다면, 네 번째 리드 커맨드를 전송함과 동시에 논리 하이 레벨의 하프 애디티브 레이턴시 선택정보신호를 전송하고, 다섯 번째 리드 커맨드를 전송함과 동시에 논리 로우 레벨의 하프 애디티브 레이턴시 선택정보신호를 전송하게 될 것이다. 다시 말해, 하프 애디티브 레이턴시 선택정보신호(HAL<1:3>)는 연속되는 리드 커맨드(RD_CMD<1:3>) 각각에 대응하여 논리 레벨이 천이되며, 연속되는 리드 커맨드(RD_CMD<1:3>)의 개수만큼 토글링하게 된다.

[0039] 이와 같이, 메모리 컨트롤러(200)는 연속되는 리드 커맨드(RD_CMD<1:3>)를 반도체 메모리(300)로 전송하는 동시에 연속되는 리드 커맨드(RD_CMD<1:3>)마다 새롭게 정의되는 하프 애디티브 레이턴시 선택정보신호(HAL<1:3>)를 실시간으로 전송하게 된다.

[0040] 그러면, 반도체 메모리(300)는 토글링되는 하프 애디티브 레이턴시 선택정보신호(HAL<1:3>)에 따라 첫 번째 리드 커맨드(RD_CMD<1>)에 대응하는 리드 데이터(SEL_DATA<G1>)를 지연없이 그대로 메모리 컨트롤러(200)에게 전송하고, 두 번째 리드 커맨드(RD_CMD<2>)에 대응하는 리드 데이터(SEL_DATA<G2>)를 내부 클럭신호(IN_CLK)의 반주기 - 외부 클럭신호(EX_CLK)의 '1 tCK'에 해당함 - 만큼 지연시켜 메모리 컨트롤러(200)에게 전송하고, 세 번째 리드 커맨드(RD_CMD<3>)에 대응하는 리드 데이터(SEL_DATA<G3>)를 지연없이 그대로 메모리 컨트롤러(200)에게 전송한다. 이때, 두 번째 리드 커맨드(RD_CMD<2>)에 대응하는 리드 데이터(SEL_DATA<G2>)는 실질적으로 두 번째 리드 커맨드(RD_CMD<1>)의 전송시점을 기준으로 기본 리드 레이턴시(RL) 이후 시점(B)에서 출력이 개시되어야 하지만, 기본 리드 레이턴시(RL)에 하프 애디티브 레이턴시(HAL)가 부가됨에 따라 내부 클럭신호(IN_CLK)의 반주기만큼 지연된 시점에서 리드 데이터(SEL_DATA<G2>)가 출력 개시된다. 물론, 첫 번째와 세 번째 리드 커맨드(RD_CMD<1>, RD_CMD<3>)에 대응하는 리드 데이터(SEL_DATA<G1>, SEL_DATA<G3>)가 출력 개시되는 시점은 하프 애디티브 레이턴시(HAL)가 미부가된 기본 리드 레이턴시(RL)만이 적용된 시점에서 출력 개시된다.

[0041] 따라서, 반도체 메모리(300)는 연속되는 리드 커맨드(RD_CMD<1:3>)에 대응하는 리드 데이터(DATA)를 공백없이 순차적으로 메모리 컨트롤러(200)에게 전송하게 된다.

[0042] 다음, 도 7을 참조하여 도 6의 타이밍도를 더욱 상세하게 설명한다.

[0043] 일단, 메모리 컨트롤러(200)는 연속되는 리드 커맨드(RD_CMD<1:3>) 및 연속되는 리드 커맨드(RD_CMD<1:3>) 각각에 대응하는 하프 애디티브 레이턴시 선택정보신호(HAL<1:3>)를 반도체 메모리(300)에게 전송하면, 반도체 메모리(300)는 내부 메모리 셀(도면에 미도시)로부터 전달된 리드 데이터(CORE_DATA<G1:G3>)들을 데이터 출력부(335)에 포함된 제1 내지 제3 파이프 래치부(PIPE1, PIPE2, PIPE3)에 각각 래치하고, 각각의 리드 커맨드(RD_CMD<1:3>)의 전송시점을 기준으로 기본 리드 레이턴시(RL) 이후에 각각의 래치된 리드 데이터(LAT_DATA<G1:G3>)를 데이터 출력 제어부(339)로 출력한다. 물론, 하프 애티티브 레이턴시 선택정보신호(HAL<1:3>) 또한 하프 애디티브 레이턴시 선택정보신호 출력부(337)에 래치되었다가 기본 리드 레이턴시(RL) 이후에 각각 데이터 출력 제어부(339)로 출력된다.

[0044] 그러면, 데이터 출력 제어부(339)는 래치된 리드 데이터(LAT_DATA<G1:G3>) 각각에 대하여 지연과 미지연을 교대로 수행하여, 연속되는 리드 커맨드(RD_CMD<1:3>)에 대응하는 리드 데이터(DATA)를 공백없이 순차적으로 메모리 컨트롤러(200)에게 전송한다. 이를 더욱 자세하게 설명하면, 제1 내지 제3 D 플립플롭(339_1, 339_2, 339_3)은

각각의 래치된 리드 데이터(LAT_DATA<G1:G3>)를 내부 클럭신호(IN_CLK)의 반주기만큼 지연시켜 지연된 리드 데이터(DELY_LAT_DATA<G1:G3>)를 생성하고, 제1 내지 제3 다중화부(339_4, 339_5, 339_6) 각각은 래치된 하프 애디티브 레이턴시 선택정보신호(LAT_HAL<1:3>)에 따라 래치된 리드 데이터(LAT_DATA<G1:G3>) 및 지연된 리드 데이터(DELY_LAT_DATA<G1:G3>) 중 어느 하나를 선택하여 출력한다. 즉, 제1 다중화부(339_4)는 논리 로우 레벨의 래치된 하프 애디티브 레이턴시 선택정보신호(LAT_HAL<1>)에 따라 래치된 리드 데이터(LAT_DATA<G1>)를 선택하여 선택된 리드 데이터(SEL_DATA<G1>)로써 출력하고, 제2 다중화부(339_5)는 논리 하이 레벨의 래치된 하프 애디티브 레이턴시 선택정보신호(LAT_HAL<2>)에 따라 지연된 리드 데이터(DELY_LAT_DATA<G2>)를 선택하여 선택된 리드 데이터(SEL_DATA<G2>)로써 출력하고, 제3 다중화부(339_6)는 논리 로우 레벨의 래치된 하프 애디티브 레이턴시 선택정보신호(LAT_HAL<3>)에 따라 래치된 리드 데이터(LAT_DATA<G3>)를 선택하여 선택된 리드 데이터(SEL_DATA<G3>)로써 출력하게 된다. 이에 따라, P2S 컨버터(339_7)는 제1 내지 제3 다중화부(339_4, 339_5, 339_6)로부터 선택되어 출력되는 리드 데이터(SEL_DATA<G1>, SEL_DATA<G2>, SEL_DATA<G3>)를 병렬로 입력받아 직렬로 변환하여 연속되는 리드 커맨드(RD_CMD<1:3>)에 대응하는 리드 데이터(DATA)를 공백없이 순차적으로 메모리 컨트롤러(200)에게 전송한다.

[0045] 한편, 본 발명의 실시예는 반도체 메모리 장치 및 그를 포함하는 메모리 시스템의 동작을 BL10 전송모드에 따라서만 설명하였지만, BL4 전송모드 및 BL8 전송모드에서도 적용 가능하다. 즉, BL4 전송모드 및 BL8 전송모드에서는 메모리 컨트롤러(200)가 연속되는 리드 커맨드(RD_CMD<1:3>)를 해당 커맨드 간에 간격(tCCD)으로 일정하게 전송하며, 연속되는 리드 커맨드(RD_CMD<1:3>) 각각에 대응하여 토글링되는 하프 애디티브 레이턴시 선택정보신호(HAL<1:3>)를 전송하는 것이 아니라 일정한 논리 레벨을 가지는 하프 애디티브 레이턴시 선택정보신호(HAL<1:3>)를 전송하기만 하면 된다. 그러면, 데이터 출력 제어부(339)는 기본 리드 레이턴시(RL)에 하프 애디티브 레이턴시를 부가하지 않은 상태로 리드 데이터(DATA)를 출력하게 된다.

[0046] 이와 같은 본 발명의 실시예에 따르면, 연속되는 리드 커맨드에 대응하는 리드 데이터들을 공백없이 연속적으로 출력할 수 있기 때문에, 단위 시간당 데이터 전송량(bandwidth)을 개선할 수 있는 이점이 있다.

[0047] 본 발명의 기술 사상은 상기 실시예에 따라 구체적으로 기술되었으나, 이상에서 설명한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 여러 가지 치환, 변형 및 변경으로 다양한 실시예가 가능함을 이해할 수 있을 것이다.

[0048] 예컨대, 본 발명은 실시예에서는 리드 경로 동작을 예로 들어 설명하고 있지만, 반드시 이에 한정되는 것은 아니며, 쓰기 경로 동작에도 본 발명이 적용될 수 있다.

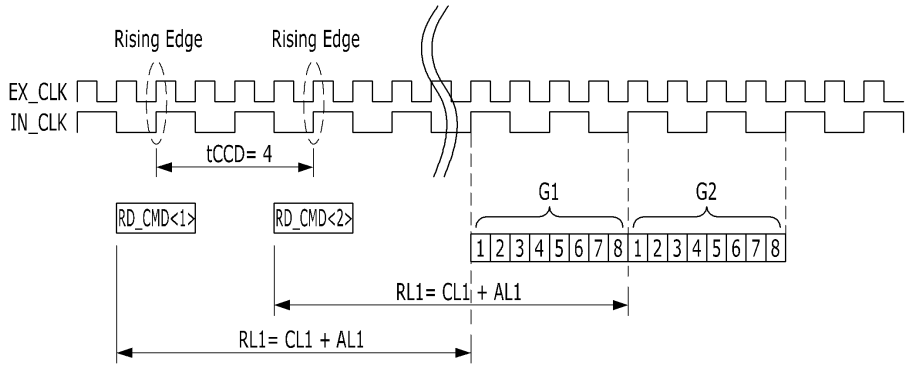
부호의 설명

[0049]

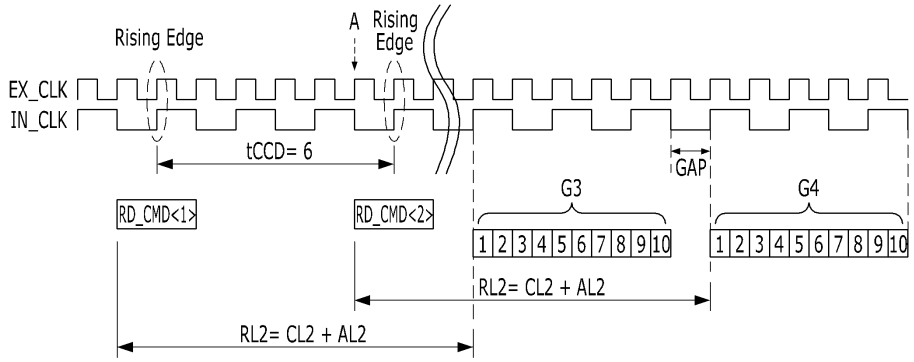
100 : 메모리 시스템	200 : 메모리 컨트롤러
300 : 반도체 메모리	310 : 내부 클럭신호 생성부
320 : 레이턴시 설정부	330 : 레이턴시 반영부
331 : 레이턴시 제어부	333 : 지연부
335 : 데이터 출력부	337 : HAL 출력부
339 : 데이터 출력 제어부	339_1 내지 339_3 : D 플립플롭
339_4 내지 339_6 : 다중화부	339_7 : P2S 컨버터

도면

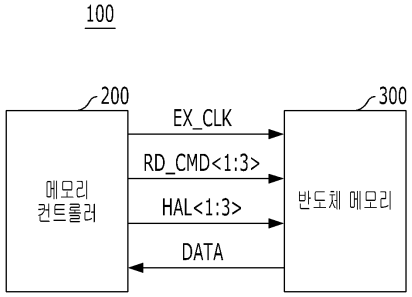
도면1a



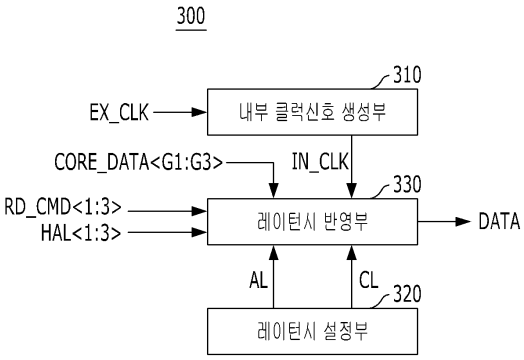
도면1b



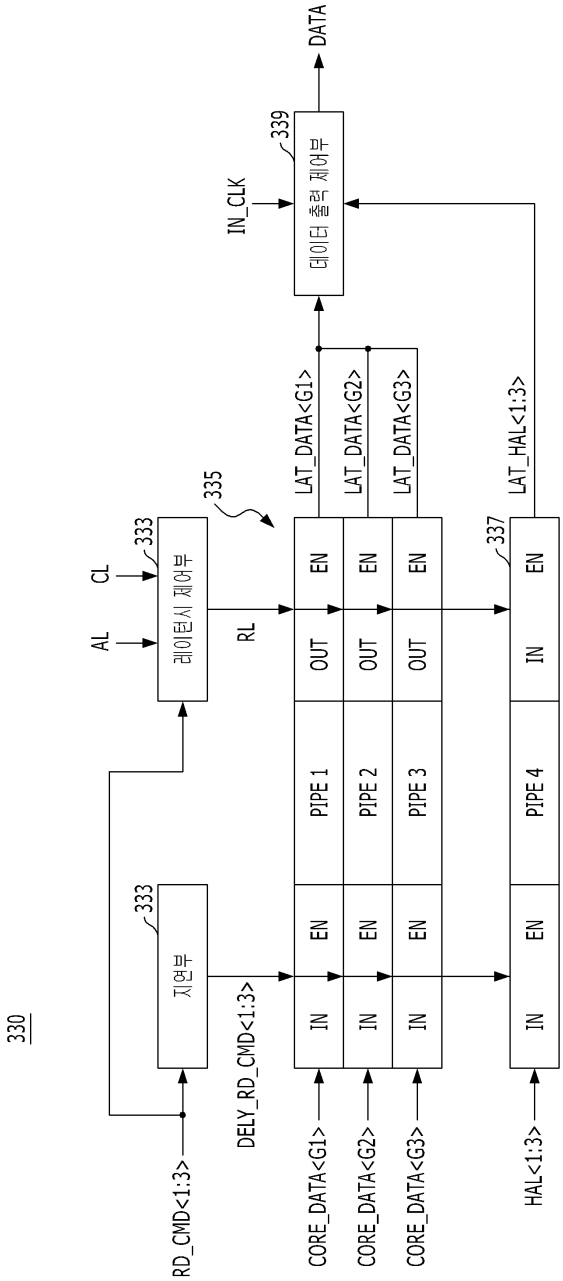
도면2



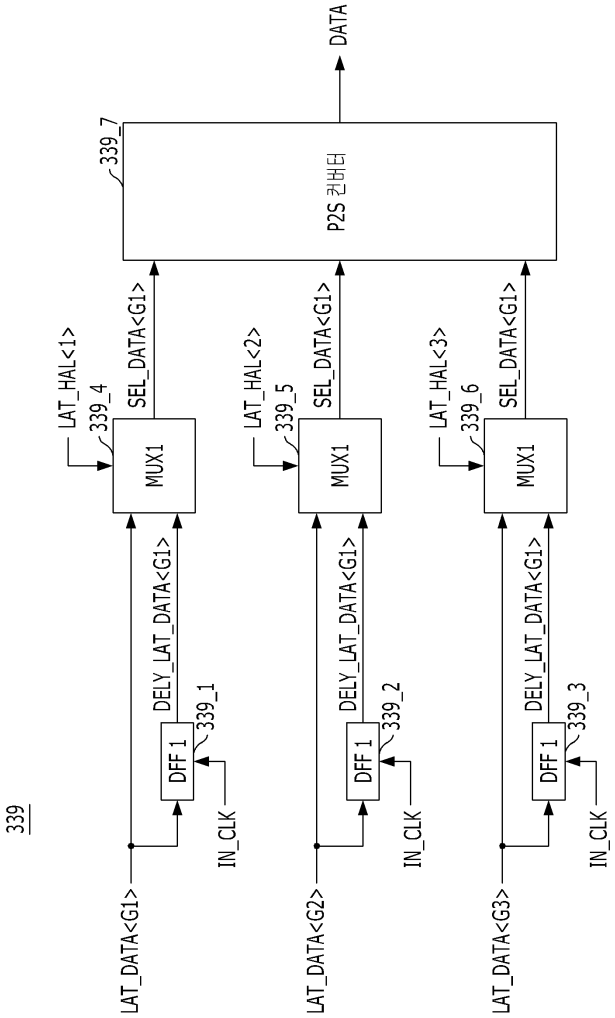
도면3


300
310
EX_CLK
내부 클럭신호 생성부
CORE_DATA<G1:G3>
IN_CLK
330
RD_CMD<1:3>
HAL<1:3>
레이턴시 반영부
DATA
AL
CL
320
레이턴시 설정부

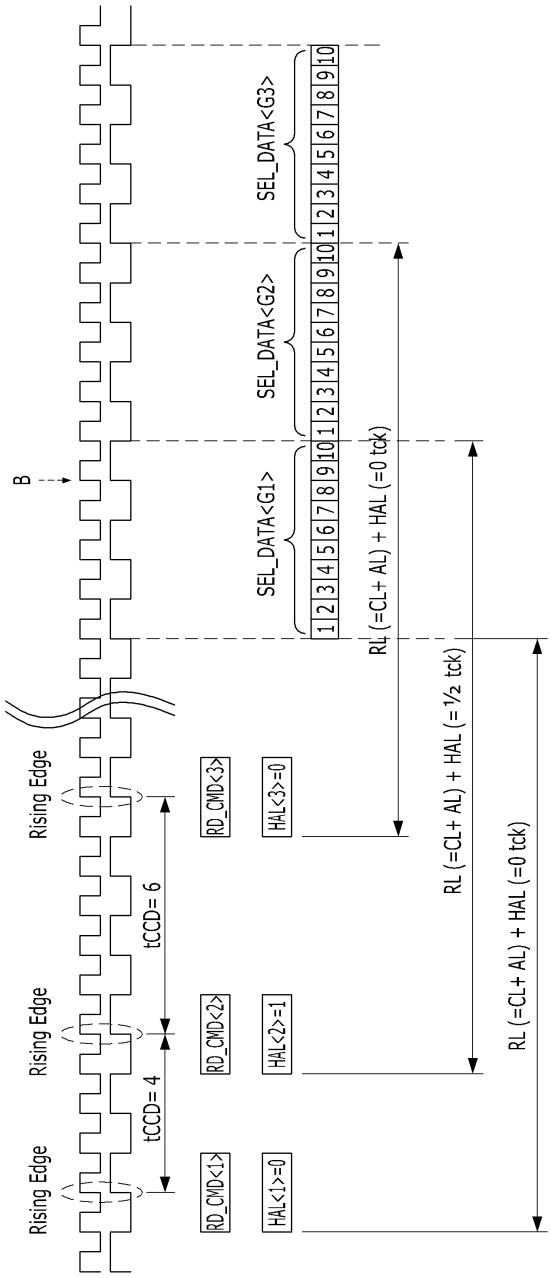
도면4


330
DATA
339
데이터 출력 제어부
IN_CLK
LAT_DATA<G1>
LAT_DATA<G2>
LAT_DATA<G3>
LAT_HAL<1:3>
335
333
레이턴시 제어부
CL
AL
RL
337
EN
OUT
IN
PIPE 1
PIPE 2
PIPE 3
PIPE 4
333
지연부
DELY_RD_CMD<1:3>
RD_CMD<1:3>
CORE_DATA<G1>
CORE_DATA<G2>
CORE_DATA<G3>
HAL<1:3>

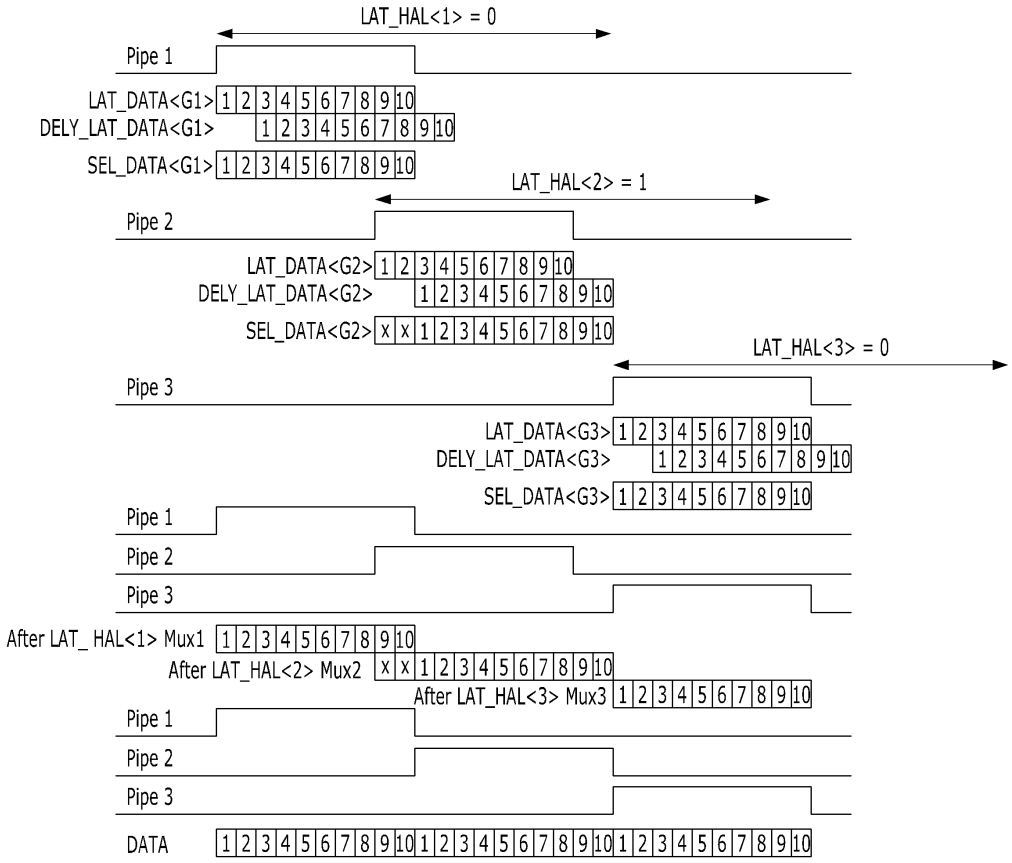
도면5


339
LAT_DATA<G1>
LAT_DATA<G2>
LAT_DATA<G3>
IN_CLK
IN_CLK
IN_CLK
DFF 1
339_1
DFF 1
339_2
DFF 1
339_3
DELY_LAT_DATA<G1>
DELY_LAT_DATA<G1>
DELY_LAT_DATA<G1>
MUX1
MUX1
MUX1
339_4
339_5
339_6
LAT_HAL<1>
LAT_HAL<2>
LAT_HAL<3>
SEL_DATA<G1>
SEL_DATA<G1>
SEL_DATA<G1>
339_7
P2S 컨버터
DATA

도면6


B
Rising Edge
Rising Edge
Rising Edge
tCCD= 4
tCCD= 6
RD_CMD<1>
RD_CMD<2>
RD_CMD<3>
HAL<1>=0
HAL<2>=1
HAL<3>=0
SEL_DATA<G1>
SEL_DATA<G2>
SEL_DATA<G3>
1 2 3 4 5 6 7 8 9 10
RL (=CL+ AL) + HAL (=0 tck)
RL (=CL+ AL) + HAL (= ½ tck)
RL (=CL+ AL) + HAL (=0 tck)

도면7


LAT_HAL<1> = 0
Pipe 1
LAT_DATA<G1> 1 2 3 4 5 6 7 8 9 10
DELY_LAT_DATA<G1> 1 2 3 4 5 6 7 8 9 10
SEL_DATA<G1> 1 2 3 4 5 6 7 8 9 10
LAT_HAL<2> = 1
Pipe 2
LAT_DATA<G2> 1 2 3 4 5 6 7 8 9 10
DELY_LAT_DATA<G2> 1 2 3 4 5 6 7 8 9 10
SEL_DATA<G2> x x 1 2 3 4 5 6 7 8 9 10
LAT_HAL<3> = 0
Pipe 3
LAT_DATA<G3> 1 2 3 4 5 6 7 8 9 10
DELY_LAT_DATA<G3> 1 2 3 4 5 6 7 8 9 10
SEL_DATA<G3> 1 2 3 4 5 6 7 8 9 10
Pipe 1
Pipe 2
Pipe 3
After LAT_ HAL<1> Mux1 1 2 3 4 5 6 7 8 9 10
After LAT_HAL<2> Mux2 x x 1 2 3 4 5 6 7 8 9 10
After LAT_HAL<3> Mux3 1 2 3 4 5 6 7 8 9 10
Pipe 1
Pipe 2
Pipe 3
DATA 1 2 3 4 5 6 7 8 9 10 1 2 3 4 5 6 7 8 9 10 1 2 3 4 5 6 7 8 9 10