



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년06월15일
(11) 등록번호 10-1528838
(24) 등록일자 2015년06월09일

(51) 국제특허분류(Int. Cl.)
G06F 1/32 (2006.01) H03K 19/00 (2006.01)
(21) 출원번호 10-2013-7025311
(22) 출원일자(국제) 2012년02월27일
심사청구일자 2013년09월25일
(85) 번역문제출일자 2013년09월25일
(65) 공개번호 10-2013-0131448
(43) 공개일자 2013년12월03일
(86) 국제출원번호 PCT/US2012/026828
(87) 국제공개번호 WO 2012/116374
국제공개일자 2012년08월30일
(30) 우선권주장
13/034,845 2011년02월25일 미국(US)
(56) 선행기술조사문헌
US20090115258 A1
US7417482 B2
US20080204125 A1

(73) 특허권자
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
추아-에오안, 류 지.
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
마타르, 찰리에
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(뒷면에 계속)
(74) 대리인
특허법인 남앤드남

전체 청구항 수 : 총 38 항

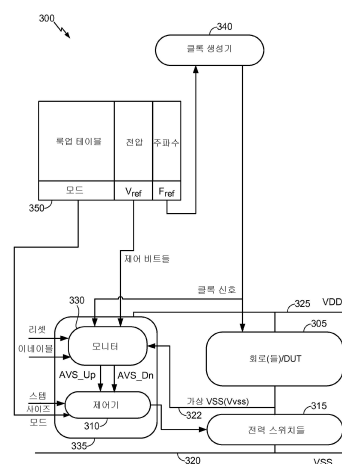
심사관 : 김근희

(54) 발명의 명칭 반도체 디바이스

(57) 요약

온-칩 전압 조정기를 제어하기 위해 온-칩 전압 조정기를 구비한 반도체 디바이스 및 온-칩 전압 조정을 위한 방법들이 개시된다. 반도체 디바이스는 그라운드 버스와 전력 버스 사이에 위치한 회로를 포함한다. 전력 스위치 어레이는 회로 양단에 가상 전압을 생성하기 위해 회로와, 그라운드 버스 또는 전력 버스 중 하나 사이에 위치된다. 모니터는 그라운드 버스와 전력 버스 사이에 위치된다. 모니터는 회로의 임계 경로를 시뮬레이션하고 시뮬레이션된 임계 경로의 출력에 기반하여 전압 조절 신호를 출력하도록 구성된다. 제어기는 전압 조절 신호를 수신하고 가상 전압을 제어하기 위해 전력 스위치 어레이에 제어 신호를 출력하도록 구성된다.

대표도 - 도3a



(72) 발명자

서버슨, 매튜 엘.

미국 92121 캘리포니아주 샌 디에고 모어하우스 드
라이브 5775

콩, 시아오후아

미국 92121 캘리포니아주 샌 디에고 모어하우스 드
라이브 5775

명세서

청구범위

청구항 1

반도체 디바이스로서,

그라운드 버스와 전력 버스 사이에 위치한 회로;

상기 회로 양단에 가상 전압을 생성하기 위해 상기 회로와 상기 그라운드 버스 또는 상기 전력 버스 중 하나 사이에 위치한 전력 스위치 어레이;

상기 그라운드 버스와 상기 전력 버스 사이에 위치한 모니터 - 상기 모니터는, 상기 회로 양단의 전압을 측정하고, 상기 회로 양단의 측정된 전압으로부터의 피드백에 기반하여 전압 조절 신호를 출력하도록 구성됨 -; 및

상기 전압 조절 신호를 수신하고 상기 가상 전압을 제어하기 위해 상기 전력 스위치 어레이에 제어 신호를 출력하도록 구성되는 제어기를 포함하며,

상기 제어기는, 타겟 전압을 표시하는 모드 신호를 수신하도록 더 구성되며, 상기 제어기는,

상기 타겟 전압을 전압 커맨드 신호와 비교하고, 전압 차이 신호를 출력하도록 구성되는 비교 로직; 및

상기 전압 차이 신호를, 상기 전압 커맨드 신호, 및 상기 전력 스위치 어레이 내의 개별 스위치들의 설정들로 변환하도록 구성되는 전력 스위치 출력 로직

을 더 포함하는,

반도체 디바이스.

청구항 2

제 1 항에 있어서,

상기 모니터는 상기 회로의 임계 경로를 시뮬레이션하도록 구성되는 지연 합성기를 더 포함하는,

반도체 디바이스.

청구항 3

제 2 항에 있어서,

상기 지연 합성기는 상기 가상 전압에 결합되는,

반도체 디바이스.

청구항 4

제 2 항에 있어서,

상기 모니터는 상기 지연 합성기 내의 프로그램 가능한 멀티플렉서(multiplexer)들의 지연을 보상하도록 구성되는 매칭 MUX 회로를 더 포함하는,

반도체 디바이스.

청구항 5

제 4 항에 있어서,

상기 모니터는 상기 지연 합성기의 출력과 매칭 MUX 회로의 출력을 비교하고, 상기 비교에 기반하여 상기 전압 조절 신호를 생성하도록 구성되는 지연 비교기를 더 포함하는,

반도체 디바이스.

청구항 6

제 1 항에 있어서,
상기 전압 조절 신호는 업(up) 신호, 다운(down) 신호 및 무 동작(do nothing) 신호를 포함하는,
반도체 디바이스.

청구항 7

제 1 항에 있어서,
상기 전력 스위치 어레이는 상기 회로와 상기 그라운드 버스 사이에 위치된 풋 스위치 어레이 또는 상기 회로와
상기 전력 버스 사이에 위치된 헤드 스위치 어레이 중 적어도 하나인,
반도체 디바이스.

청구항 8

제 1 항에 있어서,
상기 반도체 디바이스는 적어도 하나의 반도체 다이(die)에 집적(integrated)된,
반도체 디바이스.

청구항 9

제 1 항에 있어서,
셋 톱 박스, 음악 재생 장치, 영상 재생 장치, 엔터테인먼트 유닛, 네비게이션 디바이스, 통신 디바이스, 개인
휴대 정보 단말기(PDA), 고정 위치 데이터 유닛 및 컴퓨터로 구성된 그룹에서 선택되는, 상기 반도체 디바이스
가 집적된 디바이스를 더 포함하는,
반도체 디바이스.

청구항 10

제 1 항에 있어서,
상기 모드 신호는 수면 모드; 완전한 활성 모드 또는 중간 모드 중 적어도 하나를 식별하는,
반도체 디바이스.

청구항 11

제 1 항에 있어서,
상기 타겟 전압은 상기 전력 스위치 어레이를 위한 세트 포인트로서 사용되는,
반도체 디바이스.

청구항 12

제 11 항에 있어서,
상기 제어기는 상기 모드 신호를 상기 전력 스위치 어레이를 위한 상기 세트 포인트로 변환하도록 구성되는 전
력 스위치 세트 포인트 로직을 더 포함하는,
반도체 디바이스.

청구항 13

제 1 항에 있어서,
상기 제어기는, 상기 제어기로부터 상기 제어 신호를 수신하고 상기 제어 신호에 기반하여 상기 타겟 전압에 대

한 오프셋을 생성하도록 구성되는 오프셋 로직을 더 포함하는,
반도체 디바이스.

청구항 14

제 1 항에 있어서,
오프셋 로직은 상기 모드 신호를 수신하도록 더 구성되는,
반도체 디바이스.

청구항 15

제 14 항에 있어서,
상기 오프셋 로직은, 상기 모드 신호가 모든 전력 스위치들이 켜지거나 또는 꺼져야한다고 나타내면 불능이 되는,
반도체 디바이스.

청구항 16

제 1 항에 있어서,
상기 제어기는 상기 전압 차 신호의 변화의 양을 나타내는 스텝 신호를 수신하도록 구성되는 스텝 스케일링 로직을 더 포함하는,
반도체 디바이스.

청구항 17

삭제

청구항 18

제 13 항에 있어서,
상기 비교 로직은 상기 오프셋을 수신하고 상기 오프셋에 기반하여 상기 전압 차 신호를 조절하도록 더 구성되는,
반도체 디바이스.

청구항 19

그라운드 버스와 전력 버스 사이에 위치한 회로와, 상기 회로 양단에 가상 전압을 생성하기 위해 상기 회로와 상기 그라운드 버스 또는 상기 전력 버스 중 하나 사이에 위치한 전력 스위치 어레이를 구비한 반도체 디바이스 내의 전압을 제어하는 방법으로서,

타겟 전압을 표시하는 수신된 모드 신호에 기반하여 상기 타겟 전압을 설정하고, 상기 회로의 클록(clock) 주파수를 설정하는 단계;

상기 회로 양단의 전압을 측정하는 단계;

상기 회로 양단의 측정된 전압으로부터의 피드백에 기반하여 전압 조절 신호를 출력하는 단계;

상기 전력 스위치 어레이의 설정을 제어함으로써 상기 전압 조절 신호에 기반하여 상기 가상 전압을 조절하는 단계;

상기 타겟 전압을 전압 커맨드 신호와 비교하고 전압 차이 신호를 출력하는 단계; 및

상기 전압 커맨드 신호, 및 상기 전력 스위치 어레이 내의 개별 스위치들의 설정들로 상기 전압 차이 신호를 변환하는 단계를 포함하는,

반도체 디바이스 내의 전압을 제어하는 방법.

청구항 20

제 19 항에 있어서,

상기 회로의 임계 경로를 시뮬레이션하는 단계를 더 포함하며,

상기 임계 경로를 시뮬레이션하는 단계는, 지연 출력을 생성하도록 지연 합성기 내의 제어 비트들을 설정함으로써 상기 임계 경로의 지연을 시뮬레이션하는 단계를 포함하는,

반도체 디바이스 내의 전압을 제어하는 방법.

청구항 21

제 20 항에 있어서,

보상 출력(compensation output)을 생성하기 위해 상기 지연 합성기 내에서 프로그램 가능한 멀티플렉서들의 지연을 보상하는 단계를 더 포함하는,

반도체 디바이스 내의 전압을 제어하는 방법.

청구항 22

제 21 항에 있어서,

상기 지연 출력과 상기 보상 출력을 비교하는 단계; 및

상기 비교에 기반하여 상기 전압 조절 신호를 생성하는 단계를 더 포함하는,

반도체 디바이스 내의 전압을 제어하는 방법.

청구항 23

제 22 항에 있어서,

상기 전압 조절 신호를 생성하는 단계는 업 신호, 다운 신호 및 무 동작 신호를 생성하는 단계를 포함하는,

반도체 디바이스 내의 전압을 제어하는 방법.

청구항 24

제 23 항에 있어서,

상기 업 신호 또는 상기 다운 신호에 기반하여 상기 가상 전압을 점증적으로 변경하는 단계를 더 포함하는,

반도체 디바이스 내의 전압을 제어하는 방법.

청구항 25

제 19 항에 있어서,

상기 타겟 전압을 설정하는 단계는 수면 모드, 완전한 활성 모드 또는 중간 모드 중 하나를 포함하는 모드 신호를 수신하는 단계를 포함하는,

반도체 디바이스 내의 전압을 제어하는 방법.

청구항 26

제 25 항에 있어서,

상기 모드 신호를 상기 전력 스위치 어레이를 위한 세트 포인트로 변환하는 단계를 더 포함하는,

반도체 디바이스 내의 전압을 제어하는 방법.

청구항 27

제 19 항에 있어서,

상기 가상 전압을 조절하는 단계는 스텝 사이즈 신호에 기반하여 상기 가상 전압의 변경의 양을 스케일링하는 단계를 더 포함하는,

반도체 디바이스 내의 전압을 제어하는 방법.

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

그라운드 버스와 전력 버스 사이에 위치한 회로와, 상기 회로 양단에 가상 전압을 생성하기 위해 상기 회로와 상기 그라운드 버스 또는 상기 전력 버스 중 하나 사이에 위치한 전력 스위치 어레이를 구비한 반도체 디바이스로서,

타겟 전압을 표시하는 수신된 모드 신호에 기반하여 상기 타겟 전압을 설정하기 위한 수단 및 상기 회로의 클록 주파수를 설정하기 위한 수단;

상기 회로 양단의 전압을 측정하기 위한 수단;

상기 회로 양단의 측정된 전압으로부터의 피드백에 기반하여 전압 조절 신호를 출력하기 위한 수단;

상기 전력 스위치 어레이의 설정을 제어함으로써 상기 전압 조절 신호에 기반하여 상기 가상 전압을 조절하기 위한 수단;

상기 타겟 전압을 전압 커맨드 신호와 비교하고 전압 차이 신호를 출력하기 위한 수단; 및

상기 전압 커맨드 신호, 및 상기 전력 스위치 어레이 내의 개별 스위치들의 설정들로 상기 전압 차이 신호를 변환하기 위한 수단을 포함하는,

반도체 디바이스.

청구항 38

제 37 항에 있어서,

상기 회로의 임계 경로를 시뮬레이션하기 위한 수단을 더 포함하며,

상기 임계 경로를 시뮬레이션하기 위한 수단은 지연 출력을 생성하기 위해 지연 합성기 내의 제어 비트들을 설정함으로써 상기 임계 경로의 지연을 시뮬레이션하기 위한 수단을 포함하는,

반도체 디바이스.

청구항 39

제 38 항에 있어서,

보상 출력을 생성하기 위해 상기 지연 합성기 내에서 프로그램 가능한 멀티플렉서들의 지연을 보상하기 위한 수단을 더 포함하는,

반도체 디바이스.

청구항 40

제 39 항에 있어서,

상기 지연 출력과 상기 보상 출력을 비교하기 위한 수단; 및

상기 비교에 기반하여 상기 전압 조절 신호를 생성하기 위한 수단을 더 포함하는,

반도체 디바이스.

청구항 41

제 40 항에 있어서,

상기 전압 조절 신호를 생성하기 위한 수단은 업 신호, 다운 신호 및 무 동작 신호를 생성하기 위한 수단을 포함하는,

반도체 디바이스.

청구항 42

제 41 항에 있어서,

상기 업 신호 또는 상기 다운 신호에 기반하여 상기 가상 전압을 점증적으로 변경하기 위한 수단을 더 포함하는,

반도체 디바이스.

청구항 43

제 37 항에 있어서,

상기 타겟 전압을 설정하기 위한 수단은, 수면 모드, 완전한 활성 모드 또는 중간 모드 중 하나를 포함하는 모드 신호를 수신하기 위한 수단을 포함하는,

반도체 디바이스.

청구항 44

제 43 항에 있어서,

상기 모드 신호를 상기 전력 스위치 어레이를 위한 세트 포인트로 변환하기 위한 수단을 더 포함하는,

반도체 디바이스.

청구항 45

제 37 항에 있어서,

상기 가상 전압을 조절하기 위한 수단은 스텝 사이즈 신호에 기반하여 상기 가상 전압의 변경의 양을 스케일링하기 위한 수단을 더 포함하는,

반도체 디바이스.

청구항 46

제 37 항에 있어서,

상기 반도체 디바이스는 적어도 하나의 반도체 다이에 집적되는,

반도체 디바이스.

청구항 47

제 37 항에 있어서,

셋 톱 박스, 음악 재생 장치, 영상 재생 장치, 엔터테인먼트 유닛, 네비게이션 디바이스, 통신 디바이스, 개인 휴대 정보 단말기(PDA), 고정 위치 데이터 유닛 및 컴퓨터로 구성된 그룹에서 선택되는, 상기 반도체 디바이스가 집적된 디바이스를 더 포함하는,

반도체 디바이스.

청구항 48

제 1 항에 있어서,

상기 피드백은, 상기 회로 양단의 측정된 전압이 리딩(leading)하는지 레깅(lagging)하는지를 표시하도록 구성되는,

반도체 디바이스.

청구항 49

삭제

청구항 50

삭제

청구항 51

삭제

청구항 52

삭제

발명의 설명

기술 분야

[0001] 본 명세서에 개시된 실시예들은 제어된 회로 또는 시험 중인 디바이스에 인가되는 전압 및 전류를 제어하기 위해 온칩 전압 조정기를 구비하는 반도체 회로에 관한 것이다.

배경 기술

[0002] 주문형 반도체들(ASICs) 같은 집적 회로들을 포함하는 전자 디바이스들은 전력 소비를 줄여 연장된 배터리 수명을 달성하도록 전력 절약 기술들을 자주 사용한다. 이동 전화기들 및 개인 휴대 정보 단말기들(PDAs)

과 같은 작고, 휴대 가능한 디바이스들은, 예를 들면 전형적으로 논리 회로망에 의해 전력 소비를 제한하기 위해 비활성 모드들을 시행하기 위한 회로망을 포함한다. 비활성 모드들은 대기 모드, 절전 모드 및 수면 모드를 포함할 수 있다.

[0003] [0003] 디지털 회로들에서의 전력 손실, 그리고 보다 구체적으로 상보형 금속 산화 반도체(CMOS) 회로에서의 전력 손실은 공급 전압의 제곱에 대략 비례한다. 따라서 저전력 수행을 달성하기 위한 효과적인 방법은 공급 전압의 크기를 줄이는 것이다. ASIC들 상에 CMOS 회로들은 현저히 감소된 전력 레벨들에서 동작하는 것이 가능하다. 그러나 전달 지연의 증가들을 회피하기 위해 CMOS 디바이스들의 임계 전압 또한 감소된다.

[0004] [0004] 임계 전압의 감소는 일반적으로 금속 산화물 반도체(MOS) 디바이스들의 서브 임계 누설 전류의 변화들에 기인한 대기 전류의 증가를 야기한다. "오프" 트랜지스터를 통해 흐르는 누설 전류는 디바이스의 임계 전압이 감소될 때 기하급수적으로 증가하는 경향이 있다. 따라서 연장된 시간 기간을 위해 비활성 모드를 유지하는 이동 전화들 및 PDA들과 같은 전자 디바이스들은 현저한 누설전류를 나타낼 수 있고, 비활성 모드 동안 배터리 전력상의 원치않는 소실(drain)을 야기할 수 있다.

[0005] [0005] 대기 모드들 동안 누설 전류를 감소시키기 위해 일부 ASIC들은 CMOS 회로의 로직 게이트(logic gate)들과 전력 버스(power bus) VDD 또는 그라운드 버스 VSS 사이에 전기적으로 연결된 전력 스위치들(예를 들면 헤드 스위치(headswitch)들 및/또는 풋 스위치(footswitch)들)을 포함한다. 헤드 스위치는 ASIC 코어 또는 블록의 로컬 전력 버스 루팅과 최상 레벨 전력 버스 루팅 사이에 위치한 PMOS 트랜지스터일 수 있다. 풋 스위치는 로컬 그라운드 버스와 최상 레벨 그라운드 버스 사이에 위치한 NMOS 트랜지스터일 수 있다. 일반적으로 헤드 스위치들 및 풋 스위치들은 시험 중인 회로 또는 제어되고 있는 회로의 소스로의 전력 또는 그라운드 전위의 연결을 끊는 CMOS 또는 다른 디바이스들이다. 전력 스위치들은 본 명세서에서 헤드 스위치들 혹은 풋 스위치들을 지칭하는데 사용될 것이다.

[0006] [0006] 비 활성화 모드("수면 모드") 동안, 전력 스위치들(예를 들면 헤드 스위치들 및/또는 풋 스위치들)은 전력/그라운드 공급으로부터 로직 게이트들의 연결을 끊도록 꺼지고 이로 인해 연결된 회로 양단에서 전압이 "붕괴" 된다. 헤드 스위치 또는 풋 스위치가 높은 임계 전압을 가지기 때문에, 전력 스위치들(예를 들면 헤드 스위치들 및/또는 풋 스위치들)에 의해 전력 공급 장치로부터 끌려온 누설 전류의 양은 그렇지 않았다면 로직 게이트들을 통해 흘러갔을 누설 전류에 대해 실질적으로 감소된다. 활성화 또는 동작 모드 동안, 헤드 스위치들 또는 풋 스위치들은 각각 전력 공급 장치 또는 그라운드를 게이트들에 연결하도록 켜진다. 따라서 활성화 모드 동안 로직 게이트들은 그들이 마치 전력 공급 장치 및 그라운드에 직접적으로 연결된 듯이 실질적으로 동일한 전압에 의해 작동된다.

[0007] [0007] 종래의 전력 스위치 구현에 관한 예가 이제 기재될 것이다. 도 1은 종래의 반도체 디바이스(100)를 도시한다. 반도체 디바이스(100)는 적어도 하나의 회로(105) 및 제어기(110)를 포함한다. 제어기(110)는 전력 스위치 어레이 또는 매트릭스(115)에 포함되는 풋 스위치들(예를 들면 NMOS 트랜지스터들)이 "온" 될지 "오프" 될지를 결정한다. 특히 제어기(110)는 회로(105)가 활성화 모드에서 동작할지 아니면 대안적으로 회로(105)가 휴지 상태 또는 수면 모드를 진입하거나 유지할 수 있을지 나타내는 외부 신호를 수신하도록 구성된다. 외부 신호에 기반하여, 제어기(110)는 전력 스위치 매트릭스(115)의 스위치들(예를 들면 풋 스위치들)이 (예를 들면 스위치의 게이트에 신호를 인가함으로써) "온"이거나 "오프"이도록 신호를 보낸다. 전력 스위치 매트릭스(115)는 회로(105)의 로컬 그라운드와 그라운드 전압 VSS를 전달하는 그라운드 버스(120) 사이에 연결된다. 또한 도 1에 도시된 것은 회로(105)에 전력 전압 VDD를 제공하는 전력 버스(125)이다.

[0008] [0008] 도 2는 종래의 헤드 스위치 구성을 도시한다. 반도체 디바이스(200)는 적어도 하나의 회로(205) 및 제어기(210)를 포함한다. 제어기(210)는 전력 스위치 어레이 또는 매트릭스(215)에 포함된 헤드 스위치들(예를 들면 PMOS 트랜지스터들)이 "온"될지 아니면 "오프"될지를 결정한다. 특히 제어기(210)는 회로(205)가 활성화 모드에서 동작할지 아니면 대안적으로 회로(205)가 휴지 상태 또는 수면 모드를 진입하거나 유지할 수 있을지 나타내는 외부 신호를 수신하도록 구성된다. 외부 신호에 기반하여, 제어기(210)는 전력 스위치 매트릭스(215)의 헤드 스위치들이 (예를 들면 스위치의 게이트에 신호를 인가함으로써) "온"되거나 "오프"되도록 신호를 보낸다. 전력 스위치 매트릭스(215)는 회로(205)의 로컬 VDD와 공급 전압 VDD를 전달하는 전력 버스(225) 사이에 연결된다. 또한 도 2에 도시된 것은 회로(들)(205)에 결합된 그라운드 버스/ VSS(220)이다.

[0009] [0009] 도 1과 도 2에 대하여 전술한 설명의 관점에서 이해될 것처럼, 제어기(110, 210)는 외부 엔티티로부터 수신된 모드 신호에 기반하여 스위치 매트릭스(115, 215)를 켜거나 끈다. 그러나 전력 스위치 매트릭스(115, 215)를 집합적으로 구성할 수 있는 다중 트랜지스터들의 제 1 상태(예를 들면 오프)로부터 제 2 상태(예를 들면

온)로의 전환은 각 반도체 디바이스(100, 200)에 현저한 돌입 전류가 잠재적으로 유도되도록 할 수 있는데, 이는 제어되는 회로(들)(105, 205)의 손상 또는 오작동을 일으킬 수 있다.

발명의 내용

[0010] 실시예는 다음을 포함하는 반도체 디바이스를 포함할 수 있다: 그라운드 버스와 전력 버스 사이에 위치한 회로; 상기 회로 양단에 가상 전압을 생성하기 위해 상기 회로와 상기 그라운드 버스 또는 상기 전력 버스 중 어느 하나 사이에 위치한 전력 스위치 어레이; 상기 그라운드 버스와 상기 전력 버스 사이에 위치한 모니터 (상기 모니터는 상기 회로의 임계 경로를 시뮬레이션하고 상기 시뮬레이션된 임계 경로의 결과를 기반으로 전압 조절 신호를 출력하도록 구성됨); 및 상기 전압 조절 신호를 수신하고 상기 가상 전압을 제어하기 위해 상기 전력 스위치 어레이에 제어 신호를 출력하도록 구성된 제어기.

[0011] 다른 실시예는 그라운드 버스와 전력 버스 사이에 위치한 회로와, 상기 회로 양단에 가상 전압을 생성하기 위해 상기 회로와 상기 그라운드 버스 또는 상기 전력 버스 중 하나 사이에 위치한 전력 스위치 어레이를 구비한 반도체 디바이스 내의 전압을 제어하는 방법을 포함할 수 있다. 상기 방법은 상기 회로의 타겟 전압 및 클록(clock) 주파수를 설정하는 단계; 상기 회로의 임계 경로를 시뮬레이션 하는 단계; 상기 시뮬레이션된 임계 경로의 출력을 기반으로 전압 조절 신호를 출력하는 단계; 및 상기 전력 스위치 어레이의 설정을 제어함으로써 상기 전압 조절 신호를 기반으로 상기 가상 전압을 조절하는 단계를 포함한다.

[0012] 다른 실시예는 그라운드 버스와 전력 버스 사이에 위치한 회로와 상기 회로 양단에 가상 전압을 생성하기 위해 상기 회로와 상기 그라운드 버스 또는 상기 전력 버스 중 하나 사이에 위치한 전력 스위치 어레이를 구비한 반도체 디바이스 내의 전압을 제어하는 방법을 포함할 수 있다. 상기 방법은 상기 회로의 타겟 전압 및 클록 주파수를 설정하기 위한 단계; 상기 회로의 임계 경로를 시뮬레이션하기 위한 단계; 상기 시뮬레이션된 임계 경로의 출력에 기반하여 전압 조절 신호를 출력하기 위한 단계; 및 상기 전력 스위치 어레이의 설정을 제어함으로써 상기 전압 조절 신호를 기반으로 상기 가상 전압을 조절하기 위한 단계를 포함한다.

[0013] 다른 실시예는 그라운드 버스와 전력 버스 사이에 위치한 회로와, 상기 회로 양단에 가상 전압을 생성하기 위해 상기 회로와 상기 그라운드 버스 또는 상기 전력 버스 중 하나 사이에 위치한 전력 스위치 어레이를 구비한 반도체 디바이스를 포함할 수 있고, 이는 다음을 포함한다: 상기 회로의 타겟 전압 및 클록 주파수를 설정하기 위한 수단; 상기 회로의 임계 경로를 시뮬레이션하기 위한 수단; 상기 시뮬레이션된 임계 경로의 출력에 기반한 전압 설정 신호를 출력하기 위한 수단; 및 상기 전력 스위치 어레이의 설정을 제어함으로써 상기 전압 조절 신호를 기반으로 상기 가상 전압을 조절하기 위한 수단.

도면의 간단한 설명

[0014] 수반하는 도면들은 본 발명의 실시예들의 설명에 도움을 주기 위해 제공되며, 실시예들의 예시를 위해서만 제공되고 본 발명의 제한을 위한 것이 아니다.

[0015] 도 1은 종래의 풋 스위치 구성을 도시한다.

[0016] 도 2는 종래의 헤드 스위치 구성을 도시한다.

[0017] 도 3a는 풋 스위치 제어형 가상 VSS를 가진 반도체 디바이스를 도시한다.

[0018] 도 3b는 헤드 스위치 제어형 가상 VDD를 가진 반도체 디바이스를 도시한다.

[0019] 도 4는 도 3a와 도 3b에 도시된 제어 유닛의 모니터의 세부 사항들을 도시한다.

[0020] 도 5는 도 4의 지연 합성기의 세부사항들을 도시한다.

[0021] 도 6a와 도 6b는 디코더에서의 시간 다이어그램을 도시한다.

[0022] 도 6c는 디코더를 위한 I/O 테이블을 도시한다.

[0023] 도 7a는 수면 모드에서 활성 모드로 전환하는 동안 도 1의 종래 회로의 양단의 전압을 도시한다.

[0024] 도 7b는 수면 모드에서 활성 모드로 전환하는 동안 도 3a 또는 도 3b의 회로의 양단의 전압을 도시한다.

[0025] 도 8은 도 3a 및 도 3b에 도시된 제어 유닛의 제어기의 세부 사항들을 도시한다.

[0026] 도 9는 온-칩 전압 조정의 방법을 도시한다.

[0027] 도 10은 무선 통신 네트워크를 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0015] [0028] 본 발명의 양상들은 본 발명의 특정한 실시예들을 나타내는 다음의 상세한 설명 및 관련 도면들에서 개시된다. 대안적 실시예들은 본 발명의 보호 범위에서 벗어남이 없이 창안될 수 있다. 추가적으로, 본 발명의 잘 알려진 요소들은 본 발명의 관련있는 세부 사항들을 모호하게 하지 않기 위해 자세하게 기재되지 않거나 생략될 것이다.
- [0016] [0029] 본 명세서에서 단어 "예시적인"은 "예, 사례 또는 실례로서 제공하는"의 의미로 사용된다. "예시적인"으로 본 명세서에서 기재되는 임의의 실시예는 다른 실시예들 보다 선호되거나 이로운 것으로 이해되어질 필요는 없다. 유사하게 용어 "본 발명의 실시예들"은 본 발명의 모든 실시예들이 논의되는 특징, 이점 또는 동작의 모드를 포함하는 것을 요구하지 않는다.
- [0017] [0030] 본 명세서에서 사용된 용어들은 오로지 특별한 실시예들을 기재하는 목적을 위해 사용되며 본 발명의 실시예들의 제한이 되는 것을 의도하지는 않는다. 단수 형태들 "a", "an" 및 "the" 이 본 명세서에서 사용될 때에는 명문에 명시적으로 반대하지 않는 한 복수 형태들 또한 포함하도록 의도된다. 용어 "포함한다" 및/또는 "포함하는"은 본 명세서에서 사용될 때 언급된 특징들, 정수들, 단계들, 동작들, 요소들, 및/또는 부품들의 존재를 명시하지만 이는 하나 이상의 다른 특징들, 정수들, 단계들, 동작들, 요소들, 부품들, 및/또는 이들의 그룹의 존재 또는 추가를 배제하는 것은 아니란 것이 더 이해될 것이다.
- [0018] [0031] 또한, 많은 실시예들은 예를 들면 컴퓨팅(computing) 디바이스들에 의해 수행될 액션들의 시퀀스들의 용어로 기재된다. 본 명세서에 기재된 다양한 액션들이 특정한 회로들(예를 들면, 주문형 반도체들(ASICs))에 의해, 하나 또는 그 이상의 프로세서들에 의해 실행되는 프로그램 명령들에 의해, 또는 이들의 조합에 의해 수행될 수 있다는 것을 인식하게 될 것이다. 또한, 본 명세서에 기재된 이러한 액션들의 시퀀스는, 실행시에 연관된 프로세서로 하여금 본 명세서에 기재된 기능을 수행하게 하는 컴퓨터 명령들의 대응 세트를 저장한 임의의 형태의 컴퓨터 판독가능 저장 매체 내에서 완전히 구현되는 것이 고려될 수 있다. 따라서, 본 발명의 다양한 양상들은 많은 다른 형태로 구현될 수 있고, 이들 모두는 청구되는 주제의 범위 내에 있는 것으로 고려되었다. 또한 본 명세서에 기재된 각 실시예들에 대해 임의의 이러한 실시예들의 대응하는 형태는 예를 들면 기재된 액션을 수행"하도록 구성된 로직"으로써 기재될 수 있다.
- [0019] [0032] 본 명세서에 기재된 개시된 실시예들에서, 전력 스위치 매트릭스 내에 포함된 전력 스위치들은 프로세서 코어들(일반적으로 피시험 장치(DUT)로 고려될 수 있음)과 같은 컴플렉스 회로들을 포함하는 하나 또는 그 이상의 회로들과 반도체 디바이스의 하나 또는 그 이상의 회로들에 공급하는 전원들(예를 들면 VDD 또는 VSS) 사이에 위치된다. 전력 스위치들 양단에서의 전압강하는 하나 또는 그 이상의 회로들 양단의 전압을 제어하는 가상 전압 레퍼런스(가상 VSS 또는 가상 VDD)를 생성한다.
- [0020] [0033] 도 3a는 본 발명의 실시예에 따른 반도체 디바이스(300)를 도시한다. 반도체 디바이스(300)는 적어도 하나의 회로/DUT(305) 및 제어기(310)를 포함한다. 제어기(310)는 전력 스위치 어레이(315) 내에 포함된 전력 스위치들(예를 들면 NMOS 트랜지스터들로 구현될 수 있는 풋 스위치들)이 "온"될지 "오프"될지를 제어한다. 제어기(310)는 모니터(330)를 더 포함하는 제어 유닛(335) 내에 포함된다. 이러한 배열들이 다양한 실시예들을 제한하는 것을 의미하는 것이 아니며 실시예들은 개시된 기능을 달성할 수 있는 임의의 구성을 포함한다는 것을 인식하게 될 것이다. 예를 들어 제어기(310)에 의해 수행되는 것으로 기재된 다양한 기능들은 모니터(330) 또는 기재된 기능을 전체 또는 부분적으로 수행할 수 있는 임의의 다른 요소에 의해 수행될 수 있다. 따라서 본 명세서에 포함된 도해들 및 관련 논의들은 단지 다양한 양상들 및 실시예들의 이해를 용이하게 하기 위해 사용된다.
- [0021] [0034] 모니터(330)는 반도체 디바이스의 다양한 동작 파라미터들을 표시하기 위해 외부 신호들(예를 들면 제어 비트들, 이네이블, 리셋 등)을 수신하도록 구성될 수 있다. 모드 회로의 부가적인 세부 사항들은 도 4a 및 도 4b에 관해 도시된다. 또한 회로/DUT(305)의 모드(예를 들면 회로/DUT(305)가 활성 모드, 하나 또는 그 이상의 중간 모드들 또는 수면 모드 중 어느 모드에서 동작할지)를 표시하는 모드 표시자가 제어기(310)로 입력될 수 있다. 모니터(330)는 VDD 및 가상 레퍼런스 V_{vss} (322)를 경유하여 회로/DUT(305) 양단에서 전압을 측정하도록 추가적으로 구성될 수 있다. 다시 말하면, 모니터(330)는 공급 버스(VDD)(325) 및 V_{vss} (322)의 양단에서 전압을 측정하도록 구성될 수 있다. 모니터(330)는 수신된 제어 비트들 및 회로/DUT(305) 양단에서 측정된 전압으로부터의 피드백을 기반으로 모니터(330)로부터의 하나 또는 그 이상의 제어 신호들(예를 들면, AVS_Up,

AVS_Dn)을 제어기(310)에 출력한다. 일 예에서, 피드백은 회로/DUT(305) 양단에서 전압이 리딩(leading)(예를 들면, 너무 높음)하는지 레깅(lagging)(예를 들면, 너무 낮음)하는지를 제어기(310)에 표시할 수 있다. 피드백을 기반으로, 모니터링는 제어기(310)로의 제어 신호들(예를 들면, AVS_Up, AVS_Dn)을 이용하여 Vvss를 조절할 수 있다.

[0022] [0035] 제어기(310)는 다시 모니터 회로로부터의 제어 신호들(예를 들면 AVS_Up, AVS_Dn), 모드 신호 및 스텝 사이즈 신호를 기반으로 각 전력 스위치들을 "켜"거나 "끄"기 위해 전력 스위치 어레이(315)에 신호를 보낼 수 있다. 전력 스위치 어레이(315)는 회로/DUT(305)의 Vvss(322)와 도시된 풋 스위치-구현에서 그라운드 전압 VSS를 전달하는 그라운드 버스(320)의 사이에 결합된다. 스텝 사이즈 입력은 각 업/다운 명령어에 상응하는 증분의 조절 사이즈를 설정할 수 있다. 모드 신호는 수면, 하나 또는 그 이상의 중간 모드들 및 완전한 활성화 모드와 같은 다양한 회로 상태 모드들을 설정할 수 있다. 예를 들면 모드 신호가 수면 상태로 설정되어 있을때, 전력 스위치 어레이(315) 내의 전력 스위치들(예를 들면 NMOS 트랜지스터들)은 오프 위치로 모두 설정될 것이다. 만약 모드 신호가 완전한 활성화로 설정된다면 전력 스위치 어레이(315) 내의 전력 스위치들은 온 위치로 모두 설정될 것이다. 만약 모드 신호가 중간 상태로 설정된다면, 전력 스위치들은 이 설정을 위한 적절한 초기 상태로 초기에 설정될 것이다. 스위치들은 Vvss의 피드백을 경유하여 회로/DUT(305) 양단에서의 실제 전압을 조정하는 모니터(330)로부터의 제어 신호를 기반으로 초기 상태로부터 조절될 수 있다.

[0023] [0036] 명령 신호들(예를 들면 모드, 제어 비트들 및 클록을 위한 레퍼런스 주파수)은 명령 유닛(350)으로부터 제공될 수 있다. 일 실시예에서, 명령 유닛(350)은 제어되고 있는 회로(들)/DUT(305)의 특성들을 구비한 룩업 테이블에 기반할 수 있다. 명령 유닛(350)은 다양한 회로 파라미터들 및 설정들을 직접적으로 또는 간접적으로 (예를 들면 클록 생성기(340)를 경유한 주파수) 제어 유닛(335)에 제공할 수 있다. 클록 생성기(340)는 룩업 테이블에 규정된 다양한 동작 포인트들에 대한 명령 유닛(350)으로부터 설정들을 기반으로 클록 주파수를 생성한다.

[0024] [0037] 다음은 다양한 명령 및 동작 조합들을 도시하는 명령 유닛(350)을 위한 일부 예시 룩업 테이블 값들이다. 예를 들면, 룩업 테이블은 다양한 동작의 모드들에 상응하는 회로(들)/피시험 장치(DUT)(305)의 다양한 파라미터들을 위해 생성될 수 있다. 또한 일 모드에서 다른 모드로의 전환들 동안, 모드 신호는 전환을 위한 다음 레벨을 표시하도록 사용될 수 있다. 다양한 전환들을 위한 제어 유닛(335) 액션이 아래에 논의된다.

표 1

[0025]

모드 신호	모드 설명	제어 비트들	주파수 설정
수면	전력 스위치들 오프	기본 값 상태(예를 들면 지연 엘리먼트를 위한 비트들 설정들의 규정되지 않은 세트)/N/A	클록 게이트 오프
중간 모드 A	중간 수행 모드 A	모드 A를 위한 정적 로직, 동적 로직 및 와이어 파라미터들	중간 주파수 A
중간 모드 B	중간 수행 모드 B	모드 B를 위한 정적 로직, 동적 로직 및 와이어 파라미터들	중간 주파수 B
완전한 활성화	전력 스위치들 온	기본 값 상태(예를 들면 지연 없는 엘리먼트 세트)/N/A	피시험 장치 최대 주파수

[0026] [0038] 수면 상태에서 그곳의 모든 전력 스위치들은 시험 중 회로/DUT로부터 전력을 제거하기 위해 오프 상태로 설정될 것이다. 반면 완전한 활성화 상태에서 모든 전력 스위치들은 온될 것이다. 수면 또는 완전한 활성화 상태에서, 제어 비트들은 전력 스위치들이 모두 온이거나 모두 오프일 때 실질적으로 제어의 필요성이 없기 때문에 사전 정의된 기본 값 상태(예를 들면, 지연 없는 엘리먼트들 세트) 또는 임의의 랜덤 상태(예를 들면, 위에서 표시한 것처럼 "N/A")로 설정될 수 있다.

[0027] [0039] 증가하는 전환들(예를 들면 수면 모드에서 완전한 활성화 모드로)을 위해, 제어기(310)는 모드, 제어 비트들 및 모니터(330)로의 전위 피드백(예를 들면 Vvss)을 기반으로 전력 스위치 설정을 조절할 수 있다. 일반적으로, 모드들이 전환될 때, 전압이 설정되고 그 후에 주파수가 (클록 생성기(340)로의 신호를 통해)설정된다. 예를 들어, 주파수 설정은 시간 카운터 또는 제어 유닛(335)로부터의 확인응답 신호(도시되지 않음)를 이용하여

지연될 수 있다. 이에 반해, 모드 전환들이 (예를 들면 완전한 활성 모드 또는 중간 모드로부터 수면 모드로) 감소할 때에는, 주파수는 수면 모드에 들어가기에 앞서 감소될 수 있다.

[0028] [0040] 도 3b는 헤드 스위치 구성(301) 내의 배열을 도시한다. 이 구성에서 전력 스위치 어레이(315)는 전압 VDD를 갖는 공급 버스(325)와 회로(들)/DUT(305) 사이에 위치된다. 따라서 회로(들)/ DUT(305) 양단에서의 전압을 제어하는 가상 VDD(Vvdd)가 형성된다. 모니터(330)는 가상 VDD로부터 피드백을 수신하고 가상 VDD와 VSS 사이의 전압을 조정할 수 있다. 클록 레벨 시프터는 또한 제어된 전압에 클록 신호를 매치하도록 가상 VDD 및 VSS에 의해 스케일링될 수 있다. 나머지 양상들은 도 3a의 풋 스위치 구성과 비슷하며, 이에 추가적인 세부사항들은 생략될 것이다.

[0029] [0041] 도 3a 및 3b를 참조하면, 일 예에서 모니터(330)는 회로/DUT(305) 양단의 전압과 같은 회로/DUT(305)의 PVT 특성들을 시뮬레이션하는 프로세스-전압-온도(PVT) 모니터일 수 있다. 모니터(330)는 DUT(305)의 현재 예상된 상태들의 추정값을 표시하는 다양한 내부 파라미터들을 매치시키고 제어기(310)를 조절하기 위해 제어 신호들을 제공하는데 이용될 수 있다. 모니터 회로의 추가적인 세부 사항들은 도 4와 관련하여 아래에 논의된다.

[0030] [0042] 도 4는 모니터(330)의 실시예를 도시한다. 펄스 생성기(410)는 탐지 펄스(det_pulses)를 생성하고 이를 지연 합성기(420)에 전송한다. 이 피드백은 모니터를 루프 백 모드에 놓기 위해(즉 링 오실레이터처럼 작동하여 시간 내에 얼마나 많은 왕복들을 하는지 측정할 수 있어 프로세스 속도를 검량하기 위해) 테스트 인공물을 제공한다. 탐지 펄스는 클록 신호에 기반한 일 클록 주기 너비이다. 또한, 펄스 생성기(410)는 탐지 클록(det_clock)을 생성하고 이를 매칭 MUX 회로(430)에 전송한다. 지연 합성기(420)는 DUT(305)의 임계 경로를 모방한 프로그래밍 가능한 지연 체인이다. 매칭 MUX(430)는 지연 합성기(420) 내의 프로그래밍 가능한 멀티플렉서들의 지연 영향을 보상한다. 지연 비교기(440)는 지연 합성기(420)와 매칭 MUX(430)로부터의 지연 차를 기반으로 제어 신호들(예를 들면 전압 업/다운 신호들)을 생성한다. 지연 비교기(440)로부터의 제어 신호들은 DUT(305) 양단의 전압을 조정하기 위한 것으로써 제어기(310)에 제공된다.

[0031] [0043] 모니터(330) 내의 지연 비교기(440)는 지연 상태들을 비교하고 제어기(310)를 위한 전류 설정들이 증가, 감소 또는 동일하게 유지되어야 하는지를 결정한다. 이 실시예를 위해, 지연 합성기(420)로부터의 DS_out 신호는 D 플립-플롭(441)의 데이터(D) 입력 및 버퍼(442)의 입력으로 제공된다. 버퍼(442)의 출력은 D 플립-플롭(443)의 데이터 입력 및 버퍼(444)의 입력과 결합한다. 버퍼(444)의 출력은 D 플립-플롭(445)의 데이터 입력에 결합한다. 매칭 MUX(430)로부터의 출력 신호(Dm-out)는 D 플립-플롭들(441, 443 및 445)의 클록 입력들로 제공된다. 각각의 D 플립-플롭은 아웃(out) 신호에 기반하여 자신의 데이터 입력을 래치(latch)하고 자신의 출력(Q)을 디코더(450)에 제공한다. 디코더(450)는 아래 도 6a 내지 6c와 관련하여 더욱 자세하게 논의될 플립-플롭들(441, 443 및 445)의 출력들에 기반하여 제어기(310)로의 전압 제어 신호들을 생성한다.

[0032] [0044] 도 5는 지연 합성기(420)의 실시예를 도시한다. 지연 합성기(420)의 요소들은 DUT(305)와 동일한 가상 공급 전압(예를 들면 VDD 및 가상 Vss 또는 가상 VDD 및 VSS)에 의해 제공되어, 실제 경로와 시뮬레이션된 경로 모두의 양단의 전압이 동일하다. 지연 합성기(420)는 DUT(305)의 유연한 모델링을 허용하는 다양한 요소들을 포함할 수 있다. 예를 들면, 정적 로직(422)은 높은 임계 전압(HVT), 정적 임계 전압(NVT) 및 낮은 임계 전압(LVT) 요소들을 갖는 인버터 체인을 포함할 수 있다. 동적 로직(424)은 확산 주도 경로(diffusion dominated path)로 고려될 수 있고 NVT/LVT 요소들을 포함할 수 있다. 또한 다중 와이어 단계들이 시뮬레이션될 수 있다. 예를 들면, 제 1 와이어 단계(426)는 M2/M3 내의 와이어 지연들을 시뮬레이션할 수 있고 다른 와이어 단계(428)는 M4/M5 내의 와이어 지연들을 시뮬레이션할 수 있다. (예를 들면 명령 유닛(350)으로부터의) 제어 비트들이 다양한 단계들(422-428)을 구성하도록 지연 합성기(420)에 공급된다. 따라서, 지연 합성기(420)는 프로세스 모니터로써 구성될 수 있다. 상이한 프로그램 가능한 비트 설정을 이용하여, 프론트 엔드 경로(게이트 주도) 및 백 엔드 경로(와이어 주도)의 주파수/지연이 측정될 수 있다.

[0033] [0045] 도 5에 도시된 지연 합성기 구조는 회로 부품들의 요구되는 혼합을 이용하여 임계 경로를 유연하게 복제할 수 있다. 임계 경로는 DUT 내의 최장 지연을 가진 신호 경로로 간주될 수 있다. 각각의 지연 단계(422-428)는 상이한 타입의 회로 부품들을 위한 다수의 직렬 연결된 셀들을 포함할 수 있다. 각각의 지연 단계를 위한 멀티플렉서는 복제된 임계 경로 내의 지연 단계를 위한 선택 가능한 수의 셀들을 포함할 수 있다. 셀들의 수는 명령 유닛(350)으로부터의 제어 비트들에 의해 선택될 수 있고 주어진 DUT(305)를 위한 비트 설정들을 구비한 룩업 테이블에 기반할 수 있다. 따라서 동일한 지연 합성기(420) 구조는 다양한 테스트 중인 회로들/디바이스들을 시뮬레이션하는 데 사용될 수 있다. 설정들은 주어진 DUT(305)를 위한 지연 합성기(420) 내의 멀티플렉서들

을 제어함으로써 개별적으로 그리고 유연하게 형성될 수 있다. 일반적으로, 지연 합성기(420) 구조는 임의의 수의 지연 단계를 포함할 수 있고 각각의 지연 단계는 회로의 임의의 타입을 모방할 수 있고 임의의 수의 셀들을 포함할 수 있다. 이러한 구조는 테스트 중인 디바이스의 임계 경로를 복제함에 있어서 많은 유연성을 제공한다.

[0034]

[0046] 다시 도 4를 참조하면, 위에 논의했듯이 모니터(330)는 테스트 중 디바이스의 임계 경로의 시뮬레이션을 기반으로 전압 제어 신호들을 생성한다. DUT 양단의 가상 전압은 적어도 전압 제어를 위한 피드백 경로를 제공하는 지연 합성기의 다양한 요소들을 작동시키기 위해 사용된다. 모니터(330)가 DUT와 동일한 다이 상에서 형성되고 동일한 가상 공급 전압에 의해 공급되기 때문에 비슷한 프로세스-전압-온도(PVT) 특성들은 모니터(330)와 DUT(305) 모두에 의해 보여질 것이다. 따라서 모니터(330)는 DUT(305)의 현재 상태들의 추정을 제공하고 제어기(310)를 조절하기 위한 제어 신호들을 제공하기 위해 DUT(305)의 다양한 내부 파라미터들을 매칭하는 데 사용될 수 있다. 지연 합성기 및 매칭 MUX를 포함하는 예시적인 모니터링 회로의 추가적인 세부사항은 본 명세서에 그 전체 내용에 참조로써 포함된 2008년 8월 26일에 발행된 제목이 "ADAPTIVE VOLTAGE SCALING FOR AN ELECTRONICS DEVICE"인 미국 특허 제 7,417,482호에서 찾을 수 있다.

[0035]

[0047] 도 6a-6c는 전압 비교기(440)의 실시예의 동작의 양상들을 도시한다. 예를 들면 도 6a는 전압 스텝 다운 프로세스를 위한 시간 다이어그램을 도시한다. 클록 신호(CLK)는 도 6의 상단에 도시된다. 클록 신호의 상승 엣지는 탐지 펄스 신호(412)(지연 합성기(420)로의 입력)를 트리거한다. 지연 합성기(420)는 펄스 생성기로부터 지연 합성기(420)를 통해 지연 비교기(440)로 전파되는 탐지 펄스 신호(412)에서의 지연(610)을 야기한다. 탐지 클록 신호(414)는 N0, N1 및 N2의 값들이 탐지되는 포인트인 클록 신호 CLK의 제 2 상승 엣지에서 발생한다. N0, N1 및 N2는 각각 지연 비교기(440)의 플립-플롭들(441, 443 및 445)의 출력들이다. 도시된 예에서, 도 6a에서 볼 수 있듯이 지연(610)은 탐지 클록 신호(414)가 트리거할 때 플립-플롭 출력들 N0, N1 및 N2의 각각이 여전히 높은 상태에 있도록 한다. 도 6b에 도시된 다른 예에서, 지연 합성기(420)에 의해 야기된 지연(620)은 탐지 클록 신호(414)가 트리거할 때 플립-플롭 출력들 N0, N1 및 N2 모두가 낮은 상태에 있도록 한다.

[0036]

[0048] 도 6c는 지연 비교기(440)의 디코더(450)를 위한 상태 테이블을 도시한다. 지연 비교기(440)의 입력들인 N0, N1 및 N2의 상태에 따라, 디코더(450)는 AVS_{up} 출력을 활성화 시키거나, AVS_{dn} 출력을 활성화시키거나, 어느 것도 활성화 시키지 않을 것이다(이는 제어기(310)에 대한 조절이 필요없음을 표시한다). 구체적으로, 도 6c에 도시되었듯이 N0, N1 및 N2가 모두 낮게 탐지될 때, 디코더(450)는 DUT(305) 양단의 전압을 상승시키기 위해 제어기(310)로 업 출력(AVS_{up})을 활성화시킨다. N0, N1 및 N2가 모두 높게 탐지될 때, 디코더(450)는 DUT(305) 양단의 전압을 감소시키기 위해 제어기(310)로 다운 출력(AVS_{dn})을 활성화시킨다. 입력들 N0, N1 및 N2에 대한 모든 다른 경우들에서, 업 또는 다운 신호들 중 어느 것도 출력이 되지 않을 것이다. 도 4에서 볼 수 있듯이, 버퍼들(442 및 444)은 플립-플롭(443)의 출력에 하나의 버퍼 지연을 생성하고 플립-플롭(445)의 출력에 두 개의 버퍼 지연을 생성한다. 버퍼들(442 및 444) 각각은 최고 높은 클록 주파수에서, 예를 들면 클록 주기의 5%인 지연의 예정된 양을 제공하도록 설계될 수 있다. 플립-플롭(441, 443 및 445) 각각은 이것의 데이터 입력 펄스가 이것의 클록 입력 펄스보다 빨리 도착하면 로직 하이를 제공하고, 그 외에는 로직 로우를 제공한다. 만약 가상 공급 전압이 너무 낮다면, 지연 합성기(420)에 의한 복제된 임계 경로의 전체 지연은 길고 세 개의 플립-플롭들은 모두 로직 로우들을 제공할 수 있다. 반대로, 가상 공급 전압이 너무 높다면 복제된 임계 경로의 전체 지연은 타겟 주파수보다 작고 세 개의 플립-플롭들은 모두 로직 하이들을 제공할 수 있다. 따라서, 지연 합성기(420)가 주어진 개수의 지연들 요소들 내에 DUT(305)의 임계 경로를 모델링 한다면, 아무런 조절들이 필요하지 않음이 결정된다. 그러나 만약 N0, N1 및 N2가 리딩(leading)이던지 레깅(lagging)이던지 차이가 두 개의 버퍼들보다 크다고 표시한다면, 제어기는 가상 공급 전압이 적절히 설정되는 것을 보장하도록 증가되거나 감소된다. 대안적인 구성으로 지연 요소들의 더 크거나 더 작은 세트가 있을 수 있고 이것은 차례로 전환 윈도우(transition window)를 설정함에 인식될 것이다. 또한 대안적인 구현들에서 지연 요소들은 버니어(vernier) 지연으로써 또한 구현될 수 있다.

[0037]

[0049] 앞서 논의된 모니터링 유닛(330)에 기반 한 DUT(305) 양단의 전압을 조정하는 것에 더하여, 실시예들은 다양한 동작 모드들로부터 전환될 때 돌입 전류를 제어하기 위한 조정기으로써 또한 기능할 수 있다. 특히, 완전한 활성 모드 또는 수면 모드 중 하나가 설정되었을 때, 종래의 시스템은 도 7a에 도시된 것처럼 단지 스위치들은 또는 오프 할 것이다. 예를 들면, 수면 모드에서 완전한 활성 모드로 전환하는 동안 도 1의 종래 회로(105) 양단의 전압은 VSS 와 VDD 사이에서 직접적인 스위치이다. 그러나 도 7b는 일 실시예에 따라 수면 모드에서 완전한 활성 모드로 전환하는 동안 도 3a의 회로/DUT(305) 양단의 전압을 도시한다.

[0038]

[0050] 도 7b를 참조하면, 수면 모드에서 활성 모드로 전환하는 동안, DUT(305) 양단의 전압은 제어기(310)에

의해 제어되는 전력 스위치들의 설정들에 기반하여 도시된 것처럼 많은 증분의 단계들로 전이될 수 있다. 수면 모드(모든 스위치들 오프)로부터 완전한 활성화(모든 스위치들 온)으로 전환될 때 또는 중간 전압(V(중간))으로부터 수면 또는 완전한 활성화 모드로 전환될 때, 얼마나 빠르게 다음 증분의 단계로의 전환이 이루어질지를 제어하는 변화의 속도(rate)는 스텝 사이즈 입력 및 내부 루프 주파수에 의해 제어될 수 있다. 예를 들면, 수면 모드에서 완전한 활성화로 전환될 때 내부 루프는 모든 전력 스위치들이 활성화될 때까지 전압을 증가시킬 수 있다. 그러나, 다중 전압 단계들(스텝 사이즈 입력에 기반함)이 있을 수 있기 때문에 전압에서의 이 변화는 비교적 부드럽게 발생하고 종래 시스템들내에 존재하는 돌입 전류 문제들을 완화시킬 것이다. 경계 상태(수면/완전한 활성화)로부터 또는 경계 상태로 이동하고 경계 상태를 유지할 때, 전력 스위치들이 완전히 켜지거나 꺼지기 때문에, 모니터(330)는 사용될 필요가 없다는 것이 인식될 것이다.

[0039]

[0051] 도 8은 제어기(310)의 실시예를 도시한다. 주어진 동작 포인트(지연 합성기를 설정하기 위한 제어 설정(제어 비트들), 전압(모드) 및 하나 또는 그 이상의 록업 테이블들을 포함할 수 있는 명령 유닛(350)으로부터의 클럭 주파수를 포함할 수 있음)의 결정시에, 모드 신호는 모드 신호(예를 들면 2 또는 그 이상의 비트들)를 전력 스위치들을 위한 상응하는 설정(예를 들면, 볼트로, 풀 스케일 중의 비율로, 등)으로 변환할 수 있는 전력 스위치 세트 포인트 로직(810)에 제공된다. 모드 신호는 또한 오프셋 로직(820)에 제공된다. 이것은 오프셋 로직(820)의 오버라이드(override)가 수면 상태(모든 전력 스위치들 오프) 또는 완전한 활성화(모든 전력 스위치들 온) 중 하나일 때 진동들을 방지하도록 한다. 전력 스위치 세트 포인트 로직(810)의 출력은 이 출력을 오프셋 로직(820)의 출력과 비교하고 상기 비교에 기반하여 출력(예를 들면 증분 업, 증분 다운, 또는 무 응답)을 생성하는 비교 로직(830)에 제공된다. 비교 로직(830)의 출력은 전압, 풀 스케일 중의 비율 등의 관점에서 증분의 스텝들을 설정할 수 있는 스텝 스케일링 로직(840)내의 스텝 사이즈에 의해 스케일링된다. 예를 들어, 스텝 사이즈는 50 mV 스텝이 요구된다고 표시할 수 있으며 그렇다면 각각의 증분 업 또는 다운은 50 mV의 간격들로 이루어질 것이다. 스텝 스케일링 로직(840)으로부터의 스케일링된 출력은 전력 스위치 세트 로직(850)에 제공된다. 전력 스위치 세트 로직(850)은 스텝 스케일링 로직(840)으로부터 스케일링된 출력을 전력 스위치 어레이(315)를 위한 적절한 설정으로 변환하고 제어된 전압(Vvss/Vvdd)을 적절히 조절하도록 상기 설정을 출력한다. 전력 스위치 어레이가 선형 방식으로 응답할 수 없다는 것을 인식하게 될 것이다. 따라서, 전력 스위치 세트 로직(850)은 록업 테이블 또는 명령된 전압(또는 풀 스케일 중의 비율)을 전력 스위치 설정으로 변환하는 다른 수단을 포함할 수 있다. 예를 들면, 스텝 스케일링 로직(840)으로부터의 스케일링된 출력이 50 mV라면, 전력 스위치 세트 로직(850)은 50 mV 명령을 켜지거나 켜질 적절한 수의 전력 스위치들로 변환할 것이다. 만약 이것이 다시 증분된다면, 100mV를 위한 전력 스위치 설정이 검색되고 전력 스위치 어레이(315)로 출력될 수 있다. 따라서 제어되는 전압은(Vvss/Vvdd) 요구되는 양 만큼 증분되거나 감소될 것이다.

[0040]

[0052] 도 8에(그리고 또한 도 3a 및 3b에) 도시되었듯이, 제어되는 전압(Vvss/Vvdd)은 피드백을 모니터 회로(330)에 제공한다. 모니터(330)는 오프셋 로직(820)에 제공되는 업 신호, 다운 신호 또는 업 신호도 다운 신호도 아닌 신호(예를 들면 무 동작 신호)를 출력한다. 업/다운 신호들은 피드백 루프가 만족될 때까지 그리고 제어된 전압 레벨이 요구되는 레벨을 달성될 때까지 오프셋 로직(820)을 증가 또는 감소시킬 것이다.

[0041]

[0053] 대안적으로, 내부 피드백 루프(855)가 전력 스위치 세트 로직과 비교 로직(830) 사이에 제공될 수 있다. 내부 피드백 루프는 전력 스위치 세트 로직이 810으로부터 세트 포인트의 값에 이를 때까지 전력 스위치 세트 로직(850)을 내부적으로 조절하도록 사용될 수 있다. 예를 들면, 810으로부터의 출력이 1.0 V(1000 mV)로 기준을 설정하고 스텝 사이즈가 50 mV이면, 0부터 시작하여 20번의 반복들(각각 50 mV로 스케일링됨) 뒤에 전력 스위치 세트 로직에서의 설정은 (810)으로부터의 명령인 1.0 V와 같을 것이다. 이 구성에서, 모니터 회로(330)로부터 오프셋 로직(820)으로의 피드백은 모니터 회로(330)의 결과들에 기반하여 추가의 정밀한 동조(tuning)를 제공할 수 있다. 예를 들면, 만약 모니터 회로(330)가 전압이 증가될 필요가 있다고 결정한다면, AVS_up 신호가 활성화될 수 있고 오프셋 로직(820)은 비교 로직(830)으로 하여금 전력 스위치 세트 로직(850)으로의 출력(스텝 스케일링 로직(840)에 의해 스케일링 됨)을 증가시키게 하는 오프셋을 출력할 수 있고, 이에 의해 제어되는 전압을 증가시킨다.

[0042]

[0054] 상기 기재된 본 발명의 실시예들은 쏘 스위치 및 쏘 스위치 매트릭스 구현에 관한 것이었지만, 본 발명의 다른 실시예들이 헤드 스위치 구현(예를 들면 쏘 스위치들을 수반하거나 또는 하지 않음)에 관한 것일 수 있음이 이해될 것이다. 유사하게, 상기 기재된 본 발명의 실시예들이 단일-중간 단계에 관한 것이었지만, 본 발명의 다른 실시예들이 다중 중간 단계들(예를 들면 상이한 개수의 켜지거나 꺼진 쏘 스위치들/헤드 스위치들을 가짐)을 사용할 수 있음이 이해될 것이다.

[0043]

[0055] 당업자들은 정보 및 신호들이 임의의 다양한 상이한 기술들 및 기법들을 이용하여 표현될 수 있음을 인

식할 것이다. 예를 들면, 상기 기재를 통해 참조될 수 있는 데이터, 지시들, 명령들, 정보들, 신호들, 비트들, 심볼들 및 칩들은 전압들, 전류들, 전자기파들, 자기장들 또는 자기 입자들, 광장들(optical field) 또는 광자들 또는 이들의 임의의 조합에 의해 표현될 수 있다.

[0044] [0056] 또한, 당업자들은 본 명세서에 개시된 실시예들과 관련하여 기재된 다양한 예시적인 논리(logical) 블록들, 모듈들, 회로들 및 알고리즘 스텝들이 전자 하드웨어, 컴퓨터 소프트웨어 또는 둘의 조합으로써 구현될 수 있다는 것을 인식할 것이다. 하드웨어와 소프트웨어의 이 교환가능성을 명확히 도시하기 위해, 다양한 예시적인 부품들, 블록들, 모듈들, 회로들 및 스텝들이 그들의 기능의 관점에서 일반적으로 위에 기재되었다. 이러한 기능이 하드웨어로써 구현되는지 소프트웨어로써 구현되는지는 특정한 적용 및 전반적인 시스템에 부가된 설계 제약들에 의한다. 숙련된 기술자들은 각각의 특정한 적용을 위한 다양한 방법들로 기재된 기능을 구현할 수 있지만, 이러한 구현 결정들이 본 발명의 범위로부터 벗어남이 있는 것으로 해석되어서는 안된다.

[0045] [0057] 본 명세서에 개시된 실시예들과 관련하여 기재된 다양한 예시적인 논리 블록들, 모듈들 및 회로들은 본 명세서에 기재된 기능들을 수행하도록 설계된 범용 프로세서, 디지털 신호 프로세서(DSP), 주문형 반도체(ASIC), 필드 프로그램 가능 게이트 어레이(FPGA) 또는 다른 프로그래밍 가능한 로직 디바이스, 개별 게이트 또는 트랜지스터 로직, 개별 하드웨어 부품들 또는 이들의 임의의 조합으로 구현되거나 수행될 수 있다. 범용 프로세서는 마이크로프로세서일 수 있으나, 대안적으로 프로세서는 임의의 종래의 프로세서, 제어기, 마이크로제어기 또는 상태 머신일 수 있다. 프로세서는 예를 들면 DSP 및 마이크로 프로세서, 다수의 마이크로프로세서들, DSP 코어를 갖는 하나 또는 그 이상의 마이크로프로세서들 또는 임의의 다른 이러한 구성의 조합과 같은 컴퓨터 디바이스들의 조합으로써 또한 구현될 수 있다.

[0046] [0058] 앞서 논의한 관점에서, 실시예들은 본 명세서에 기재된 다양한 기능들을 수행하기 위한 방법들, 시퀀스들 및/또는 알고리즘들을 포함할 수 있음이 인식될 것이다. 따라서, 도 9에 도시된 것 같이, 실시예들은 그라운드 버스와 전력 버스 사이에 위치한 회로 및 회로 양단에 가상 전압을 생성하기 위해 회로와 그라운드 버스 또는 전력 버스 중 하나 사이에 위치한 전력 스위치 어레이를 구비하는 반도체 디바이스 내의 전압 제어의 방법을 포함할 수 있다. 방법은 블록(910)에서 회로의 타겟 전압 및 클록 주파수를 설정하는 단계를 포함한다. 블록(920)에서 회로의 임계 경로가 시뮬레이션된다. 블록(930)에서 전압 조절 신호는 시뮬레이션된 임계 경로의 출력에 기반하여 출력된다. 그 후 블록(940)에서 가상 전압이 전력 스위치 어레이의 설정을 제어함으로써 전압 조절 신호에 기반하여 조절된다.

[0047] [0059] 본 명세서에 기재된 다양한 실시예들은 도 9에 도시된 것들에 제한되지 않으며 실시예들은 지연 출력을 생성하기 위해 지연 합성기 내에서 제어 비트들을 설정함으로써 임계 경로의 지연을 시뮬레이션하는 단계 및 보상 출력(compensation output)을 생성하기 위해 지연 합성기 내에서 프로그램 가능한 멀티플렉서들의 지연을 보상하는 단계를 더 포함할 수 있다. 그 후, 실시예들은 지연 출력(예를 들면 도 4의 Ds_out)과 보상 출력(예를 들면 도 4의 Dm_out)을 비교할 수 있고 비교에 기반하여 전압 조절 신호를 생성할 수 있다. 전압 조절 신호는 업 신호, 다운 신호 및 무 동작 신호를 표시하기 위한 두개의 비트 패턴(two bit pattern)을 포함할 수 있다. 가상 전압은 업 신호 또는 다운 신호(예를 들면 제어기(310)을 경유함)에 기반하여 점증적으로 변경될 수 있다. 다른 실시예들은 수면 모드, 완전히 활성 모드 또는 중간 모드 중 하나를 포함하는 모드 신호를 수신하는 단계 및 모드 신호를 전력 스위치 어레이를 위한 세트 포인트로 변환하는 단계를 포함하는 타겟 전압을 설정하는 방법들을 포함할 수 있다. 계속해서, 앞서 논의된 것처럼 다른 실시예들은 타겟 전압을 전력 스위치 어레이 내의 각각의 스위치들의 설정들로 변환함으로써 가상 전압을 조절하는 단계 및 스텝 사이즈 신호에 기반하여 가상 전압의 변경의 양을 스케일링하는 단계를 포함한다. 많은 추가적인 방법 실시예들이 본 명세서에 개시된 다양한 예시적인 예들 및 연관된 상세한 설명과 관련하여 개시된다는 것이 인식될 것이다.

[0048] [0060] 도 10은 개시 내용의 하나 또는 그 이상의 실시예들이 이롭게 사용될 수 있는 예시적인 무선 통신 시스템(1000)을 도시한다. 예시의 목적을 위해, 도 10은 세 개의 원격 유닛들(1020, 1030 및 1050) 및 두 개의 기지국들(1040)을 도시한다. 종래 무선 통신 시스템들은 더 많은 원격 유닛들 및 기지국들을 가질 수 있다는 것을 알릴 것이다. 무선 유닛들(1020, 1030 및 1050)은 다음에 추가적으로 논의되는 개시 내용의 실시예들에 속하는 반도체 디바이스들(1025, 1035 및 1055)(본 명세서에 개시된 것 같은 온-칩 전압 조정기들을 포함함)을 포함한다. 도 10은 기지국들(1040)로부터 무선 유닛들(1020, 1030 및 1050)로의 순방향 링크 신호(forward link signal)들(1080) 및 무선 유닛들(1020, 1030 및 1050)로부터 기지국들(1040)로의 역방향 링크 신호들(1090)을 도시한다.

[0049] [0061] 도 10에서, 무선 유닛(1020)은 휴대 전화로써 도시되고, 무선 유닛(1030)은 휴대 가능 컴퓨터로써 도시

되며 무선 유닛(1050)은 무선 로컬 루프 시스템내의 고정 위치 원격 유닛으로써 도시된다. 예를 들면, 무선 유닛들은 휴대 전화들, 소형 개인 통신 시스템(PCS) 유닛들, 개인 휴대 정보 단말기들과 같은 휴대 가능 데이터 유닛들, 네비게이션 디바이스들(예, GPS 가능한 디바이스들), 셋 톱 박스들, 음악 재생기들, 영상 재생기들, 엔터테인먼트 유닛들, 원격 검침 장비와 같은 고정 위치 데이터 유닛들 또는 데이터를 저장하거나 리트리브하는 임의의 다른 디바이스 또는 컴퓨터 명령들 또는 이들의 임의의 조합일 수 있다. 비록 도 10이 본 개시 내용의 교시에 따라 원격 유닛들을 도시하지만, 본 개시 내용은 이러한 예시적인 도시된 유닛들에 제한되지 않는다. 개시된 디바이스는 온-칩 전압 조정기를 갖는 반도체 디바이스를 포함하는 임의의 디바이스 내에서 적절히 사용될 수 있다.

[0050] [0062] 앞서 개시된 디바이스들 및 방법들은 컴퓨터 판독가능(readable) 매체 상에 저장되는 GDSII 및 GERBER 컴퓨터 파일들로 설계되고 구성될 수 있다. 이 파일들은 이러한 파일들에 기반하여 디바이스들을 제조하는 제조자들에게 차례로 제공된다. 결과적인 제품들은 반도체 다이로 커팅되고 반도체 칩으로 포장되는 반도체 웨이퍼들이다. 칩들은 그 후 앞서 기재된 디바이스들에 사용된다. 따라서, 일부 실시예들에서, 온-칩 전압 조정기를 가진 반도체 디바이스는 적어도 하나의 반도체 다이에 집적된다.

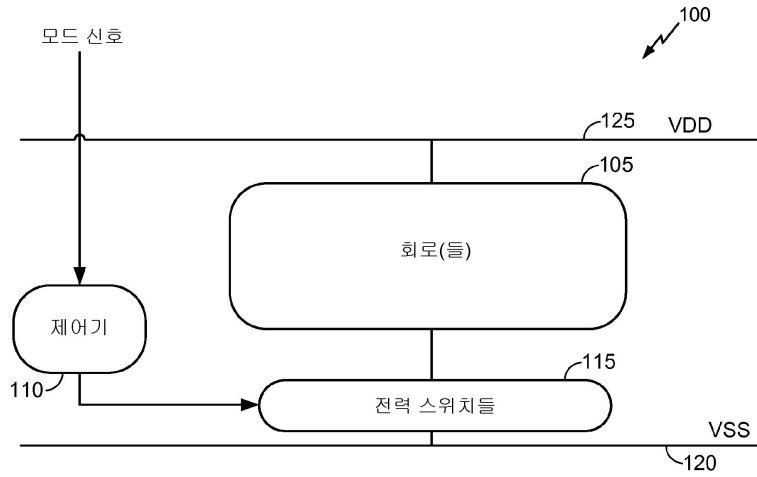
[0051] [0063] 본 명세서에 기재된 실시예들과 관련하여 기재된 방법들, 시퀀스들 및/또는 알고리즘들은 하드웨어로 직접, 또는 프로세서에 의해 실행되는 소프트웨어 모듈로, 또는 둘의 조합으로 구현될 수 있다. 소프트웨어 모듈은 RAM 메모리, 플래시 메모리, ROM 메모리, EPROM 메모리, EEPROM 메모리, 레지스터들, 하드 디스크, 제거가능한 디스크, CD-ROM 또는 당업계에 공지된 임의의 다른 저장 매체의 형태로 존재할 수 있다. 예시적 저장 매체는 프로세서에 결합되어, 프로세서가 저장매체로부터 정보를 판독하고 저장매체에 정보를 기록할 수 있다. 대안적으로, 저장 매체는 프로세서에 내장될 수 있다. 프로세서 및 저장 매체는 ASIC 내에 존재할 수 있다. ASIC는 사용자 단말(예를 들면 액세스(access) 단말) 내에 존재할 수 있다. 대안적으로, 프로세서 및 저장 매체는 사용자 단말 내의 별개의 부품들로서 존재할 수 있다.

[0052] [0064] 하나 또는 그 이상의 예시적인 실시예들에서, 기재된 기능들은 하드웨어, 소프트웨어, 펌웨어 또는 임의의 이들의 조합으로 구현될 수 있다. 만약 소프트웨어로 구현된다면, 기능들은 컴퓨터 판독 가능 매체 상의 하나 또는 그 이상의 명령들 또는 코드로써 저장되거나 전송될 수 있다. 컴퓨터 판독 가능 매체는 컴퓨터 저장 매체와 일 장소로부터 다른 장소로의 컴퓨터 프로그램의 전송을 용이하게 하는 임의의 매체를 포함하는 통신 매체 둘 다를 포함한다. 저장 매체는 컴퓨터에 의해 접근할 수 있는 임의의 이용 가능한 매체일 수 있다. 제한되지 않는 예로써, 이러한 컴퓨터 판독 가능 매체는 RAM, ROM, EEPROM, CD-ROM 또는 다른 광학 디스크 저장소, 자기 디스크 저장소 또는 다른 자기 저장 디바이스들, 또는 명령들 또는 데이터 구조들의 형태로 요구되는 프로그램 코드를 전달하거나 저장하는데 사용될 수 있고 컴퓨터에 의해 접근될 수 있는 임의의 다른 매체를 포함할 수 있다. 또한 임의의 접속은 적절히 컴퓨터 판독 매체라고 일컬어진다. 예를 들면, 만약 소프트웨어가 동축 케이블, 광 섬유 케이블, 이중 와선, 디지털 가입자 회선(DSL) 또는 적외선, 라디오 및 마이크로파와 같은 무선 기술들을 이용하여 웹사이트, 서버 또는 다른 무선 소스로부터 전송된다면, 동축 케이블, 광 섬유 케이블, 이중 와선, DSL, 또는 적외선, 라디오 및 마이크로파와 같은 무선 기술들은 매체의 정의에 포함될 것이다. 본 명세서에서 사용될 때 디스크(Disk) 및 디스크(disc)는 콤팩트 디스크(disc)(CD), 레이저 디스크(disc), 광 디스크(disc), 디지털 다목적 디스크(disc)(DVD), 플로피 디스크(disk) 및 블루-레이 디스크(disc)를 포함하는데, 디스크(disk)는 보통 데이터를 자기적으로 재생하는 반면 디스크(disc)는 데이터를 레이저들을 이용하여 광학적으로 재생한다. 위에 기재된 것들의 조합들은 컴퓨터 판독 가능 매체의 범위 내에 또한 포함되어야 한다.

[0053] [0065] 앞서 개시 내용이 본 발명의 예시적인 실시예들을 도시했지만, 다양한 변경 및 수정들이 첨부된 청구범위에 의해 정의된 것으로써의 본 발명의 범위를 벗어남이 없이 만들어질 수 있다는 것을 주목해야 한다. 본 명세서에 기재된 본 발명의 실시예들에 따른 방법 청구항의 기능들, 스텝들 및/또는 액션들은 임의의 특정한 순서로 수행될 필요가 없다. 또한 본 발명의 요소들이 단수형으로 기재되거나 청구될 수 있다고 하더라도, 복수형은 단수형으로 제한됨이 명백히 기재되지 않는한 고려될 수 있다.

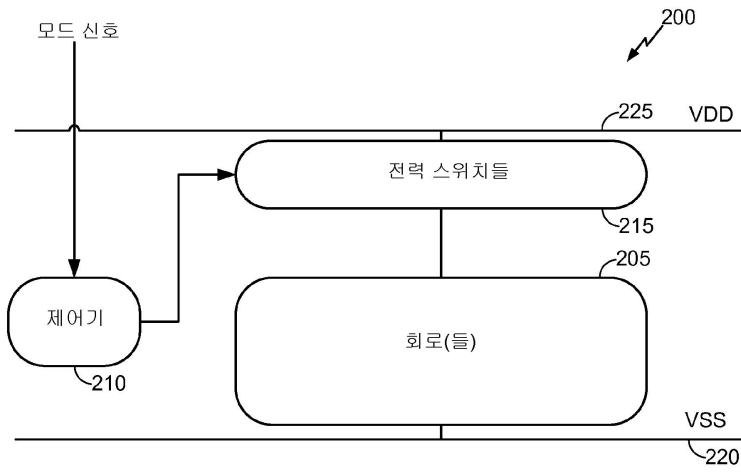
도면

도면1



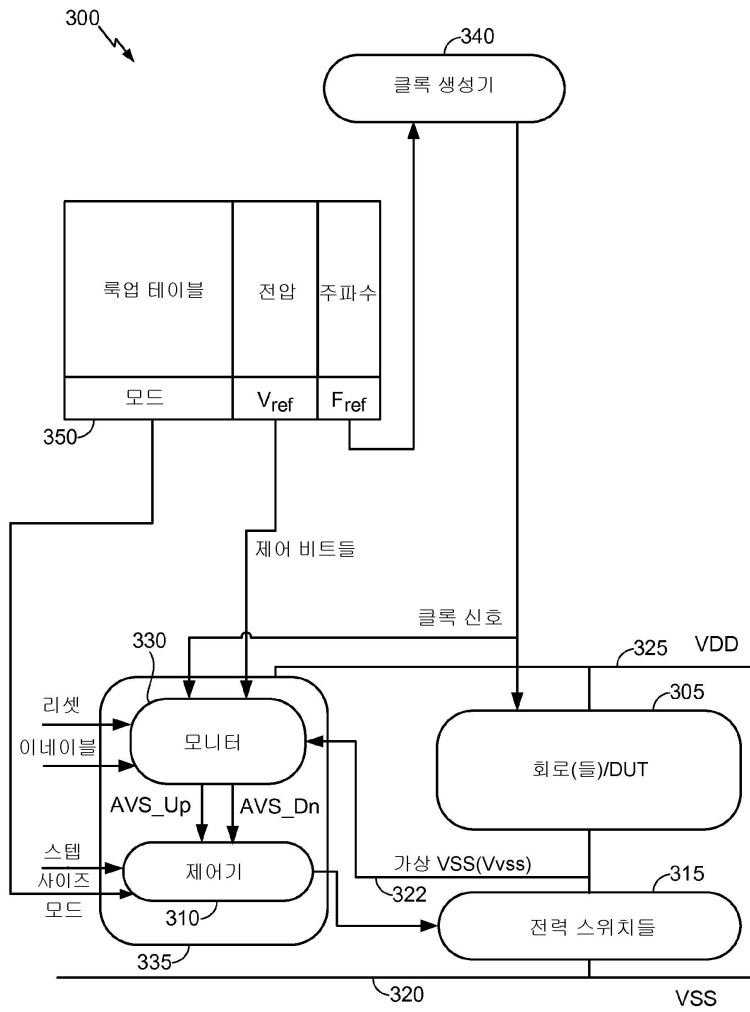
(종래 기술)

도면2

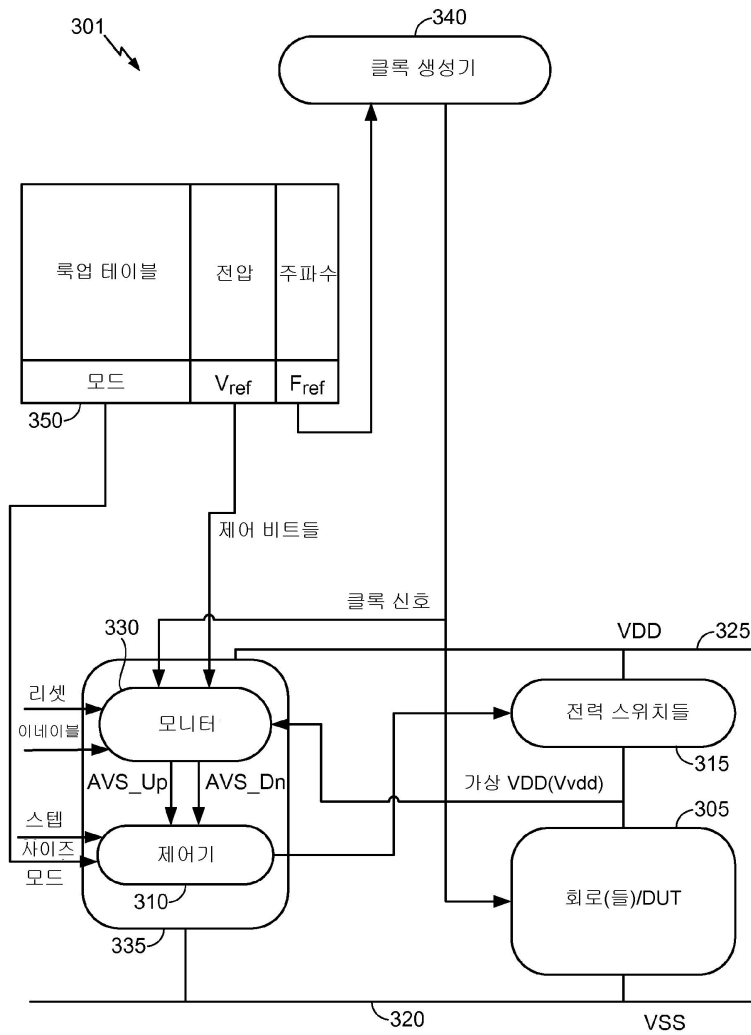


(종래 기술)

도면3a

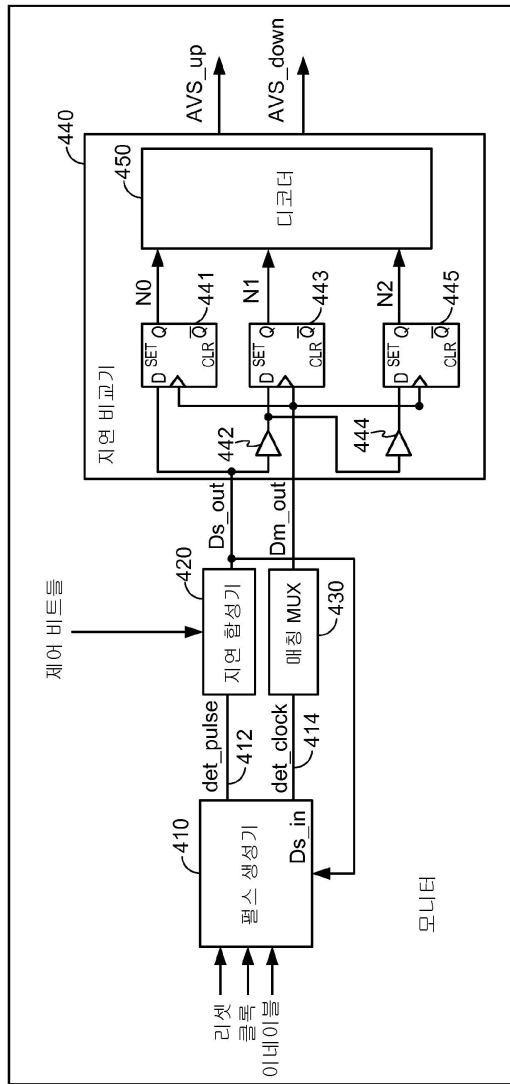


도면3b

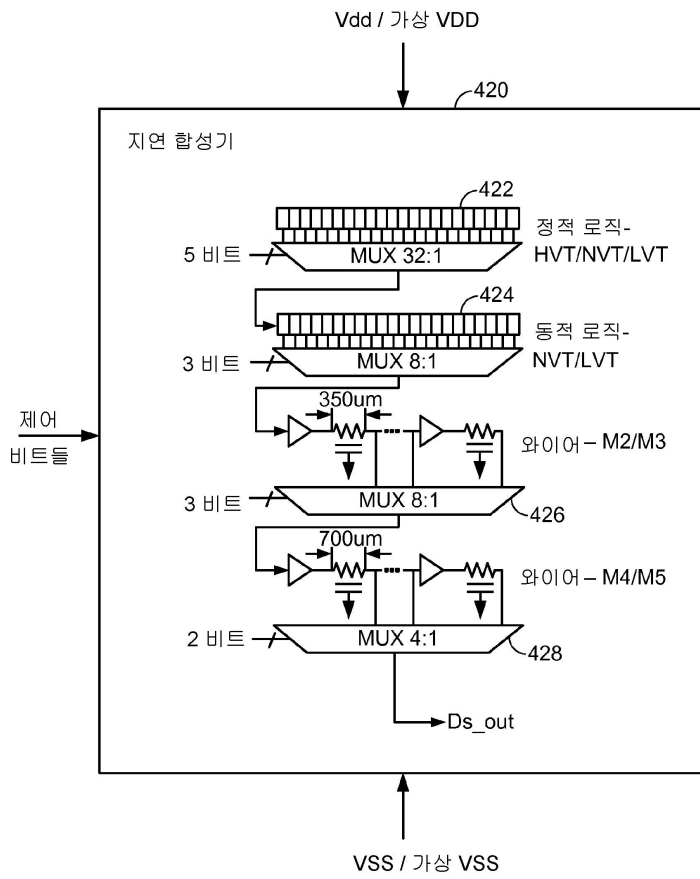


도면4

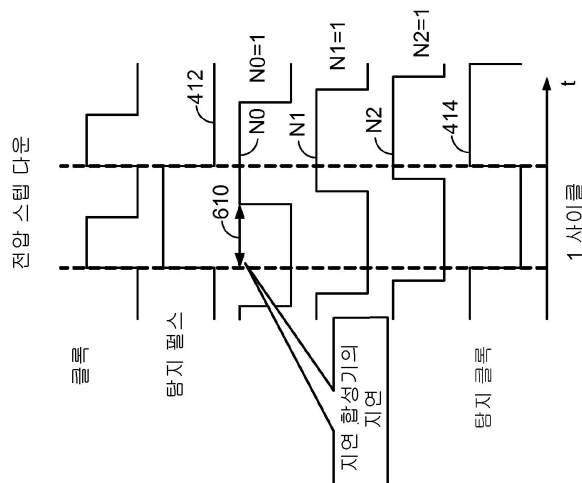
330 ↗



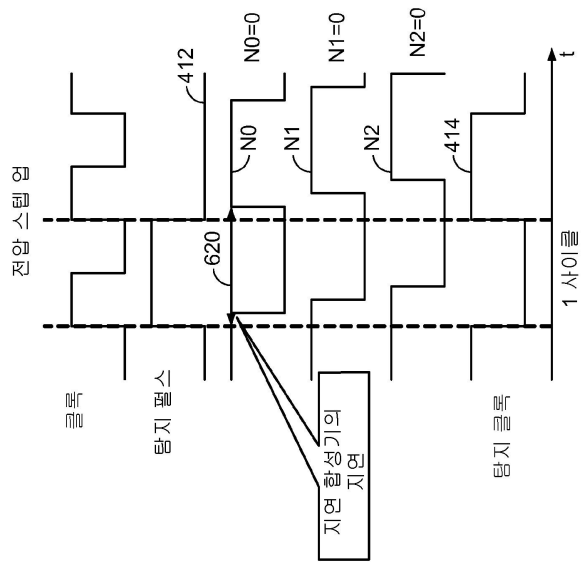
도면5



도면6a



도면6b

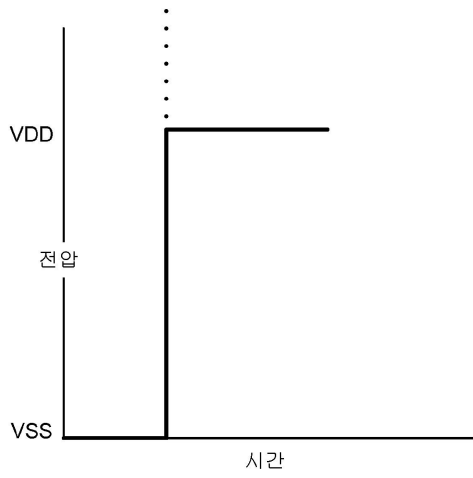


도면6c

지연 비교기의 디코더 테이블

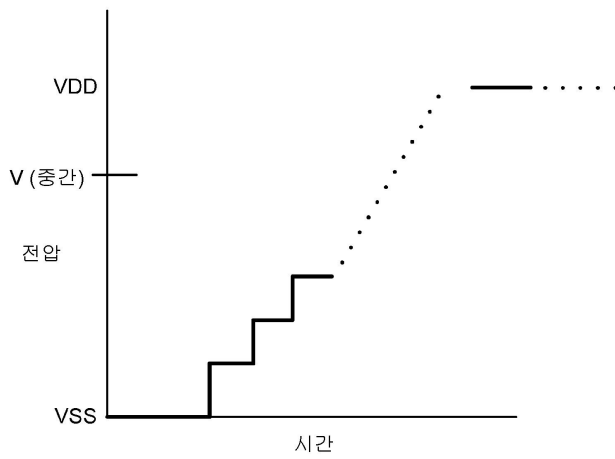
입력들		출력들		
N0	N1	N2	AVS_up	AVS_down
0	0	0	1	0
1	1	1	0	1
모든 다른 조합들				
			0	0

도면7a

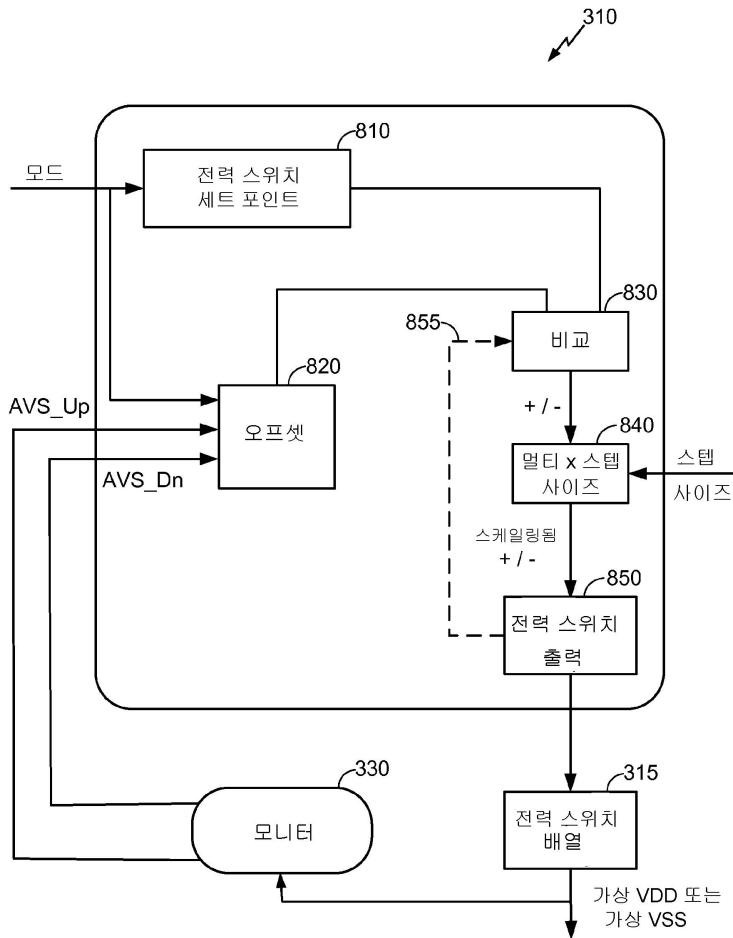


종래 기술

도면7b



도면8



도면9



도면10

