

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 27/108	(11) 공개번호 10-2001-0027082	(43) 공개일자 2001년04월06일
(21) 출원번호 10-1999-0038659	(22) 출원일자 1999년09월 10일	
(71) 출원인 현대전자산업 주식회사 박종섭	(72) 발명자 조호진	
(74) 대리인 신영무, 최승민	경기도성남시분당구수내동73푸른마을벽산아파트309-501호	

심사청구 : 없음

(54) 반도체 소자의 캐패시터 제조방법

요약

본 발명은 BST를 유전체로 사용하는 반도체 소자의 캐패시터 제조 방법에 관한 것으로, 금속 유기 화학 기상증착법으로 BST 유전체를 1차 증착한 후, NH₃ 분위기에서 400 내지 800℃의 온도로 열처리하고, 1차 증착된 BST층상에 금속 유기 화학기상증착법으로 BST 유전체를 2차 증착한 후, NH₃ 분위기에서 400 내지 800℃의 온도로 열처리하여 BST 유전체층을 형성하는 캐패시터 제조 방법에 관하여 기술된다. 본 발명의 NH₃ 후속 열처리는 기존의 300 내지 400℃의 온도에서 O₂나 N₂O 플라즈마 처리나 UV-O₃ 처리를 실시하는 것과는 달리 N과 H로 구성된 환원성 분위기에서 진행하므로 확산 방지막으로 N₂ 확산이 이루어져 확산 방지막의 내산화성을 증가시킬 뿐만 아니라, 기존 보다 높은 온도에서 2차에 걸쳐 증착 및 NH₃ 후속 열처리가 이루어지기 때문에 BST 유전체층 내의 불순물 제거 효과 및 결정성을 향상시킬 수 있다.

대표도

도 1e

색인어

고유전체 캐패시터, BST 유전체층, NH₃ 후속 열처리

명세서

도면의 간단한 설명

도 1a 내지 도 1e는 본 발명에 따른 반도체 소자의 캐패시터 제조 방법을 설명하기 위한 소자의 단면도.

<도면의 주요 부분에 대한 부호 설명>

- | | |
|---------------|---------------|
| 10: 접합부 | 11: 반도체 기판 |
| 12: 층간 절연막 | 13: 콘택 플러그 |
| 14: 접촉막 | 15: 확산 방지막 |
| 16: 희생 산화막 | 17: 하부 전극 |
| 18: BST 유전체층 | 18a: 제 1 BST층 |
| 18b: 제 2 BST층 | 19: 상부 전극 |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 캐패시터 제조 방법에 관한 것으로, 특히 BST를 유전체로 사용하는 반도체 소자의 캐패시터 제조 공정중 BST 유전체층을 증착한 후에 실시하는 후속 열처리 공정시 O_2 확산에 의한 확산 방지막의 산화를 방지하면서 안정된 BST 유전체층을 형성할 수 있는 반도체 소자의 캐패시터 제조 방법에 관한 것이다.

일반적으로, 반도체 소자가 고집적화 및 소형화되어감에 따라 캐패시터가 차지하는 면적 또한 줄어들고 있는 추세이다. 캐패시터의 면적이 줄어들고 있음에도 불구하고 소자의 동작에 필요한 캐패시터의 정전 용량은 확보되어야 한다. 정전 용량을 확보하기 위해 하부 전극을 3차원 구조로 형성하여 유효 표면적을 증대시키고 있으나, 이 방법 역시 한계에 도달하여 256M DRAM급 이상의 고집적 반도체 소자에는 적용할 수 없는 실정이다. 정전 용량을 확보하기 위한 다른 방법은 높은 유전율을 갖는 유전체를 사용하여 캐패시터를 제조하는 것이다.

최근, 높은 유전율을 갖는 BST를 사용하여 BST 캐패시터를 제조하는 방법이 연구되고 있다. BST 캐패시터는 폴리실리콘 콘택 플러그 및 TiN, TiSiN, TiAlN과 같은 물질로 확산 방지막을 형성하고, Pt, Ru, Ir 등과 같은 노블 메탈(noble metal)을 사용하여 하부 전극을 형성하고, 노블 메탈 하부 전극 상에 BST를 증착 및 열처리하여 BST 유전체층을 형성하고, 노블 메탈을 사용하여 상부 전극을 형성하여 제조된다.

이와 같은 기존의 캐패시터 제조 방법에 있어서, BST 유전체층은 400 내지 450°C의 온도 조건에서 BST 전구체(precursor)를 이용한 금속 유기 화학기상증착(MOCVD)법으로 BST를 증착한 후, 유전율을 극대화하기 위하여 열처리 공정을 실시하여 형성한다. 열처리 공정은 300 내지 400°C의 온도에서 O_2 나 N_2O 플라즈마 처리하거나 UV- O_3 처리하여 탄소 등의 불순물을 제거한 후, 600 내지 750°C의 온도에서 N_2 분위기로 열처리를 실시한다. 그런데, 하부 전극으로 사용되는 노블 메탈은 O_2 의 확산을 방지하는 능력이 낮기 때문에 BST를 증착한 후에 실시하는 O_2 나 N_2O 플라즈마 처리나 UV- O_3 처리 동안에 O_2 가 노블 메탈 하부 전극을 통해 확산 방지막으로 확산되어 확산 방지막의 산화를 촉진시키고, 이로 인하여 캐패시터의 전기적 특성을 저하시키는 문제가 있다. O_2 의 확산을 줄이기 위해서는 후처리 온도를 더욱 낮게 하거나 플라즈마 여기 전력을 낮추어야 하는데, 이 경우 BST 유전체층 내의 탄소와 같은 불순물이 완전히 제거되지 않을 뿐만 아니라 BST 유전체층의 충분한 결정화가 이루어지지 않아 BST 유전체층의 안정화를 이룰 수 없고, 결국 캐패시터의 정전 용량의 저하를 초래하는 문제가 발생된다.

발명이 이루고자하는 기술적 과제

따라서, 본 발명은 BST 유전체층 증착 후에 실시하는 후속 열처리 공정시 O_2 확산에 의한 확산 방지막의 산화를 방지하면서 안정된 BST 유전체층을 형성할 수 있는 반도체 소자의 캐패시터 제조 방법을 제공함에 그 목적이 있다.

이러한 목적을 달성하기 위한 본 발명에 따른 반도체 소자의 캐패시터 제조 방법은 콘택 플러그, 접촉막 및 확산 방지막이 형성된 기판 상에 하부 전극을 형성하는 단계; 상기 하부 전극 상에 BST를 증착한 후, NH_3 분위기에서 열처리를 실시하여 BST 유전체층을 형성하는 단계; 및 상기 BST 유전체층 상에 상부 전극을 형성한 후, O_2 분위기에서 열처리를 실시하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

또한, 본 발명에 따른 반도체 소자의 캐패시터 제조 방법은 층간 절연막에 콘택 홀이 형성된 반도체 기판이 제공되는 단계; 상기 콘택 홀 내에 콘택 리세스를 갖는 콘택 플러그를 형성하는 단계; 상기 콘택 플러그의 콘택 리세스 내에 접촉막 및 확산 방지막을 형성한 후, 전체 구조상에 희생 산화막을 형성하는 단계; 상기 희생 산화막의 일부분을 식각하여 상기 확산 방지막이 노출되는 홀 패턴을 형성하는 단계; 상기 희생 산화막의 홀 패턴 부분에 상기 확산 방지막과 연결되는 실린더 구조의 하부 전극을 형성한 후, 상기 희생 산화막을 제거하는 단계; 상기 하부 전극을 포함한 전체 구조상에 BST를 1차로 증착한 후, NH_3 분위기에서 제 1 열처리를 실시하고, 이로 인하여 제 1 BST층이 형성되는 단계; 상기 제 1 BST층 상에 BST를 2차로 증착한 후, NH_3 분위기에서 제 2 열처리를 실시하고, 이로 인하여 제 2 BST층이 형성되는 단계; 및 상기 제 1 및 제 2 BST층으로 된 BST 유전체층상에 상부 전극을 형성한 후, O_2 분위기에서 제 3 열처리를 실시하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

발명의 구성 및 작용

이하, 본 발명을 첨부된 도면을 참조하여 상세히 설명하기로 한다.

도 1a 내지 도 1e는 본 발명에 따른 반도체 소자의 캐패시터 제조 방법을 설명하기 위한 소자의 단면도이다.

도 1a를 참조하면, 반도체 소자를 형성하기 위한 여러 요소가 형성된 반도체 기판(11) 상에 층간 절연막(12)을 형성하고, 층간 절연막(12)의 일부분을 식각하여 접합부(10)가 노출되는 콘택 홀을 형성한 후, 콘택 리세스(recess)를 갖는 콘택 플러그(13)를 콘택 홀 내에 형성한다. 콘택 플러그(13)의 콘택 리세스 내에 접촉막(14) 및 확산 방지막(15)을 형성한다.

상기에서, 콘택 플러그(13)는 화학기상증착법으로 콘택 홀이 완전히 매립되도록 폴리실리콘을 증착한 후, 전면 식각 공정이나 화학적 기계적 연마 공정을 과도하게 실시하여 콘택 홀의 입구로부터 내부 쪽으로 폴리실리콘이 500 내지 2000 Å 더 식각되도록 하여 리세스를 갖도록 형성한다.

접촉막(14)은 리세스를 갖는 콘택 플러그(14)를 포함한 층간 절연막(12) 상에 Ti를 스퍼터법이나 화학기상증착법으로 100 내지 1000 Å의 두께로 증착한 후, 550 내지 950°C의 온도에서 30 내지 120초간 급속 열 질화(RTN : Rapid Thermal Nitridation)처리하여 콘택 플러그(13)의 표면에 티타늄실리사이드를 형성하고, 미반응된 TiN을 제거하여 형성된다. 접촉막(14)은 Ti 대신에 Ta를 사용하여 탄탈륨실리사이드로 형성할 수 있다.

확산 방지막(15)은 TiAlN, TaN, TiN, TaN, TiSiN, TaSiN, TaAlN 등을 스퍼터링이나 화학기상증착법으로 증착한 후, 전면 식각 공정이나 화학적 기계적 연마 공정으로 접촉막(14) 상에 형성한다.

도 1b를 참조하면, 확산 방지막(15)을 포함한 층간 절연막(12) 상에 희생 산화막(16)을 증착한 후, 하부 전극이 형성될 부분의 희생 산화막(16)을 식각하여 확산 방지막(15)이 노출되는 홀 패턴을 형성하고, 홀 패턴 부분에 확산 방지막(15)과 연결되는 실린더 구조의 하부 전극(17)을 형성한다.

상기에서, 하부 전극(17)은 Pt, Ir, Ru, RuO₂, IrO₂등을 화학기상증착법으로 증착한 후, 전면 식각 공정이나 화학적 기계적 연마 공정을 통해 형성하며, 하부 전극(17)의 높이는 희생 산화막(16)의 증착 두께에 의해 결정된다. 희생 산화막(16)은 식각이 용이한 도프트 산화물(doped oxide)인 PSG를 사용한다.

도 1c를 참조하면, 희생 산화막(16)을 제거한다. 제 1 BST층(18a)은 실린더 구조의 하부 전극(17)을 포함한 전체 구조상에 BST를 증착한 후, 후속 열처리를 실시하여 형성한다.

상기에서, 제 1 BST층(18a)은 전구체(precursor)로 Ba(TMHD)₂-폴리아민 (polyamine), Sr(TMHD)₂-폴리아민 및 Ti(O-iPr)₂(TMHD)₂를 사용하거나, Ba(METHD)₂, Sr(METHD)₂ 및 Ti(MPD)(THD)₂를 사용하여 금속 유기 화학기상증착법으로 30 내지 100 Å 두께로 증착한다. 후속 열처리는 400 내지 800°C의 온도 및 NH₃ 가스 분위기에서 10 내지 100 분 동안 열처리하거나, 400 내지 800°C의 온도 및 NH₃ 가스 분위기에서 1 내지 10 분 동안 급속 열처리하거나, 400 내지 800°C의 온도에서 NH₃ 플라즈마 처리하여 제 1 BST층(18a)을 결정화시키고 탄소 등의 불순물을 제거한다.

도 1d를 참조하면, 제 2 BST층(18b)은 제 1 BST층(18a)상에 BST를 증착한 후, 후속 열처리를 실시하고, 이로 인하여 본 발명의 BST 유전체층(18)이 형성된다.

상기에서, 제 2 BST층(18a)은 전구체로 Ba(TMHD)₂-폴리아민, Sr(TMHD)₂-폴리아민 및 Ti(O-iPr)₂(TMHD)₂를 사용하거나, Ba(METHD)₂, Sr(METHD)₂ 및 Ti(MPD)(THD)₂를 사용하여 금속 유기 화학기상증착법으로 제 1 BST층(18a)의 두께와 합한 최종 두께가 100 내지 500 Å 두께가 되도록 증착한다. 후속 열처리는 400 내지 800°C의 온도 및 NH₃ 가스 분위기에서 10 내지 100 분 동안 열처리하거나, 400 내지 800°C의 온도 및 NH₃ 가스 분위기에서 1 내지 10 분 동안 급속 열처리하거나, 400 내지 800°C의 온도에서 NH₃ 플라즈마 처리하여 제 2 BST층(18b)을 결정화시키고 탄소 등의 불순물을 제거한다.

도 1e를 참조하면, BST 유전체층(18)상에 Pt, Ir, Ru, RuO₂, IrO₂등을 사용하여 상부 전극(19)을 형성하고, BST 유전체층(18)의 산소 결핍을 해소하기 위하여 350 내지 450°C의 온도 및 O₂ 가스 분위기의 전기로에서 10 내지 60분 동안 열공정을 실시하여 본 발명의 캐패시터가 완성된다.

상기한 본 발명의 실시 예는 금속 유기 화학기상증착법으로 하부 전극 상에 제 1 BST층 증착 후에 NH₃ 분위기에서 고온 열처리 또는 플라즈마 처리를 하고, 제 1 BST층상에 제 2 BST층을 증착한 후에 다시 NH₃ 분위기에서 고온 열처리 또는 플라즈마 처리를 하여 제 1 및 제 2 BST층으로 된 BST 유전체층을 형성하고, BST 유전체층상에 상부 전극을 형성한 후에 BST 유전체층의 산소 결핍을 해소하기 위하여 저온의 산화성 분위기에서 열처리하여 BST 캐패시터를 제조하는 것이다.

이와 같이 본 발명은 NH₃ 후속 열처리를 기존의 300 내지 400°C의 온도에서 O₂나 N₂O 플라즈마 처리나 UV-O₃ 처리를 실시하는 것과는 달리 N과 H로 구성된 환원성 분위기에서 진행하므로 질화계 확산 방지막에 포함된 산소 함량을 감소시킴과 동시에 질화시킬 수 있어 확산 방지막의 내산화성을 증가시킬 뿐만 아니라, 기존 보다 높은 400 내지 800°C의 온도에서 2차에 걸쳐 BST 증착 및 NH₃ 후속 열처리가 이루어지기 때문에 BST 유전체층 내의 불순물 제거 효과 및 결정성을 향상시킬 수 있다. 또한, 2차에 걸친 NH₃ 처리에 의해 BST 유전체층의 산소 결핍을 확산 방지막이 다시 산화되지 않는 450°C 이하의 저온의 산화성 분위기에서 열처리하여 해결할 수 있다.

한편, 상기한 본 발명의 실시 예에서는 2단계 증착 및 NH₃ 후속 열처리를 통해 BST 유전체층을 형성하는 것을 설명하였지만, 1단계 또는 2단계 이상의 증착 및 NH₃ 후속 열처리를 통해 BST 유전체층을 형성할 수 있다.

발명의 효과

상술한 바와 같이, 본 발명은 BST 유전체층을 증착한 후에 실시하는 후속 열처리 공정시 확산 방지막의 산화 없이 BST 유전체층 내의 탄소 등의 불순물을 제거함과 동시에 결정화시킬 수 있으므로 높은 정전 용량과 낮은 누설 전류 특성을 갖는 BST 캐패시터를 제작할 수 있어 소자의 수율 및 신뢰성 향상은 물론

반도체 소자의 고집적화 실현에 기여할 수 있다.

(57) 청구의 범위

청구항 1

콘택 플러그, 접촉막 및 확산 방지막이 형성된 기판 상에 하부 전극을 형성하는 단계;

상기 하부 전극 상에 BST를 증착한 후, NH_3 분위기에서 열처리를 실시하여 BST 유전체층을 형성하는 단계; 및

상기 BST 유전체층 상에 상부 전극을 형성한 후, O_2 분위기에서 열처리를 실시하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 2

제 1 항에 있어서,

상기 NH_3 분위기 열처리는 400 내지 800℃의 온도에서 실시하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 3

제 1 항에 있어서,

상기 O_2 분위기 열처리는 350 내지 450℃의 온도에서 실시하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 4

층간 절연막에 콘택 홀이 형성된 반도체 기판이 제공되는 단계;

상기 콘택 홀 내에 콘택 리세스를 갖는 콘택 플러그를 형성하는 단계;

상기 콘택 플러그의 콘택 리세스 내에 접촉막 및 확산 방지막을 형성한 후, 전체 구조상에 희생 산화막을 형성하는 단계;

상기 희생 산화막의 일부분을 식각하여 상기 확산 방지막이 노출되는 홀 패턴을 형성하는 단계;

상기 희생 산화막의 홀 패턴 부분에 상기 확산 방지막과 연결되는 실린더 구조의 하부 전극을 형성한 후, 상기 희생 산화막을 제거하는 단계;

상기 하부 전극을 포함한 전체 구조상에 BST를 1차로 증착한 후, NH_3 분위기에서 제 1 열처리를 실시하고, 이로 인하여 제 1 BST층이 형성되는 단계;

상기 제 1 BST층상에 BST를 2차로 증착한 후, NH_3 분위기에서 제 2 열처리를 실시하고, 이로 인하여 제 2 BST층이 형성되는 단계; 및

상기 제 1 및 제 2 BST층으로 된 BST 유전체층상에 상부 전극을 형성한 후, O_2 분위기에서 제 3 열처리를 실시하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 5

제 4 항에 있어서,

상기 접촉막 티타늄실리사이드나 탄탈륨실리사이드로 형성된 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 6

제 4 항에 있어서,

상기 확산 방지막은 TiAlN , TaN , TiN , TaN , TiSiN , TaSiN 및 TaAlN 중 어느 하나로 형성된 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 7

제 4 항에 있어서,

상기 제 1 및 제 2 BST층은 Ba(TMHD)₂-폴리아민, Sr(TMHD)₂-폴리아민 및 Ti(O-iPr)₂(TMHD)₂ 를 사용하거나, Ba(METHD)₂, Sr(METHD)₂ 및 Ti(MPD)(THD)₂를 사용하여 금속 유기 화학기상증착법에 의해 형성되는 것을 특징으로 반도체 소자의 캐패시터 제조 방법.

청구항 8

제 4 항에 있어서,

상기 제 1 및 제 2 열처리는 400 내지 800℃의 온도에서 실시하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 9

제 4 항에 있어서,

상기 제 3 열처리는 350 내지 450℃의 온도에서 실시하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

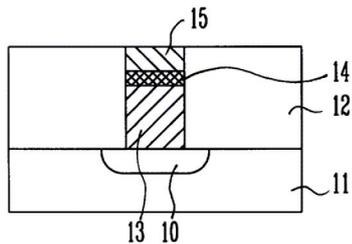
청구항 10

제 4 항에 있어서,

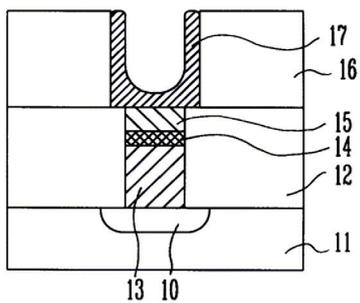
상기 하부 전극 및 상부 전극은 Pt, Ir, Ru, RuO₂, IrO₂중 어느 하나를 사용하여 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

도면

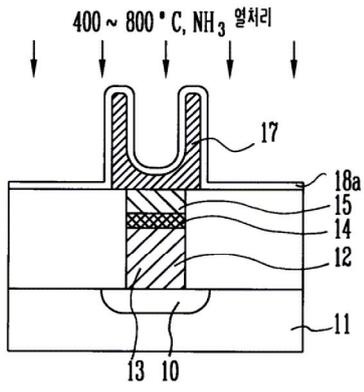
도면 1a



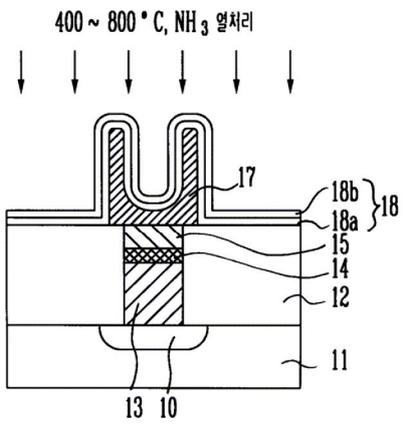
도면 1b



도면 1c



도면 1d



도면 1e

