



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201545282 A

(43) 公開日：中華民國 104 (2015) 年 12 月 01 日

(21) 申請案號：103131843

(22) 申請日：中華民國 103 (2014) 年 09 月 16 日

(51) Int. Cl. : *H01L21/8247(2006.01)**H01L27/115 (2006.01)*

(30) 優先權：2014/05/21 美國

14/284,306

(71) 申請人：旺宏電子股份有限公司 (中華民國) MACRONIX INTERNATIONAL CO., LTD.
(TW)

新竹縣科學工業園區力行路 16 號

(72) 發明人：呂函庭 LUE, HANG-TING (TW)

(74) 代理人：祁明輝；林素華

申請實體審查：有 申請專利範圍項數：29 項 圖式數：22 共 66 頁

(54) 名稱

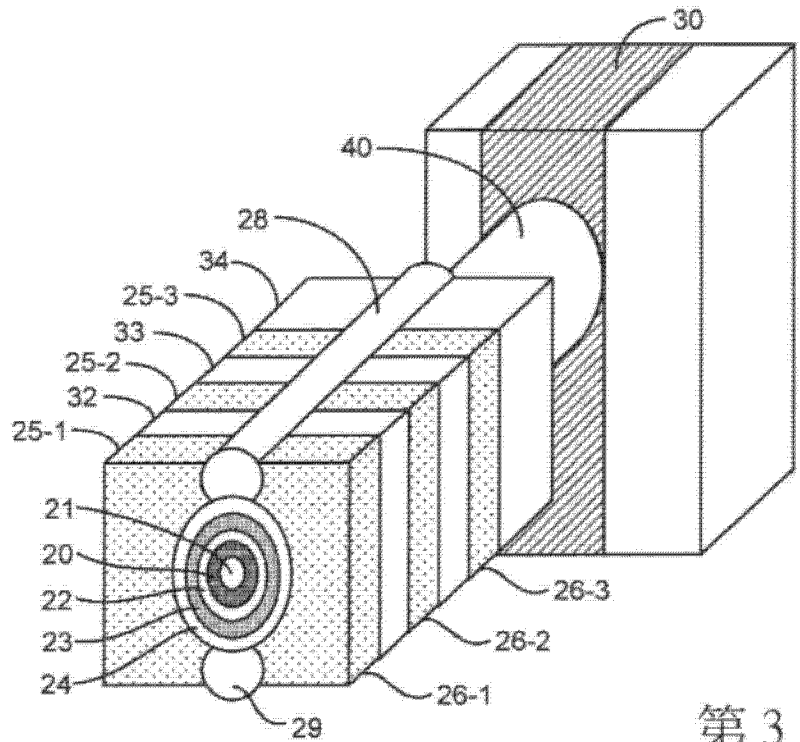
三維獨立雙重閘極快閃記憶體

3D INDEPENDENT DOUBLE GATE FLASH MEMORY

(57) 摘要

一種記憶體裝置，具有獨立雙重閘極記憶胞，每一記憶胞儲存多重位元，且包括配置為字元線之導電線多層堆疊。主動支柱係設置於一對第一與第二堆疊之間，每一主動支柱包括一垂直通道結構、一電荷儲存層與一絕緣層。絕緣層位於一主動支柱之平截頭體中，並接觸第一堆疊之一層中之第一導電條之一第一拱型邊緣與第二堆疊之相同層中之第二導電條之一第二拱型邊緣。複數個絕緣柱與主動支柱將字元線堆疊分為偶數與奇數線，且絕緣柱接觸於每一主動支柱之相反的偶數側與奇數側。主動支柱可為橢圓形，具有一長軸平行於第一與第二導電條。

A memory device configurable for independent double gate cells, storing multiple bits per cell includes multilayer stacks of conductive strips configured as word lines. Active pillars are disposed between pairs of first and second stacks, each active pillar comprising a vertical channel structure, a charge storage layer and an insulating layer. The insulating layer in a frustum of an active pillar contacts a first arcuate edge of a first conductive strip in a layer of the first stack and a second arcuate edge of a second conductive strip in a same layer of the second stack. A plurality of insulating columns serve, with the active pillars, to divide the stacks of word lines into even and odd lines contacting opposing even and odd sides of each active pillar. The active pillar can be generally elliptical with a major axis parallel with the first and second conductive strips.



第 3 圖

- 20 . . . 垂直通道結構
- 21 . . . 接縫
- 22、23、24 . . . 介電電荷儲存層
- 25-1、25-2、25-3 . . . 偶數字元線
- 26-1、26-2、26-3 . . . 奇數字元線
- 28、29 . . . 絕緣柱
- 30 . . . 源極線導體結構
- 32、33、34 . . . 絕緣器
- 40 . . . 主動支柱

【發明說明書】

【中文發明名稱】 三維獨立雙重閘極快閃記憶體

【英文發明名稱】 3D INDEPENDENT DOUBLE GATE FLASH MEMORY

【技術領域】

【0001】 本發明是有關於一種高密度記憶體裝置，且特別是有關於一種排列多平面記憶胞以提供一三維（3D）陣列的記憶體裝置。

【先前技術】

【0002】 隨著積體電路中之裝置的臨界尺寸縮小至一般記憶胞技術的極限，設計者已在尋求堆疊多平面記憶胞的技術，以達到更大的儲存容量並降低每位元的成本。舉例來說，在Lai, et al., “A Multi-Layer Stackable Thin-Film Transistor (TFT) NAND-Type Flash Memory,” IEEE Int'l Electron Devices Meeting, 11-13 Dec. 2006 以及Jung et al., “Three Dimensionally Stacked NAND Flash Memory Technology Using Stacking Single Crystal Si Layers on ILD and TANOS Structure for Beyond 30nm Node,” IEEE Int'l Electron Devices Meeting, 11-13 Dec. 2006中，係將薄膜電晶體技術應用於電荷捕捉記憶體技術中。

【0003】 在Katsumata, et al., “Pipe-shaped BiCS Flash Memory with 16 Stacked Layers and Multi-Level-Cell Operation for Ultra High Density Storage Devices,” 2009 Symposium on VLSI Technology Digest of Technical Papers, 2009中，

係提供垂直反及閘（NAND）記憶胞於電荷捕捉記憶體技術的另一結構。在Katsumata, et al.中所描述的結構包括一垂直反及閘閘極，利用矽-氧-氮-氧-矽（SONOS）電荷捕捉技術，以於每一閘極/垂直通道介面產生一儲存位置（storage site）。此記憶體結構係基於一行（column）半導體材料排列作為反及閘閘極的垂直通道，具有一下選擇閘極與一上選擇閘極，下選擇閘極鄰近於基板，上選擇閘極位於頂部。如第1圖所示，多數條水平字元線係利用字元線層與多行半導體材料相交而形成，並在每一層中形成所謂的閘周圍（gate all-around）記憶胞。

【0004】 第1圖為一行管狀BiCS快閃記憶胞，在一字元線層級（level）的水平剖面圖，記憶胞例如是Katsumata et al中所述的記憶胞。此結構包括一半導體材料柱10垂直延伸通過字元線層之堆疊。半導體材料柱10可具有由於沈積技術造成的接縫（seam）11穿過中央。一電荷捕捉結構圍繞半導體材料柱10，電荷捕捉結構例如包括一第一氧化矽層12、一氮化矽層13與一第二氧化矽層14（稱為ONO），或者其他多層介電電荷捕捉結構。一閘周圍字元線係與半導體材料柱相交。每一層中的半導體材料柱之平截頭體（frustum）與閘周圍字元線在此層中混合，以形成一記憶胞。

【0005】 為達到高密度記憶裝置的目的，半導體材料柱10的通道直徑係盡可能地縮小。然而，當通道直徑縮小至例如40 nm或更小，由於字元線15與半導體材料柱10之間的電場增強產生的場增強因子（field enhancement factor），可能會於讀取操作或程式化操作期間，在記憶胞中造成干擾電荷捕捉的問題。因此，降低了此結構的可靠性。

【0006】 在Katsumata et al. 中已建議利用每記憶胞多位元 (multiple-bit-per-cell) 的程式化技術操作此結構。這些每記憶胞多位元的程式化技術需要良好的臨界電壓控制，使得讀取與程式化干擾特性變得更為關鍵。因此，即便具有高密度三維快閃技術，資料儲存的密度依舊受到限制。

【0007】 由於相對大之每行記憶體材料與電荷捕捉結構的剖面係用於限制干擾 (disturbance)，因此三維記憶體結構之密度會受到限制。

【0008】 應提供一種三維積體電路記憶體，具有低製造成本，且包括可靠的、非常小的記憶元件以及高資料密度。

【發明內容】

【0009】 本發明係有關於一種三維記憶體裝置，配置為獨立雙重閘極，每一記憶胞係多位元操作。可達到相當高密度的資料儲存。

【0010】 根據本發明，提出一種三維反及閘陣列，配置為獨立雙重閘極操作。每一堆疊層中的字元線可水平共享且分為偶數與奇數側。因此，一系列獨立雙重閘極記憶胞係設置於每一對偶數與奇數字元線之間。也可使用獨立雙重閘極結構之堆疊的上層施行串列選擇結構，所有皆分開並獨立地解碼。

【0011】 結構可以孔洞形蝕刻製造，形成孔洞以形成垂直通道結構與絕緣柱，絕緣柱分開在每一層中將字元線結構分為偶數與奇數側。可使用孔洞形蝕刻達到使記憶胞之每一主動支柱的平截頭體具有一第一拱形邊緣與一第二拱形邊緣，第一拱形邊緣接觸偶數字元線，第二拱形邊緣接觸奇數字元線。

- 【0012】 根據本發明，提出一種操作方法，包括在陣列之主動支柱的每一平截頭體中分別程式化每一側的記憶胞。造成每一記憶胞中的兩個電荷儲存位置可被程式化且多於一位元。因此，此結構可在每一記憶胞中儲存四位元或更多，以達到相當高的資料密度。
- 【0013】 根據本發明，提出一種記憶陣列之列，包括第一與第二導電條多層堆疊，使得每一層可包括一偶數與一奇數字元線。多數主動支柱係設置於第一與第二堆疊之間。每一主動支柱包括一垂直通道結構、一電荷儲存層與一絕緣層。絕緣層位於一主動支柱之平截頭體中，並接觸第一堆疊中之第一導電條的一第一拱型邊緣與第二堆疊中之第二導電條的一第二拱型邊緣。內堆疊絕緣柱係交錯於第一與第二堆疊間的多數主動支柱中，並分離偶數與奇數字元線。
- 【0014】 主動支柱可為橢圓形或具有長條的剖面，且具有一長軸平行於導電條。因此，在一特定平截頭體中，主動支柱之剖面係被安排使得第一與第二拱形邊緣的平均曲率半徑大於在相同層中相鄰絕緣柱之平截頭體的平均曲率半徑。較小的曲率半徑可減低電荷儲存結構中的場增強，避免記憶體中的干擾。
- 【0015】 根據本發明，此基礎結構係延伸至一陣列中以形成相當密的記憶體結構。
- 【0016】 根據本發明，提出一種記憶體的製造方法。
- 【0017】 爲了對本發明之上述及其他方面有更佳的瞭解，下文特舉實施例，並配合所附圖式，作詳細說明如下：

【圖式簡單說明】

- 【0018】 第1圖繪示一習知技術之閘周圍記憶胞的剖面圖。
- 第2圖繪示依照本發明實施例之三維陣列獨立雙重閘極快閃記憶胞的剖面圖。
- 第3圖繪示獨立雙重閘極快閃記憶胞之單一行的透視圖。
- 第4圖繪示獨立雙重閘極快閃記憶胞具有電荷儲存於一側的示意圖。
- 第5A與5B圖為獨立雙重閘極快閃記憶胞之一陣列的佈線與透視圖。
- 第6、7、8A、8B、9A、9B、10、11A、11B、11C與12圖繪示如第5A、5B圖之結構的製造程序各階段示意圖。
- 第13圖繪示包括偶數與奇數字元線之實施例的字元線層佈線。
- 第14圖繪示獨立雙重串列選擇線開關之一實施例與串列選擇線層的佈線。
- 第15圖繪示一記憶體區塊的示意圖。
- 第16圖繪示記憶體裝置之多區塊佈線的示意圖。
- 第17圖繪示本發明另一實施例之雙重閘極串列選擇線的透視圖。
- 第18圖繪示本發明另一實施例之三維區塊的佈線。
- 第19圖繪示本發明另一實施例具有基板源極線之三維陣列的示意圖。
- 第20圖繪示具有增加數量之字元線層的垂直通道反及閘結構的示意圖。
- 第21圖繪示具有獨立雙重閘極垂直通道記憶陣列之積體電路記憶體的簡化方塊圖，具有記憶胞每側多位元（multibit-per-side-of-the-cell）程式化技術。
- 第22圖繪示一製造程序的簡化流程圖。

【實施方式】

第一實施例

【0019】 以下將參照第2~22圖對本發明實施例作更詳細地描述。

【0020】 第2圖繪示在一字元線層級之三維陣列中之一行快閃記憶胞的水平剖面圖。如圖所示，半導體材料之一垂直通道結構20垂直延伸通過一字元線層堆疊。垂直通道結構20可具有一接縫21通過中央。一多層介電電荷捕捉結構圍繞垂直通道結構20，多層介電電荷捕捉結構包括一第一氧化矽層22、一氮化矽層23與一第二氧化矽層24。包括半導體材料之垂直通道結構20與圍繞垂直通道結構20之多層介電電荷捕捉結構的柱狀結構 (columnar structure)，在此可作為一主動支柱 (active pillar)。

【0021】 一偶數 (even) 字元線25與一奇數 (odd) 字元線26設置於主動支柱的相反側。絕緣柱28、29沿著字元線方向設置於主動支柱的兩側，並分離偶數字元線25與奇數字元線26，可清楚地顯示於圖式中。絕緣柱28、29可包括二氧化矽或其他絕緣材料。偶數字元線25與奇數字元線26可耦接於字元線驅動電路 (word line driver circuits)，字元線驅動電路係配置用以獨立地操控各字元線。

【0022】 在一特定的字元線層，組合主動支柱的平截頭體、偶數字元線與奇數字元線係形成一獨立、雙閘極快閃記憶胞。

【0023】 字元線可包括多種材料，如摻雜半導體 (doped semiconductor)、金屬、與例如是矽 (Si)、鍺 (Ge)，鍺化矽 (SiGe)、碳化矽 (SiC)、氮化鈦 (TiN)、氮化鉭 (TaN)、鎢 (W) 及鉑 (

Pt)。垂直半導體通道在半導體裝置中係為主動支柱的一部分，可包括適用於作為記憶胞通道的材料，例如矽、鍺，鍺化矽、砷化鎵 (GaAs)、碳化矽與石墨烯 (graphene)。記憶體裝置中的電荷儲存結構可包括快閃記憶體領域中已知的多層介電電荷捕捉結構，例如是SONOS、BE-SONOS、TANOS與MA BE-SONOS等。

【0024】第3圖繪示移除了其他陣列元件之單一主動支柱40的透視圖。如圖所示，主動支柱40延伸至一源極線導體結構30外，並通過字元線層。源極線導體結構30可以多種方式施行，可包括例如是一接地選擇線 (ground select line, GSL) 之開關。源極線導體結構30提供主動支柱中之記憶胞串列至源極側偏壓電路的一電流路徑。

【0025】每一字元層係藉由絕緣器32、33彼此分離而免於覆蓋。絕緣層34將最低的字元線與下面的源極線導體結構30隔離。每一相鄰於主動支柱40的字元線層包括偶數字元線25-1、25-2、25-3與奇數字元線26-1、26-2、26-3。絕緣柱28、29沿著主動支柱的側邊設置，且分離偶數字元線與奇數字元線。

【0026】第4圖繪示如第2圖之一行快閃記憶胞的水平剖面圖。第4圖中標示了參考標號以描述此處之獨立、雙重閘極記憶胞的各種特徵。在第2圖中的參考標號係沿用於第4圖，但不多加贅述。包括管狀 (pipe-shaped) 垂直通道結構20與周圍的介電電荷儲存層22、23、24之主動支柱的剖面，在繪示的實施例中形成一橢圓 (elliptical) 形，此形狀例如可視為具有一長軸 (major axis) 與一短軸 (minor axis)，不需要形成嚴格定義的橢圓。在某些實施例中，長軸實質上較短軸長。在說明書中，「實質上較長」

代表足夠地較長，例如是實施例中所繪示，短軸之7/6倍的長度，使得主動支柱中的垂直通道結構與導電字元線條 (strip) 之間的場增強，相較於一圓形剖面更少，以明顯降低讀取干擾。

【0027】 在第4圖所繪示的實施例中，主動支柱的外表面，在本實施例中也就是氧化矽層24之外表面沿著一第一拱形邊緣 (arcuate edge) 41接觸偶數字元線25，且沿著一第二拱形邊緣42接觸奇數字元線26。第一拱形邊緣41與第二拱形邊緣42的平均曲率半徑 (radius of curvature) 可大於相鄰於絕緣柱28、29之主動支柱40的平均曲率半徑。此增加的平均曲率半徑可實質上減低字元線與垂直通道結構20之間的場增強，有效地改善裝置讀取與程式化的干擾。

【0028】 如圖所示，主動支柱之橢圓形剖面的長軸大致上平行於偶數字元線25與奇數字元線26。因此，由橢圓形之短軸得到的垂直通道結構20之剖面的寬度 (width) W 係小於由橢圓形之長軸得到的垂直通道結構20之剖面的長度 (length)。使得偶數與奇數字元線結構之間間距 (pitch) 更小。

【0029】 獨立雙重閘極記憶體結構的實施例中，可包括在一或多個字元線層中具有方形、三角形、圓形與/或其他形狀之剖面的主動支柱。

【0030】 第5A與5B圖繪示包括多數主動支柱的三維區塊的佈線 (layout) 與透視圖。在第5A圖中，佈局圖包括了四列 (就陣列佈線而言一列係為字元線方向) 與七行 (就陣列佈線而言一行係為總體位元線方向) 的主動支柱排列於一蜂巢 (honeycomb) 圖案，使主動

支柱可緊密堆積。第5B圖為包括三列五行的主動支柱之區塊的透視圖。參照第5A圖，每一列主動支柱覆蓋源極線導體結構60、61、62、63，實施例將於後方描述。源極線導體結構可設置於一基板上，例如是設置於一半導體晶片上之絕緣層上。因此，第一列包括主動支柱80-1、80-2、80-3。第二列包括主動支柱81-1、81-2、81-3、81-4。第三列包括主動支柱82-1、82-2、82-3。第四列包括主動支柱83-1、83-2、83-3、83-4。各列中的主動支柱係具有如繪示的偏移量（offset）以形成一蜂巢圖案。作為每一層偶數與奇數字元線的導電條25、26、45、46、65係設置於如圖所示的各列之間。

【0031】 如圖所示，主動支柱之陣列行藉由重疊金屬位元線90、91、92互相連接。重疊金屬位元線也可沿著陣列行93、94、95、96設置，但並未繪示於圖中。如圖所示，偶數與奇數字元線也可透過主動支柱與絕緣柱（例如是絕緣柱98與99）彼此隔離，可獨立操作雙重閘極。

【0032】 參照第5B圖，係繪示一陣列結構的透視圖。陣列覆於一組源極線導體結構60、61、62。陣列包括位於源極線導體結構60之上的第一列主動支柱80-2與80-3、位於源極線導體結構61之上的第二列主動支柱81-2、81-3與81-4及位於源極線導體結構62之上的第三列主動支柱82-2與82-3。上覆的金屬位元線90與91如圖所示在對應的陣列行中連接主動支柱81-4、80-3與82-3。為了便於說明，主動支柱81-2係被分為平截頭體101、102與103，平截頭體101係位於主動支柱81-2與頂部字元線層101A相交處，平截頭體102係位於主動支柱81-2與中間字元線層102A中的偶數與奇數字元線相

交處，平截頭體103係位於主動支柱81-2與底部字元線層103A中的偶數與奇數字元線相交處。如上所述，藉由沿著主動支柱81-2的每一平截頭體101、102、103之結構建立一獨立雙重閘極記憶胞。每一主動支柱可由建立記憶胞之支柱的平截頭體進行說明。

【0033】 上述主動支柱可配置為反及閘（NAND）串列，在每一主動支柱的端點具有串列選擇開關與接地選擇開關。為了簡化說明，串列選擇開關與接地選擇開關並未於上方討論。

【0034】 第6~12圖繪示一記憶體區塊之製造程序之各階段示意圖，同時參照第5A與5B圖說明。

【0035】 第6、7圖繪示形成於一基板（未繪示）之絕緣層110（第7圖）上的一源極線結構圖案。製造程序可由形成一絕緣層於一基板上開始，接著沈積（deposit）例如是多晶矽（polysilicon）或其他適合作為在三維結構之反及閘串列上的一接地選擇線GSL之導體的一導電材料層。此導電材料層接著被圖案化，以定義絕緣層110上的接地選擇線111、112、113、114。介於接地選擇線之間的溝槽（trench）填滿一犧牲材料（sacrificial material），例如是氮化矽或其他可在後續製程步驟中被移除的材料。犧牲材料在接地選擇線之間形成形體（form）106、107、108、109，源極線結構之導電材料係沿著陣列的列而形成。

【0036】 第8A、8B圖繪示在經過其他組製造步驟後的結構。製造步驟包括在接地選擇線111~114上交替的字元線材料與絕緣材料及形體106~109之堆疊，接著蝕刻孔洞，並以絕緣材料填滿孔洞以形成絕緣柱128~141，絕緣柱128~141係沿著形體106、107、108、

109的陣列之列與陣列之行排列。第8A圖係為此陣列區塊之一部份的佈線，並未繪示字元線間的連接。在反及開串列的實施例中，一頂部字元線層可用以形成串列選擇線。更完整的字元線層與串列選擇線佈線繪示於後方的第13與14圖。

【0037】 如第8B圖所示，字元線層堆疊包括頂層125-1、一中間層125-2與一底層125-3。絕緣層140-1、140-2、140-3分離字元線層。在一實施例中，可具有多層字元線層。絕緣柱（例如是128、129）延伸穿過字元線層堆疊以進入或部分進入犧牲形體106、107、108。蝕刻絕緣孔洞，接著填入例如是二氧化矽或其他合適的絕緣材料，在陣列中沿著主動支柱分離字元線層為獨立的字元線。

【0038】 蝕刻孔洞的製程可使用一硬遮罩製程進行。舉例來說，可使用193 nm浸入式（immersion）微影（lithography）工具將光阻進行曝光，以在一覆蓋於碳硬遮罩層上的一介電膜上形成孔洞圖案。光阻圖案接著藉由蝕刻轉移至介電膜上。介電膜將作為打開犧牲碳硬遮罩的硬遮罩，且犧牲碳硬遮罩將用以打開此區域中之堆疊的孔洞。

【0039】 蝕刻可以一電漿蝕刻配方（plasma etch recipe）完成，電漿蝕刻配方對於記憶體材料與導電材料具有相等（或接近於相等）的蝕刻速率，在本實施例中，導電材料例如是電荷捕捉結構的氧化矽與氮化矽，導電材料例如是多晶矽。在一實施例中，也可藉由使用三氟化氮（NF₃）、二氟甲烷（CH₂F₃）、溴化氫（HBr）、氧氣、甲烷（CH₄）與氦氣（He）之混合完成蝕刻。

【0040】 第9A、9B圖繪示在經過其他組製造步驟後的結構。如圖所示，製

造步驟包括形成一橢圓孔洞150~163之陣列，沿著陣列之行與列與絕緣柱128~141交錯。在形成橢圓孔洞150~163之後，堆疊中的位元線層被分離為偶數字元線300、302、304…，與奇數字元線301、303…。如第9B圖所示，橢圓孔洞延伸穿過字元線層，或者部份進入犧牲形體106、107、108。蝕刻孔洞可使用上述之製程進行。使用橢圓形在蝕刻孔洞製程中提供了較大的製程視窗（process window），且形成了上述討論的結構，可具有更佳的特性。橢圓形孔洞與絕緣柱交疊，使字元線層被分離。蝕刻製程可停止於犧牲形體106、107、108內部。為了減少偶數與奇數字元線之間產生橋樑的可能性（例如若孔洞為錐狀造成在堆疊之底層的橢圓形孔洞無法與絕緣柱交疊），可增加橢圓形的長度。此外，在填入絕緣材料於絕緣柱前，可執行一氧化步驟，可消耗在絕緣柱周圍之層內的矽。

【0041】 此外，可以看出佈線係為「扭曲（twisted）」的，使其排列於一蜂巢結構中，用以沿著陣列之行提供具有高密度與小間距之覆蓋位元線，如下方所述。

【0042】 第10圖繪示在移除犧牲形體106、107、108、109之蝕刻製程後的透視圖。形成了類似溝槽的間隙（void）170、171、172於接地選擇線111、112、113、114之間。當犧牲材料為氮化矽時，可使用熱磷酸（phosphoric acid）溶液進行蝕刻，或者使用可有效將犧牲材料自間隙中移除的其他蝕刻配方進行蝕刻。現在，主動支柱之孔洞係懸置於結構中。然而，結構可簡單地由周圍的字源線結構與絕緣柱所支撐。此外，底部閘極選擇線可支撐整個結構。

【0043】 第11A~11C圖繪示在經過其他製程步驟後的結構。尤其，製程步驟係施加於第10圖之結構中，包括形成電荷捕捉結構之氧化矽、氮化矽、氧化矽層的共形沈積 (conformal deposition)，接著使用例如是矽之材料進行垂直通道結構的共形沈積，形成一「空心麵 (macaroni)」型態的主動支柱250~263，或者包括具有接縫之垂直通道結構的主動支柱，使主動支柱係來自於材料之共形沈積。在一實施例中，記憶體材料層115可包括帶隙工程複合穿隧介電層 (bandgap engineered composite tunneling dielectric layer)，帶隙工程複合穿隧介電層包括厚度小於2 nm之二氧化矽層、厚度小於3 nm之氮化矽層與厚度小於4 nm之二氧化矽層。在一實施例中，複合穿隧介電層由超薄氧化矽層O1 (例如小於等於15 Å)、超薄氮化矽層N1 (例如小於等於30 Å) 以及超薄氧化矽層O2 (例如為小於等於35 Å) 所組成，造成在半導體之介面下之15 Å或更小之位移 (offset) 中，價帶能量水準 (valence band energy level) 增加大約2.6電子伏特 (eV)。藉由較低價帶能量水準 (較高孔洞穿隧屏障 (hole tunneling barrier)) 與較高導電帶能量水準，在第二位移 (例如大約距離介面30 Å到45 Å)，O2層從電荷捕捉層與N1層分離。電場足以誘導孔洞穿隧提昇價帶能量水準，在第二位移有效地消除孔洞穿隧屏障，因為第二位移與介面有較大的距離。因此，當於低電場期間改善工程穿隧介電質的能力以阻擋洩漏，O2層不會嚴重干擾電場輔助孔洞穿隧。這些層可利用例如是低壓化學氣相沈積 (Low-pressure CVD, LPCVD) 進行共形沈積。

【0044】 在本實施例中，記憶體材料層115中的電荷捕捉層包括厚度大於

50 Å之氮化矽，舉例來說包括厚度大約70 Å之氮化矽，並使用低壓化學氣相沈積（LPCVD）形成。其他電荷捕捉材料與結構亦可實施，包括例如氮氧化矽（ $\text{Si}_x\text{O}_y\text{N}_z$ ）、富矽氮化矽（silicon-rich nitride）、富矽氧化矽（silicon-rich oxide），捕捉層包括內置奈米粒子（embedded nano-particles）等。

【0045】 在本實施例中，記憶體材料層115中的阻擋介電層包括厚度大於50 Å之二氧化矽，舉例來說包括厚度大約90 Å之二氧化矽，可利用低壓化學氣相沈積或利用濕爐氧化程序（wet furnace oxidation process）從氮化物藉由濕轉換所形成。其他阻擋介電層可包括高介電常數（high- κ ）材料，例如是氧化鋁。

【0046】 用以形成BE-SONOS之ONO層中之各層的沈積技術，可為傳統的低壓化學氣相沈積（LPCVD），可提供良好的層膜品質與所需的正形性（conformality）。另一方面，例如是原子層沈積（atomic layer deposition, ALD）工具等工具，可用以形成上述層膜。在沈積形成介電電荷捕捉結構與垂直通道結構的製程中，間隙170、171、172也被填充，形成間隙內襯（lining）介電電荷捕捉結構之介電層的結構，並填滿或部分填充間隙，且半導體層也被用於形成垂直通道結構。圖中以區域206、207、208、209代表之源極線結構提供一電流路徑，此電流路徑自主動支柱之頂部穿過源極線結構並上至相鄰的主動支柱或其他共享源極線導體結構的其他主動結構，在記憶體結構中形成一U形電流路徑。

【0047】 第11C圖為沿著包括主動支柱250、251、252之陣列之列所繪示的剖面圖，主動支柱250、251、252係被絕緣柱128、129、130所分開。介電電荷捕捉材料310、311內襯於源極線結構206，且垂直

通道之半導體材料係填充於源極線結構206。在本實施例中，每一垂直通道結構包括一接縫，以提供每一記憶胞之獨立雙重閘極側邊之間良好的隔離。

【0048】 在這些材料沈積後，區塊之頂部可平坦化，例如使用化學機械研磨（chemical mechanical polishing）進行平坦化，以隔離堆疊頂部之垂直通道結構。

【0049】 第12圖繪示在經過下列製程步驟後的結構，製程步驟包括形成一層內介電質（interlayer dielectric）於堆疊、層內連接器（未繪示）與圖案化金屬層之頂部，圖案化金屬層包括在陣列之每一行接觸主動支柱的位元線190~196。

【0050】 參照第12圖，係描述陣列區域中的記憶胞區塊之佈線大小（layout dimensions）的設計規則。在圖中，橢圓主動支柱的長軸為Y尺寸，橢圓主動支柱的短軸為X尺寸。因此，主動支柱具有一Y節距Y1，可為70 nm的等級。類似地，絕緣柱具有一Y節距Y2，同樣可為70 nm的等級。由於錐狀結構（tapered structure），主動支柱與絕緣柱的佈線間距在圖案化遮罩層中可交疊，使得Y節距Y3，也就是主動支柱/絕緣柱記憶胞可為大約120 nm，其半節距為大約60 nm。因此在一單一系列中Y尺寸半節距大約為60 nm，交疊金屬位元線之節距在繪示之蜂巢佈線結構中可為大約30 nm。

【0051】 在X尺寸中，主動支柱之節距X1中的每一絕緣柱節距X1可為大約60 nm。在其他實施例中，這些尺寸可改變。主動支柱與字元線之混合的X節距也可為大約120 nm，其半節距為60 nm。

- 【0052】 橢圓主動支柱之短軸最小X節距需要容納 (accommodate) 介電電荷補捉層之厚度與垂直通道結構的最小直徑。假設介電電荷補捉結構之最大厚度為20 nm，垂直通道結構之外部直徑為至少20 nm，此結構必須容納至少60 nm的最底層。圖案化層之節距必須大到足以容納此結果。在橢圓或長條 (elongated) 圖案中，主動支柱之X節距可為較小，由於減低了場增強，X節距相較於先前的設計可更小。
- 【0053】 當然，尺寸大小可增加或減少，以符合特定實施方式的需求。
- 【0054】 第13圖繪示記憶胞之區塊的一字元線層的佈線圖，包括層內連接器結構及偶數與奇數字元線結構。如圖所示，偶數字元線200與奇數字元線201具有字元線延伸至交錯之主動支柱的陣列中。主動支柱之陣列包括多數在蜂巢排列中偏移的列。第一列包括主動支柱202-1、202-2、202-3、202-4與202-5。如圖所示，絕緣柱212-1至212-5設置於主動支柱之間。下一列中的一第一主動支柱包括柱體203-5。在此佈線的右側，另一列主動支柱的包括主動支柱208-1至208-5，絕緣柱218-1至218-5分開主動支柱208-1至208-5。偶數字元線結構200藉由斷流器220、221、222、223與奇數字元線201分開。類似地，奇數字元線結構201藉由斷流器224至228與偶數字元線200分開。因此，字元線延伸於主動支柱之各列之間，使得對於每一列而言，具有一偶數字元線（例如終止於斷流器226的字元線244）與一奇數字元線（例如終止於斷流器222的字元線245），此偶數字元線與奇數字元線相鄰且位於主動支柱的相反側。
- 【0055】 每一列之端點的主動支柱（例如主動支柱202-1與主動支柱203-5

) 可不用於記憶體操作，但仍然形成爲製程中的一部分，以分開偶數與奇數字元線。

【0056】 偶數字元線結構200包括一轉接墊 (landing pad) 區域250。類似地，奇數字元線結構201包括一轉接墊區域251。階梯接觸結構 (stairstep contact structures) 240、241係用於存取個別的層。參照偶數字元線結構200上的階梯接觸結構240，在本實施例中，係形成八個層內接觸墊230至237，層內接觸墊在八個字元線層中的每一層接觸轉接墊區域。層內接觸墊230落於頂層上之偶數字元線結構200的轉接墊區域250。層內接觸墊231落於從頂部數來第二層上之偶數字元線結構200的轉接墊區域250並依此類推，使得層內接觸墊237係落於從頂部數來第八層上之偶數字元線結構200。這些層內接觸墊可設置於如圖中所繪示的介層窗 (vias) 中，其中圈起字元線接觸墊234至237的大虛線矩形係打開通過四層。圈起字元線接觸墊236、237以及字元線接觸墊232、233之中尺寸虛線矩形分別打開通過兩層。圈起字元線接觸墊231、233、235與237之小尺寸虛線矩形係打開通過一層。當然，其他字元線層中之層內接觸墊的排列方式也可應用於此。

【0057】 第14圖繪示在記憶體陣列區塊中，位於字元線層頂部之串列選擇線層的佈線結構。此結構係藉由沿著通過斷流器220~223與224~228之線，於具有如第13圖所繪示圖案之最高的字元線層中製造一切口 (cut) 所形成。此圖案在主動支柱的每一列之間形成獨立的串列選擇線270、271、272、273、274、...、278。層內接觸墊可設置於結構中之偶數側的位置290~298，於結構中之奇數側的位置291~297。這些層內接觸墊可連接如後方所繪示之交

疊串列選擇線結構。

【0058】 形成如第14圖所繪示之串列選擇線層形成獨立雙重閘極串列選擇線的開關，此開關係為陣列之每一主動支柱中，由主動支柱之頂部平截頭體與鄰近的串列選擇線之結合所形成。

【0059】 第15圖繪示例如是金屬層之交疊圖案導電層之佈線，交疊圖案導電層作為連接於三維記憶體之區塊的總體位元線（global bit line）、串列選擇線與字元線。主動陣列設置於虛線290與291之間，包括未被使用的主動支柱位於每一端點。獨立雙重閘極串列選擇切口係形成於虛線294與296上，形成如第14圖所繪示之結構於區塊的頂部。在第13圖之階梯導電區域240與241上的層內導體，在偶數側連接於圖案字元線301-E至308-E，在奇數側連接於圖案字元線301-0至308-0。類似地，配置為總體位元線之交疊導線配置，例如是金屬線，由於主動支柱之蜂巢結構，係排列於一緊密的間距中。因此，導線325係沿著一陣列之行設置，導線330係沿著一相鄰但偏移的陣列之行設置。導線331、326、327、328與329係沿著在記憶體中使用的個別主動支柱之行設置。在使用第11C圖所示之源極線導體結構的構造中，一些主動支柱可藉由源極線導體結構而作為在一單一系列中連接其他源極線的電性局部源極線（electrical local source line）。作為電性局部源極線之主動支柱可維持在低臨界值（threshold）或抹除狀態。在本實施例中，源極線導體結構提供一U形路徑，至少一主動支柱之行作為局部源極線。在本實施例中，導線330與導線331係作為局部源極線，使得主動支柱之每一列包括至少一局部源極線。以此方式實現之局部源極線的數量，係取決於結構的電導性與其他因

素。在一實施例中，一列中每四個主動支柱具有至少一個局部源極線。一選擇頁面（並聯於可連接於一頁面緩衝器（page buffer）之總體位元線的可讀取位元）係由兩個獨立雙重閘極串列選擇線開關以及其對應之偶數與奇數串列選擇線（SSL(i)與SSL(i+1)）所控制。串列選擇線在偶數側於接觸墊310~314連接交疊圖案導線，在奇數側於接觸墊316~319連接交疊圖案導線。未選擇的獨立雙重閘極串列選擇線開關，可藉由提供相對大量的負電壓於相鄰的串列選擇線而關閉，足以耗盡相鄰列之主動支柱中的垂直通道結構，因而關閉未選擇串列。未選擇的獨立雙重閘極串列選擇線，係緊鄰於兩個選擇的串列選擇線開關的相反側。其它串列選擇線（遠端的線）可設定為一截止電壓（off voltage），例如是-0.5 V。

【0060】 使用如第15圖所示之導電結構與區塊構造，一讀取偏壓安排係可理解為用以讀取在一選定的字元線層上之記憶胞之列的偶數側350、351、352。依據所繪示的位址，係利用字元線301-E至308-E或301-O至308-O選擇一字元線層與一偶數或奇數字元線結構。藉由總體位元線與特定之列選擇一頁，總體位元線係連接於所選擇的區塊並接觸主動支柱被選擇之側，特定之列係藉由所選擇之列之主動支柱的兩側上的串列選擇線所選擇。

【0061】 表一為一實施例之讀取偏壓安排。

選擇的WL(N)_even：	V _{read} （設定為臨界狀態）
相反側的WL(N)_odd：	V _{inhibit} （例如 -3.3 V）
其他WLs（其他層，偶數與奇數）：	V _{pass, read} （例如 +6 至 +7 V）

GSL :	V _{pass, read} (例如 +6 至 +7 V)
選擇的BLs (例如 325、327、329) :	V _{sense} (例如 +1V)
未選擇的BLs (例如 326、328) :	V _{ref} (例如 0V)
局部SLs (例如 330、331) :	V _{ref} (例如 0V)
選擇的SSL(i) (例如 313) :	V _{on} (例如 +2.5V)
選擇的SSL(i+1) (例如 319) :	V _{on} (例如 +2.5V)
相鄰的SSL(i-1) :	V _{deplete} (例如 -5至-8V)
相鄰的SSL(i+2) :	V _{deplete} (例如 -5至-8V)
遠端的SSLs :	V _{off} (例如 -0.5V)

表一：讀取偏壓

【0062】 要注意的是，對於每一頁而言，僅利用總體位元線之一半。為了感應另一半之總體位元線的資料，必須使用在相同字元線上之兩個相鄰的頁使偏壓安排依序進行存取。由於每一偶數/奇數字元線接觸兩個主動支柱之一側，讀取方法係僅讀取選擇的字元線之一側的儲存電荷。在此實施例中，在選擇的主動陣列中之記憶胞的每一側可分別地存取，在每一支柱的平截頭體處的每一記憶胞建立兩個電荷儲存位置。在某些實施例中，這兩個電荷儲存位置可在每一記憶胞中儲存一位元。在其他實施例中，這兩個電荷儲存位置可在每一記憶胞中儲存超過一位元，例如是每一側兩位元。在本實施例中，在每一支柱的平截頭體之記憶胞係儲存四個或

更多位元的資料。此結構可形成高密度的記憶體陣列。

- 【0063】 藉由同時打開兩頁，例如透過SSL(i)與SSL(i+1)選擇的頁，及透過SSL(i)與SSL(i-1)選擇的頁，所有總體位元線325、326、327、328、329可使用一脈衝（burst）讀取偏壓（例如表二所示）並聯，以在主動支柱之第一列之一側（在本圖式中為左側）的記憶體胞讀取偶數字元線350~352，在主動支柱之相鄰列之一側（在本圖式中為右側）的記憶體胞讀取偶數字元線353、354。

選擇的WL(N)_even(i)：	Vread（設定為臨界狀態）
兩個相反側的WL(N)_odd(i-1)與(i+1)：	Vinhibit（例如 -3.3 V）
其他WLs（其他層，偶數與奇數）：	Vpass, read（例如 +6 至 +7 V）
GSL：	Vpass, read（例如 +6 至 +7 V）
選擇的BLs（例如 325、326、327、328、329）：	Vsense（例如 +1V）
局部SLs（例如 330、331）：	Vref（例如 0V）
選擇的SSL(i)（例如 313）：	Von（例如 +2.5V）
選擇的SSL(i-1)（例如 318）：	Von（例如 +2.5V）
選擇的SSL(i+1)（例如 319）：	Von（例如 +2.5V）
相鄰的SSL(i-2)：	Vdeplete（例如 -5至-8V）
相鄰的SSL(i-2)：	Vsuppress（例如 -5至-8V）
相鄰的SSL(i+2)：	Vsuppress（例如 -5至-8V）
遠端的SSLs：	Voff（例如 -0.5V）

表二：脈衝讀取偏壓

【0064】 表三為一實施例之程式化偏壓安排。具有此構造的陣列一次只在每一主動支柱的一次進行程式化偏壓。這樣可使每一主動支柱的兩側皆可被用來儲存資料，每一側儲存一位元或多位元係依據所希望的實現方式以及所用的程式化演算法來決定。在一實施例中，程式化演算法可為一增量脈衝程式化序列（incremental step pulsed programming sequence, ISPP），具有增量的脈衝高度與執行的程式化驗證步驟（program verify steps）直到達到期望的底限值。

【0065】 在其他系統中，可進行一單一傳遞、多層程式化操作，例如美國專利申請號14/153,934，標題為PROGRAMMING MULTIBIT MEMORY CELL; by Hsieh et al., filed on 13 January 2014所述之程式化操作。可藉由控制器執行一範例製程，以在每一記憶胞中操作多位元，範例製程包括儲存一資料組以程式化多數個多層記憶胞，此資料組在每個記憶胞中指示多個程式化狀態其中之一或一抑制狀態，多個程式化狀態係對應於一對應之多層記憶胞的目標層級。對資料組而言，此方法包括在多數個多層記憶胞中執行多數個程式化週期（program cycle），其中一個程式化週期包括在多個程式化狀態中提供一程式化偏壓至多層記憶胞，在提供程式化偏壓後，提供程式化驗證步驟於多個程式化層級中超過一個的程式化層級，以改變多數記憶胞中之資料組程式化狀態為抑制狀態，在指示的目標程式化層級係跳過驗證。提供資料組於單一傳遞、多層程式化操作中的每一週期，以決定選擇的記憶胞之抑

制與程式化狀態。

選擇的WL(N)_even :	Vprog (ISPP , 例如 18至22V)
兩個相反側的WL(N)_odd :	Vpass, pgm (例如 +10 V)
其他WLs (其他層 , 偶數與奇數) :	Vpass, pgm (例如 +10 V)
GSL :	Vpass, pgm (例如 +10 V)
選擇的BLs (例如 325、327、329) :	Vsense (例如 0 V)
未選擇的BLs (例如 326、328) :	Vref (例如 3.3 V)
局部SLs (例如 330、331) :	Vref (例如 3.3 V)
選擇的SSL(i) (例如 313) :	Von (例如 +2.5V)
選擇的SSL(i+1) (例如 319) :	Von (例如 +2.5V)
相鄰的SSL(i-1) :	Vsuppress (例如 -5至-8V)
相鄰的SSL(i+2) :	Vsuppress (例如 -5至-8V)
遠端的SSLs :	Voff (例如 -0.5V)

表三：程式化偏壓

【0066】 表四為一實施例之抹除偏壓安排。施加一區塊抹除偏壓於一週期陣列 (periodic array) ，週期陣列包括多數個例如是第15圖所繪示的記憶胞區塊。

所有WLs選擇區塊：	Vref (例如 0 V)
所有WLs未選擇區塊：	浮動 (floating)

所有BLs (例如 325、327、329) :	V _{erase} (例如 +20 V)
所有局部SLs (例如 330、331) :	V _{erase} (例如 +20 V)
所有SSLs :	V _{gidl} (例如 +6V)

表四：程式化偏壓

- 【0067】 第16圖繪示具有如第15圖之結構的多重區塊佈線實施例。第15圖中的參考標號係應用於第16圖。
- 【0068】 在第16圖中繪示了一第一區塊401與一第二區塊402，第一區塊401與第二區塊402係沿著陣列之行方向或是位元線方向排列。因此，交疊第一區塊401之總體位元線係沿著總體位元線與第二區塊402等共享。沿著單一組總體位元線共享的區塊數量，係取決於陣列的特性。
- 【0069】 藉由形成一絕緣區域於字元線層之間，以分離各區塊。此外，爲了增進偶數與奇數字元線結構的電導性，字元線結構的側邊404、405、406、407可塗佈一導電材料，例如是矽。可使用一自對準程序 (self-aligned process) 形成矽，被稱爲對準金屬矽化物 (SAlicide)。
- 【0070】 在此佈線中，總體位元線可使用圖案化導線之第一金屬層來執行，延伸至一頁面緩衝器 (page buffer)，頁面緩衝器係由沿著總體位元線之區塊所共享。字元線也可使用圖案化導線之第一金屬層來執行，連接偶數字元線層至偶數字元線解碼器，連接奇數

字元線層至奇數字元線解碼器。

【0071】 串列選擇線 (string select line, SSL) 可使用圖案化導線之第二金屬層來執行，第二金屬層交疊第一金屬層，以連接串列選擇線至串列選擇解碼器。

【0072】 在其他實施例中，其他交疊圖案化導電層之混合可用於記憶胞之區塊的內部連接。

【0073】 第17圖繪示另一實施例之結構，此結構之串列選擇線係作為雙重閘極線，而不是獨立雙重閘極線。在本實施例中，字元線材料之串列選擇線層具有寬鬆的間距，在主動支柱之兩列間的串列選擇線層中，可具有空間容納絕緣切口480、481。串列選擇線延伸至每一列之末端的接觸區域482，且具有層內接觸483以連接一交疊圖案導線。雙重閘極串列選擇線結構在某些記憶體裝置的操作模式中可簡化解碼程序。

【0074】 第18圖繪示另一實施例之陣列佈線，此佈線之主動支柱係以一「方形 (square)」排列，而不是「扭曲」或「蜂巢」排列。因此，沿著一列之第一行的主動支柱 (例如490)，在陣列之行方向上係沿著此行與一列之主動支柱 (例如491、492、493) 對齊。交疊金屬位元線495、496、497在每一列接觸一個主動支柱，而並非如蜂巢佈線所示。雖然方形佈線較不複雜，但其代價係為較大的位元線間距與較低的密度。

【0075】 第19圖繪示相較於第11B圖所討論之結構的另一源極線導體結構。第11B圖所用之參考標號係沿用於此。在本實施例中，摻雜多晶矽或其他導電層501 (與基板隔離) 係設置於主動支柱之陣列

的底部，以作為一共同源極線（common source line, CSL）。一層內接觸（標示為502）設置於陣列上，例如是位於每一區塊之間或者位於區塊周圍的圖案中，用以連接摻雜導電區域501至一源極側參考電壓電路或一偏壓電路以作為共同源極線。

【0076】 第20圖繪示藉由增加字元線層以增加記憶胞區塊之密度的技術。由於蝕刻製程會產生一輕微的傾斜角，小於約89.5度，對具有大量字元線層的結構而言，位於底層的孔洞尺寸可能會明顯小於位於頂層的孔洞尺寸，因而限制了大量堆疊之陣列的間距。結構的機械彎曲（mechanical bending）可為蝕刻深度的另一限制因素。因此，在第20圖之實施例中，至少一主動支柱，以及若需要也可包括絕緣柱的孔洞蝕刻製程，可被分為多於一個蝕刻步驟。此製程包括形成一第一字元線層堆疊（在圖式中包括超過兩個字元線層），字元線層係被絕緣層所分離，並蝕刻字元線層圖案，包括產生孔洞於絕緣材料與主動支柱。接著，平坦化此堆疊，並形成一第二字元線層堆疊於此結構上。接著，蝕刻字元線圖案於第二堆疊中，此圖案係與第一堆疊之圖案對位。因此，主動支柱600、601之孔洞具有一錐形壁（tapered wall）602、一過渡區域（transition region）603與一錐形壁604，錐形壁602位於下部，錐形壁604位於上部，過渡區域603位於上部與下部之間。接著，在形成主動支柱600、601之孔洞後，係沈積介電電荷補捉層，並接著沈積垂直通道結構材料。介電電荷補捉層606與垂直通道結構607應於上部堆疊圖案化後才進行沈積，以確保可電性連接。

【0077】 第21圖為一包括三維獨立雙重閘極、垂直通道反及閘陣列之一積

體電路901的簡化晶片方塊圖。積體電路901包括一記憶體陣列960，記憶體陣列960包括一或多個上述具有獨立雙重閘極、垂直通道記憶胞之一或多個記憶體區塊，且積體電路基板上每一記憶胞具有多位元。

【0078】 串列選擇線（SSL）解碼器940連接多數串列選擇線945，且安排於記憶體陣列960中。偶數/奇數（E/O）級解碼器950連皆多數條偶數/奇數字元線955。總體位元線行解碼器970連接多數條沿著記憶體陣列960之行排列的總體位元線965，用以讀取資料來自記憶體陣列960的資料以及寫入資料於記憶體陣列960。位址係提供於匯流排930並自控制邏輯910傳至總體位元線行解碼器970、串列選擇線解碼器940與偶數/奇數級解碼器950。感應放大器與程式化緩衝電路980連接行解碼器970，在本實施例中係透過第一資料線975連接。程式化緩衝電路980可儲存多層級程式化（multiple-level programming）的程式碼，或者程式碼之函數值，用以於選定的位元線中指示程式化或抑制狀態。行解碼器970可包括電路，用以可選擇地提供程式化或抑制電壓於記憶體中的位元線，以回應程式化緩衝器中的資料值。

【0079】 來自感應放大器/程式化緩衝電路的感應資料透過第二資料線985提供至多層級資料（multi-level data）緩衝器990，多層級資料緩衝器990進而透過一資料路徑（data path）993連接輸入/輸出電路991。此外，在本實施例中，輸入資料係用於多層級資料緩衝器，以支持陣列中之獨立雙重閘極記憶胞的每一獨立側進行多層級程式化操作（multiple-level program operation）。

【0080】 輸入/輸出電路991驅動資料至積體電路901外部的目的地。輸入/

輸出資料與控制訊號係透過資料匯流排905，在積體電路901上的輸入/輸出電路991、控制邏輯910與輸入/輸出埠（port），或者積體電路901內部或外部的其他資料來源之間移動，例如是一通用處理器（general purpose processor）或特殊用途應用電路（special purpose application circuitry），或是提供由記憶體陣列960所支持之晶片上之系統（system-on-a-chip）功能性的模組組合。

【0081】 在第21圖所示之實施例中，控制邏輯910係使用偏壓安排狀態機（bias arrangement state machine）控制由區塊920產生或提供的供電電壓之應用，例如是讀取、抹除、驗證與程式化電壓。控制邏輯910連接多層級緩衝器990與記憶體陣列960。控制邏輯910包括用以控制多層級程式化操作的邏輯。在此描述之支持獨立雙重閘極垂直反及閘（NAND）結構的實施例中，邏輯係配置以執行以下方法：

選擇陣列中之記憶胞的一層，例如是使用一字元線層解碼器；

在選擇之層中選擇垂直通道結構的一側，例如是選擇一奇數或偶數側字元線結構；

在陣列之選擇之列中選擇垂直通道結構，例如使用垂直通道結構之列上的串列選擇線（SSL）開關；以及

儲存電荷於選擇之層中的電荷補捉位置，以代表使用位元線電路的資料，選擇之層係位於垂直通道結構之選擇側上，垂直通道結構係位於陣列中一個或多個選擇之行中，位元線電路例如是總體位元線上的頁面緩衝器，總體位元線連接垂直通道結構之選

擇的列。

- 【0082】 在一些實施例中，邏輯係配置以藉由選擇陣列之選擇之層中的偶數與奇數交錯字元線結構的其中之一，以選擇一層或一側，例如藉由控制偶數與奇數字元線層解碼器。
- 【0083】 在一些實施例中，邏輯係配置以儲存多階層電荷，以在選擇側上之選擇層內的電荷補捉位置中，代表多於資料的一位元。在這樣的方式中，在陣列之垂直通道結構的平截頭體中所選擇的記憶胞係儲存超過兩位元，包括記憶胞的每一側都多於一位元。
- 【0084】 控制邏輯910在本領域中可使用特殊用途邏輯電路來執行。在另一實施例中，控制邏輯包括一通用處理器（general-purpose processor），可應用於相同的積體電路，係執行一電腦程式以控制此裝置的操作。在又一實施例中，可混合特殊用途邏輯電路與通用處理器，用以執行控制邏輯。
- 【0085】 記憶體陣列960可包括電荷補捉記憶胞，電荷補捉記憶胞係配置用以在每一記憶胞中儲存多位元，藉由對應於電荷儲存數量之多層級程式化的建立，也建立了記憶胞之臨界電壓（threshold voltages） V_T 。
- 【0086】 第22圖繪示記憶裝置之製造方法的流程圖。此方法包括確定一基板上的區域以形成具有如第15圖之結構的三維記憶體區塊。流程圖始於準備一基板以形成三維垂直通道反及閘陣列（1009）。此製程可包括在記憶體陣列之區域中，形成一絕緣層或其他絕緣結構於一半導體基板上。接著形成源極線導體結構於準備的基板上（1010）。此製程可包括上述於第6圖與第7圖中討論之步驟，形

成接地選擇線與犧牲形體之圖案於記憶體陣列區域之列中。

【0087】 接著形成多數字元線導電材料層於源極線導體結構上（1011）。字元線導電材料層係被絕緣材料層所分開，且用以形成字元線導電結構與串列選擇線導電結構。蝕刻第一孔洞圖案通過字元線導電材料之堆疊層，接著將絕緣材料填入孔洞，以如第8A~8B圖所繪示在陣列中形成絕緣支柱（1012）。蝕刻一第二孔洞圖案通過字元線導電材料之堆疊層，係以如第9A~9B圖所繪示之方式（1013）。

【0088】 接著，如第10圖所示移除在第二孔洞圖案之下的犧牲形體，以形成源極線間隙（1014）。製程接著包括以記憶體結構與材料填充第二孔洞圖案與源極線間隙，記憶體結構包括如第11A~11C所示之介電電荷補捉結構與垂直通道結構（1015）。製程也可包括在多數字元線導電材料層中，蝕刻字元線層圖案，以及依據一串列選擇線圖案，蝕刻字元線導電材料之一頂層，例如分別為第13、14圖所繪示之圖案（1016）。可使用相臨於記憶陣列之每一區塊之層內連結，以連結接地選擇線結構。

【0089】 形成交疊圖案化導體於基本上之記憶區域，包括總體位元線（GBL）、共同源極線（CSL）、字元線（WL）與串列選擇線（SSL），上述係使用如第12圖所示之一個或多個圖案化導體層所形成（1017）。此外，提供周圍電路（peripheral circuit）於基板上，在一實例中記憶區域外部包括位元線電路、字元線電路、頁面緩衝器、感應放大器或其他類似的電路（1018）。完成後段製程（back-end-of-line operation）以形成一封裝積體電路。

【0090】 綜上所述，雖然本發明已以實施例揭露如上，然其並非用以限定本發明。本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾。因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0091】 10：半導體材料柱
11、21：接縫
12、14、22、24：氧化矽層
13、23：氮化矽層
15、25：字元線層
20、607：垂直通道結構
22、23、24：介電電荷儲存層
25、25-1、25-2、25-3、200、300、302、304、350、351、352、353、354：偶數字元線
26、26-1、26-2、26-3、201、301、303：奇數字元線
28、29、98、99、128、129、130、131、132、133、134、135、136、137、138、139、140、141、218-1、218-2、218-3、218-4、218-5、212-1、212-2、212-3、212-4、212-5：絕緣柱
30、60、61、62、63：源極線導體結構
32、33、34：絕緣器
40、80-1、80-2、80-3、81-1、81-2、81-3、81-4、82-1、82-2、82-3、83-1、83-2、83-3、83-4、202-1、202-2、202-3、202-4、202-5、203-5、208-1、208-2、208-3、208-4、208-5、250、251、252、253、254、255、256、257、258、259、260、

- 261、262、263、491、492、493、600、601：主動支柱
- 41：第一拱形邊緣
- 42：第二拱形邊緣
- 45、46、65：導電條
- 90、91、92、495、496、497：金屬位元線
- 93、94、95、96：行
- 101、102、103：平截頭體
- 101A、102A、103A：字元線層
- 106、107、108、109：形體
- 110、140-1、140-2、140-3：絕緣層
- 111、112、113、114：接地選擇線
- 115：記憶體材料層
- 125-1：頂層
- 125-2：中間層
- 125-3：底層
- 150、151、152、153、154、155、156、157、158、159、160、
- 161、162、163：橢圓孔洞
- 170、171、172：間隙
- 190、191、192、193、194、195、196：位元線
- 206、207、208、209：區域
- 220、221、222、223、224、225、226、227、228：斷流器
- 230、231、232、233、234、235、236、237：層內接觸墊
- 244、245：字元線
- 250、251：轉接墊區域
- 240、241：階梯接觸結構

270、271、272、273、274、275、276、277、278：串列選擇線
290、292、294、296、298：偶數側的位置
291、293、295、297：奇數側的位置
301-E、302-E、303-E、304-E、305-E、306-E、307-E、308-E、
301-O、302-O、303-O、304-O、305-O、306-O、307-O、308-O：
圖案字元線
325、326、327、328、329、330、331：導線
316、317、318、319：接觸墊
401：第一區塊
402：第二區塊
404、405、406、407：側邊
480、481：絕緣切口
482：接觸區域
483、502：層內接觸
501：導電層
602、604：錐形壁
603：過渡區域
606：介電電荷捕捉層
901：積體電路
905：資料匯流排
910：控制邏輯
920：偏壓安排供電電壓
930：匯流排
940：串列選擇線（SSL）解碼器
945：串列選擇線

- 950：偶數/奇數（E/O）級解碼器
- 955：偶數/奇數字元線
- 960：記憶體陣列
- 965：總體位元線
- 970：行解碼器
- 975：第一資料線
- 980：程式化緩衝電路
- 985：第二資料線
- 990：多層級資料（multi-level data）緩衝器
- 991：輸入/輸出電路
- 993：資料路徑
- 1009、1010、1011、1012、1013、1014、1015、1016、1017、
- 1018：流程步驟



申請日: 103. 9. 16

201545282

IPC分類:

【發明摘要】

H01L 21/824 (2006.01)

H01L 27/115 (2006.01)

【中文發明名稱】 三維獨立雙重閘極快閃記憶體

【英文發明名稱】 3D INDEPENDENT DOUBLE GATE FLASH MEMORY

【中文】

一種記憶體裝置，具有獨立雙重閘極記憶胞，每一記憶胞儲存多重位元，且包括配置為字元線之導電線多層堆疊。主動支柱係設置於一對第一與第二堆疊之間，每一主動支柱包括一垂直通道結構、一電荷儲存層與一絕緣層。絕緣層位於一主動支柱之平截頭體中，並接觸第一堆疊之一層中之第一導電條的第一拱型邊緣與第二堆疊之相同層中之第二導電條的第二拱型邊緣。複數個絕緣柱與主動支柱將字元線堆疊分為偶數與奇數線，且絕緣柱接觸於每一主動支柱之相反的偶數側與奇數側。主動支柱可為橢圓形，具有一長軸平行於第一與第二導電條。

【英文】

A memory device configurable for independent double gate cells, storing multiple bits per cell includes multilayer stacks of conductive strips configured as word lines. Active pillars are disposed between pairs of first and second stacks, each active pillar comprising a vertical channel structure, a charge storage layer and an insulating layer. The insulating layer in a frustum of an active pillar contacts a first arcuate edge of a first conductive strip in a layer of the first stack and a second arcuate edge of a second conductive strip in a same layer of the second stack. A plurality of insulating columns serve, with the active pillars, to divide the stacks of word lines into even and odd lines contacting opposing even and odd sides of each active pillar. The active pillar can be generally elliptical with a major axis parallel with the first and second conductive strips.

【指定代表圖】：第 3 圖。

【代表圖之符號簡單說明】

20：垂直通道結構

21：接縫

22、23、24：介電電荷儲存層

25-1、25-2、25-3：偶數字元線

26-1、26-2、26-3：奇數字元線

28、29：絕緣柱

30：源極線導體結構

32、33、34：絕緣器

40：主動支柱

【特徵化學式】

：無

【發明申請專利範圍】

- 【第1項】 一種記憶體裝置，包括：
- 一第一導電條多層堆疊與一第二導電條多層堆疊；
- 複數個主動支柱，位於該第一導電條多層堆疊與該第二導電條多層堆疊之間，每一主動支柱包括一垂直通道結構、一電荷儲存層與一絕緣層，該絕緣層位於一主動支柱的一平截頭體中，並接觸一第一導電條之一第一拱形邊緣與一第二導電條之一第二拱形邊緣，該第一導電條係位於該第一導電條多層堆疊之一層中，該第二導電條係位於該第二導電條多層堆疊之相同層中；以及
- 複數個內堆疊絕緣柱，在該第一導電條多層堆疊與該第二導電條多層堆疊之間交錯於該些主動支柱之中。
- 【第2項】 如申請專利範圍第1項所述之記憶體裝置，其中於至少一平截頭體中，該主動支柱之剖面係為橢圓形，具有一長軸平行於該第一導電條與該第二導電條。
- 【第3項】 如申請專利範圍第2項所述之記憶體裝置，其中該橢圓形剖面之長軸較該橢圓形剖面之短軸長。
- 【第4項】 如申請專利範圍第1項所述之記憶體裝置，其中於該平截頭體中，該主動支柱之剖面係被排列，使該第一拱形邊緣與該第二拱形邊緣的平均曲率半徑，相較於同一層中相鄰於該絕緣柱的平截頭體的平均曲率半徑為大。
- 【第5項】 如申請專利範圍第1項所述之記憶體裝置，更包括：
- 複數個連接元件，設置於該第一導電條多層堆疊與該第二導電條

上，用以將該些主動支柱中個別的主動支柱連接至一位元線電路。

- 【第6項】 如申請專利範圍第1項所述之記憶體裝置，更包括：
複數個串列選擇開關，位於該些主動支柱之頂端的平截頭體上。
- 【第7項】 如申請專利範圍第1項所述之記憶體裝置，更包括：
一源極線導體結構，設置於該些主動支柱下；及
至少一基準線結構，排列為與該第一導電條多層堆疊與該第二導電條多層堆疊之導電條正交，該基準線結構包括位於該第一導電條多層堆疊與該第二導電條多層堆疊之間並連接於該源極線導體結構的一主動支柱。
- 【第8項】 如申請專利範圍第1項所述之記憶體裝置，其中該些內堆疊絕緣柱與該些主動支柱分離該第一導電條多層堆疊與該第二導電條多層堆疊。
- 【第9項】 如申請專利範圍第1項所述之記憶體裝置，更包括：
複數個字元線驅動電路，位於該第一導電條多層堆疊與該第二導電條多層堆疊中，係配置為該第一導電條多層堆疊與該第二導電條多層堆疊之導電條的獨立偏壓。
- 【第10項】 如申請專利範圍第9項所述之記憶體裝置，更包括：
一第一多層堆疊轉接墊元件，位於該第一導電條多層堆疊中，並於對應的層中連接該第一導電條多層堆疊之導電條；及
一第二多層堆疊轉接墊元件，位於該第二導電條多層堆疊中，並於對應的層中連接該第一導電條多層堆疊之導電條；
其中該些字元線驅動電路透過該第一多層堆疊轉接墊元件與該第二多層堆疊轉接墊元件連接至該第一導電條與該第二導電條。
- 【第11項】 如申請專利範圍第1項所述之記憶體裝置，其中該垂直通道結構

具有一中央接縫。

【第12項】 一種記憶體裝置，包括：

複數個字元線層，包括一第一字元線結構與一第二字元線結構，該第一字元線結構包括一第一轉接墊元件與複數條偶數字元線，該些偶數字元線係延伸並自該第一轉接墊元件遠離，該第二字元線結構包括一第二轉接墊元件與複數條奇數字元線，該些奇數字元線係延伸並自該第二轉接墊元件遠離，且與該些偶數字元線交錯；

複數個主動支柱之列與複數個絕緣支柱，延伸通過該些字元線層，該些主動支柱之列設置於對應的該些偶數字元線與該些奇數字元線之間，在該些主動支柱之列中的主動支柱包括一垂直通道結構、一電荷儲存層與一外部絕緣層，在該些主動支柱之列中的絕緣支柱分離該些主動支柱之間的該些偶數字元線與該些奇數字元線；以及

在該些字元線層內之該些主動支柱的複數個平截頭體中，該外部絕緣層接觸一偶數字元線的一第一拱形邊緣以及一奇數字元線的一第二拱形邊緣。

【第13項】 如申請專利範圍第12項所述之記憶體裝置，其中於至少一平截頭體中，該主動支柱之剖面係為橢圓形，具有一長軸平行於該第一導電條與該第二導電條。

【第14項】 如申請專利範圍第13項所述之記憶體裝置，其中該橢圓形剖面之長軸較該橢圓形剖面之短軸長。

【第15項】 如申請專利範圍第12項所述之記憶體裝置，其中於該些平截頭體中，該主動支柱之剖面係被安排使得該第一拱形邊緣與該第二拱形邊緣的平均曲率半徑，相較於同一層中相鄰於該絕緣柱的平截

頭體的平均曲率半徑為大。

- 【第16項】 如申請專利範圍第12項所述之記憶體裝置，更包括：
複數條總體位元線，設置於該些主動支柱與該些絕緣支柱之堆疊上，用以連接該些主動支柱之列中個別之行至一頁面緩衝器。
- 【第17項】 如申請專利範圍第12項所述之記憶體裝置，更包括：
複數個串列選擇開關，位於該些主動支柱之頂端的平截頭體上。
- 【第18項】 如申請專利範圍第12項所述之記憶體裝置，更包括：
複數個源極線導體結構，設置於該些主動支柱之列下；
其中至少一該些主動支柱之列連接至設置於該些主動支柱之列下的該些源極線導體結構，且連接位於該些字元線層之上的一源極線。
- 【第19項】 如申請專利範圍第12項所述之記憶體裝置，更包括：
複數個字元線驅動電路，係配置為該第一字元線結構與該第二字元線結構的獨立偏壓。
- 【第20項】 一種記憶體裝置的製造方法，包括：
形成複數個第一導電材料層於一積體電路基板上，該些第一導電材料層係被絕緣材料分離；
形成複數個主動支柱之列與絕緣支柱延伸通過該些第一導電材料層，該些主動支柱之列上的主動支柱分別包括一垂直通道結構、一電荷儲存層與一外部絕緣層，該些絕緣支柱在一列中係設置於該列中之主動支柱之間；以及
蝕刻該些第一導電材料層以定義一第一字元線結構與一第二字元線結構，該第一字元線結構包括一第一轉接墊元件與複數條偶數字元線，該些偶數字元線在該些主動支柱之列與絕緣支柱之間係延伸並自該第一轉接墊元件遠離，該第二字元線結構包括一第二

轉接墊元件與複數條奇數字元線，該些奇數字元線在該些主動支柱之列與絕緣支柱之間係延伸並自該第二轉接墊元件遠離，且與該些偶數字元線交錯；

其中在該些主動支柱的複數個平截頭體中，該外部絕緣層接觸一偶數字元線的一第一拱形邊緣以及一奇數字元線的一第二拱形邊緣。

【第21項】 如申請專利範圍第20項所述之製造方法，其中形成該些主動支柱之列的步驟包括：

於該些第一導電材料層中蝕刻一第一孔洞圖案，並在該第一孔洞圖案之孔洞中填入絕緣材料；

於該些第一導電材料層中蝕刻一第二孔洞圖案，該第二孔洞圖案之孔洞接觸填入該第一孔洞圖案之孔洞中的絕緣材料，並形成複數列；及

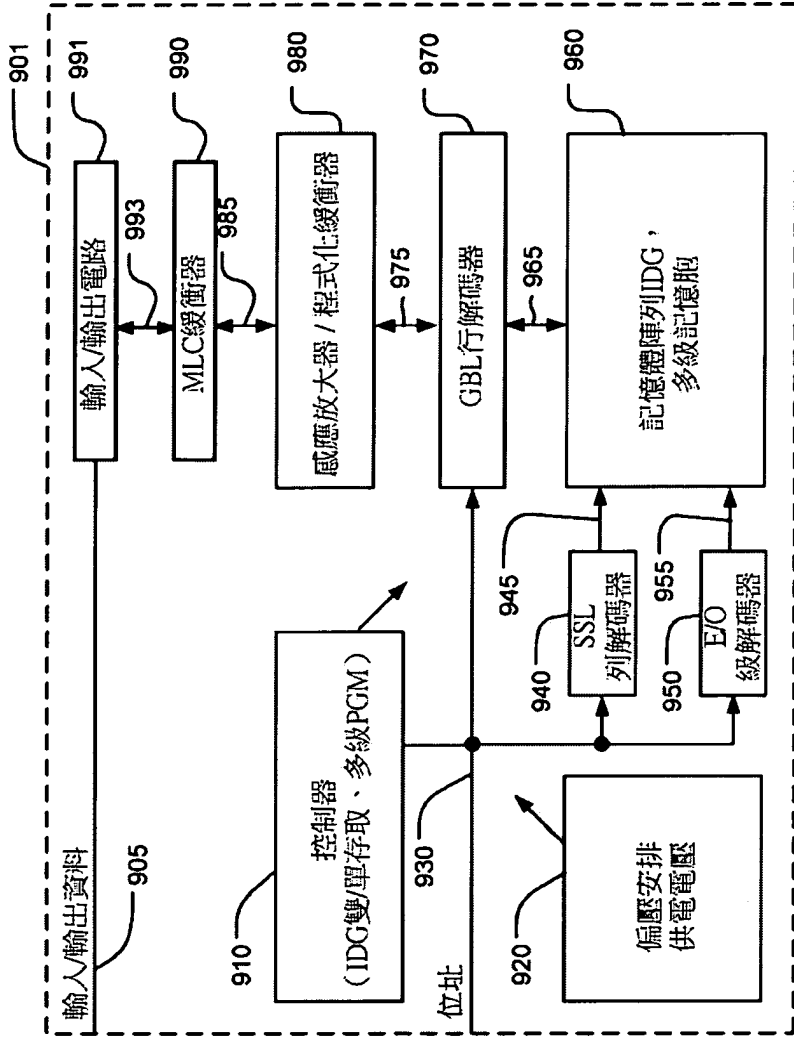
沈積一多層介電電荷儲存結構與一垂直通道結構於該第一孔洞圖案與該第二孔洞圖案之孔洞中。

【第22項】 如申請專利範圍第21項所述之製造方法，其中該第二孔洞圖案之孔洞為橢圓形，具有一長軸對齊該些列，使得一第一拱形邊緣與一第二拱形邊緣的平均曲率半徑，相較於相鄰該第一孔洞圖案之孔洞的該第二孔洞圖案之孔洞的平均曲率半徑為大。

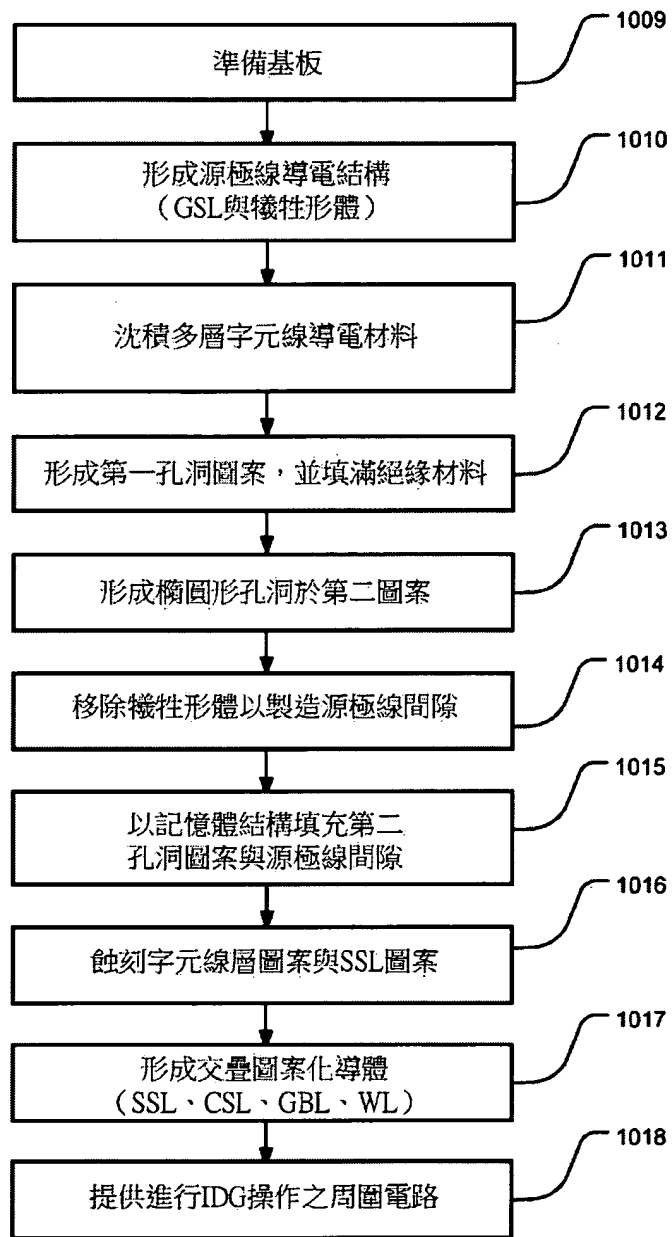
【第23項】 如申請專利範圍第20項所述之製造方法，更包括：
形成複數個字元線驅動電路配置為該第一字元線結構與該第二字元線結構的獨立偏壓。

【第24項】 如申請專利範圍第20項所述之製造方法，更包括：
蝕刻該些第一導電材料層之頂層以定義複數條串列選擇線，使得複數個串列選擇開關形成於位於該頂層之主動支柱的平截頭體上

- 。
- 【第25項】 如申請專利範圍第20項所述之製造方法，更包括：
形成一源極線導體結構於該些第一導電材料層之下。
- 【第26項】 如申請專利範圍第20項所述之製造方法，其中該些主動支柱之列與絕緣支柱係配置使得該些主動支柱排列為一蜂巢佈線圖案。
- 【第27項】 一種垂直通道三維反及閘快閃記憶體的操作方法，該快閃記憶體包括一陣列，該陣列具有該垂直通道結構之複數列與複數行以及位於複數層中的記憶胞，該操作方法包括：
在該陣列中選擇一層之記憶胞；
在該選擇之層中選擇該垂直通道結構之一側；
在該陣列中選擇位於一選擇之列中的垂直通道結構；
儲存電荷於位於選擇之層中的複數個電荷捕捉位置，以代表資料，該選擇之層係位於該陣列中之一或多個選擇之行中的選擇的垂直通道結構之側上。
- 【第28項】 如申請專利範圍第27項所述之操作方法，其中：
選擇一層之記憶胞與選擇該垂直通道結構之一側之步驟包括在陣列之該選擇之層中，選擇偶數與奇數交錯字元線結構的其中之一。
- 。
- 【第29項】 如申請專利範圍第27項所述之操作方法，其中：
儲存電荷之步驟包括儲存多階層電荷以代表在該選擇之側上的該選擇之層中的該些電荷捕捉位置中超過一位元的資料，使得一選擇的記憶胞儲存超過兩位元，該選擇的記憶胞係位於該陣列之一垂直通道結構之一選擇的平截頭體中。



第 21 圖



第 22 圖