

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-93910
(P2005-93910A)

(43) 公開日 平成17年4月7日(2005.4.7)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/8242	HO 1 L 27/10 6 2 5 A	5 F 0 8 3
HO 1 L 27/108	HO 1 L 27/10 6 7 1 Z	5 F 1 4 0
HO 1 L 29/78	HO 1 L 29/78 3 0 1 G	

審査請求 有 請求項の数 6 O L (全 12 頁)

(21) 出願番号 (22) 出願日	特願2003-328267 (P2003-328267) 平成15年9月19日 (2003.9.19)	(71) 出願人 000003078 株式会社東芝 東京都港区芝浦一丁目1番1号 (74) 代理人 100075812 弁理士 吉武 賢次 (74) 代理人 100088889 弁理士 橘谷 英俊 (74) 代理人 100082991 弁理士 佐藤 泰和 (74) 代理人 100096921 弁理士 吉元 弘 (74) 代理人 100103263 弁理士 川崎 康
-----------------------	--------------------------------------------------------	-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

最終頁に続く

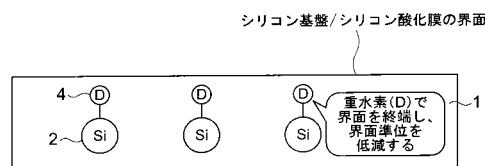
(54) 【発明の名称】 半導体記憶装置とその製造方法

(57) 【要約】

【課題】 微細化が進んだ場合におけるデータ保持時間の短縮化を抑制し、また歩留まりを向上させることが可能な半導体記憶装置及びその製造方法を提供する。

【解決手段】 シリコンとシリコン酸化膜との界面に存在するシリコンのダングリングボンドを重水素で終端させることにより、水素で終端させた場合よりも剥がれにくくなり、界面準位をより低減させてリークを抑制し、データ保持時間の短縮化を防止することができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

シリコン基板と、
前記シリコン基板の表面部分に形成された不純物拡散領域と、
前記シリコン基板の表面上に形成され、重水素を含む第 1 のシリコン酸化膜と、
前記第 1 のシリコン酸化膜上に形成されたゲート電極と、
前記ゲート電極の少なくとも一部の側面に形成され、重水素を含む第 2 のシリコン酸化膜と、
前記第 2 のシリコン酸化膜の表面上を含む前記ゲート電極の側面に形成された側壁絶縁膜と、
少なくとも前記第 1 のシリコン酸化膜及び前記側壁絶縁膜の表面を覆うように形成された保護膜と、
を有する MOS トランジスタを備えることを特徴とする半導体記憶装置。

10

【請求項 2】

シリコン基板と、
前記シリコン基板の表面部分に形成された不純物拡散領域と、
前記シリコン基板の表面上に形成され、重水素を含む第 1 のシリコン酸化膜と、
前記第 1 のシリコン酸化膜上に形成されたゲート電極と、
前記ゲート電極の少なくとも一部の側面に形成され、重水素を含む第 2 のシリコン酸化膜と、
少なくとも前記第 1 のシリコン酸化膜及び前記第 2 のシリコン酸化膜の表面を覆うように形成された保護膜と、
前記保護膜の表面上を含む前記ゲート電極の側面に形成された側壁絶縁膜と、
を有する MOS トランジスタを備えることを特徴とする半導体記憶装置。

20

【請求項 3】

前記 MOS トランジスタを複数備え、さらに
前記シリコン基板の表面部分において、内壁に重水素を含む第 3 のシリコン酸化膜が形成され、前記 MOS トランジスタを分離するトレンチ型素子分離領域をさらに備えることを特徴とする請求項 1 又は 2 記載の半導体記憶装置。

【請求項 4】

シリコン基板の表面上に、重水素を含む第 1 のシリコン酸化膜を形成する工程と、
前記第 1 のシリコン酸化膜の表面上に、ゲート電極を形成する工程と、
前記ゲート電極の少なくとも一部の側面に、重水素を含む第 2 のシリコン酸化膜を形成する工程と、
前記第 2 のシリコン酸化膜の表面上を含む前記ゲート電極の側面に、側壁絶縁膜を形成する工程と、
少なくとも前記第 1 のシリコン酸化膜及び前記側壁絶縁膜の表面を覆うように保護膜を形成する工程と、
を備えることを特徴とする半導体記憶装置の製造方法。

30

【請求項 5】

シリコン基板の表面上に、重水素を含む第 1 のシリコン酸化膜を形成する工程と、
前記第 1 のシリコン酸化膜の表面上に、ゲート電極を形成する工程と、
前記ゲート電極の少なくとも一部の側面に、重水素を含む第 2 のシリコン酸化膜を形成する工程と、
少なくとも前記第 1 のシリコン酸化膜及び前記第 2 のシリコン酸化膜の表面を覆うように保護膜を形成する工程と、
前記保護膜の表面上を含む前記ゲート電極の側面に、側壁絶縁膜を形成する工程と、
を備えることを特徴とする半導体記憶装置の製造方法。

40

【請求項 6】

前記シリコン基板の表面部分にトレンチを形成する工程と、

50

前記トレンチの内壁に重水素を含む第3のシリコン酸化膜を形成することで、トレンチ型素子分離領域を形成する工程をさらに備えることを特徴とする請求項4又は5記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶装置及びその製造方法に関する。

【背景技術】

【0002】

半導体記憶装置において、特にDRAM (Dynamic Random Access) 等では、微細化、集積化が進むにつれて、1単位セル当たりの面積を小さくすることが要求される。 10

【0003】

そこで、トランジスタのゲート長に代表されるデザインルールを縮小することによって、面積の縮小化を図ってきた。しかし、同時にキャパシタ容量も小さくなり、蓄積電荷の減少、データ保持時間(リテンション時間)の短縮等の問題を招いている。

【0004】

データ保持時間の短縮を防ぐためには、蓄積電荷量を増加させる他に、メモリセルトランジスタのリークを抑制することが挙げられる。

【0005】

メモリセルトランジスタのリークには、接合リーク等が存在するが、その中でもシリコン基板とシリコン酸化膜との界面における界面準位によるリークがデータ保持時間の劣化を起こす一因と考えられている。 20

【0006】

従来は、シリコンとシリコン酸化膜との界面における界面準位を抑えるため、界面に存在するシリコンのダングリングボンドを水素(H)で終端させ、界面準位密度を低減させていた。

【0007】

具体的には、水素ガス(H₂)を用いたシンター工程を導入することで、シリコン/シリコン酸化膜の界面に水素を供給していた。

【0008】

図8に従来の半導体記憶装置の断面構造を示す。 30

【0009】

シリコン基板201の表面部分において、トレンチキャパシタ202、素子分離領域(以下、STI (Shallow Trench Isolation) という)203、トレンチキャパシタ201に接続されるように一方が形成され他方が離間して形成されたソース、ドレイン領域204及び205が形成され、さらにSTI203上及びソース、ドレイン領域204及び205の間のチャンネル領域上に形成された多結晶シリコン膜211、低抵抗化用タングステンシリサイド膜212、キャップ用シリコン窒化膜213から成るゲート電極、側壁絶縁膜221が形成されている。

【0010】

図9に、メモリセルトランジスタの断面構造をより詳細に示す。 40

【0011】

シリコン基板201の表面上にシリコン酸化膜241が形成され、また多結晶シリコン膜211及びタングステンシリサイド膜212の側面にシリコン酸化膜242が形成されている。

【特許文献1】特開2002-299612号公報。

【発明の開示】

【発明が解決しようとする課題】

【0012】

本発明は上記事情に鑑み、データ保持時間の短縮化を抑制し、また歩留まりを向上させ 50

ることが可能な半導体記憶装置及びその製造方法を提供することを目的とする。

【0013】

しかし、上述した従来の半導体記憶装置には次のような問題があった。

【0014】

シリコンのダングリングボンドと水素との結合エネルギーが低いために、熱ストレス等により水素の離脱が生じ易かった。熱ストレスが印加された後のメモリセルは、リテンションの変動が起き易いことが知られているが、水素の離脱がその原因と考えられている。

【0015】

従来の製造プロセスにおけるシリコン/シリコン酸化膜の界面を模式的に示した縦断面を図10に示す。

10

【0016】

シリコン基板1とその表面上に形成される図示されていないシリコン酸化膜との界面を水素で終端させても、電流が流れると熱ストレスによって水素3aが離脱し易くなることが考えられる。

【0017】

この結果、製品検査において良品として通過した半導体記憶装置であっても、パッケージング時の熱ストレスによって不良化するものがあり、歩留まりの低下を招いていた。

【0018】

また、従来の半導体記憶装置には、後述する特許文献1に開示されたものがあった。

【0019】

この装置では、シリコンのダングリングボンドに、水素の代わりに重水素(D)を終端させていた。しかしこの場合も、その後の水素を含むシンター工程等において重水素が水素に置換され、その結果電流が流れると熱ストレスによって水素が離脱し、データ保持時間が短縮するという問題があった。

20

【課題を解決するための手段】

【0020】

本発明の一態様による半導体記憶装置は、

シリコン基板と、

前記シリコン基板の表面部分に形成された不純物拡散領域と、

前記シリコン基板の表面上に形成され、重水素を含む第1のシリコン酸化膜と、

30

前記第1のシリコン酸化膜上に形成されたゲート電極と、

前記ゲート電極の少なくとも一部の側面に形成され、重水素を含む第2のシリコン酸化膜と、

前記第2のシリコン酸化膜の表面上を含む前記ゲート電極の側面に形成された側壁絶縁膜と、

少なくとも前記第1のシリコン酸化膜及び前記側壁絶縁膜の表面を覆うように形成された保護膜と、

を有するMOSトランジスタを備えることを特徴とする。

【0021】

また本発明の一態様による半導体記憶装置は、

40

シリコン基板と、

前記シリコン基板の表面部分に形成された不純物拡散領域と、

前記シリコン基板の表面上に形成され、重水素を含む第1のシリコン酸化膜と、

前記第1のシリコン酸化膜上に形成されたゲート電極と、

前記ゲート電極の少なくとも一部の側面に形成され、重水素を含む第2のシリコン酸化膜と、

少なくとも前記第1のシリコン酸化膜及び前記第2のシリコン酸化膜の表面を覆うように形成された保護膜と、

前記保護膜の表面上を含む前記ゲート電極の側面に形成された側壁絶縁膜と、

を有するMOSトランジスタを備えることを特徴とする。

50

【0022】

本発明の一態様による半導体記憶装置の製造方法は、
シリコン基板の表面上に、重水素を含む第1のシリコン酸化膜を形成する工程と、
前記第1のシリコン酸化膜の表面上に、ゲート電極を形成する工程と、
前記ゲート電極の少なくとも一部の側面に、重水素を含む第2のシリコン酸化膜を形成する工程と、
前記第2のシリコン酸化膜の表面上を含む前記ゲート電極の側面に、側壁絶縁膜を形成する工程と、
少なくとも前記第1のシリコン酸化膜及び前記側壁絶縁膜の表面を覆うように保護膜を形成する工程と、
を備えることを特徴とする。

10

【0023】

あるいは本発明の一態様による半導体記憶装置の製造方法は、
シリコン基板の表面上に、重水素を含む第1のシリコン酸化膜を形成する工程と、
前記第1のシリコン酸化膜の表面上に、ゲート電極を形成する工程と、
前記ゲート電極の少なくとも一部の側面に、重水素を含む第2のシリコン酸化膜を形成する工程と、
少なくとも前記第1のシリコン酸化膜及び前記第2のシリコン酸化膜の表面を覆うように保護膜を形成する工程と、
前記保護膜の表面上を含む前記ゲート電極の側面に、側壁絶縁膜を形成する工程と、
を備えることを特徴とする。

20

【発明の効果】

【0024】

以上説明したように、本発明の半導体記憶装置及びその製造方法によれば、シリコンのダングリングボンドを重水素で終端させることにより、リーク電流を抑制し、さらに水素をブロックする保護膜で重水素が導入されたシリコン酸化膜を覆うことにより、重水素が水素に置換されることを防ぎ、ストレスによるデータ保持時間の短縮や劣化を防止することが可能である。

【発明を実施するための最良の形態】

【0025】

先ず、後述する本発明の実施の形態1、2において、シリコン/シリコン酸化膜の界面を模式図としての図1に示す。

30

【0026】

従来は、上述したようにシリコン基板1とその表面上に形成される図示されていないシリコン酸化膜との界面を水素で終端させており、電流が流れると熱ストレスによって水素が離脱し易かった。この結果、データ保持時間が短縮化し、歩留まりの低下を招いていた。

【0027】

これに対し、以下の実施の形態1、2では、シリコン/シリコン酸化膜の界面に存在するシリコンのダングリングボンドに、重水素(D)を供給して終端させる。

40

【0028】

重水素(D)は水素(H)に比べて結合エネルギーが高く、ダングリングボンドを終端した重水素は水素より離脱しにくい。そのため、熱、電界等のストレスによる界面準位密度の増加を抑えることができる。

【0029】

重水素の終端は、重水素ガスを用いた熱工程を、例えば素子分離領域形成時における酸化工程、ゲート酸化膜形成時における酸化工程、側壁絶縁膜を形成するときの酸化工程、CVD工程等において行うことにより実現することができる。

【0030】

但し上述したように、シリコン/シリコン酸化膜の界面におけるダングリングボンドに

50

重水素を終端させた後の工程において、水素ガス（H）を含んだ熱工程が、例えばシンター工程やシリコン窒化膜の形成時に存在すると、終端させた重水素が水素に置換される虞がある。

【0031】

そこで、重水素の離脱を防ぐため、重水素を終端させた工程の後に供給される水素から、シリコン/シリコン酸化膜の界面をブロックする必要がある。

【0032】

以下、本発明の実施の形態について図面を参照して説明する。

【0033】

(1) 実施の形態 1

本発明の実施の形態 1 による半導体記憶装置の縦断面構造を図 2 に示す。

【0034】

シリコン基板 101 の表面部分において、トレンチ内部が多結晶シリコン膜等で埋められたトレンチキャパシタ 102、そのトレンチの上面部分にシリコン酸化膜が形成されて素子分離を行うための STI 103、トレンチキャパシタ 101 に接続されるように一方が形成され他方が離間して形成されたソース、ドレイン領域 104 及び 105 が形成されている。

【0035】

さらに STI 103 上、及びソース、ドレイン領域 104 及び 105 の間のチャンネル領域上に形成された多結晶シリコン膜 111、低抵抗化用タングステンシリサイド膜 112、キャップ用シリコン窒化膜 113 から成るゲート電極、シリコン窒化膜等から成る側壁絶縁膜 121 が形成されている。

【0036】

また、ゲート電極及びシリコン基板 101 全体を覆うように、 Al_2O_3 あるいは SiON 等の絶縁膜から成る保護膜 122 が形成されている。そして、保護膜 122 上に層間絶縁膜 130 が形成され、その表面上にビット線 132 が形成されており、ソース、ドレイン領域の一方の領域 105 とビット線 132 とがビット線コンタクト 131 において接続されている。

【0037】

ここで、シリコン基板 101 とシリコン酸化膜との界面に存在するシリコンのダングリングボンドは、重水素（D）4 によって終端されている。

【0038】

具体的には、シリコン基板 101 と STI 103 との界面 A、STI 103 と多結晶シリコン膜 111 との界面 B、多結晶シリコン膜 111、タングステンシリサイド膜 112 と側壁絶縁膜 121 との間にある図示されていないシリコン酸化膜との界面 C、ソース、ドレイン領域 104、105 が形成された素子領域を含むシリコン基板 101 と保護膜 122 との界面 E において、重水素 4 が供給され、シリコンのダングリングボンドが重水素で終端されている。

【0039】

そして、終端された重水素 4 が、後の工程において供給される水素に置換されないように、界面に水素が供給されないようにブロックする膜として、重水素を含んだシリコン酸化膜を覆うように、 Al_2O_3 、SiON 等から成る保護膜 122 が形成されている。

【0040】

以下に、本実施の形態 1 による半導体記憶装置の製造方法について説明する。この製造方法は、トレンチや各々の膜、拡散層の形成等に関して従来と同様であるが、各工程の間に重水素を供給し、シリコン/シリコン酸化膜の界面に存在するシリコンのダングリングボンドを重水素で終端させる点に特徴がある。

【0041】

図 3 に示されたように、半導体基板 101 の表面部分において、例えば 3000 ~ 3500 の深さの STI 103 を形成し、例えば 750 以上のウエット酸化を行い、ST

10

20

30

40

50

I 1 0 3 の内壁に図示されていないシリコン酸化膜を形成する。

【 0 0 4 2 】

この熱工程において、重水素を雰囲気とすることでシリコン酸化膜に重水素が含まれ、その結果 S T I 1 0 3 の内壁におけるシリコン基板 1 0 1 と内壁上のシリコン酸化膜との界面 A において、シリコンのダングリングボンドが重水素で終端される。

【 0 0 4 3 】

この後、例えば C V D 法を用いて S T I 1 0 3 の内部に多結晶シリコン膜 1 0 2 を堆積してトレンチキャパシタを形成し、表面部分にシリコン酸化膜を堆積して素子分離を行う。

【 0 0 4 4 】

シリコン基板 1 0 1 の表面部分において、不純物をイオン注入し、図示されていないウエル領域、チャンネル領域を形成する。

【 0 0 4 5 】

図 4 に示されたように、半導体基板 1 0 1 の表面に、例えば 7 5 0 以上のウエット酸化を行って図示されていないシリコン酸化膜を形成する。

【 0 0 4 6 】

この熱工程において、重水素を雰囲気とすることでシリコン酸化膜に重水素が含まれ、シリコン基板 1 0 1 とシリコン酸化膜との界面 B において、シリコンのダングリングボンドが重水素で終端される。

【 0 0 4 7 】

図 5 に示されたように、例えば C V D 法を用いて多結晶シリコン膜 1 1 1 を堆積し、スパッタリング法を用いてタングステンシリサイド膜 1 1 2 を堆積し、C V D 法によりシリコン窒化膜 1 1 3 を形成する。

【 0 0 4 8 】

図示されていないレジスト膜をマスクとしてシリコン窒化膜 1 1 3 をエッチングしてゲート電極の形状にパターニングし、タングステンシリサイド膜 1 1 2 及び多結晶シリコン膜 1 1 1 をパターニングする。

【 0 0 4 9 】

多結晶シリコン膜 1 1 1、タングステンシリサイド膜 1 1 2、シリコン窒化膜 1 1 3 から成るゲート電極において、多結晶シリコン膜 1 1 1、タングステンシリサイド膜 1 1 2 の側面、またシリコン基板 1 0 1 の表面に対し、例えば 7 5 0 以上のウエット酸化を行って、それぞれシリコン酸化膜 1 4 2、1 4 1 を形成する。

【 0 0 5 0 】

この熱工程において、重水素を雰囲気とすることで、シリコン酸化膜 1 4 2 及び 1 4 1 に重水素が含まれ、多結晶シリコン膜 1 1 1、タングステンシリサイド膜 1 1 2 と、シリコン酸化膜 1 4 2 との界面 C において、またシリコン基板 1 0 1 とシリコン酸化膜 1 4 1 との界面 E において、シリコンのダングリングボンドが重水素で終端される。

【 0 0 5 1 】

図 6 に示されたように、ゲート電極をマスクとしてイオン注入を行い、ソース、ドレイン領域 1 0 4、1 0 5 における L D D (Lightly Doped Drain) 領域を形成する。

【 0 0 5 2 】

表面全体にシリコン窒化膜を堆積し、R I E (Reactive Ion Etching) 等を用いてゲート電極の側面に側壁絶縁膜 1 2 1 を形成する。

【 0 0 5 3 】

ゲート電極及び側壁絶縁膜 1 2 1 をマスクとして再度イオン注入を行い、ソース、ドレイン領域 1 0 4、1 0 5 を形成する。

【 0 0 5 4 】

ゲート電極及び側壁絶縁膜 1 2 1、シリコン基板 1 0 1 を覆うように、例えば約 2 0 0 オングストロームの膜厚で、 Al_2O_3 、あるいは SiON 等から成る保護膜 1 2 2 を形成する。

10

20

30

40

50

【0055】

このように、シリコン酸化膜を形成する工程において重水を雰囲気とすることで、重水素が含まれたシリコン酸化膜を形成し、シリコン/シリコン酸化膜との界面においてシリコンのダングリングボンドを重水素で終端し、さらに保護膜122を形成して重水素がその後の工程によって水素に置換されるのを防止する。この製造方法によれば、比較的容易に上述した本実施の形態1による半導体記憶装置を製造することができる。

【0056】

(2) 実施の形態2

本発明の実施の形態2による半導体記憶装置について説明する。

【0057】

上記実施の形態1では、トランジスタのゲート電極を形成した後に、全体を保護膜122で覆うように形成している。これに対し、本実施の形態2による半導体記憶装置では、ゲート電極の側面に重水素を含むシリコン酸化膜を形成した後、側壁絶縁膜を形成する前にシリコン酸化膜を覆うように保護膜を形成した後、シリコン窒化膜等から成る側壁絶縁膜を形成する点で相違する。

【0058】

図7に、本実施の形態2による半導体記憶装置が有するメモリセルトランジスタの断面構造を詳細に示す。

【0059】

多結晶シリコン膜111及びタングステンシリサイド膜112の側面、またシリコン基板101の表面上に、シリコン酸化膜142、141を形成する際に重水素が導入され、シリコンのダングリングボンドが重水素により終端されている。

【0060】

そして、このシリコン酸化膜142及びシリコン窒化膜113の側面と、シリコン基板101の表面を覆うように、 Al_2O_3 、あるいはSiON等から成る保護膜152、151が形成され、この保護膜152、151の表面上におけるゲート電極の側面に側壁絶縁膜121が形成されている。

【0061】

本実施の形態2によれば、ゲート電極の側面に形成されたシリコン酸化膜142を覆うように保護膜152が形成されていることにより、シリコン酸化膜142に導入された重水素が水素に置換されることを防ぐことができる。

【0062】

以下に、本実施の形態2による半導体記憶装置の製造方法について説明する。この製造方法は、上記実施の形態1において、図3から図5を用いて説明した工程までは共通であり、説明を省略する。

【0063】

ここで、図5に示された多結晶シリコン膜111、タングステンシリサイド膜112の側面、またシリコン基板101の表面に対し、上記実施の形態1と同様に、例えば750以上のウェット酸化を行って、それぞれシリコン酸化膜142、141を形成する。

【0064】

この熱工程において、重水素を雰囲気とすることでシリコン酸化膜142及び141に重水素を含ませ、その結果多結晶シリコン膜111、タングステンシリサイド膜112と、シリコン酸化膜142との界面Cにおいて、またシリコン基板101とシリコン酸化膜141との界面Eにおいて、シリコンのダングリングボンドを重水素で終端させる。

【0065】

ゲート電極をマスクとしてイオン注入を行い、ソース、ドレイン領域104、105におけるLDD領域を形成する。

【0066】

シリコン酸化膜142及びシリコン窒化膜113の側面と、シリコン基板101の表面とが覆われるように、 Al_2O_3 、SiON等から成る保護膜152、151を形成する

10

20

30

40

50

。

【0067】

次に、シリコン窒化膜を堆積し、例えばRIEを行って保護膜152の表面上におけるゲート電極の側面に側壁絶縁膜121を形成する。

【0068】

ゲート電極及び側壁絶縁膜121をマスクとして再度イオン注入を行い、ソース、ドレイン領域104、105を形成する。

【0069】

上記製造方法により、比較的容易に本実施の形態2による半導体記憶装置を製造することができる。

10

【0070】

上述した実施の形態はいずれも一例であって、本発明を限定するものではなく、本発明の技術的範囲内において様々に変形することが可能である。例えば、上記実施の形態1、2における膜の材料や膜厚、形成方法等はこれに限定されず変更が可能である。

【図面の簡単な説明】

【0071】

【図1】本発明の一実施の形態におけるシリコン/シリコン酸化膜の界面に重水素を供給した状態を模式的に示した縦断面図。

【図2】本発明の第1の実施の形態による半導体記憶装置の断面構造を示した縦断面図。

【図3】同半導体記憶装置の製造方法における一工程を示した縦断面図。

20

【図4】同半導体記憶装置の製造方法における一工程を示した縦断面図。

【図5】同半導体記憶装置の製造方法における一工程を示した縦断面図。

【図6】同半導体記憶装置の製造方法における一工程を示した縦断面図。

【図7】本発明の第2の実施の形態による半導体記憶装置の断面構造を示した縦断面図。

【図8】従来の半導体記憶装置の断面構造を示した縦断面図。

【図9】同半導体記憶装置におけるセルトランジスタの断面構造を示した縦断面図。

【図10】従来の半導体記憶装置におけるシリコン/シリコン酸化膜の界面に重水素を供給した状態を模式的に示した縦断面図。

【符号の説明】

【0072】

30

4 重水素(D)

101 シリコン基板

102 トレンチキャパシタ

103 素子分離領域(STI)

104、105 ソース、ドレイン領域

111 ゲート電極(多結晶シリコン膜)

112 ゲート電極(タンゲステンシリサイド膜)

113 ゲート電極(シリコン窒化膜)

121 側壁絶縁膜

122、152 保護膜(Al_2O_3 、SiON等)

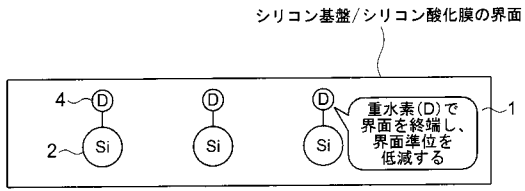
40

131 ビット線コンタクト

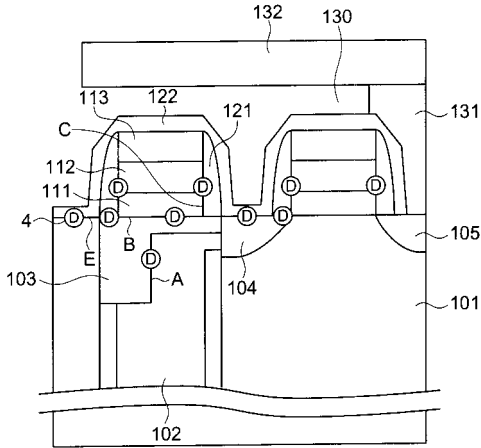
132 ビット線

141、142 シリコン酸化膜

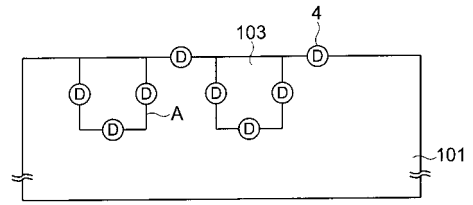
【 図 1 】



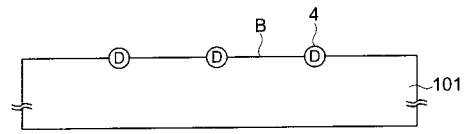
【 図 2 】



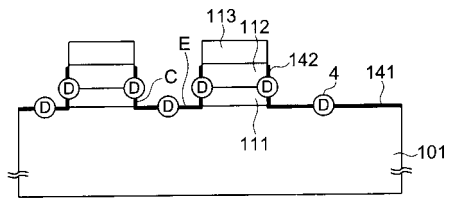
【 図 3 】



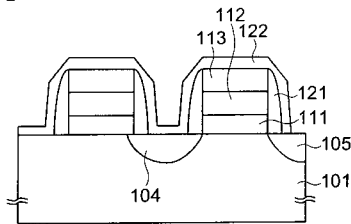
【 図 4 】



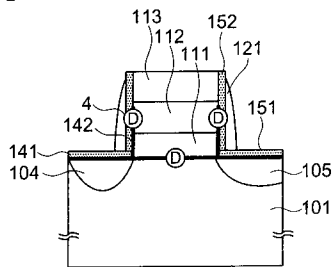
【 図 5 】



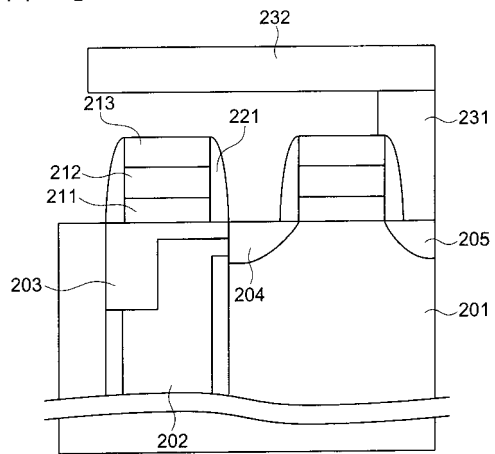
【 図 6 】



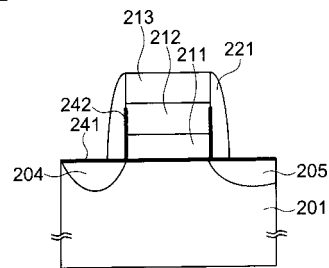
【 図 7 】



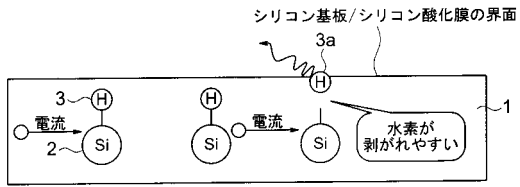
【 図 8 】



【 図 9 】



【図 10】



フロントページの続き

(72)発明者 渡 邊 伸 一

神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

F ターム(参考) 5F083 AD10 AD17 GA06 JA02 JA05 JA19 JA35 NA01 PR12 PR18
5F140 AA24 AB09 AC32 BA01 BC06 BD01 BD06 BD17 BD20 BE07
BF04 BF11 BF18 BG09 BG10 BG11 BG12 BG14 BG22 BG28
BG30 BG37 BG50 BG52 BG53 BH15 BK02 BK13 CB04 CB08
CC01 CC02 CC09