



(12) 发明专利

(10) 授权公告号 CN 101971308 B

(45) 授权公告日 2012. 12. 12

(21) 申请号 200980108747. 6

代理人 孙志湧 穆德骏

(22) 申请日 2009. 03. 12

(51) Int. Cl.

(30) 优先权数据

H01L 21/338(2006. 01)

2008-062510 2008. 03. 12 JP

H01L 29/778(2006. 01)

(85) PCT申请进入国家阶段日

H01L 29/78(2006. 01)

2010. 09. 13

H01L 29/812(2006. 01)

(86) PCT申请的申请数据

(56) 对比文件

PCT/JP2009/054755 2009. 03. 12

JP 特开 2007-165719 A, 2007. 06. 28, 说明书 [0025] 段, [0048] 段至 [0049] 段, [0053] 段, [0083] 段, 附图 4、8.

(87) PCT申请的公布数据

W02009/113612 JA 2009. 09. 17

JP 特开 2008-10803 A, 2008. 01. 17, 全文 .

(73) 专利权人 日本电气株式会社

US 2007/0272945 A1, 2007. 11. 29, 说明书

地址 日本东京

[0027] 段, [0058] 段至 [0082] 段, 以及图 1.

(72) 发明人 安藤裕二 冈本康宏 大田一树

审查员 张丹

井上隆 中山达峰 宫本广信

(74) 专利代理机构 中原信达知识产权代理有限  
责任公司 11219

权利要求书 2 页 说明书 46 页 附图 7 页

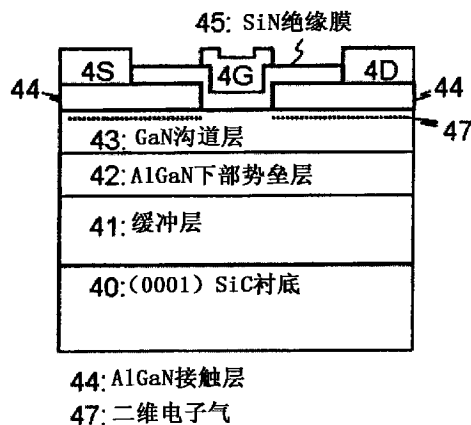
(54) 发明名称

半导体器件

(57) 摘要

本发明提供了一种半导体器件,其在降低了栅泄漏电流的同时,具有高电子迁移率和具有阈值电压的优良均匀性和再现性,并且还能够应用到增强模式型。该半导体器件顺序层压由晶格弛豫的  $Al_xGa_{1-x}N$  ( $0 \leq x \leq 1$ ) 构成的下部势垒层、由具有压应变的  $In_yGa_{1-y}N$  ( $0 \leq y \leq 1$ ) 构成的沟道层和由  $Al_zGa_{1-z}N$  ( $0 \leq z \leq 1$ ) 构成的接触层,并且在所述  $In_yGa_{1-y}N$  沟道层与所述  $Al_zGa_{1-z}N$  接触层的界面附近,产生二维电子气。 $Al_zGa_{1-z}N$  接触层的一部分形成成为栅电极嵌入在凹陷部中,并且插有绝缘膜,其中通过蚀刻所述  $Al_zGa_{1-z}N$  接触层而去除所述  $Al_zGa_{1-z}N$  接触层中的一部分直到暴露所述  $In_yGa_{1-y}N$  沟道层,来形成所述凹陷部,以及在  $Al_zGa_{1-z}N$  接触层上形成欧姆电极。因此,获得了一种能够以增强模式进行操作的半导体器件,该半导体器件具有阈值电压的优良均匀性和再现性,同时保持低栅泄漏电流和高电子迁移率。

CN 101971308 B



1. 一种使用基于 III 族氮化物半导体的半导体器件,其特征在于:

所述半导体器件包括双异质结构,所述双异质结构通过顺序层压由晶格驰豫的  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  构成的  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层、由具有压应变的  $\text{In}_y\text{Ga}_{1-y}\text{N}$  构成的  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层和由  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  构成的  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层来构造,其中  $0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq z \leq 1$ ,

其中

$\text{Al}_z\text{Ga}_{1-z}\text{N}$  的 Al 组分  $z$  大于  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  的 Al 组分  $x$ , 其中  $z > x$ ,

在所述  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层与所述  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层的界面附近,产生二维电子气,

至少两个欧姆电极被形成为所述  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层上的源电极和漏电极,

在位于所述源电极和所述漏电极之间的区域中设置栅电极,并且由此,所述半导体器件包括由所述栅电极、所述源电极和所述漏电极构成的结构,其能够构成场效应晶体管,

通过蚀刻掉所述  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层而去除所述  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层的一部分直到暴露所述  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层,来在位于所述源电极和所述漏电极之间的区域中设置凹陷部,

在插有由多晶硅或非晶物质制成的绝缘膜的情况下,所述栅电极被形成为嵌入在所述凹陷部中,以及

其中所述半导体器件是 MIS 型场效应晶体管,其中在所述 MIS 型场效应晶体管的导通状态下,在绝缘膜和  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层之间的界面处,电子积累在沟道区中。

2. 根据权利要求 1 所述的半导体器件,其中

所述绝缘膜是选自由  $\text{Si}_3\text{N}_4$ 、 $\text{SiO}_2$ 、 $\text{SiON}$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{Ga}_2\text{O}_3$ 、 $\text{ZnO}$ 、 $\text{MgO}$  和  $\text{HfO}_2$  组成的组中的、由多晶或非晶绝缘材料制成的单层膜,或者是包括由多个所述单层膜构成的层压结构的多层膜。

3. 根据权利要求 1 或 2 所述的半导体器件,其中

所述  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层被掺杂有浅 n 型杂质,以及

当所述栅电极、所述源电极和所述漏电极被设置成相等的电势时,那么在所述  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层和所述  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层之间的界面附近产生二维电子气。

4. 根据权利要求 1 或 2 所述的半导体器件,其中

选择所述  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层的 Al 组分  $z$  和所述  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层的 Al 组分  $x$ ,使得它们的差  $(z-x)$  满足条件  $(z-x) > 0.02$ 。

5. 根据权利要求 1 或 2 所述的半导体器件,其中

所述  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层被掺杂有浅 n 型杂质。

6. 根据权利要求 1 或 2 所述的半导体器件,其中

所述  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层由未被掺杂或者掺杂有浅 n 型杂质的  $\text{In}_y\text{Ga}_{1-y}\text{N}$  制成,其中  $0 \leq y \leq 1$ 。

7. 根据权利要求 1 或 2 所述的半导体器件,其中

所述  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层、所述  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层和所述  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层中的每个是通过 C 轴生长而生长的外延膜。

8. 根据权利要求 1 或 2 所述的半导体器件,其中

在等于或大于 50meV 的范围内,选择带不连续  $\Delta E_c(\text{Al}_z\text{Ga}_{1-z}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N})$ , 该带不连续是由于所述  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层和所述  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层之间的异质结界面处的所述  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  和所述  $\text{In}_y\text{Ga}_{1-y}\text{N}$  之间的导带能量差导致的。

9. 根据权利要求 1 或 2 所述的半导体器件, 其中

在等于或大于 50meV 的范围内, 选择带不连续  $\Delta E_c$  ( $\text{Al}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$ ), 该带不连续是由于所述  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层和所述  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层之间的异质界面处的所述  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  和所述  $\text{In}_y\text{Ga}_{1-y}\text{N}$  之间的导带能量差导致的。

10. 根据权利要求 1 或 2 所述的半导体器件, 其中

所述  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层被形成在包括衬底上形成的、在 C 轴上生长的  $\text{Al}_u\text{Ga}_{1-u}\text{N}$  的缓冲层上, 其中  $0 \leq u \leq 1$ 。

11. 根据权利要求 1 或 2 所述的半导体器件, 其中

在 5nm-500nm 的范围内选择所述绝缘膜的膜厚度。

12. 根据权利要求 1 或 2 所述的半导体器件,

其中

所述  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层是未掺杂的,

所述  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下势垒层以面密度  $N_d$  掺杂有浅 n 型杂质,

在所述  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下势垒层和所述  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层之间的界面处, 以面密度  $N_p$  产生由于自发极化效应和压电极化效应导致的负极化电荷, 以及

所述面密度  $N_d$  和所述面密度  $N_p$  之间满足以下关系式:  $N_d \leq N_p$ 。

## 半导体器件

### 技术领域

[0001] 本发明涉及一种包括基于 III 族氮化物的半导体作为主材料的半导体器件。在基于 III 族氮化物的半导体器件之中,具体来讲,本发明涉及一种基于 III 族氮化物的场效应晶体管的结构,其具有阈值电压的优良均匀性和再现性,同时保持低栅泄漏电流和高电子迁移率,并且还能够以增强模式操作。

### 背景技术

[0002] 图 10 是示意性示出使用基于 III 族氮化物半导体的根据现有技术的场效应晶体管型半导体器件的结构横截面图。例如,已经由 Imanaga 等人报道了这种场效应晶体管型半导体器件。(参见专利文件 1)

[0003] 图 10 中所示的场效应晶体管型半导体器件包括例如下述的构成。衬底 100 是具有 (0001) 面 (即, C 面) 的衬底,缓冲层 101 由未掺杂的氮化镓 (GaN) 或氮化铝镓 (AlGa<sub>N</sub>) 制成,电子供应层 102 由 N 型氮化铝镓 (Al<sub>x10</sub>Ga<sub>1-x10</sub>N) 制成,沟道层 103 由氮化镓 (GaN) 制成,并且绝缘层 104 由未掺杂的氮化铝 (AlN) 制成。在绝缘层 104 上,形成源电极 10S 和漏电极 10D,并且与之处于欧姆接触。在绝缘层 104 上,栅电极 10G 形成在源电极 10S 和漏电极 10D 之间的区域中,并且与之处于肖特基接触。沟道层 103 和电子供应层 102 之间的界面是 GaN/AlGa<sub>N</sub> 的异质界面,并且绝缘层 104 和沟道层 103 之间的界面也是 AlN/GaN 的异质界面。其中沟道层 103 的上下界面由与这种 AlN/GaN/AlGa<sub>N</sub> 的异质界面类似的异质界面形成的半导体器件被称作具有双异质结构。

[0004] 图 11 是示意性示出在具有图 10 所示的双异质结构的场效应晶体管型半导体器件中、位于栅电极 10G 正下方的区域中的导带的带示意图的横截面图。分别在 GaN 与 AlGa<sub>N</sub> 之间和 GaN 与 AlN 之间存在导带边能量  $E_c$  的差 (带不连续)  $\Delta E_c$  (AlGa<sub>N</sub>/GaN) 和  $\Delta E_c$  (AlN/GaN)。带的不连续量可以被设置为  $\Delta E_c$  (AlN/GaN) >  $\Delta E_c$  (AlGa<sub>N</sub>/GaN)。在双异质结构中,在 GaN 沟道层 103 与 AlGa<sub>N</sub> 电子供应层 102 的界面附近以及 GaN 沟道层 103 与 AlN 绝缘层 104 的界面附近,产生二维电子气 107。在图 10 所示的结构中,与 GaN 的带隙  $E_g$  (GaN) 相比,构成绝缘层 104 的 AlN 的带隙  $E_g$  (AlN) 大,由此肖特基势垒  $\Phi_B$  增大。因此,提供了如下的优点:场效应晶体管型半导体器件的正向栅击穿电压由此增大。

[0005] 如下所述报道了具有双异质结构的场效应晶体管型半导体器件的实例。

[0006] Imagnage 等人还报道了具有这种具有双异质结构的场效应晶体管型半导体器件,其采用 AlN 层和二氧化硅 (SiO<sub>2</sub>) 层的层压结构替代 AlN 绝缘层来作为绝缘层 (参见专利文件 2)。

[0007] Yosida 报道了具有 AlGa<sub>N</sub>/GaN/AlGa<sub>N</sub> 的双异质结构的半导体器件,在该双异质结构中,用未掺杂的 AlGa<sub>N</sub> 取代 AlN 绝缘层 (参见专利文件 3)。O. Aktas 等人还描述了具有 AlGa<sub>N</sub>/GaN/AlGa<sub>N</sub> 的双异质结构的半导体器件,在该双异质结构中,用未掺杂的 AlGa<sub>N</sub> 取代 AlN 绝缘层 (参见非专利文件 1)。

[0008] 另外,如下所述报道了基于 III 族氮化物的半导体器件的实例,其采用绝缘膜插

入在栅电极和半导体层之间的结构。

[0009] Matuo 等人已经报道了氮化硅 (SiN) 绝缘膜在 GaN/N 型 AlGa<sub>n</sub>/GaN 的双异质结构上设置的半导体器件 (参见专利文件 4)。

[0010] 另外, Ching-Ting Lee 等人已经报道了具有金属 - 绝缘体 - 半导体 (MIS) 结构的半导体器件, 在该 MIS 结构中, 具有氧化镓 (Ga<sub>2</sub>O<sub>3</sub>) 和 SiO<sub>2</sub> 的层压结构的绝缘膜形成在 n 型 GaN 沟道层 (参见非专利文件 2)。

[0011] 专利文件 1 : JP2000-294768A

[0012] 专利文件 2 : JP2000-252458A

[0013] 专利文件 3 : JP11-261052A

[0014] 专利文件 4 : JP2004-335960A

[0015] 非专利文件 1 : O. Aktas et al., IEEE Electron Device Letters, Vol. 18, No. 6, pp 293-295, June 1997

[0016] 非专利文件 2 : Ching-Ting Lee et al., IEEE Electron Device Letters, Vol. 24, No. 2, pp. 54-56, February 2003

## 发明内容

[0017] 本发明要解决的问题

[0018] 在使用图 10 所示的基于 III 族氮化物半导体的场效应晶体管型半导体器件中, 采用 AlN 绝缘层 104 提供了位于如图 11 所示的栅电极 10G 正下方的区域中的导带的带示意图。由于构成该绝缘层 104 的 AlN 的极化效应, 导致在 GaN 沟道层 103 和 AlN 绝缘层 104 之间的界面中产生极化电荷。由于在该界面中产生极化电荷, 导致在 AlN 绝缘层 104 内部形成大电场。另外, 除了从 AlGa<sub>n</sub> 电子供应层 102 提供载流子 (电子) 之外, 还由于 AlN 的极化效应造成从 AlN 绝缘层 104 提供载流子 (电子)。结果, 难以以增强模式实现器件操作。除此之外, 由于 AlN 绝缘层 104 的膜厚度分散, 因此阈值电压  $V_T$  的均匀性和再现性大幅度降低。也就是说, 采用图 10 所示的 AlN 绝缘层 104 的场效应晶体管型半导体器件具有两个结构方面的限制: 难以以增强模式实现器件操作, 并且由于 AlN 绝缘层 104 的膜厚度分散, 因此阈值电压  $V_T$  的均匀性和再现性大幅度降低。

[0019] 以下将详细描述造成上述结构方面的限制的、构成绝缘层 104 的 AlN 的极化效应。

[0020] 在图 10 所示的场效应晶体管型半导体器件中, 在 (0001) 面上, 即在衬底的 C 面上, 基于 III 族氮化物的半导体层被 C 轴 ((0001) 轴) 生长。设置缓冲层 101, 使得以晶格弛豫形式在 (0001) 面上生长 AlGa<sub>n</sub> 电子供应层 102。另一方面, 在 AlGa<sub>n</sub> 电子供应层 102 上外延生长的 GaN 沟道层 103 和 AlN 绝缘层 104 没有晶格弛豫, 这是因为它们具有薄的膜厚度。因此, 它们的晶格常数变得基本上等于下面的 AlGa<sub>n</sub> 电子供应层 102 的晶格常数  $a(\text{AlGa}_n)$ 。GaN 沟道层 103 和 AlN 绝缘层 104 中的每个是具有应变晶格的层。

[0021] 因此, 由于 GaN 的晶格常数  $a(\text{GaN})$  与  $\text{Al}_{x_{10}}\text{Ga}_{1-x_{10}}\text{N}$  的晶格常数  $a(\text{Al}_{x_{10}}\text{Ga}_{1-x_{10}}\text{N})$  之间的差导致在 GaN 沟道层 103 中产生压应变  $e_{zz}(\text{GaN}) \approx \{a(\text{Al}_{x_{10}}\text{Ga}_{1-x_{10}}\text{N}) - a(\text{GaN})\} / a(\text{GaN})$ 。由于 AlN 的晶格常数  $a(\text{AlN})$  与  $\text{Al}_{x_{10}}\text{Ga}_{1-x_{10}}\text{N}$  的晶格常数  $a(\text{Al}_{x_{10}}\text{Ga}_{1-x_{10}}\text{N})$  之间的差导致在 AlN 绝缘层 104 中产生张应变  $e_{zz}(\text{AlN}) \approx \{a(\text{Al}_{x_{10}}\text{Ga}_{1-x_{10}}\text{N}) - a(\text{AlN})\} / a(\text{AlN})$ 。

[0022] 因为在 C 轴生长的 AlGa<sub>n</sub> 电子供应层 102 中不存在造成应变的应力, 所以不产生

压电极化  $P_{pe102}$  ( $P_{pe102} = 0$ ), 但是存在自发极化  $P_{sp102} = P_{sp}(\text{AlGaN})$ 。AlGaN 电子供应层 102 中的极化  $P_{102}$  通常由  $P_{102} = P_{pe102} + P_{sp102}$  来表示, 并且  $P_{pe102} = 0$  导致  $P_{102} = P_{sp102}$ 。该自发极化  $P_{sp104}$  的方向被取向为从前表面朝向衬底。

[0023] 在 GaN 沟道层 103 中还存在从前表面朝向衬底的自发极化  $P_{sp103} = P_{sp}(\text{GaN})$ 。另外, 在 GaN 沟道层 103 中, 因为存在压应变, 所以在抵消自发极化  $P_{sp103}$  的方向上产生压电极化  $P_{pe103}$ 。因此, GaN 沟道层 103 中的极化  $P_{103}$  为  $P_{103} = P_{pe103} + P_{sp103} < P_{sp}(\text{GaN})$ 。

[0024] 在 AlN 绝缘层 104 中还存在从前表面朝向衬底方向上的自发极化  $P_{sp104} = P_{sp}(\text{AlN})$ 。另外, 在 AlN 沟道层 104 中, 因为产生压应变, 所以在与自发极化  $P_{sp104}$  的方向相同的方向上产生压电极化  $P_{pe103}$ 。因此, AlN 绝缘层 104 中的极化  $P_{104}$  为  $P_{104} = P_{pe104} + P_{sp104} > P_{sp}(\text{AlN})$ 。

[0025] 因此, AlGaN 电子供应层 102 中的极化  $P_{102}$ 、GaN 沟道层 103 中的极化  $P_{103}$  和 AlN 绝缘层 104 中的极化  $P_{104}$  中的每个取决于构成电子供应层 102 的  $\text{Al}_{x_{10}}\text{Ga}_{1-x_{10}}\text{N}$  的 Al 组分 ( $x_{10}$ )。例如, 在  $x_{10} = 0.1$  的情况下, 通过计算估算出  $P_{102}/q = 2.13 \times 10^{13} \text{cm}^{-2}$ 、 $P_{103}/q = 1.61 \times 10^{13} \text{cm}^{-2}$  和  $P_{104}/q = 7.90 \times 10^{13} \text{cm}^{-2}$ , 其中  $q = 1.6 \times 10^{-19} \text{C}$  是基本电荷。

[0026] 在 GaN 沟道层 103 和 AlGaN 电子供应层 102 之间的异质结界面中, 极化  $P$  以不连续方式 ( $P_{103} - P_{102}$ ) 从  $P_{103}$  变为  $P_{102}$ 。因此, 在该界面中, 由于极化效应产生界面电荷  $\sigma_{103}$ 。界面电荷的密度  $\sigma_{103}/q$  为  $\sigma_{103}/q = (P_{103} - P_{102})/q$ 。

[0027] 另外, 同样地, 在 AlN 绝缘层 104 和 GaN 沟道层 103 之间的异质结界面中, 极化  $P$  以不连续方式 ( $P_{104} - P_{103}$ ) 从  $P_{104}$  变为  $P_{103}$ 。因此, 在该界面中, 由于极化效应产生界面电荷  $\sigma_{104}$ 。界面电荷的密度  $\sigma_{104}/q$  为  $\sigma_{104}/q = (P_{104} - P_{103})/q$ 。

[0028] 例如, 在  $x_{10} = 0.1$  的情况下, 界面电荷的密度  $\sigma_{103}/q$  和界面电荷的密度  $\sigma_{104}/q$  分别被估算为  $\sigma_{103}/q = (P_{103} - P_{102})/q = -5.28 \times 10^{12} \text{cm}^{-2}$  以及  $\sigma_{104}/q = (P_{104} - P_{103})/q = +6.29 \times 10^{12} \text{cm}^{-2}$ 。在 GaN 沟道层 103 和 AlGaN 电子供应层 102 之间的界面中, 产生负界面电荷  $\sigma_{103}$ , 并且在 AlN 绝缘层 104 和 GaN 沟道层 103 之间的界面中, 产生正界面电荷  $\sigma_{104}$ , 并且之和 ( $\sigma_{103} + \sigma_{104}$ ) 变成  $(\sigma_{103} + \sigma_{104})/q > 0$ 。因此, 即使在 AlGaN 电子供应层 102 中没有掺杂浅 n 型杂质 (施主), 电子被提供到具有与  $(\sigma_{103} + \sigma_{104})/q$  相对应的面密度的 GaN 沟道层 103。在所提供的电子至少积聚在 GaN 沟道层 103 与 AlGaN 电子供应层 102 的界面的附近, 由此产生二维电子气 107。因此, 场效应晶体管型半导体器件用作耗尽模式型的半导体器件。

[0029] 对于图 10 所示的场效应晶体管型半导体器件, 用以不同方式变化的 AlN 绝缘膜 104 的膜厚度  $t_{\text{AlN}}$  来解答 Poisson 等式, 由此估算每个膜厚度  $t_{\text{AlN}}$  的阈值电压  $V_T$ 。图 12 是示出估算出的 AlN 绝缘层 104 的每个膜厚度  $t_{\text{AlN}}$  的阈值电压  $V_T$ 。针对浅 n 型杂质 (施主) 的浓度  $N_{\text{SD}102}$  被选择为  $N_{\text{SD}102} = 0 \text{cm}^{-3}$  和  $N_{\text{SD}102} = 2 \times 10^{18} \text{cm}^{-3}$  的这类情况, 图 12 中分别示出通过计算关于阈值电压  $V_T$  与 AlN 绝缘层 104 的每个膜厚度  $t_{\text{AlN}}$  的依赖关系而得到的估算结果。注意的是, 对于图 12 中所示的通过计算进行的估算, 使用表 1-1 中示出的以下条件 (参数)。

[0030] [表 1-1]

[0031]

AlN 绝缘层 104 中的肖特基势垒 $\Phi_B$	2.14eV
带不连续 $\Delta E_c(\text{AlGaIn}/\text{GaIn})$	0.196eV
带不连续 $\Delta E_c(\text{AlN}/\text{GaIn})$	1.96eV
未掺杂的 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ 缓冲层 101	1 $\mu\text{m}$
$\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ 电子供应层 102 的膜厚度	50nm
未掺杂的 GaIn 沟道层 103 的膜厚度	30nm
未掺杂的 AlN 沟道层 104 的膜厚度	0.1 至 10nm

[0032] 参照图 12, AlN 绝缘层 104 的内部电场达到 10MV/cm。因此, 阈值电压  $V_T$  根据 AlN 绝缘层 104 的膜厚度  $t_{\text{AlN}}$  的变化 1nm 而移动 1V。也就是说, 确认的是, 由于 AlN 绝缘层 104 的膜厚度  $t_{\text{AlN}}$  的分散, 导致阈值电压  $V_T$  的均匀性和再现性大幅度降低。

[0033] 另外, 为了将阈值电压  $V_T$  设定为  $V_T \geq 0\text{V}$ , 估算出 AlN 绝缘膜 104 的膜厚度  $t_{\text{AlN}}$  必须被选择在  $t_{\text{AlN}} \leq 1\text{nm}$  的范围内。考虑到 AlN 绝缘膜 104 的膜厚度  $t_{\text{AlN}}$  的均匀性和再现性, 结论是技术上难以精确地将膜厚度  $t_{\text{AlN}}$  控制在  $t_{\text{AlN}} \leq 1\text{nm}$  的范围内。另一方面, 根据使用 AlN 绝缘层 104 的优点, 诸如栅击穿电压的改进, 结论是难以将该优点固定在  $t_{\text{AlN}} \leq 1\text{nm}$  的范围内。还需要假设如下这种问题: 在当被选择在  $t_{\text{AlN}} \leq 1\text{nm}$  的范围内, 因为 AlN 绝缘层 104 的内部电场大, 所以当向其施加反向偏置时, 隧道电流分量会增大, 由此导致栅泄漏电流增大。

[0034] 另外, 还出现如下的问题: 因为图 10 所示的结构是平面结构, 所以即使以增强模式实现操作, 在源和栅之间以及栅和沟道之间的区域中存在的载流子将被耗尽, 由此导致接入电阻增大。

[0035] 关于具有双异质结构的场效应晶体管型半导体器件, 已经如下报道了这些实例。

[0036] Imanaga 等人还报道了一种具有双异质结构的场效应晶体管型半导体器件, 双异质结构采用 AlN 层和二氧化硅 ( $\text{SiO}_2$ ) 层的层压结构作为绝缘层, 以替代 AlN 绝缘层 (参见专利文件 2)。

[0037] 具体来讲, 采用  $\text{SiO}_2$  绝缘层 / AlN 绝缘层 / GaIn 沟道层 / N 型 AlGaIn 电子供应层的结构, 替代 AlN 绝缘层 / GaIn 沟道层 / N 型 AlGaIn 电子供应层的结构。另外, 在该结构中, 因为 AlN 绝缘层具有极化效应, 所以在 AlN 绝缘层 / GaIn 沟道层的界面中产生正界面电荷, 并且在 GaIn 沟道层 / N 型 AlGaIn 电子供应层的界面中产生负界面电荷。因此, 类似地,  $\text{SiO}_2$  绝缘层 / AlN 绝缘层的区域中存在的内部电场类似地大。在这种情况下, 类似地, 由于  $\text{SiO}_2$  绝缘层的膜厚度  $t_{\text{SiO}_2}$  和 AlN 绝缘层的膜厚度  $t_{\text{AlN}}$  的分散, 导致阈值电压  $V_T$  的均匀性和再现性大幅度降低。终究, 在如果以增强模式实现操作的情况下, 因为平面结构, 所以源和栅之间以及栅和沟道之间的沟道电阻将类似地增大。

[0038] 关于反向偏置的栅泄漏电流, 与使用 AlN 绝缘层的器件相比, 通过使用  $\text{SiO}_2$  绝缘层和 AlN 绝缘层抑制隧道电流分量。

[0039] Yosida 已经报道了一种 AlGaIn/GaIn/AlGaIn 的双异质结构的半导体器件, 在该结构中, 用未掺杂的 AlGaIn 取代 AlN 绝缘层 (参见专利文件 3)。

[0040] 具体来讲, 采用 AlGaIn 绝缘层 / GaIn 沟道层 / N 型 AlGaIn 电子供应层的结构, 替代 AlN 绝缘层 / GaIn 沟道层 / N 型 AlGaIn 电子供应层的结构。另外, 在该结构中, 因为 AlGaIn 绝缘层具有极化效应, 所以在 AlGaIn 绝缘层 / GaIn 沟道层的界面中产生正界面电荷, 并且在 GaIn 沟道层 / N 型 AlGaIn 电子供应层的界面中产生负界面电荷。与 AlN 绝缘层中存在的内部电场相比, AlGaIn 绝缘层中存在的内部电场降低。然而, 当构成 AlGaIn 绝缘层的 AlGaIn 的 Al 组

分大时,其内部电场仍然保持在高水平。在这种情况下,类似地,由于 AlGa<sub>N</sub> 绝缘层的膜厚度  $t_{\text{AlGa}_N}$  的分散,导致阈值电压  $V_T$  的均匀性和再现性大幅度降低。终究,在如果以增强模式实现操作的情况下,源和栅之间以及栅和沟道之间的沟道电阻将类似地增大。注意的是,其上设置 N 型接触层,以降低欧姆电极和沟道层之间的接触电阻。

[0041] O. Aktas 等人还报道了一种 AlGa<sub>N</sub>/Ga<sub>N</sub>/AlGa<sub>N</sub> 的双异质结构的半导体器件,在该结构中,用未掺杂的 AlGa<sub>N</sub> 取代 AlN 绝缘层(参见非专利文件 1)。

[0042] 具体来讲,采用 AlGa<sub>N</sub> 绝缘层 /Ga<sub>N</sub> 沟道层 /AlGa<sub>N</sub> 间隔物层 /N 型 AlGa<sub>N</sub> 电子供应层的结构,替代 AlN 绝缘层 /Ga<sub>N</sub> 沟道层 /N 型 AlGa<sub>N</sub> 电子供应层的结构。另外,在该结构中,因为 AlGa<sub>N</sub> 绝缘层具有极化效应,所以在 AlGa<sub>N</sub> 绝缘层 /Ga<sub>N</sub> 沟道层的界面中产生正界面电荷,并且在 Ga<sub>N</sub> 沟道层 /N 型 AlGa<sub>N</sub> 电子供应层的界面中产生负界面电荷。与 AlN 绝缘层中存在的内部电场相比,AlGa<sub>N</sub> 绝缘层中存在的内部电场降低。然而,当构成 AlGa<sub>N</sub> 绝缘层的 AlGa<sub>N</sub> 的 Al 组分大时,其内部电场仍然保持在高水平。在这种情况下,类似地,由于 AlGa<sub>N</sub> 绝缘层的膜厚度  $t_{\text{AlGa}_N}$  的分散,导致阈值电压  $V_T$  的均匀性和再现性大幅度降低。终究,在如果以增强模式实现操作的情况下,源和栅之间以及栅和沟道之间的沟道电阻将类似地增大。

[0043] 另外,已经如下地报道了采用如下结构的基于 III 族氮化物半导体器件:在栅电极和半导体层之间插入绝缘膜。

[0044] Matuo 等人已经报道了一种半导体器件,在该半导体器件中,氮化硅 (SiN) 绝缘层设置在 Ga<sub>N</sub>/N 型 AlGa<sub>N</sub>/Ga<sub>N</sub> 的双异质结构上(参见专利文件 4)。

[0045] 具体来讲,采用 Ga<sub>N</sub> 应力弛豫层 /N 型 AlGa<sub>N</sub> 沟道层 /Ga<sub>N</sub> 缓冲层的结构。在该结构中,出现如下的情况:在 N 型 AlGa<sub>N</sub> 沟道层 /Ga<sub>N</sub> 缓冲层的界面中产生的正界面电荷以及 Ga<sub>N</sub> 应力弛豫层 /N 型 AlGa<sub>N</sub> 沟道层的界面中产生的负界面电荷被相互抵销。采用这种抵销效应,构造增强模式型的场效应晶体管。

[0046] 图 13 示出在采用 Ga<sub>N</sub> 应力弛豫层 /N 型 AlGa<sub>N</sub> 沟道层 /Ga<sub>N</sub> 缓冲层的结构的半导体器件中,通过用以不同方式变化的 SiN 绝缘膜的膜厚度  $t_{\text{SiN}}$  来解答 Poisson 等式,来估算出 SiN 绝缘膜的每个膜厚度  $t_{\text{SiN}}$  的阈值电压  $V_T$  的结果。另外,针对 N 型 AlGa<sub>N</sub> 沟道层的浅 n 型杂质(施主)的浓度  $N_d$  及其膜厚度  $t$  发生变化的情况,图 13 中示出通过计算关于阈值电压  $V_T$  与 SiN 绝缘膜的膜厚度  $t_{\text{SiN}}$  的依赖关系而得到的估算结果。注意的是,对于图 13 中所示的通过计算进行的估算,使用表 1-2 中示出的以下条件(参数)。

[0047] [表 1-2]

[0048]

SiN 绝缘层的前表面上的势垒 $\Phi_B$	2.9eV
带不连续 $\Delta E_c$ (AlGa <sub>N</sub> /Ga <sub>N</sub> )	0.392eV
SiN/Ga <sub>N</sub> 的界面中的 $\Delta E_c$ (AlN/Ga <sub>N</sub> )	2.5eV
未掺杂的 Ga <sub>N</sub> 缓冲层的膜厚度	1 $\mu\text{m}$
Al <sub>0.2</sub> Ga <sub>0.8</sub> N 沟道层的膜厚度	2nm 或 10nm
未掺杂的 Ga <sub>N</sub> 应力弛豫的膜厚度	10nm
SiN 绝缘层的膜厚度	0.1 至 100nm

[0049] 参照图 13,阈值电压  $V_T$  与 SiN 膜厚度的依赖关系相对较小,并且由于 SiN 绝缘层的膜厚度的分散导致的阈值电压  $V_T$  的均匀性和再现性的劣化得以显著提高。在阈值电压  $V_T$  变为正 ( $V_T \geq 0\text{V}$ ) 的情况下,N 型 AlGa<sub>N</sub> 沟道层中的浅 n 型杂质(施主)的浓度  $N_d$  及其



膜厚度  $t$  的范围 ( $t \times N_d$ ) 为  $(t \times N_d) \leq (2\text{nm}) \times (5 \times 10^{17}\text{cm}^{-3})$ 。也就是说,因为 GaN 应力弛豫层 /N 型 AlGaIn 沟道层的至少一部分需要被耗尽,所以必然会遭遇所述限制。

[0050] 在外延生长的过程中,即使在未掺杂的情况下,也不存在会存在约  $1 \times 10^{17}\text{cm}^{-3}$  的残余施主浓度的罕见情况。考虑到这一点,出现的问题是工艺余量不足以稳定地产生增强模式型的场效应晶体管。

[0051] 另外,在以增强模式实现操作的情况下,源和栅之间以及栅和沟道之间的 GaN 应力弛豫层 /N 型 AlGaIn 沟道层 /GaN 缓冲层的区域中存在的载流子的面密度低至  $(t \times N_d)$ 。因此,因为  $(t \times N_d)$  被设置在上述相对窄的范围内,所以用于以增强模式进行的操作的寄生电阻将处于相对高水平的范围内。

[0052] 另外,Ching-Ting 等人已经报道了一种具有金属 - 绝缘体 - 半导体 (MIS) 结构的半导体器件,在该结构中,在 n 型 GaN 沟道层上形成氧化镓 ( $\text{Ga}_2\text{O}_3$ ) 和  $\text{SiO}_2$  的层压结构 (参见非专利文件 2)。

[0053] 具体来讲,采用  $\text{SiO}_2$  绝缘膜 / $\text{Ga}_2\text{O}_3$  光化学氧化物膜 /n 型 GaN 层的结构。通过对 n 型 GaN 层的前表面执行光化学氧化处理,形成  $\text{Ga}_2\text{O}_3$  光化学氧化物膜。 $\text{SiO}_2$  和  $\text{Ga}_2\text{O}_3$  不具有极化效应。因此,制成与 MOS 结构类似的栅极部。

[0054] 该 MOS 结构的优点在于,构成绝缘膜的  $\text{SiO}_2$  和  $\text{Ga}_2\text{O}_3$  的带隙大,由此肖特基势垒高度增大,这样导致在正向偏置的条件下栅击穿电压增大。另外,绝缘膜没有产生极化,并且阈值电压  $V_T$  的均匀性和再现性良好。

[0055] 然而,在 MOS 结构中,沟道区由 n 型 GaN 层制成,并且其电子迁移率取决于 n 型 GaN 层中存在的离化杂质 (施主) 的分散。例如,如果 n 型 GaN 层的电子浓度为  $3.22 \times 10^{17}\text{cm}^{-3}$ ,所报道的电子的霍尔迁移率为  $350\text{cm}^2/\text{Vs}$ 。另一方面,当使用 N 型 AlGaIn/GaN 的异质结时,形成所谓的选择性掺杂的结构,然后在该异质界面中产生的二维电子气中,典型的电子迁移率的值为  $1000\text{--}2000\text{cm}^2/\text{Vs}$ 。因此,在  $\text{SiO}_2$  绝缘膜 / $\text{Ga}_2\text{O}_3$  光化学氧化物膜 /n 型 GaN 层的 MOS 结构中,电子迁移率降低至比选择性掺杂的结构中的二维电子气中的迁移率低,这是由于 n 型 GaN 层中存在的离化杂质 (施主) 的分散造成的。

[0056] 在  $\text{SiO}_2$  绝缘膜 / $\text{Ga}_2\text{O}_3$  光化学氧化物膜 /n 型 GaN 层的 MOS 结构中,人们认为,对于 n 型 GaN 层的膜厚度  $t$  和浅 n 型杂质 (施主) 的浓度  $N_d$ ,可以通过降低  $(t \times N_d)$  实现以增强模式进行操作。另一方面,在  $(t \times N_d)$  降低的情况下,出现的问题是在以增强模式进行操作时接入电阻增大。

[0057] 例如,如果处于以增强模式进行操作的情况,向栅电极施加大的正向偏置,由此电子积聚在  $\text{Ga}_2\text{O}_3$  光化学氧化物膜 /n 型 GaN 层的界面中,则该界面中的电子迁移率受下面的散射机制的影响。也就是说,除了 n 型 GaN 层中存在的离化杂质 (施主) 的杂质散射之外,由于  $\text{Ga}_2\text{O}_3$  光化学氧化物膜 /n 型 GaN 层的界面上的粗糙度导致的界面散射将会是限制该界面中的电子迁移率的因素。

[0058] 当选择能够增强操作的结构用于使用上述基于 III 族氮化物的半导体的传统场效应晶体管型半导体器件时,所得的器件并没有满足所有性能,使得阈值电压  $V_T$  的均匀性和再现性可以提高,同时可以使沟道区中的电子迁移率高,可以增高肖特基势垒并且可以提高正向栅击穿电压。

[0059] 本发明的目的在于解决上述问题。本发明的目的在于提供一种半导体器件,当本

发明应用到使用基于 III 族氮化物的半导体的场效应晶体管型半导体器件时,该半导体器件具有高肖特基势垒、提高的正向栅击穿电压、沟道区中的高电子迁移率和阈值电压  $V_T$  的优良均匀性和再现性。具体来讲,本发明的目的在于提供一种使用基于 III 族氮化物的半导体的半导体器件,其可以应用于能够以增强模式进行操作的场效应晶体管型半导体器件,并且其中可以实现更稳定的增强模式的操作,并且在以增强模式实现操作的情况下,可以抑制源和栅之间以及栅和漏之间的沟道电阻增大。

[0060] 解决问题的手段

[0061] 为了实现所述目的,在本发明中,使用基于 III 族氮化物的半导体的半导体器件采用以下结构。例如,当本发明应用于使用基于 III 族氮化物的半导体的场效应晶体管型半导体器件时,采用以下构造实现所述目的。

[0062] 首先,在栅电极正下方的沟道区中,采用的结构为栅电极设置在由  $\text{In}_y\text{Ga}_{1-y}\text{N}$  ( $0 \leq y \leq 1$ ) 构成的沟道层的前表面上并且插入由多晶硅或非晶物质构成的绝缘膜,以增高肖特基势垒,由此提高其正向栅击穿电压。另外,由晶格弛豫  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  ( $0 \leq x \leq 1$ ) 构成的下部势垒层设置在  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层下面作为其下层,由此实现的情况是:  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层和  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层之间的界面被设置成用作对抗载流子(电子)的势垒。

[0063] 另一方面,在位于源和栅之间以及栅和漏之间的区域中,除了栅电极正下方的沟道区之外,由  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  ( $0 \leq z \leq 1$ ) 构成的接触层被设置为  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层的上层。在这种情况下,得到的情况是:  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层和  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层之间的异质界面被设置成还用作对抗载流子(电子)的势垒。用作源电极和漏电极的欧姆电极形成在  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层上。结果,在位于源和栅之间以及栅和漏之间的区域中,构造出  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层 /  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层 /  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层的双异质结构,并因此载流子(电子)积聚在  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层中。在这种情况下,至少积聚在  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层和  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层的异质界面的附近的载流子(电子)被设置成产生二维电子气。

[0064] 另一方面,通过适当地选择  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层的厚度、 $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层的膜厚度和其中掺杂的浅 n 型杂质(施主)的浓度,可以实现的情况是:当栅电压  $V_G$  被设置为  $V_G = 0$  时,在栅电极正下方的沟道区中,在  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层中没有积聚载流子(电子)。也就是将,阈值电压  $V_T$  可以被设置在  $V_T > 0$  的范围内,并因此可以以增强模式实现操作。

[0065] 因此,根据本发明的半导体器件是:

[0066] 一种使用基于 III 族氮化物的半导体的半导体器件,其特征在于:

[0067] 所述半导体器件包括双异质结构,通过顺序层压由晶格弛豫的  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  ( $0 \leq x \leq 1$ ) 构成的  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层、由具有压应变的  $\text{In}_y\text{Ga}_{1-y}\text{N}$  ( $0 \leq y \leq 1$ ) 构成的  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层和由  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  ( $0 \leq z \leq 1$ ) 构成的  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层构造所述双异质结构,

[0068] 其中

[0069] 在  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层与  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层的界面附近,产生二维电子气,

[0070] 将至少两个欧姆电极形成为  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层上的源电极和漏电极,

[0071] 在位于源电极和漏电极之间的区域中设置栅电极,并由此,半导体器件包括由栅电极、源电极和漏电极构成的结构,其可以构成场效应晶体管,

[0072] 通过蚀刻  $Al_zGa_{1-z}N$  接触层去除所述  $Al_zGa_{1-z}N$  接触层中的一部分直到暴露  $In_yGa_{1-y}N$  沟道层, 来在位于源电极和漏电极之间的区域中设置凹陷部, 以及

[0073] 所述栅电极被形成为嵌入在凹陷部中, 并且插入由多晶硅或非晶态物质制成的绝缘膜。

[0074] 本发明的效果

[0075] 在根据本发明的半导体器件中, 因为由于极化效应导致在  $Al_xGa_{1-x}N$  下部势垒层和  $In_yGa_{1-y}N$  沟道层的异质结界面中产生负界面电荷, 所以通过变化绝缘膜的膜厚度以及  $Al_xGa_{1-x}N$  下部势垒层中掺杂的浅 n 型杂质 (施主) 的浓度, 扩张可控阈值电压  $V_T$  的范围。也就是说, 通过变化绝缘膜的膜厚度以及  $Al_xGa_{1-x}N$  下部势垒层中掺杂的浅 n 型杂质 (施主) 的浓度, 阈值电压  $V_T$  为  $V_T \leq 0$  的耗尽模式和阈值电压  $V_T$  为  $V_T > 0$  的增强模式中的任一种模式可以被选择作为要制造的场效应晶体管的操作模式。

[0076] 在这种情况下, 因为在除了凹陷部之外的区域中, 在  $Al_zGa_{1-z}N$  接触层和  $In_yGa_{1-y}N$  沟道层的异质结界面中产生二维电子, 所以也很大程度抑制了源和栅之间的电阻以及栅和漏之间的电阻增大。也就是说, 可以避免尤其在传统器件中选择增强模式的操作的情况下观察到的源和栅之间的电阻以及栅和漏之间的电阻的这种显著增大。

[0077] 另一方面, 即使在栅电极正下方的沟道区中, 构造栅电极 / 绝缘膜 /  $In_yGa_{1-y}N$  沟道层的 MIS 结构, 阈值电压  $V_T$  与绝缘膜的膜厚度的依赖关系也相对较小, 这是因为在绝缘膜自身中没有生成任何极化电场。因此, 由于绝缘膜的膜厚度分散导致的阈值电压  $V_T$  的分散得以抑制, 并因此提高了阈值电压  $V_T$  的均匀性和再现性。另外, 通过采用栅电极 / 绝缘膜 /  $In_yGa_{1-y}N$  沟道层的 MIS 结构, 栅电极 / 绝缘膜的接触电势差 (势垒高度) 增大, 并且栅泄漏电流也减小。当将场效应晶体管构造成这种结构时, 在栅电极正下方的沟道区中, 载流子 (电子) 在  $Al_xGa_{1-x}N$  下部势垒层和  $In_yGa_{1-y}N$  沟道层的异质结界面中积聚成导通状态, 并由此产生二维电子气。在这种情况下,  $Al_xGa_{1-x}N$  下部势垒层和  $In_yGa_{1-y}N$  沟道层的异质结界面在原子级可以被构造为平坦界面, 并且  $In_yGa_{1-y}N$  沟道层自身也可以未被掺杂。因此, 在导通状态下, 可以增大栅电极正下方的沟道区中产生的二维电子气的迁移率。

[0078] 上述效果对于半导体器件中获得较高的击穿电压和较低损失起很大作用。

## 附图说明

[0079] 图 1 是示意性示出根据第一示例性实施例的半导体器件结构的横截面图;

[0080] 图 2 是示意性示出在图 1 所示的根据第一示例性实施例的半导体器件结构中的凹陷部中形成的栅电极 4G 正下方的区域的导带的带示意图的图示;

[0081] 图 3 是示出与施加到栅电极用于导通场效应晶体管的栅电压相对应的阈值电压  $V_T$  (V) 与图 1 所示的根据第一示例性实施例的半导体器件结构中的栅绝缘膜的膜厚度的依赖关系的曲线图;

[0082] 图 4 是示意性示出图 1 所示的根据第一示例性实施例的半导体器件结构中的未掺杂的  $Al_{z4}Ga_{1-z4}N$  接触层 44 正下方的区域的导带的带示意图的图示;

[0083] 图 5 是示意性示出根据第二示例性实施例的半导体器件的结构横截面图;

[0084] 图 6 是示意性示出图 5 所示的根据第二示例性实施例的半导体器件结构中的 N 型  $Al_{z4}Ga_{1-z4}N$  接触层 54 正下方的区域的导带的带示意图的图示;

[0085] 图 7 是示意性示出根据第三示例性实施例的半导体器件的结构横截面图；

[0086] 图 8 是示意性示出在图 7 所示的根据第三示例性实施例的半导体器件结构中的凹陷部中形成的栅电极 6G 正下方的区域的导带的带示意图的图示；

[0087] 图 9 是示意性示出图 7 所示的根据第三示例性实施例的半导体器件结构中的 N 型  $Al_{z4}Ga_{1-z4}N$  接触层 64 正下方的区域的导带的带示意图的图示；

[0088] 图 10 是示意性示出 AlN 绝缘层 104 用作电子供应层的传统半导体器件的结构横截面图；

[0089] 图 11 是示意性示出图 10 所示的根据传统半导体器件结构中的 AlN 绝缘层 104 上形成的栅电极 10G 正下方的区域的导带的带示意图的图示；

[0090] 图 12 是示出与施加到栅电极用于导通场效应晶体管的栅电压相对应的阈值电压  $V_T(V)$  与图 10 所示的传统半导体器件结构中的 AlN 绝缘膜的膜厚度的依赖关系的曲线图；

[0091] 图 13 是示出与施加到栅电极用于导通场效应晶体管的栅电压相对应的阈值电压  $V_T(V)$  与使用 GaN 缓冲层上形成的 AlGaN 下部势垒层的传统半导体器件结构中的 SiN 绝缘膜的膜厚度的依赖关系的曲线图。

[0092] 附图标记说明

[0093] 40、50、60、100... 衬底

[0094] 41、51、61、101... 缓冲层

[0095] 42、52、62、102... AlGaN 下部势垒层

[0096] 43、53、63、103... GaN 沟道层

[0097] 44、54、64... AlGaN 接触层

[0098] 45、55、65... SiN 膜

[0099] 47、57、67、107... 二维电子气

[0100] 4S、5S、6S、10S... 源电极

[0101] 4D、5D、6D、10D... 漏电极

[0102] 4G、5G、6G、10G... 栅电极

[0103] 104... AlN 绝缘层

### 具体实施方式

[0104] 下文中,将更详细地说明根据本发明的半导体器件。

[0105] 根据本发明的半导体器件是:一种使用基于 III 族氮化物的半导体的半导体器件,其特征在于:

[0106] 所述半导体器件包括双异质结构,通过顺序层压由晶格匹配的  $Al_xGa_{1-x}N$  ( $0 \leq x \leq 1$ ) 组成的  $Al_xGa_{1-x}N$  下部势垒层、由具有压应变的  $In_yGa_{1-y}N$  组成的  $In_yGa_{1-y}N$  沟道层和由  $Al_zGa_{1-z}N$  ( $0 \leq z \leq 1$ ) 组成的  $Al_zGa_{1-z}N$  接触层来构造所述双异质结构,

[0107] 其中

[0108] 在  $In_yGa_{1-y}N$  沟道层与  $Al_zGa_{1-z}N$  接触层的界面附近,产生二维电子气,

[0109] 将至少两个欧姆电极形成为  $Al_zGa_{1-z}N$  接触层上的源电极和漏电极,

[0110] 栅电极设置在位于源电极和漏电极之间的区域中,并由此,所述半导体器件包括由栅电极、源电极和漏电极组成的结构,其可以构成场效应晶体管,

[0111] 通过蚀刻所述  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  去除  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层中的一部分直到暴露  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层, 来在位于源电极和漏电极之间的区域中设置凹陷部, 以及

[0112] 所述栅电极被形成为嵌入在凹陷部中, 并且插入由多晶硅或非晶态物质制成的绝缘膜。

[0113] 在这种情况下, 优选地, 所述绝缘膜是选自由  $\text{Si}_3\text{N}_4$ 、 $\text{SiO}_2$ 、 $\text{SiON}$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{Ga}_2\text{O}_3$ 、 $\text{ZnO}$ 、 $\text{MgO}$  和  $\text{HfO}_2$  组成的组中的、由多晶或非晶绝缘材料制成的单层膜或者包括由多个所述单层膜组成的层压结构的多层膜。

[0114] 在根据本发明的半导体器件中, 可以采用以下三种类型的实施例。

[0115] 在第一实施例中, 选择的所述  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层的 Al 组分大于所述  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层的 Al 组分。

[0116] 在第二实施例中, 选择如下的结构: 所述  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层掺杂有浅 n 型杂质, 以及

[0117] 当所述栅电极、所述源电极和所述漏电极被设置成相等的电势时, 则在所述  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层和所述  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层之间的界面附近, 产生二维电子气。

[0118] 在第三实施例中, 选择如下的结构: 所述  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层掺杂有浅 n 型杂质。

[0119] 例如, 当采用第一实施例和第三实施例中的任一个时, 可以实现如下的模式: 要制造的场效应晶体管的阈值电压  $V_T$  为正。

[0120] 通常, 在根据本发明的半导体器件中, 优选地选择以下的结构。

[0121] 优选地, 选择如下的结构: 所述  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层由未掺杂或者掺杂有浅 n 型杂质的  $\text{In}_y\text{Ga}_{1-y}\text{N}$  ( $0 \leq y \leq 1$ ) 制成。

[0122] 优选地, 选择如下的结构: 所述  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层、所述  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层和所述  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层中的每个是通过 C 轴生长的外延膜。

[0123] 优选地, 选择如下的结构: 由于所述  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层和所述  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层之间的异质界面处的所述  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  和所述  $\text{In}_y\text{Ga}_{1-y}\text{N}$  之间的导带能量差导致的带不连续  $\Delta E_c(\text{Al}_z\text{Ga}_{1-z}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N})$  被选择在等于或大于 50meV 的范围内。

[0124] 优选地, 选择如下的结构: 由于所述  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层和所述  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层之间的异质界面处的所述  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  和所述  $\text{In}_y\text{Ga}_{1-y}\text{N}$  之间的导带能量差导致的带不连续  $\Delta E_c(\text{Al}_z\text{Ga}_{1-z}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N})$  被选择在等于或大于 50meV 的范围内。

[0125] 优选地, 选择如下结构: 在包括在 C 轴上生长的  $\text{Al}_u\text{Ga}_{1-u}\text{N}$  ( $0 \leq u \leq 1$ ) 的缓冲层上形成所述  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层。例如, 优选地选择如下结构: 所述  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层被形成在由在衬底上形成的具有梯度组分的未掺杂的  $\text{AlGaN}$  组成的缓冲层上。还可以使用下述的层替代具有梯度组分的所述未掺杂的  $\text{AlGaN}$  作为缓冲层。例如, 可以使用其 Al 组分沿着厚度方向按阶梯方式改变的未掺杂的  $\text{AlGaN}$  层作为缓冲层。类似地, 还可以使用其中  $\text{AlGaN}$  层的膜厚度和  $\text{GaN}$  层的膜厚度之比在厚度方向上变化的未掺杂的  $\text{AlGaN}/\text{GaN}$  超晶格层作为缓冲层。可替代地, 还可以使用其中  $\text{AlN}$  层的膜厚度和  $\text{GaN}$  层的膜厚度之比在厚度方向上变化的未掺杂的  $\text{AlN}/\text{GaN}$  超晶格层作为缓冲层。

[0126] 优选地, 选择如下的结构: 所述绝缘膜的膜厚度被选择在 50nm-500nm 的范围内。

[0127] 优选地, 以下将进一步说明根据上述本发明的半导体器件中的优选实施例。

[0128] 首先, 对于所述  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层、所述  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层和所述  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触

层,使用顺序层压的外延层。

[0129] 在根据本发明的半导体器件中,在衬底上顺序地外延生长所述  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层、所述  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层和所述  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层,以组成分层的结构。在这种情况下,通过外延生长在衬底上形成缓冲层,接着,顺序地层压所述  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层、所述  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层和所述  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层。

[0130] 在通过外延生长在衬底上形成缓冲层的步骤中,优选地,首先,未掺杂的  $\text{AlN}$  薄膜被生长为下层,并且将其用作成核层。未掺杂的  $\text{AlN}$  薄膜自身被形成为绝缘薄膜的形式。接着,使用成核层作为下层,通过外延生长形成由基于 III 族氮化物的半导体组成的缓冲层。

[0131] 用作成核层的未掺杂的  $\text{AlN}$  薄膜具有的膜厚度  $t_{\text{nuclear}}$  被选择在  $10\text{nm}$ – $50\text{nm}$  的范围内。至于缓冲层,使用  $\text{Al}_u\text{Ga}_{1-u}\text{N}$  ( $0 \leq u \leq 1$ )。  $\text{Al}_u\text{Ga}_{1-u}\text{N}$  缓冲层具有的膜厚度  $t_{\text{buffer}}$  被选择在  $0.5 \mu\text{m}$ – $3 \mu\text{m}$  的范围内。在该  $\text{Al}_u\text{Ga}_{1-u}\text{N}$  缓冲层中,其  $\text{Al}$  组分  $u$  匹配与  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层的界面处的  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层的  $\text{Al}$  组分  $x$ 。

[0132] 因此,优选地选择如下结构:  $\text{Al}_u\text{Ga}_{1-u}\text{N}$  缓冲层中的晶格常数在膜厚度方向上从用于成核层的  $\text{AlN}$  的晶格常数  $a(\text{AlN})$  变成用于  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层的  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  ( $0 \leq x \leq 1$ ) 的晶格常数  $a(\text{Al}_x\text{Ga}_{1-x}\text{N})$ 。

[0133] 用于成核层的  $\text{AlN}$  的晶格常数  $a(\text{AlN})$  与用于  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层的  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  ( $0 \leq x \leq 1$ ) 的晶格常数  $a(\text{Al}_x\text{Ga}_{1-x}\text{N})$  不同。因此,对于由基于 III 族氮化物的半导体组成的缓冲层,优选地采用由未掺杂的  $\text{AlGaN}$  组成的缓冲层,其具有从衬底侧向着前表面侧变化的梯度组分。在由具有梯度组分的这种  $\text{AlGaN}$  组成的缓冲层中,  $\text{Al}$  组分 ( $x_b$ ): 衬底侧上的  $\text{Al}_{x_b}\text{Ga}_{1-x_b}\text{N}$  和  $\text{Al}$  组分 ( $x_t$ ): 前表面侧上的  $\text{Al}_{x_t}\text{Ga}_{1-x_t}\text{N}$  被设置成  $x_b > x_t$ 。具体来讲,  $\text{Al}$  组分 ( $x_t$ ): 前表面侧上的  $\text{Al}_{x_t}\text{Ga}_{1-x_t}\text{N}$  被设置成等于用于  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层的  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  ( $0 \leq x \leq 1$ ) 的  $\text{Al}$  组分 ( $x$ )。由具有梯度组分的  $\text{AlGaN}$  组成的缓冲层的前表面侧上的  $\text{Al}_{x_t}\text{Ga}_{1-x_t}\text{N}$  的晶格常数  $a(\text{Al}_{x_t}\text{Ga}_{1-x_t}\text{N})$  大于用于成核层的  $\text{AlN}$  的晶格常数  $a(\text{AlN})$ , 但是在此将  $\text{Al}$  组分的梯度设置成保持晶格弛豫。也就是说,在由具有梯度组分的  $\text{AlGaN}$  组成的缓冲层的前表面上,其晶格常数变得等于  $\text{Al}_{x_t}\text{Ga}_{1-x_t}\text{N}$  的晶格常数  $a(\text{Al}_{x_t}\text{Ga}_{1-x_t}\text{N})$ 。因此,在由具有梯度组分的  $\text{AlGaN}$  组成的缓冲层的前表面上外延生长的  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  ( $0 \leq x \leq 1$ ) 被形成为晶格弛豫状态。

[0134] 还可以采用如下的结构:用作成核层的未掺杂的  $\text{AlN}$  薄膜和  $\text{Al}_u\text{Ga}_{1-u}\text{N}$  缓冲层彼此结合,并且  $\text{Al}$  组分  $u$  逐渐从 1 减小到  $x$ 。

[0135]  $\text{Al}_u\text{Ga}_{1-u}\text{N}$  缓冲层中包含的残余杂质的浓度 ( $N_{\text{SD-buffer}}$ ) 被设置成不大于约  $1 \times 10^{17} \text{cm}^{-3}$ 。然而,为了使残余杂质的影响小于偏振效应的影响,残余杂质的浓度 ( $N_{\text{SD-buffer}}$ ) 理想地不大于  $1 \times 10^{16} \text{cm}^{-3}$ 。例如,乘积 ( $t_{\text{buffer}} \cdot N_{\text{SD-buffer}}$ ) 期望地落入在不大于  $1 \times 10^{12} \text{cm}^{-3}$  内。

[0136] 通常,在  $0.05 \leq x \leq 0.5$  的范围内选择  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层的  $\text{Al}$  组分  $x$ 。然而,在提供到  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层的载流子的浓度增加和抑制所引发错位方面,  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层的  $\text{Al}$  组分  $x$  期望选自  $0.1 \leq x \leq 0.35$  的范围内。该  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层自身的膜厚度:  $t_{\text{barrier}}$  通常被设置在  $t_{\text{barrier}}$  100nm 的范围内。

[0137]  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层可以未被掺杂或者被 N 型掺杂。当  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层中掺杂的浅 n 型杂质 (施主) 的浓度  $N_{\text{SD-barrier}}$  在  $N_{\text{SD-barrier}} \leq 1 \times 10^{12} \text{cm}^{-3}$  的范围内时,乘积

$(t_{\text{barrier}} \cdot N_{\text{SD-buffer}})$  是  $(t_{\text{barrier}} \cdot N_{\text{SD-buffer}}) \leq 1 \times 10^{12} \text{cm}^{-3}$  内。因此,由于  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层中掺杂的浅 n 型杂质 (施主) 导致的对于  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层的载流子供应是不充足的。在这种情况下,  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层掺杂有 N 型杂质,使得载流子提供到  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层。可替代地,  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层的 Al 组分 z 被设置成比  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层的 Al 组分 x 大 0.05 或更多 ( $z > x + 0.05$ ), 由此产生极化电荷, 以将载流子提供到  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层。

[0138] 另外,  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层本身可以掺杂有 N 型杂质, 使得载流子从其提供到  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层。在这种情况下, 选择  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层中的 N 型杂质的掺杂水平, 使得乘积  $(t_{\text{barrier}} \cdot N_{\text{SD-buffer}})$  被设置在  $1 \times 10^{14} \text{cm}^{-3} \geq (t_{\text{barrier}} \cdot N_{\text{SD-buffer}}) \geq 1 \times 10^{12} \text{cm}^{-3}$  内。

[0139]  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层的 In 组分 y 选自  $0.01 \leq y \leq 1$  的范围。然而, 在载流子的浓度增加和抑制所引发错位方面,  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层的 In 组分 y 期望地选自  $0.01 \leq y \leq 0.05$  的范围。当在  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层上外延生长  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层时,  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层的膜厚度  $t_{\text{channel}}$  被设置成等于或小于引发错位的临界膜厚度。然而, 在载流子的浓度增加和抑制所引发错位方面,  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层的膜厚度  $t_{\text{channel}}$  期望地选自  $5 \text{nm} \leq t_{\text{channel}} \leq 20 \text{nm}$  的范围内。

[0140]  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层可以是未掺杂的或 N 型掺杂的。当未掺杂时,  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层中包含的浅 n 型杂质 (施主) 的浓度  $N_{\text{SD-channel}}$  被设置在  $N_{\text{SD-channel}} \leq 1 \times 10^{17} \text{cm}^{-3}$  的范围内。在这种情况下, 对于  $5 \text{nm} \leq t_{\text{channel}} \leq 20 \text{nm}$  的范围, 乘积  $(t_{\text{channel}} \cdot N_{\text{SD-channel}})$  是  $(t_{\text{channel}} \cdot N_{\text{SD-channel}}) \leq 1 \times 10^{12} \text{cm}^{-3}$ 。然而, 为了使由于  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层中的残余杂质导致的载流子产生的影响小于极化效应的影响, 浓度  $N_{\text{SD-channel}}$  被设置在  $N_{\text{SD-channel}} \leq 1 \times 10^{16} \text{cm}^{-3}$  的范围内。在这种情况下, 对于  $5 \text{nm} \leq t_{\text{channel}} \leq 20 \text{nm}$  的范围, 乘积  $(t_{\text{channel}} \cdot N_{\text{SD-channel}})$  是  $(t_{\text{channel}} \cdot N_{\text{SD-channel}}) \leq 1 \times 10^{11} \text{cm}^{-3}$ 。

[0141] 通常,  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层的 Al 组分 z 选自  $0.05 \leq z \leq 0.5$  的范围内。然而, 在载流子的浓度增加和抑制所引发错位方面,  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层的 Al 组分 z 期望地选自  $0.05 \leq z \leq 0.35$  的范围内。当在  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层上外延生长  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层时,  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层的膜厚度  $t_{\text{contact}}$  被设置成等于或小于引发错位的临界膜厚度。然而, 在载流子的浓度增加和抑制所引发错位方面,  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层的膜厚度  $t_{\text{contact}}$  期望地选自  $5 \text{nm} \leq t_{\text{contact}} \leq 100 \text{nm}$  的范围内。

[0142]  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层可以是未掺杂的或 N 型掺杂的。当未掺杂时, 或者当  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层中包含的浅 n 型杂质 (施主) 的浓度  $N_{\text{SD-contact}}$  被设置在  $N_{\text{SD-contact}} \leq 1 \times 10^{17} \text{cm}^{-3}$  的范围内时,  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层的 Al 组分 z 被设置成比  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层的 Al 组分 x 大 0.05 或更多 ( $z > x + 0.05$ )。通过选择这种组分, 产生极化电荷, 以将载流体提供到  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层, 并由此在  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层和  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层之间的界面中产生二维电子气。

[0143] 在以高浓度进行 N 型掺杂的情况下, 选择  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层中包含的浅 n 型杂质 (施主) 的浓度  $N_{\text{SD-contact}}$ , 使得乘积  $(t_{\text{contact}} \cdot N_{\text{SD-contact}})$  被设置在  $1 \times 10^{14} \text{cm}^{-3} \geq (t_{\text{contact}} \cdot N_{\text{SD-contact}}) \geq 1 \times 10^{12} \text{cm}^{-3}$  的范围内。

[0144] 所述  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层、 $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层和  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层以及  $\text{Al}_u\text{Ga}_{1-u}\text{N}$  缓冲层和 AlN 成核层由具有六方晶体系统 (纤锌矿结构) 的外延膜形成。在表 2 中总结了具有六方晶体系统的基于 III 族氮化物的半导体: AlN、GaN 和 InN 的结构常数和物理常数的一部分。

[0145] [表 2]

[0146] 结构常数和物理常数 (纤锌矿型晶体)

[0147]

	AlN	GaN	InN
晶格常数 a (Å)	3.112	3.189	3.540
c (Å)	4.982	5.185	5.760
线性热膨胀系数 ( $10^{-6}/k$ )	a//5.27	a//5.59	a//5.7
	c//4.15	c//3.17	c//3.7
自发极化 $P_{SP}[C/m^2]$	-0.081	-0.029	-0.032
压电常数 $e_{31}[C/M^2]$	-0.60	-0.49	-0.57
压电常数 $e_{33}[C/M^2]$	1.46	0.73	0.97
弹性常数 $C_{13}[GPa]$	120	70	121
弹性常数 $C_{33}[GPa]$	395	379	182
带隙[eV]	6.2	3.39	1.89

[0148] 表 3-1 中列出的衬底通常被称为可以用于基于 III 族氮化物的半导体的外延生长的衬底。表 3-2 列出衬底材料的电特性。

[0149] [表 3-1]

[0150] 用于基于 III 族氮化物的半导体的外延生长的衬底材料的晶体结构参数

[0151]

衬底材料	晶体系统	晶格常数 (Å)	线性热膨胀系数 ( $K^{-1}$ )
6H-SiC	六方晶体	a=3.08	a// $4.2 \times 10^{-6}$
		c=15.12	c// $4.8 \times 10^{-6}$
4H-SiC	六方晶体	a=3.09	a// $4.2 \times 10^{-6}$
		c=10.08	c// $4.7 \times 10^{-6}$
3C-SiC	立方晶体	a=4.36	a// $4.7 \times 10^{-6}$
a-Al <sub>2</sub> O <sub>3</sub>	六方晶体	a=4.758	a// $7.5 \times 10^{-6}$
		c=12.991	c// $8.5 \times 10^{-6}$
Si	金刚石结构	a=5.431	a// $4.08 \times 10^{-6}$
ZnO	六方晶体	a=3.240	a// $2.9 \times 10^{-6}$
		c=5.195	c// $4.75 \times 10^{-6}$
AlN	六方晶体	a=3.112	a// $2.9 \times 10^{-6}$
		c=4.982	c// $3.4 \times 10^{-6}$



[0152] [表 3-2]

[0153] 用于基于 III 族氮化物半导体的外延生长的衬底材料的热特性和电特性

[0154]

衬底材料	导热系数 (W/mK)	特定电容率 $\epsilon_r$	电阻率 ( $\Omega\cdot\text{cm}$ )
6H-SiC	$4.9\times 10^{-2}$	c//10.2 c $\perp$ 9.7	半导体: $10^6$ 的数量级
4H-SiC	$4.9\times 10^{-2}$	c//10.2 c $\perp$ 9.7c=10.08	半导体: $10^6$ 的数量级
3C-SiC	$4.9\times 10^{-2}$	9.72	半导体: $10^6$ 的数量级
a-Al <sub>2</sub> O <sub>3</sub>	$0.2\times 10^{-2}$	c//9.34 c $\perp$ 11.54	绝缘体: $>10^{14}$
Si	$1.5\times 10^{-2}$	3.75(100)	半导体 $\leq 2.3\times 10^{-5}$
ZnO	$0.234\times 10^{-2}$	8.5	半导体: $10^6$ 的数量级
AlN	$2.2\times 10^{-2}$	10.7	绝缘体: $10^{10}$ 的数量级

[0155] 注意的是,当在各种衬底的表面上时,AlN 层生长作为成核层,其晶体取向之间的关系如表 3-3 中所报道的。

[0156] [表 3-3]

[0157] 各种衬底表面上 C 轴生长的六方晶体 AlN 的晶体取向和衬底表面之间的关系

[0158]

衬底表面的取向	六方晶体 AlN 的晶体取向 // 衬底的晶体取向
SiC c(0001)	(0001) [2110] // (0001) [2110]
$\alpha$ -Al <sub>2</sub> O <sub>3</sub> c(0001)	(0001) [1100] // (0001) [2110]
$\alpha$ -Al <sub>2</sub> O <sub>3</sub> r(0112)	(2110) [0001] // (0112) [0111]
$\alpha$ -Al <sub>2</sub> O <sub>3</sub> a(2110)	(0001) [1100] // (2110) [0001]
Si o(111)	(0001) [2110] // (111) [110]
Si a(100)	(0001) [2110] // (100) [011]

[0159] 在根据本发明的半导体器件中,所述 Al<sub>x</sub>Ga<sub>1-x</sub>N 下部势垒层、In<sub>y</sub>Ga<sub>1-y</sub>N 沟道层和 Al<sub>z</sub>Ga<sub>1-z</sub>N 接触层以及由具有梯度组分的 AlGa<sub>1-z</sub>N 组成的缓冲层中的每个优选地是 C 轴生长的外延膜。因此,对于衬底上形成的 AlN 成核层而言,优选地使用能够 C 面生长的衬底。因此,对于衬底而言,优选地使用具有 SiC 的 C 面 ((0001) 面) 的衬底、具有蓝宝石 ( $\alpha$ -Al<sub>2</sub>O<sub>3</sub>) 的 C 面 ((0001) 面) 的衬底、具有 Si 的 (111) 面的衬底以及具有 AlN 或 GaN 的 C 面 ((0001) 面) 的衬底。SiC 衬底适于用于高温生长的基础衬底,另外,容易可用的是直径大的 SiC 衬底,使得这是用于形成上述的多层外延膜的最适用的衬底之一。

[0160] 在根据本发明的半导体器件中,在 Al<sub>z</sub>Ga<sub>1-z</sub>N 接触层上至少形成两个欧姆电极作为源电极和漏电极。为了形成欧姆电极,例如,在 Al<sub>z</sub>Ga<sub>1-z</sub>N 接触层的前表面上沉积诸如钛 (Ti)、铝 (Al)、镍 (Ni)、金 (Au) 等的金属,然后对其进行构图。然后,在氮气的气氛中,金属在 850°C 的温度下经受合金化处理 (例如) 30 秒,以与之形成欧姆接触。

[0161] 至于用于在  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层上形成欧姆电极的条件,例如,可以采用以下条件中的任一种:Ti (15nm)/Al (60nm)/Nb (35nm)/Au (50nm), 烧结温度:850 °C;Ti (25nm)/Al (200nm)/Ni (40nm)/Au (15nm), 烧结温度:900 °C;Ti (15nm)/Al (60nm)/Mo (35nm)/Au (59nm), 烧结温度:850 °C;Ti (20nm)/Al (120nm)/Ti (40nm)/Au (10nm), 烧结温度:900 °C。

[0162] 在位于源电极和漏电极之间的区域中设置栅电极。通过栅电极、源电极和漏电极,提供能够构造场效应晶体管的结构。

[0163] 在根据本发明的半导体器件中,在栅电极正下方的沟道区中,构造栅电极/绝缘膜/ $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层的 MIS 结构。具体来讲,蚀刻掉  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层的一部分,直到暴露  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层,由此形成凹陷部。在该凹陷部中,栅电极被形成为被嵌入,并且插入由多晶硅或非晶物质构成的绝缘膜。

[0164] 在形成凹陷部中,选择性地蚀刻掉  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层的一部分,由此暴露  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层的前表面。当选择性地蚀刻掉  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层的一部分时,可以使用反应离子蚀刻法等方法,在所述方法中,例如,将基于  $\text{Cl}_2$  的气体用作选择性蚀刻气体。

[0165] 在凹陷蚀刻  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  层的步骤中,可以采用电感耦合等离子体 (ICP) 蚀刻法和反应离子蚀刻 (RIE) 法。在这种情况下,可以采用  $\text{BCl}_3$ 、 $\text{Cl}_2$ 、 $\text{CCl}_4$  等作为反应气体。

[0166] 当使用所述气相蚀刻法时,可以将取决于晶体取向的蚀刻速率的各向异性成功地用于使凹陷部的侧壁倾斜。注意的是,如果偏置电力被设置成小于预定值,则可以抑制取决于晶体取向的蚀刻速率的各向异性,并由此,还可以得到小角度的倾斜。也就是说,还可以采用如下结构:凹陷部的侧壁表面的倾斜角被设置成等于或小于 90 度。

[0167] 参照  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层的膜厚度  $t_{\text{contact}}$ ,要形成的凹陷部的深度  $d_{\text{recess}}$  被设置成  $d_{\text{recess}} > t_{\text{contact}}$ 。注意的是,凹陷部的深度  $d_{\text{recess}}$  与  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层的膜厚度  $t_{\text{contact}}$  之间的差 ( $d_{\text{recess}} - t_{\text{contact}}$ ) 优选地被设置成大于数纳米,以确保面内均匀性。

[0168] 当然,参照  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层的膜厚度  $t_{\text{channel}}$ , ( $d_{\text{recess}} - t_{\text{contact}}$ ) 选自 ( $d_{\text{recess}} - t_{\text{contact}}$ )  $< t_{\text{channel}}$  的范围内。

[0169] 在满足上述必要条件的范围内,例如,参照  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层的膜厚度  $t_{\text{contact}}$ , ( $d_{\text{recess}} - t_{\text{contact}}$ ) 可以选自  $2 \cdot t_{\text{contact}} \geq (d_{\text{recess}} - t_{\text{contact}}) \geq 1/10 \cdot t_{\text{contact}}$  的范围内。例如,如果选择 ( $d_{\text{recess}} - t_{\text{contact}}$ )  $\approx 1/2 \cdot t_{\text{contact}}$  的条件,则即使蚀刻速率存在面内分布,也可以使凹陷部的底表面平坦化。

[0170] 另一方面,用于形成凹陷部的掩模开口的宽度  $W_{\text{opening}}$  和实际形成的凹陷部的宽度  $W_{\text{recess}}$  之间的差 ( $W_{\text{recess}} - W_{\text{opening}}$ ) 由侧蚀刻量  $\Delta W_{\text{side-etch}}$  引起。也就是说, ( $W_{\text{recess}} - W_{\text{opening}}$ ) =  $2 \cdot \Delta W_{\text{side-etch}}$ 。通常,随着在深度方向上的蚀刻量的增加,即,随着凹陷部的深度  $d_{\text{recess}}$  增加,侧蚀刻量  $\Delta W_{\text{side-etch}}$  也增加。

[0171] 因此,为了减小沟道长度,与凹陷部的宽度  $W_{\text{recess}}$  相比,过蚀刻量 ( $d_{\text{recess}} - t_{\text{contact}}$ ) 优选地充分减小。

[0172] 例如,如果过蚀刻量 ( $d_{\text{recess}} - t_{\text{contact}}$ ) 大于凹陷部的底表面上绝缘膜的膜厚度  $t_{\text{insulator}}$ : ( $d_{\text{recess}} - t_{\text{contact}}$ )  $> t_{\text{insulator}}$ , 则栅电极的下端位于  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层/ $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层下方。在这种情况下,在凹陷部的侧壁表面上,使栅电极接近  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层/ $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层的界面,并且插入绝缘膜。也就是说,由于其间插入在凹陷部的侧壁表面上形成的绝缘膜,因此构造出栅电极/绝缘膜/( $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层/ $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层的界面) 的 MIS 结构。

具体来讲,即使当选择的是在 $\text{Al}_z\text{Ga}_{1-z}\text{N}$ 接触层中掺杂浅n型杂质的结构时,则无论凹陷部的侧壁表面上形成的绝缘膜的膜厚度 $t_{\text{insulator-well}}$ 如何,所述MIS结构部分中的泄漏电流也决不会达到导致问题的水平。

[0173] 注意的是,当通过使用采用曝光的光刻工艺形成蚀刻掩模时,其开口的宽度 $W_{\text{opening}}$ 选自 $W_{\text{opening}} \geq 500\text{nm}$ 的范围内。另一方面,当通过使用电子束曝光工艺形成蚀刻掩模时,其开口的宽度 $W_{\text{opening}}$ 还可以被设置成等于或小于 $500\text{nm}$ 。

[0174] 实际形成的凹陷部的宽度 $W_{\text{recess}}$ 限定源和漏之间的沟道区的深度 $L_{\text{channel}}$ 。也就是说,设置成 $W_{\text{recess}} \approx L_{\text{channel}}$ 。根据器件的应用模式(工作电压 $V_{\text{SD}}$ 、工作频率 $f_{\text{T}}$ )选择沟道区的长度 $L_{\text{channel}}$ 。例如,对于RF前端应用( $V_{\text{SD}} = 1\text{V}-100\text{V}$ 、 $f_{\text{T}} = 1\text{GHz}-100\text{GHz}$ ),长度 $L_{\text{channel}}$ 选自 $L_{\text{channel}} \approx W_{\text{recess}} = 0.05-1 \mu\text{m}$ 的范围内;以及对于功率控制应用( $V_{\text{SD}} = 10\text{V}-1000\text{V}$ 、 $f_{\text{T}} = 100\text{Hz}-1\text{MHz}$ ),其选自 $L_{\text{channel}} \approx W_{\text{recess}} = 1-100 \mu\text{m}$ 的范围内。

[0175] 用于形成栅电极的绝缘膜被形成为使其覆盖凹陷部的底表面和其侧壁表面。另外,在位于源电极和漏电极之间的区域中,除了凹陷部之外存在于平坦区域上的 $\text{Al}_z\text{Ga}_{1-z}\text{N}$ 接触层的前表面也涂覆有绝缘膜。

[0176] 当参照凹陷部的深度 $d_{\text{recess}}$ ,凹陷部的底表面上绝缘膜的膜厚度 $t_{\text{insulator}}$ 选自 $t_{\text{insulator}} < d_{\text{recess}}$ 的范围内时,栅电极的下端低于 $\text{Al}_z\text{Ga}_{1-z}\text{N}$ 接触层的上表面。因此,栅电极被形成为完全嵌入在凹陷部中,并且插入绝缘膜。

[0177] 当参照凹陷部的深度 $d_{\text{recess}}$ ,凹陷部的底表面上绝缘膜的膜厚度 $t_{\text{insulator}}$ 选自 $t_{\text{insulator}} > d_{\text{recess}}$ 的范围内时,栅电极的下端高于 $\text{Al}_z\text{Ga}_{1-z}\text{N}$ 接触层的上表面。另外,在这种情况下,栅电极被形成在凹陷部中,以嵌入在与凹陷部的形状相对应的绝缘膜的前表面的凹进部中。

[0178] 优选地,被形成为嵌入在凹陷部中并且其间插入该绝缘膜的栅电极被成形为与绝缘膜上要制造的所谓场板电极一体化,所述绝缘膜还覆盖 $\text{Al}_z\text{Ga}_{1-z}\text{N}$ 接触层的上表面。用作场板电极的部分被成形为从凹陷部的侧壁部向着漏侧延伸至少 $0.2 \mu\text{m}$ 或更多。例如,对于从凹陷部的侧壁部开始的延伸形状,除了向着漏侧的延伸之外,可以选择还向着源侧提供延伸。

[0179] 用作场板电极的部分与 $\text{Al}_z\text{Ga}_{1-z}\text{N}$ 接触层的上表面重叠,并且插入绝缘膜,这构成MIS结构。以与栅电极的电势相同的电势将该场板电极部偏置,并且该场板电极部对电场集中具有驰豫效应。在漏侧和源侧上, $\text{Al}_z\text{Ga}_{1-z}\text{N}$ 接触层和场板电极部的重叠长度 $L_{\text{FP-D}}$ 和 $L_{\text{FP-S}}$ 都被设置成(例如) $L_{\text{FP-D}} = L_{\text{FP-S}} \geq 0.2 \mu\text{m}$ 。因此,其中场板电极部和栅电极彼此一体化的栅电极的上表面侧的长度 $L_{\text{G-TOP}}$ 选自 $L_{\text{G-TOP}} = L_{\text{channel}} + (L_{\text{FP-D}} + L_{\text{FP-S}}) \geq L_{\text{channel}} + 0.4 \mu\text{m}$ 的范围内。

[0180] 当然,漏侧的栅电极的上表面与漏电极之间的距离 $\Delta L_{\text{GD}}$ 和源侧的栅电极的上表面与源电极之间的距离 $\Delta L_{\text{GS}}$ 被设置成 $\Delta L_{\text{GD}}, \Delta L_{\text{GS}} \geq 0.5 \mu\text{m}$ ,以避免绝缘击穿。在这种情况下,漏电极和源电极之间的距离 $W_{\text{S-D}}$ 是 $W_{\text{S-D}} = L_{\text{G-TOP}} + (\Delta L_{\text{GD}} + \Delta L_{\text{GS}}) = L_{\text{channel}} + (L_{\text{FP-D}} + L_{\text{FP-S}}) + (\Delta L_{\text{GD}} + \Delta L_{\text{GS}})$ 。因此,上表面侧上的栅电极的长度 $L_{\text{G-TOP}}$ 选自 $W_{\text{S-D}} - 1.0 \mu\text{m} \geq L_{\text{G-TOP}} \geq L_{\text{channel}} + 0.4 \mu\text{m}$ 的范围内。

[0181] 假设凹陷部的宽度为 $W_{\text{recess}}$ 并且凹陷部的侧壁表面上形成的绝缘膜的膜厚度为 $t_{\text{insulator-well}}$ ,则被形成为被嵌入在凹陷部中并且插入绝缘膜的栅电极的有效栅长度 $L_{\text{G-effect}}$

为  $L_{G\text{-effect}} \approx W_{\text{recess}} - 2 \times t_{\text{insulator-well}}$ 。

[0182] 因此,栅电极的有效栅长度  $L_{G\text{-effect}}$  与底表面上的凹陷部的绝缘膜的膜厚度  $t_{\text{insulator}}$  之比为  $L_{G\text{-effect}}/t_{\text{insulator}} \approx (W_{\text{recess}} - 2 \times t_{\text{insulator-well}})/t_{\text{insulator}}$ 。通常,该比率  $L_{G\text{-effect}}/t_{\text{insulator}}$  选自  $(L_{G\text{-effect}}/t_{\text{insulator}}) \geq 3$  的范围内,期望地选自  $(L_{G\text{-effect}}/t_{\text{insulator}}) \geq 10$  的范围内。

[0183] 另一方面,当参照凹陷部的深度  $d_{\text{recess}}$ ,底表面上的凹陷部的绝缘膜的膜厚度  $t_{\text{insulator}}$  选自  $t_{\text{insulator}} \geq d_{\text{recess}}$  的范围内时,栅电极的下端高于  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层的上表面。在这种情况下,凹陷部的底表面上绝缘膜的上表面和  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层的上表面(平坦部)上绝缘膜的上表面之间存在高度差。因此,存在覆盖凹陷部的绝缘膜的上表面上的凹进部。因此,栅电极被形成为被嵌入在存在于凹陷部中的绝缘膜的上表面上的凹进部中,并且其间插入绝缘膜。

[0184] 在这种情况下,假设  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层的上表面(平坦部)上的绝缘膜的膜厚度为  $t_{\text{insulator-flat}}$ ,则存在于凹陷部中的绝缘膜的上表面上的凹进部的宽度  $W_{\text{dent}}$  大致为  $W_{\text{dent}} \approx W_{\text{recess}} - 2 \times t_{\text{insulator-well}}$ 。被形成为嵌入在绝缘膜的上表面上的凹进部中的栅电极的有效栅长度  $L_{G\text{-effect}}$  为  $L_{G\text{-effect}} \approx W_{\text{dent}} \approx W_{\text{recess}} - 2 \times t_{\text{insulator-well}}$ 。

[0185] 因此,栅电极的有效栅长度  $L_{G\text{-effect}}$  与凹陷部的底表面上绝缘膜的膜厚度  $t_{\text{insulator}}$  之比为  $L_{G\text{-effect}}/t_{\text{insulator}} \approx (W_{\text{recess}} - 2 \times t_{\text{insulator-well}}/t_{\text{insulator}})$ 。另外,当参照凹陷部的深度  $d_{\text{recess}}$ ,凹陷部的底表面上绝缘膜的膜厚度  $t_{\text{insulator}}$  选自  $t_{\text{insulator}} \geq d_{\text{recess}}$  的范围内时,通常比率  $L_{G\text{-effect}}/t_{\text{insulator}}$  选自  $(L_{G\text{-effect}}/t_{\text{insulator}}) \geq 3$  的范围内,优选地选自  $(L_{G\text{-effect}}/t_{\text{insulator}}) \geq 10$  的范围内。

[0186] 另外,当参照凹陷部的深度  $d_{\text{recess}}$ ,凹陷部的底表面上绝缘膜的膜厚度  $t_{\text{insulator}}$  选自  $t_{\text{insulator}} \geq d_{\text{recess}}$  的范围内时,比率  $L_{G\text{-effect}}/d_{\text{recess}}$  选自  $(L_{G\text{-effect}}/d_{\text{recess}}) \geq 3$  的范围内,优选地选自  $(L_{G\text{-effect}}/d_{\text{recess}}) > 10$  的范围内。

[0187] 在这种情况下,根据器件的应用模式(工作电压  $V_{\text{SD}}$ 、栅电压  $V_{\text{G}}$ 、栅击穿电压  $V_{\text{G-breakdown}}$ )选择绝缘膜的膜厚度  $t_{\text{insulator}}$ 。例如,优选地,对于 RF 前端应用,绝缘膜的膜厚度  $t_{\text{insulator}}$  选自  $t_{\text{insulator}} = 5\text{-}50\text{nm}$  的范围内;以及对于功率控制应用,其选自  $t_{\text{insulator}} = 50\text{-}500\text{nm}$  的范围内。

[0188] 例如,当膜厚度  $t_{\text{insulator}}$  选自  $t_{\text{insulator}} \ll d_{\text{recess}}$  的范围内时,凹陷部的侧壁表面上形成的绝缘膜的膜厚度  $t_{\text{insulator-well}}$  不同于底表面上的绝缘膜的膜厚度  $t_{\text{insulator}}$ 。例如,当在形成绝缘膜的步骤中使用例如溅射、PE-CVD(等离子体增强化学气相沉积)等的气相沉积法时,会存在沿着膜厚度出现各向异性的情况。当沿着膜厚度出现各向异性时,  $t_{\text{insulator-well}}$  与  $t_{\text{insulator}}$  之比为  $t_{\text{insulator-well}}/t_{\text{insulator}} < 1$ 。在这种情况下,为了确保栅击穿,即使是对于 RF 前端应用而言,  $t_{\text{insulator-well}}$  被设置成等于或大于 2nm。

[0189] 当膜厚度  $t_{\text{insulator}}$  选自  $t_{\text{insulator}} < d_{\text{recess}}$  的范围内时,会存在如下的一些情况:栅电极的下端可以例如低于  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层的上表面并且高于其下表面。在这种情况下,在凹陷部的侧壁表面上,构造出栅电极/绝缘膜/ $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层的 MIS 结构。具体来讲,即使当选择其中  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层中掺杂浅 n 型杂质的结构时,只要侧壁表面上形成的绝缘膜的膜厚度  $t_{\text{insulator-well}}$  满足条件  $t_{\text{insulator-well}} \geq 2\text{nm}$ ,则所述 MIS 结构部分中的泄漏电流决不会处于导致问题的水平。

[0190] 栅电极的有效栅长度  $L_{G\text{-effect}}$  对应于  $L_{G\text{-effect}} \approx (W_{\text{recess}} - 2 \times t_{\text{insulator}})$ 。当栅长度  $L_{G\text{-effect}}$  被设置在  $(L_{G\text{-effect}}/t_{\text{insulator}}) \geq 3$  的范围内时,例如对于 RF 前端应用 ( $V_{SD} = 1V-100V$ ,  $f_T = 1GHz-100GHz$ ),如果长度  $L_{\text{channel}}$  选自  $L_{\text{channel}} \approx W_{\text{recess}} - = 0.05-1 \mu m$  的范围内,则  $L_{G\text{-effect}}$  在  $0.03-1 \mu m$  的范围内。对于功率应用 ( $V_{SD} = 10V-1000V$ ,  $f_T = 100Hz-1MHz$ ),如果长度  $L_{\text{channel}}$  选自  $L_{\text{channel}} \approx W_{\text{recess}} - = 1-100 \mu m$  的范围内,则  $L_{G\text{-effect}}$  在  $1-100 \mu m$  的范围内。

[0191] 栅电极正下方的沟道区中的绝缘膜用于构造栅电极 / 绝缘膜 /  $In_yGa_{1-y}N$  沟道层的 MIS 结构。在栅电极 / 绝缘膜的界面中,产生势垒  $\phi_{M/1}$  (接触电势差),所述势垒  $\phi_{M/1}$  与栅电极中与绝缘膜的前表面接触的金属材料  $M_{\text{gate}}$  的功函数  $e\phi(M_{\text{gate}})$  eV 和绝缘膜的前表面上的绝缘材料  $I_{\text{front}}$  的电子亲和力  $e\chi(I_{\text{front}})$  eV 之间的差  $(e\chi(I_{\text{front}}) - e\phi(M_{\text{gate}}))$  eV 相对应。在绝缘膜 /  $In_yGa_{1-y}N$  沟道层的界面中,产生势垒  $\phi_{1/S}$  (接触电势差),所述势垒  $\phi_{1/S}$  对应于绝缘膜的后表面上的绝缘材料  $I_{\text{rear}}$  的功函数的电子亲和力  $e\chi(I_{\text{rear}})$  eV 与  $In_yGa_{1-y}N$  沟道层的电子亲和力  $e\chi(In_yGa_{1-y}N)$  eV 之间的差  $(e\chi(I_{\text{rear}}) - e\chi(In_yGa_{1-y}N))$  eV。

[0192] 在根据本发明的半导体器件中,没有表现出极化效应的绝缘材料用作用于构成绝缘膜的绝缘材料。对于没有表现出极化效应的绝缘材料,可以使用  $Si_3N_4$ 、 $SiO_2$ 、 $Si_{1-x-y}O_xN_y$ 、 $Ga_2O_3$ 、氧化铝 ( $Al_2O_3$ )、氧化锌 (ZnO)、氧化镁 (MgO) 和氧化铪 ( $HfO_2$ ) 中的任一种。

[0193] 另外,在根据本发明的半导体器件中,势垒  $\phi_{M/1}$  被设置在  $\phi_{M/1} \geq 1eV$  的范围内。为了满足该需要,选择与绝缘膜的前表面接触的金属材料  $M_{\text{gate}}$  和绝缘膜的前表面的绝缘材料  $I_{\text{front}}$  的组合。例如,当将 Ti 选择作为与绝缘膜的前表面接触的金属材料  $M_{\text{gate}}$  时,则可以使用  $Si_3N_4$ 、 $SiO_2$ 、 $Si_{1-x-y}O_xN_y$ 、 $Ga_2O_3$ 、氧化铝 ( $Al_2O_3$ )、氧化锌 (ZnO)、氧化镁 (MgO) 和氧化铪 ( $HfO_2$ ) 中的任一种作为绝缘膜的前表面的绝缘材料  $I_{\text{front}}$ 。

[0194] 另外,势垒  $\phi_{1/S}$  被设置在  $\phi_{1/S} \geq 1eV$  的范围内。为了满足该需要,对于具有  $In_yGa_{1-y}N$  沟道层的压应变的  $In_yGa_{1-y}N$  ( $0 \leq y \leq 1$ ),选择绝缘膜的后表面的绝缘材料  $I_{\text{rear}}$ 。例如,对于具有压应变的 GaN,可以使用  $Si_3N_4$ 、 $SiO_2$ 、 $Si_{1-x-y}O_xN_y$ 、 $Ga_2O_3$ 、氧化铝 ( $Al_2O_3$ )、氧化锌 (ZnO)、氧化镁 (MgO) 和氧化铪 ( $HfO_2$ ) 中的任一种作为绝缘膜的前表面的绝缘材料  $I_{\text{front}}$ 。

[0195] 当选择相同的绝缘材料作为绝缘膜的前表面的绝缘材料  $I_{\text{front}}$  和绝缘膜的后表面的绝缘材料  $I_{\text{rear}}$  时,由一种绝缘材料构成的单层膜用于绝缘膜。该绝缘膜被构造为具有层压的膜结构,在所述层压的膜结构中,当不同的绝缘材料被选择用于绝缘膜的前表面的绝缘材料  $I_{\text{front}}$  和绝缘膜的后表面的绝缘材料  $I_{\text{rear}}$  时,层压由彼此不同的绝缘材料构成的膜。

[0196] 当由一种绝缘材料构成的单层膜用于绝缘膜时,优选地选择  $Si_3N_4$ 、 $SiO_2$  和  $Al_2O_3$  中的任一种。

[0197] 优选地,包括凹陷部的侧壁表面上沉积的其一部分的绝缘膜被形成为具有均匀的膜厚度。基于绝缘膜的目标膜厚度  $t_{\text{insulator}}$  和膜厚度的可允许的可控性,选择用于沉积绝缘膜的方法。例如,基于用于形成绝缘膜的绝缘材料及其膜厚度,可以从等离子体激发 (PE-) CVD 法、热 CVD 法、射频 (RF-) CVD 法、原子层 (AL-) CVD 法、DC 溅射法、RF 溅射法和电子回旋共振 (ECR) 溅射法之中,选择沉积方法。

[0198] 对于用于形成绝缘膜的绝缘材料,即,绝缘膜的前表面的绝缘材料  $I_{\text{front}}$  和绝缘膜的后表面的绝缘材料  $I_{\text{rear}}$ ,可以使用具有多晶形式和非晶形式中的任一种的膜,只要对于其电子亲和力  $e\chi(I_{\text{front}})$  eV 和  $e\chi(I_{\text{rear}})$  eV 的要求得以满足即可。

[0199] 绝缘膜的后表面的绝缘材料  $I_{\text{rear}}$  接触  $In_yGa_{1-y}N$  沟道层的前表面。由于绝缘膜的

后表面的绝缘材料  $I_{\text{rear}}$  在  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层的前表面上要形成多晶形式或非晶形式, 在没有在具有压应变的  $\text{In}_y\text{Ga}_{1-y}\text{N}$  ( $0 \leq y \leq 1$ ) 上外延生长的条件下进行沉积。结果, 在  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层和绝缘膜的后表面的绝缘材料  $I_{\text{rear}}$  之间的界面中, 产生界面状态 (电子捕获级)。

[0200] 界面状态 (电子捕获级) 用于补偿由于  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层的前表面上的极化 (压电、自发的) 导致的负电荷的全部或任何部分。为了实现该情形, 在  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层和绝缘膜之间的界面中, 所谓的施主型界面状态必须以大约  $1 \times 10^{12} \text{cm}^{-2}$  的面密度存在, 当从其发射电子时, 该界面状态变成被正充电。例如, 文献 (Y. Ohno et al., Appl. Phys. Lett., Vol. 84, p. 2184 (2004)) 报道在基于 GaN 的半导体和诸如  $\text{SiO}_2$  和  $\text{Si}_3\text{O}_4$  的绝缘膜之间的界面中, 施主界面状态以大约  $1 \times 10^{12} \text{cm}^{-2}$  的面密度  $\sigma_{\text{ss}}$  存在。因此, 已知的是, 由于极化导致的负电荷的所有或任意部分由施主型界面状态补偿。

[0201] 在根据本发明的半导体器件中, 以下不是优选的状态: 当在  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层的前表面上时, 形成由绝缘膜的后表面的绝缘材料  $I_{\text{rear}}$  构成的膜, 然后由于构成该绝缘材料  $I_{\text{rear}}$  的元素导致产生深 n 型杂质 (深施主) 水平被引入到  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层的前表面附近。从这个观点来看, 优选地使用  $\text{Si}_3\text{N}_4$  作为绝缘膜的后表面的绝缘材料  $I_{\text{rear}}$ 。当在  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层的前表面上时, 由  $\text{Si}_3\text{N}_4$  构成的绝缘膜被形成由绝缘膜的后表面的绝缘材料  $I_{\text{rear}}$  构成的膜, 以及同时选择  $\text{Si}_3\text{N}_4$  用于绝缘膜的前表面的绝缘材料  $I_{\text{front}}$ , 然后整个绝缘膜被形成由  $\text{Si}_3\text{N}_4$  构成的单层。当在  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层的前表面上时, 由  $\text{Si}_3\text{N}_4$  构成的绝缘膜被形成绝缘膜的后表面的绝缘材料  $I_{\text{rear}}$  构成的膜, 同时选择除了  $\text{Si}_3\text{N}_4$  之外的绝缘材料用于绝缘膜的前表面的绝缘材料  $I_{\text{front}}$ , 然后绝缘膜被形成多层膜, 在所述多层膜中, 由其他绝缘材料构成的膜被层压在由  $\text{Si}_3\text{N}_4$  构成的膜上。

[0202] 作为栅电极中与绝缘膜的前表面的绝缘材料  $I_{\text{front}}$  接触的金属材料  $M_{\text{gate}}$ , 优选地, 在可以满足上述的势垒  $\Phi_{\text{M}/\text{I}}$  的范围的金属材料之中, 采用与绝缘材料  $I_{\text{front}}$  具有高粘附性的金属。例如, 作为与绝缘膜的前表面的绝缘材料  $I_{\text{front}}$  接触的金属材料  $M_{\text{gate}}$ , 优选地使用诸如 Ti、Cr、Ni、Pt 和 Pd 的与绝缘材料  $I_{\text{front}}$  具有高粘附性的金属。

[0203] 栅电极可以具有如下的结构: 在与绝缘膜的前表面的绝缘材料  $I_{\text{front}}$  接触金属材料  $M_{\text{gate}}$  上, 层压另一种金属材料的层。该上层, 即另一种金属材料的层, 用于均匀地向整个栅电极施加栅电压, 并且用作主导电金属层。用于该主导电金属层 (上层) 的金属材料  $M_{\text{top}}$  优选地是具有高导电率的金属材料。对于金属材料  $M_{\text{top}}$ , 优选地使用诸如 Au、Pt 和 Cu 的低阻金属。

[0204] 通常, 与由金属材料  $M_{\text{top}}$  构成的上层的相比, 由金属材料  $M_{\text{gate}}$  构成的下层的膜厚度被减薄。因此, 如果在两个层之间都出现金属原子的扩散, 则这两个层的合金都将与绝缘膜的前表面的绝缘材料  $I_{\text{front}}$  接触。为了防止该扩散, 优选地在这两个层之间设置扩散阻挡金属层。用于扩散阻挡金属层的金属材料  $M_{\text{middle}}$  是具有其中金属原子的扩散得以抑制的特性的金属材料。因此, 作为用于扩散阻挡金属层的金属材料  $M_{\text{middle}}$ , 通常, 优选地使用诸如 Pt、Mo、Nb 和 W 的熔点高的金属。

[0205] 例如, 当绝缘膜的前表面的绝缘材料  $I_{\text{front}}$  与绝缘膜的后表面的绝缘材料  $I_{\text{rear}}$  相同并且栅电极和源电极以及漏电极被设置为相等电势时, 考虑绝缘膜的膜厚度  $t_{\text{insulator}}$  极度减薄的特定情况。在这种情况下,  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层的导带边  $E_{\text{c-front}}$  和与绝缘膜的后表面的绝缘材料  $I_{\text{rear}}$  的界面中的费米能级  $E_{\text{f}}$  之间的能量差 ( $E_{\text{c-front}} - E_{\text{f}}$ ) 可以由 ( $E_{\text{c-front}} - E_{\text{f}}$ )

)  $\approx (e \times (\text{In}_y\text{Ga}_{1-y}\text{N}) - e \phi (M_{\text{gate}})) \text{eV}$  来近似计算, 该公式利用与绝缘膜的前表面接触的金属材料  $M_{\text{gate}}$  的功函数  $e \phi (M_{\text{gate}})$  和  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层的电子亲和力  $e \times (\text{In}_y\text{Ga}_{1-y}\text{N})$  之间的差  $(e \times (\text{In}_y\text{Ga}_{1-y}\text{N}) - e \phi (M_{\text{gate}})) \text{eV}$ 。在这种情况下, 更优选地, 满足  $(e \times (\text{In}_y\text{Ga}_{1-y}\text{N}) - e \phi (M_{\text{gate}})) \text{eV} \geq 1 \text{eV}$  的条件。

[0206] 由具有梯度组分的  $\text{AlGaN}$  构成的缓冲层是未被掺杂的层。在这种情况下, 由具有梯度组分的  $\text{AlGaN}$  构成的缓冲层中存在的浅 n 型杂质 (施主) 的浓度  $N_{\text{SD-buffer}}$  更优选地在  $N_{\text{SD-buffer}} \leq 1 \times 10^{16} \text{cm}^{-3}$  的范围内。

[0207] 具有梯度组分的  $\text{AlGaN}$  构成的缓冲层的前表面侧的 Al 组分 ( $x_t$ ) 与用于  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层的  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  ( $0 \leq x \leq 1$ ) 的晶格弛豫的 Al 组分 ( $x$ ) 匹配。

[0208] 作为包括沿着 C 轴生长的  $\text{Al}_u\text{Ga}_{1-u}\text{N}$  ( $0 \leq u \leq 1$ ) 的部势垒层, 还可以使用以下的层来替代由具有梯度组分的所述未掺杂的  $\text{AlGaN}$  构成的缓冲层。例如, 可以使用未掺杂的  $\text{AlGaN}$  层作为缓冲层, 该  $\text{AlGaN}$  层沿着厚度方向按阶梯状的方式改变。

[0209] 类似地, 可以使用其中  $\text{AlGaN}$  层的膜厚度与  $\text{GaN}$  层的膜厚度之比沿着厚度方向变化的未掺杂的  $\text{AlGaN}/\text{GaN}$  的超晶格层作为缓冲层。可替代地, 可以使用其中  $\text{AlN}$  层的膜厚度与  $\text{GaN}$  层的膜厚度之比沿着厚度方向变化的未掺杂的  $\text{AlN}/\text{GaN}$  的超晶格层用于缓冲层。

[0210] 例如, 在通过使用  $\text{AlN}/\text{GaN}$  的组合组成的超晶格结构获得与具有梯度组分的  $\text{AlGaN}$  构成的缓冲层所提供的晶格常数等价的晶格常数变化时的情况下, 每个  $\text{AlN}/\text{GaN}$  对的膜厚度之比在膜厚度方向上变化。在这种情况下, 每个  $\text{AlGaN}/\text{GaN}$  对的膜厚度之和  $d_{\text{lattice}}$  (超晶格的重复周期) 优选地选自  $1 \text{nm} \leq d_{\text{lattice}} \leq 10 \text{nm}$  的范围内。

[0211] 例如, 在通过使用  $\text{AlN}/\text{GaN}$  的组合组成的超晶格结构获得与具有梯度组分的  $\text{AlGaN}$  构成的缓冲层所提供的晶格常数等价的晶格常数变化时的情况下, 每个  $\text{AlN}/\text{GaN}$  对的膜厚度之比  $u : (1-u)$  沿着膜厚度方向变化。在这种情况下, 每个  $\text{AlN}/\text{GaN}$  对的膜厚度之和  $d_{\text{lattice}}$  (超晶格的重复周期) 优选地选自  $1 \text{nm} \leq d_{\text{lattice}} \leq 10 \text{nm}$  的范围内。

[0212] 当其 Al 组分按阶梯状方式变化的未掺杂的  $\text{AlGaN}$  层或者类似变化的未掺杂的  $\text{AlGaN}/\text{GaN}$  超晶格层或类似变化的未掺杂的  $\text{AlN}/\text{GaN}$  超晶格层被使用时, 前表面侧上的缓冲层的有效晶格常数  $a_{\text{effect}}$  与用于  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层的晶格弛豫的  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  ( $0 \leq x \leq 1$ ) 的晶格常数  $a(\text{Al}_x\text{Ga}_{1-x}\text{N})$  匹配。

[0213]  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层和  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层之间的界面形成异质结界面。在根据本发明的半导体器件中, 当构造场效应晶体管时, 在栅电极正下方的沟道区中, 载流子 (电子) 被设置成在  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层中积聚成“导通 (ON) 状态”, 形成二维电子气。另一方面, 在  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层中, 载流子 (电子) 被设置成不存在。在“截止 (OFF) 状态”, 载流子 (电子) 被设置成不在  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层中存在。

[0214] 为此,  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层和  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层之间的界面用作势垒。该势垒是由于  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  与  $\text{In}_y\text{Ga}_{1-y}\text{N}$  之间的导带能量差导致的带不连续  $\Delta E_c(\text{Al}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N})$  造成。在室温 ( $T = 300\text{K}$ ) 下, 为了使该势垒有效作用, 带不连续  $\Delta E_c(\text{Al}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N})$  必须至少等于或大于  $2kT$  ( $k$  是玻尔兹曼常数, 以及  $T$  表示温度)。

[0215] 另一方面, 在除了形成凹陷部的区域之外的存在  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层的区域中, 在“导通状态”和“截止状态”中的任一种状态下, 载流子 (电子) 被设置成在  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层中积聚, 形成二维电子气。即使在存在  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层的区域中, 载流子 (电子) 也被设置成

不存在于  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层中。当然,载流子(电子)被设置成还存在于缓冲层中。

[0216] 另一方面,构成  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层的  $\text{In}_y\text{Ga}_{1-y}\text{N}$  的晶格常数是没有压应变的情况下的  $a(\text{In}_y\text{Ga}_{1-y}\text{N})$ ,但是当其在  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层上外延生长时,  $\text{In}_y\text{Ga}_{1-y}\text{N}$  的晶格常数变得与  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  的晶格常数  $a(\text{Al}_x\text{Ga}_{1-x}\text{N})$  相同。该压应变  $e_{zz}(\text{In}_y\text{Ga}_{1-y}\text{N}/\text{Al}_x\text{Ga}_{1-x}\text{N})$  是  $\{(a(\text{In}_y\text{Ga}_{1-y}\text{N})-a(\text{Al}_x\text{Ga}_{1-x}\text{N}))/a(\text{Al}_x\text{Ga}_{1-x}\text{N})\}$ 。

[0217]  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层的膜厚度  $t_{\text{channel}}$  被选择为等于或小于晶格失配  $(a(\text{In}_y\text{Ga}_{1-y}\text{N})-a(\text{Al}_x\text{Ga}_{1-x}\text{N}))$  处的临界膜厚度  $t_{\text{critical}}(\text{In}_y\text{Ga}_{1-y}\text{N}/\text{Al}_x\text{Ga}_{1-x}\text{N})$ 。 $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层的膜厚度  $t_{\text{channel}}$  优选地选自  $20\text{nm} \geq t_{\text{channel}} \geq 5\text{nm}$  的范围内。因此,压应变  $e_{zz}(\text{In}_y\text{Ga}_{1-y}\text{N}/\text{Al}_x\text{Ga}_{1-x}\text{N})$  的范围被选择成使得临界膜厚度  $t_{\text{critical}}(\text{In}_y\text{Ga}_{1-y}\text{N}/\text{Al}_x\text{Ga}_{1-x}\text{N})$  是  $t_{\text{critical}}(\text{In}_y\text{Ga}_{1-y}\text{N}/\text{Al}_x\text{Ga}_{1-x}\text{N}) > t_{\text{channel}} \geq 5\text{nm}$ 。

[0218] 例如,当  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层的 Al 组分 (x) 被设置成  $x = 0.1$  时,  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层的 In 组分 (y) 选自  $0.2 \geq y \geq 0$  的范围内,具体来讲,优选地选自  $0.05 \geq y \geq 0.01$  的范围内。就  $0.2 \geq y \geq 0$  的  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层的 In 组分 (y) 的范围而言,临界膜厚度  $t_{\text{critical}}(\text{Al}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N})$  在  $5\text{nm}-100\text{nm}$  的范围内。因此,  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层的膜厚度  $t_{\text{channel}}$  可以选自  $100\text{nm} \geq t_{\text{channel}} \geq 5\text{nm}$  的范围内。另外,  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层与  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层之间的带不连续  $\Delta E_c(\text{Al}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N})$  落入  $200\text{meV}-550\text{meV}$  的范围内。

[0219] 在根据本发明的半导体器件中,当构造场效应晶体管时,  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层中积聚的载流子(电子)形成处于“导通状态”的二维电子气。为了增大其内产生的二维电子气的迁移率,优选地抑制  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层中存在的离化的浅 n 型杂质(施主)的浓度。因此,  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层中存在的浅 n 型杂质(施主)的浓度  $N_{\text{SD-channel}}$  被设置成  $1 \times 10^{17}\text{cm}^{-3} \geq N_{\text{SD-channel}} \geq 0$ , 优选地,  $1 \times 10^{16}\text{cm}^{-3} \geq N_{\text{SD-channel}} \geq 0$ 。

[0220]  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层中存在的浅 n 型杂质(施主)还被离化为“截止状态”,以及  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层被耗尽。由于  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层中含有的离化的浅 n 型杂质(施主)导致的空间电荷的面密度  $Q_{\text{SC-channel}}$  为  $Q_{\text{SC-channel}} = q \cdot t_{\text{channel}} \cdot N_{\text{SD-channel}}$ 。

[0221] 另一方面,在  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层和  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层之间的界面中,由于极化效应产生负界面电荷  $\sigma(\text{In}_y\text{Ga}_{1-y}\text{N}/\text{Al}_x\text{Ga}_{1-x}\text{N})$ 。在“截止状态”下,在栅电极正下方的区域中,  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层和  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层都被耗尽。因此,负界面电荷  $\sigma(\text{In}_y\text{Ga}_{1-y}\text{N}/\text{Al}_x\text{Ga}_{1-x}\text{N})$ 、 $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层中的正空间电荷的面密度  $Q_{\text{SC-barrier}}$  和  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层中的正空间电荷的面密度  $Q_{\text{SC-channel}}$  之和为  $\sigma(\text{In}_y\text{Ga}_{1-y}\text{N}/\text{Al}_x\text{Ga}_{1-x}\text{N}) + (Q_{\text{SC-barrier}} + Q_{\text{SC-channel}}) \leq 0$ 。

[0222] 换言之,在根据本发明的半导体器件中,当构造场效应晶体管时,如果满足  $\sigma(\text{In}_y\text{Ga}_{1-y}\text{N}/\text{Al}_x\text{Ga}_{1-x}\text{N}) + (Q_{\text{SC-barrier}} + Q_{\text{SC-channel}}) \leq 0$  的条件,则即使在  $V_g = 0\text{V}$  时也实现“截止状态”。也就是说,实现“正常截止”状态,由此提供具有  $V_T \geq 0\text{V}$  的增强模式型的场效应晶体管。

[0223] 另一方面,当  $\sigma(\text{In}_y\text{Ga}_{1-y}\text{N}/\text{Al}_x\text{Ga}_{1-x}\text{N}) + (Q_{\text{SC-barrier}} + Q_{\text{SC-channel}}) > 0$  时,无论是  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层还是  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层都变成在  $V_g = 0\text{V}$  时未耗尽。在这种情况下,在  $V_g = 0\text{V}$  的热平衡状态下,  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层的导带边能量  $E_c(\text{In}_y\text{Ga}_{1-y}\text{N})_{\text{front}}$  与绝缘膜和  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层之间的界面中的费米能级  $E_f$  之间的能量差  $(E_c(\text{In}_y\text{Ga}_{1-y}\text{N})_{\text{front}} - E_f)$  为  $(E_c(\text{In}_y\text{Ga}_{1-y}\text{N})_{\text{front}} - E_f) < 0$ 。也就是说,即使在  $V_g = 0\text{V}$  的热平衡状态下,绝缘膜与  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层之间的界面中也存在载流子(电子),并且“正常导通”状态,由此提供具有  $V_T < 0\text{V}$  的耗尽模式型的场效



应晶体管。

[0224] 注意的是,当作为下述的第三示例性实施例所示的实例,  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层满足  $(e \times (\text{In}_y\text{Ga}_{1-y}\text{N}) - e \phi (M_{\text{gate}})) \geq 50\text{meV}$ , 其浅 n 型杂质 (施主) 的浓度  $N_{\text{SD-channel}}$  为  $N_{\text{SD-channel}} = 0\text{cm}^{-3}$ , 并且  $\sigma (\text{In}_y\text{Ga}_{1-y}\text{N}/\text{Al}_x\text{Ga}_{1-x}\text{N}) + (Q_{\text{SC-barrier}}) > 0$  时, 如果绝缘膜的膜厚度增加, 则在  $V_g = 0\text{V}$  的热平衡状态下, 栅电极正下方的沟道区的导带的带示意图变得与图 8 所示的带示意图类似。也就是说, 如果绝缘膜的膜厚度增加, 则  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层的导带边能量  $E_c(\text{In}_y\text{Ga}_{1-y}\text{N})_{\text{front}}$  与绝缘膜和  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层之间的界面中的费米能级  $E_f$  之间的能量差  $(E_c(\text{In}_y\text{Ga}_{1-y}\text{N})_{\text{front}} - E_f)$  变为  $(E_c(\text{In}_y\text{Ga}_{1-y}\text{N})_{\text{front}} - E_f) > 0$ 。另一方面,  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层的导带边能量  $E_c(\text{In}_y\text{Ga}_{1-y}\text{N})_{\text{rear}}$  与  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层和  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层之间的界面中的费米能级  $E_f$  之间的能量差  $(E_c(\text{In}_y\text{Ga}_{1-y}\text{N})_{\text{rear}} - E_f)$  为  $(E_c(\text{In}_y\text{Ga}_{1-y}\text{N})_{\text{rear}} - E_f) > 0$ 。

[0225] 在根据本发明的半导体器件中, 在除了形成凹陷部的区域之外的存在  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层的区域中, 在“导通状态”和“截止状态”中的任一种状态下, 载流子 (电子) 被设置成在  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层中积聚, 由此形成二维电子气。即使在存在  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层的区域中, 载流子 (电子) 也被设置成不存在于  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层中。

[0226] 与  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层类似, 构成  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层的  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  ( $0 \leq z \leq 1$ ) 通过外延生长形成, 以具有与  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层的晶格常数  $a(\text{Al}_x\text{Ga}_{1-x}\text{N})$  相同的晶格常数。因此, 构成  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层的  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  ( $0 \leq z \leq 1$ ) 具有应力。当在没有应力的情况中的构成  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层的  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  的晶格常数被指定为  $a(\text{Al}_z\text{Ga}_{1-z}\text{N})$  时, 其应力  $e_{zz}(\text{Al}_z\text{Ga}_{1-z}\text{N}/\text{Al}_x\text{Ga}_{1-x}\text{N})$  被表示为  $\{(a(\text{Al}_z\text{Ga}_{1-z}\text{N}) - a(\text{Al}_x\text{Ga}_{1-x}\text{N})) / a(\text{Al}_x\text{Ga}_{1-x}\text{N})\}$ 。

[0227] 该  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层的膜厚度  $t_{\text{contact}}$  被选择为等于或小于晶格失配  $a(\text{Al}_z\text{Ga}_{1-z}\text{N}) - a(\text{Al}_x\text{Ga}_{1-x}\text{N})$  时的临界膜厚度  $t_{\text{critical}}(\text{Al}_z\text{Ga}_{1-z}\text{N}/\text{Al}_x\text{Ga}_{1-x}\text{N})$ 。

[0228] 对于  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层的 Al 组分  $x$  和  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层的 Al 组分  $z$  的任意组合, 临界膜厚度  $t_{\text{critical}}(\text{Al}_z\text{Ga}_{1-z}\text{N}/\text{Al}_x\text{Ga}_{1-x}\text{N})$  将等于或大于  $5\text{nm}$ 。另外, 当满足条件  $0.2 \geq |z-x| \geq 0$  时, 临界膜厚度  $t_{\text{critical}}(\text{Al}_z\text{Ga}_{1-z}\text{N}/\text{Al}_x\text{Ga}_{1-x}\text{N})$  将等于或大于  $50\text{nm}$ 。

[0229] 当在存在  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层的区域中, 载流子 (电子) 积聚在  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层中时, 形成二维电子气, 载流子 (电子) 被设置成已经至少积聚在  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层和  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层之间的界面中。在这种情况下, 使用  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层和  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层之间的异质结界面作为用于积聚载流子 (电子) 的势垒。该势垒是由于  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层和  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层之间的导带能量差导致的带不连续  $\Delta E_c(\text{Al}_z\text{Ga}_{1-z}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N})$  造成的。在室温 ( $T = 300\text{K}$ ) 下, 为了使该势垒有效作用, 带不连续  $\Delta E_c(\text{Al}_z\text{Ga}_{1-z}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N})$  必须等于或大于  $2kT$  ( $k$  是玻尔兹曼常数,  $T$  表示温度)。

[0230] 另一方面, 在  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层和  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层之间的异质结界面中, 由于  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  和  $\text{In}_y\text{Ga}_{1-y}\text{N}$  之间的导带能量差导致存在带不连续  $\Delta E_c(\text{Al}_z\text{Ga}_{1-z}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N})$ 。带不连续  $\Delta E_c(\text{Al}_z\text{Ga}_{1-z}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N})$  还被设置成至少等于或大于  $2kT$ 。

[0231] 当  $\Delta E_c(\text{Al}_z\text{Ga}_{1-z}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}) > \Delta E_c(\text{Al}_z\text{Ga}_{1-z}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}) \geq 2kT$  时,  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  的 Al 组分 ( $z$ ) 被设置成大于  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  的 Al 组分。在这种情况下, 在  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层和  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层之间的界面中, 由于极化效应产生负界面电荷  $\sigma(\text{In}_y\text{Ga}_{1-y}\text{N}/\text{Al}_x\text{Ga}_{1-x}\text{N})$ 。另外, 在  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层和  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层之间的界面中, 由于极化效应产生正界面电荷  $\sigma(\text{Al}_z\text{Ga}_{1-z}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N})$ 。

[0232] 当  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  的 Al 组分 (z) 大于  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  的 Al 组分时, 负界面电荷  $\sigma(\text{In}_y\text{Ga}_{1-y}\text{N}/\text{Al}_x\text{Ga}_{1-x}\text{N})$  和正界面电荷  $\sigma(\text{Al}_z\text{Ga}_{1-z}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N})$  之和是  $\{\sigma(\text{In}_y\text{Ga}_{1-y}\text{N}/\text{Al}_x\text{Ga}_{1-x}\text{N}) + \sigma(\text{Al}_z\text{Ga}_{1-z}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N})\} \geq 0$ 。在这种情况下, 由于极化效应产生的载流子 (电子) 被提供到  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层。当由于该极化过程产生的载流子 (电子) 的量被指定为面密度  $N_p$  时, 满足  $(-q \cdot N_p) + \{\sigma(\text{In}_y\text{Ga}_{1-y}\text{N}/\text{Al}_x\text{Ga}_{1-x}\text{N}) + \sigma(\text{Al}_z\text{Ga}_{1-z}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N})\} = 0$  的条件。

[0233] 在这种情况下, 即使  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层、 $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层和  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层中的每个都未被掺杂, 至少由于极化效应产生的载流子 (电子) 积聚在  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层中。因为  $\Delta E_c(\text{Al}_z\text{Ga}_{1-z}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}) > \Delta E_c(\text{Al}_z\text{Ga}_{1-z}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}) \geq 2kT$ , 所以载流子 (电子) 可以积聚在  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层和  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层之间的界面中, 由此形成二维电子气。

[0234] 当设置  $\Delta E_c(\text{Al}_z\text{Ga}_{1-z}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}) = \Delta E_c(\text{Al}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}) \geq 2kT$  时,  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  的 Al 组分 (z) 被设置成等于  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  的 Al 组分。另外, 在这种情况下, 在  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层和  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层之间的界面中, 由于极化效应产生负界面电荷  $\sigma(\text{In}_y\text{Ga}_{1-y}\text{N}/\text{Al}_x\text{Ga}_{1-x}\text{N})$ 。另外, 在  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层和  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层之间的界面中, 由于极化效应产生正界面电荷  $\sigma(\text{Al}_z\text{Ga}_{1-z}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N})$ 。

[0235] 当  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  的 Al 组分 (z) 等于  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  的 Al 组分 (x) 时, 负界面电荷  $\sigma(\text{In}_y\text{Ga}_{1-y}\text{N}/\text{Al}_x\text{Ga}_{1-x}\text{N})$  和正界面电荷  $\sigma(\text{Al}_z\text{Ga}_{1-z}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N})$  之和是  $\{\sigma(\text{In}_y\text{Ga}_{1-y}\text{N}/\text{Al}_x\text{Ga}_{1-x}\text{N}) + \sigma(\text{Al}_z\text{Ga}_{1-z}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N})\} = 0$ 。因此, 由于极化效应导致的载流子 (电子) 没有提供到  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层。

[0236] 在这种情况下,  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层和  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层中的每个未被掺杂, 并且  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层被掺杂有浅 n 型杂质 (施主)。在这种情况下, 由于  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层中存在的浅 n 型杂质 (施主) 的离化导致产生的载流子 (电子) 的一部分提供到  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层并且积聚在其中。因为  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层掺杂有浅 n 型杂质 (施主), 而  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层未被掺杂, 所以载流子 (电子) 可以积聚在  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层和  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层之间的界面中, 由此形成二维电子气。

[0237] 可替代地,  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层可以未被掺杂, 而  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层和  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层可以被掺杂有浅 n 型杂质 (施主)。在这种情况下, 由于  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层中存在的浅 n 型杂质 (施主) 的离化导致产生的载流子 (电子) 和由于  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层中存在的浅 n 型杂质 (施主) 的离化导致产生的载流子 (电子) 的一部分提供到  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层并且积聚在其中。因此, 载流子 (电子) 不存在于  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层中, 并因此其被耗尽, 并且在  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层中, 在与  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层的界面附近的区域被耗尽。因此, 在  $\Delta E_c(\text{Al}_z\text{Ga}_{1-z}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}) = \Delta E_c(\text{Al}_z\text{Ga}_{1-z}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N})$  的情况下, 提供到  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层的载流子 (电子) 的大部分积聚在  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层和  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层之间的界面中, 由此形成二维电子气。

[0238] 另外, 当提供到  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层中的载流子 (电子) 的总量大时, 除了  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层和  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层之间的界面中的积聚之外, 根据各种情况, 载流子 (电子) 的一部分积聚在  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层和  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层之间的界面中。

[0239] 在根据本发明的半导体器件中, 在  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层中行进载流子 (电子) 被设置成以二维电子气的形式表现出高迁移率。为此, 优选地,  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层未被掺杂, 由此离化的浅 n 型杂质 (施主) 的浓度降低, 使得由于离化杂质的散射造成的效应减少。

[0240] 例如,当根据本发明的半导体器件被设置成处于“正常导通”状态来构造具有  $V_T < 0V$  的耗尽模式型的场效应晶体管时,在栅电极正下方的沟道区中,载流子(电子)被设置成存在于  $Al_xGa_{1-x}N$  下部势垒层和  $In_yGa_{1-y}N$  沟道层之间的界面中。在这种情况下,还可以选择如下的结构: $In_yGa_{1-y}N$  沟道层的任意部分或全部掺杂有浅 n 型杂质(施主),同时抑制  $Al_xGa_{1-x}N$  下部势垒层被掺杂的浅 n 型杂质(施主)的浓度  $N_{SD-barrier}$ 。

[0241] 注意的是,当  $Al_xGa_{1-x}N$  下部势垒层掺杂有浅 n 型杂质(施主)时,还可以插入未掺杂的间隔物层,以替代其中  $Al_xGa_{1-x}N$  下部势垒层的全部被均匀地以浓度  $N_{SD-barrier}$  掺杂浅 n 型杂质(施主)的结构。例如, $Al_xGa_{1-x}N$  下部势垒层形成为未掺杂的  $Al_xGa_{1-x}N/N$  型  $Al_xGa_{1-x}N/$  未掺杂的  $Al_xGa_{1-x}N$  的形式,并且未掺杂的  $Al_xGa_{1-x}N$  被设置成存在于  $Al_xGa_{1-x}N$  下部势垒层和  $In_yGa_{1-y}N$  沟道层之间的界面中以及  $Al_xGa_{1-x}N$  下部势垒层和缓冲层之间的界面中。在这种情况下,通过将 N 型  $Al_xGa_{1-x}N$  部分的膜厚度  $t_{barrier-Mod}$  和浅 n 型杂质(施主)的浓度  $N_{SD-barrier-Mod}$  设置成  $\{t_{barrier-Mod} \cdot N_{SD-barrier-Mod}\} \approx \{t_{barrier} \cdot N_{SD-barrier}\}$ ,可以获得等价的效果。

[0242] 另外,当  $Al_zGa_{1-z}N$  接触层被掺杂有浅 n 型杂质(施主)时,可以插入未掺杂的间隔物层,以替代其中  $Al_zGa_{1-z}N$  接触层的全部被均匀地以浓度  $N_{SD-contact}$  掺杂有浅 n 型杂质(施主)的结构。例如, $Al_zGa_{1-z}N$  接触层形成为未掺杂的  $Al_zGa_{1-z}N/N$  型  $Al_zGa_{1-z}N$  的形式,并且未掺杂的  $Al_zGa_{1-z}N$  被设置成存在于  $Al_zGa_{1-z}N$  接触层和  $In_yGa_{1-y}N$  沟道层之间的界面中。在这种情况下,未掺杂的  $Al_zGa_{1-z}N$  部分的膜厚度  $t_{contact-undoped}$  选自  $10nm \geq t_{contact-undoped}$  的范围内。另一方面,通过将 N 型  $Al_zGa_{1-z}N$  部分的膜厚度  $t_{contact-Mod}$  和浅 n 型杂质(施主)的浓度  $N_{SD-contact-Mod}$  设置成  $\{t_{contact-Mod} \cdot N_{SD-contact-Mod}\} \approx \{t_{contact} \cdot N_{SD-contact}\}$ ,可以获得等价的效果。

[0243] 另外,如果在除了形成凹陷部的区域之外存在接触层的区域中,在“导通状态”和“截止状态”中的任意一种状态下,载流子(电子)被设置成积聚在沟道层中,在接触层和沟道层之间的异质结界面中形成二维电子气,则可以导致与本发明的效果等价的效果。

[0244] 例如,即使使用以下的结构来替代其中  $Al_zGa_{1-z}N$  接触层被掺杂有浅 n 型杂质(施主)的结构,并且载流子(电子)被提供到  $In_yGa_{1-y}N$  沟道层,也可以导致等价的效果。

[0245] 例如,采用由 InAlGaN 构成的接触层,并且作为  $In_yGa_{1-y}N$  沟道层和 InAlGaN 接触层之间的导带边能量差的带不连续  $\Delta Ec(InAlGaN/In_yGa_{1-y}N)$  被设置为  $\Delta Ec(InAlGaN/In_yGa_{1-y}N) = \Delta Ec(Al_zGa_{1-z}N/In_yGa_{1-y}N)$ 。另外,在 InAlGaN 接触层和  $In_yGa_{1-y}N$  沟道层之间的界面中,正界面电荷  $o(InAlGaN/In_yGa_{1-y}N)$  被设置成由于极化效应而产生。在这种情况下,InAlGaN 接触层被设置成被掺杂有浅 n 型杂质(施主),由此载流子(电子)被提供到  $In_yGa_{1-y}N$  沟道层。

[0246] 结果,提供到  $In_yGa_{1-y}N$  沟道层的载流子(电子)积聚在 InAlGaN 接触层和  $In_yGa_{1-y}N$  沟道层之间的界面中,由此产生二维电子气。另外,由于 InAlGaN 接触层被掺杂有浅 n 型杂质(施主),因此与使用掺杂有浅 n 型杂质(施主)的  $Al_zGa_{1-z}N$  的情况类似,可以降低用于源电极和漏电极的欧姆电极的接触电阻。

[0247] 如上所说明的,只要满足以下这三个要求,就可以通过采用由另一基于 III 族氮化物的半导体构成的接触层替代  $Al_zGa_{1-z}N$  实现等价效果:

[0248] • 接触层和沟道层之间的异质结界面中的带不连续  $\Delta Ec$ (接触/沟道)可以允许载流子(电子)积聚在接触层和沟道层之间的界面中,由此产生二维电子气,这与  $\Delta Ec(Al_zGa_{1-z}N/In_yGa_{1-y}N)$  的情况类似;

[0249] • 由于极化效应,在接触层和沟道区之间的异质界面中产生正界面电荷  $\sigma$  (接触 / 沟道) ;

[0250] • 构成接触层的外延生长层的晶格常数被设置成等于  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层的晶格常数  $a(\text{Al}_x\text{Ga}_{1-x}\text{N})$ 。

[0251] 例如,可以从由 GaN、InGaN、InAlN 和 InAlGaN 组成的组中选择满足所述三个要求的基于 III 族氮化物的半导体,以将其用作用于接触层的材料。

[0252] 另外,只要满足以下的三个要求,就可以使用由 AlN/GaN 的组合 构成的超晶格结构替代  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  :

[0253] • 有效的晶格常数等于  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  的晶格常数  $a(\text{Al}_z\text{Ga}_{1-z}\text{N})$  ;

[0254] • 有效的导带边能量  $E_c$  允许接触层和沟道层之间的异质界面中的带不连续  $\Delta E_c$  (接触 / 沟道) 与  $\Delta E_c(\text{Al}_z\text{Ga}_{1-z}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N})$  相当 ;

[0255] • 由于极化效应,在接触层和沟道区之间的异质界面中产生正界面电荷  $\sigma$  (接触 / 沟道),其与  $\sigma(\text{Al}_z\text{Ga}_{1-z}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N})$  相当。

[0256] 例如,可以通过将每个 AlN/GaN 对的膜厚度比选择成达到  $z : (1-z)$  的低比率并且将每个 AlN/GaN 对的膜厚度之和  $d_{\text{lattice}}$  (超晶格的重复周期) 选择成在  $1\text{nm} \leq d_{\text{lattice}} \leq 10\text{nm}$  的范围内,可以提供满足所述三个要求的 AlN/GaN 的组合构成的超晶格结构。另外,当满足以上要求的 AlN/GaN 的组合构成的超晶格结构被掺杂有浅 n 型杂质 (施主) 时,例如,还可以选择性地掺杂 AlN 膜。

[0257] 另外,当采用另一基于 III 族氮化物半导体构成的接触层来替代  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层时,例如,对于 InGaN、InAlN 和 InAlGaN,可以使用满足与上述三个要求相对应的相当类似要求的、由诸如 InN/GaN、InN/AlN 和 InN/AlGaN 的组合构成的超晶格结构。

[0258] 另外,至于  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层,即使使用以下的结构替代  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层被掺杂有浅 n 型杂质 (施主) 并且载流子 (电子) 被提供到  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层的结构,也可以产生等价的效果。

[0259] 例如,采用由与  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  具有相同晶格常数的 InAlGaN 构成的下部势垒层,并且作为  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层和 InAlGaN 下部势垒层之间的导带边能量差的带不连续  $\Delta E_c(\text{InAlGaN}/\text{In}_y\text{Ga}_{1-y}\text{N})$  被设置为  $\Delta E_c(\text{InAlGaN}/\text{In}_y\text{Ga}_{1-y}\text{N}) = \Delta E_c(\text{Al}_z\text{Ga}_{1-z}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N})$ 。另外,在 InAlGaN 接触层和  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层之间的界面中,负界面电荷  $\sigma(\text{In}_y\text{Ga}_{1-y}\text{N}/\text{InAlGaN})$  被设置成由于极化效应而产生。在这种情况下,InAlGaN 下部势垒层可以被掺杂有浅 n 型杂质 (施主),由此载流子 (电子) 被提供到  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层。

[0260] 结果,提供到  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层的载流子 (电子) 积聚在  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层和  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层之间的界面中,由此产生二维电子气。另外,在栅电极正下方的沟道区中,载流子 (电子) 可以被设置成在 InAlGaN 下部势垒层和  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层之间的界面中积聚成“导通状态”,由此产生二维电子气。

[0261] 如上所述,只要满足以下这三个要求,就可以通过采用由另一基于 III 族氮化物的半导体构成的下部势垒层替代  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  实现等价效果 :

[0262] • 下部势垒层和沟道层之间的异质界面中的带不连续  $\Delta E_c$  (势垒 / 沟道) 可以允许当载流子 (电子) 积聚在下部势垒层和沟道层之间的界面中时产生二维电子气,这与  $\Delta E_c(\text{Al}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N})$  的情况类似 ;

[0263] • 由于极化效应,在下部势垒层和沟道区之间的异质结界面中产生负界面电荷  $\sigma$  (沟道 / 势垒);

[0264] • 构成下部势垒层的外延生长层的晶格常数等于  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  的晶格常数  $a(\text{Al}_x\text{Ga}_{1-x}\text{N})$ 。

[0265] 例如,可以从由 GaN、InGaN、InAlN 和 InAlGaN 组成的组中选择满足所述三个要求的基于 III 族氮化物的半导体,以用作用于下部势垒层的材料。

[0266] 另外,只要满足以下的三个要求,就可以使用由 AlN/GaN 的组合构成的超晶格结构替代  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  :

[0267] • 有效的晶格常数等于  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  的晶格常数  $a(\text{Al}_x\text{Ga}_{1-x}\text{N})$  ;

[0268] • 有效的导带边能量  $E_c$  允许下部势垒层和沟道层之间的异质结界面中的带不连续  $\Delta E_c$  (势垒 / 沟道) 与  $\Delta E_c(\text{Al}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N})$  相当;

[0269] • 由于极化效应,在下部势垒层和沟道区之间的异质结界面中产生负界面电荷  $\sigma$  (沟道 / 势垒),其与  $\sigma(\text{In}_y\text{Ga}_{1-y}\text{N}/\text{Al}_x\text{Ga}_{1-x}\text{N})$  相当。

[0270] 例如,可以通过将每个 AlN/GaN 对的膜厚度比选择成达到  $x : (1-x)$  的高比率并且将每个 AlN/GaN 对的膜厚度之和  $d_{\text{lattice}}$  (超晶格的重复周期) 选择成在  $1\text{nm} \leq d_{\text{lattice}} \leq 10\text{nm}$  的范围内,可以提供满足上述三个要求的 AlN/GaN 的组合构成的超晶格结构。另外,当满足所述三个要求的 AlN/GaN 的组合构成的超晶格结构被掺杂有浅 n 型杂质 (施主) 时,例如,还可以选择性地掺杂 AlN 膜。

[0271] 另外,当采用另一基于 III 族氮化物的半导体构成的下部势垒层替代  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层时,例如,对于 InGaN、InAlN 和 InAlGaN,可以使用满足与上述三个要求相对应的相当类似要求的、由诸如 InN/GaN、InN/AlN 和 InN/AlGaN 的组合构成的超晶格结构。

[0272] 另外,至于  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层,即使使用以下的结构替代  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层被掺杂有浅 n 型杂质 (施主) 并且载流子 (电子) 被积聚到  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层的结构,也可以产生等价的效果。

[0273] 例如,采用由与  $\text{In}_y\text{Ga}_{1-y}\text{N}$  具有相同晶格常数的 InAlGaN 构成的沟道层,并且作为  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层和  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层之间的导带边能量差的带不连续  $\Delta E_c(\text{InAlGaN}/\text{Al}_x\text{Ga}_{1-x}\text{N})$  被设置为  $\Delta E_c(\text{InAlGaN}/\text{Al}_x\text{Ga}_{1-x}\text{N}) = \Delta E_c(\text{In}_y\text{Ga}_{1-y}\text{N}/\text{Al}_x\text{Ga}_{1-x}\text{N})$ 。另外,在 InAlGaN 沟道层和  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层之间的界面中,负界面电荷  $\sigma(\text{InAlGaN}/\text{Al}_x\text{Ga}_{1-x}\text{N})$  被设置成由于极化效应而产生。在这种情况下,InAlGaN 沟道层被掺杂有浅 n 型杂质 (施主),由此载流子 (电子) 积聚在 InAlGaN 沟道层中。

[0274] 结果,在 InAlGaN 沟道层中积聚的载流子 (电子) 被积聚在  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层和 InAlGaN 沟道层之间的界面中,由此产生二维电子气。另外,在栅电极正下方的沟道区中,载流子 (电子) 可以被设置成在 InAlGaN 沟道层和  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层之间的界面中积聚成“导通状态”,由此产生二维电子气。

[0275] 如上所述,只要满足以下这四个要求,就可以通过采用由另一基于 III 族氮化物的半导体构成的这样的沟道层替代  $\text{In}_y\text{Ga}_{1-y}\text{N}$  实现等价效果:

[0276] • 下部势垒层和沟道层之间的异质结界面中的带不连续  $\Delta E_c$  (势垒 / 沟道) 可以允许当载流子 (电子) 积聚在下部势垒层和沟道层之间的界面中时产生二维电子气,这与  $\Delta E_c(\text{Al}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N})$  的情况类似;

[0277] • 由于极化效应,在下部势垒层和沟道区之间的异质结界面中产生负界面电荷  $\sigma$  (沟道 / 势垒);

[0278] • 构成下部势垒层的外延生长层的晶格常数等于  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  的晶格常数  $a(\text{Al}_x\text{Ga}_{1-x}\text{N})$ ;

[0279] • 沟道层被掺杂有浅 n 型杂质 (施主),使得载流子 (电子) 积聚在沟道层中。

[0280] 例如,可以从由 GaN、InGaN、AlGaN、InAlN 和 InAlGaN 组成的组中选择满足以上四个要求的基于 III 族氮化物的半导体,以将其用作用于沟道层的材料。

[0281] 另外,只要满足以下的三个要求,就可以使用由 InN/GaN 的组合构成的超晶格结构替代  $\text{In}_y\text{Ga}_{1-y}\text{N}$ :

[0282] • 有效的晶格常数被设置成等于  $\text{In}_y\text{Ga}_{1-y}\text{N}$  的晶格常数  $a(\text{In}_y\text{Ga}_{1-y}\text{N})$ ;

[0283] • 有效的导带边能量  $E_c$  能够允许下部势垒层和沟道层之间的异质结界面中的带不连续  $\Delta E_c$  (势垒 / 沟道) 与  $\Delta E_c(\text{Al}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N})$  相当;

[0284] • 由于极化效应,在下部势垒层和沟道区之间的异质结界面中产生负界面电荷  $\sigma$  (沟道 / 势垒),其与  $\sigma(\text{In}_y\text{Ga}_{1-y}\text{N}/\text{Al}_x\text{Ga}_{1-x}\text{N})$  相当。

[0285] 例如,可以通过将每个 InN/GaN 对的膜厚度比选择成达到  $y:(1-y)$  的低比率并且将每个 InN/GaN 对的膜厚度之和  $d_{\text{lattice}}$  (超晶格的重复周期) 选择成在  $1\text{nm} \leq d_{\text{lattice}} \leq 10\text{nm}$  的范围内,提供满足所述三个要求的 InN/GaN 的组合构成的超晶格结构。另外,当满足以上三个要求的 InN/GaN 的组合构成的超晶格结构被掺杂有浅 n 型杂质 (施主) 时,例如,还可以选择性地掺杂 GaN 膜。

[0286] 另外,当采用另一基于 III 族氮化物的半导体构成的沟道层替代  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道时,例如,对于 InGaN、AlGaN、InAlN 和 InAlGaN,可以使用满足与上述三个要求相对应的类似要求的、由诸如 InN/GaN、AlN/GaN、InN/AlN 和 InN/AlGaN 的组合构成的超晶格结构。

[0287] 以下,将参照特定实例,更详细地描述根据本发明的半导体器件。本文所示的特定实例是用于执行本发明的一个最佳模式,并且本发明不限于如这些特定实例中所示的结构。

[0288] 以下所述的特定实例涉及根据本发明的半导体器件被构造为场效应晶体管的情况实例。

[0289] (第一示例性实施例)

[0290] 图 1 是示意性示出根据第一示例性实施例的半导体器件结构的一个实例的横截面图。

[0291] 在图 1 所示的半导体器件中,衬底 40 是具有 (0001) 面的碳化硅 (SiC) 衬底,缓冲层 41 是具有膜厚度  $t_{\text{buffer}4}$  的、具有梯度组分的 AlGaN 层,下部势垒层 42 是具有膜厚度  $t_{\text{barrier}4}$  的未掺杂的  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  层,沟道层 43 是具有膜厚度  $t_{\text{channel}4}$  的未掺杂的 GaN 层,并且接触层 44 是具有膜厚度  $t_{\text{contact}4}$  的  $\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}$  层。这里,  $\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}$  接触层 44 的 Al 组分  $z_4$  被设置成大于  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  下部势垒层 42 的 Al 组分  $x_4$ :  $x_4 < z_4$ 。在 GaN 沟道层 43 和  $\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}$  接触层 44 之间的异质界面中,存在由于 GaN 的导带能量  $E_c(\text{GaN})$  和  $\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}$  的导带能量  $E_c(\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N})$  之间的差导致的带不连续  $\Delta E_c(\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}/\text{GaN}) = E_c(\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}) - E_c(\text{GaN})$ 。结果,在 GaN 沟道层 43 和  $\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}$  接触层 44 之间的异质界面附近,积聚电子,由此产生二维电子气 47。

[0292] 另一方面,在 GaN 沟道层 43 和  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  下部势垒层 42 之间的异质界面中,存在由于 GaN 的导带能量  $E_c(\text{GaN})$  和  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  的导带能量  $E_c(\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N})$  之间的差导致的带不连续  $\Delta E_c(\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}/\text{GaN}) = E_c(\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}) - E_c(\text{GaN})$ 。该带不连续  $\Delta E_c(\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}/\text{GaN})$  用作对抗在 GaN 沟道层 43 中存在的电子的下势垒。

[0293] 在  $\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}$  接触层 44 上,形成源电极 4S 和漏电极 4D。源电极 4S 和漏电极 4D 与  $\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}$  接触层 44 进行欧姆接触。在位于源电极 4S 和漏电极 4D 之间的区域中,设置栅电极 G,并由此构造出场效应晶体管。在位于源电极 4S 和漏电极 4D 之间的区域中,蚀刻掉  $\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}$  接触层 44 的一部分,以形成凹陷部。在该凹陷部上,由 SiN 构成的绝缘膜 45 被层压成覆盖 GaN 沟道层 43 的暴露前表面。在该凹陷部中,栅电极 4G 形成在  $\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}$  接触层 44 的上表面上,以使其被嵌入,并且其间插入由 SiN 构成的绝缘膜 45。栅电极 4G 的下表面被设置成借助由 SiN 构成的绝缘膜 45 与 GaN 沟道层 43 的上表面形成肖特基接触 (MIS 结)。

[0294] 根据下述的工艺制造具有如图 1 所示结构的半导体器件。例如,通过金属有机化学气相沉积 (MOCVD) 法,在 SiC 衬底 40 的 (0001) 面上,上述的各个基于 III 族氮化物的半导体层按以下的表 4 所示的膜厚度顺序生长。注意的是,所述各个基于 III 族氮化物的半导体层在 SiC 衬底 40 的 (0001) 面上 C 轴生长。

[0295] [表 4]

[0296]

各个基于 III 族氮化物的半导体层	膜厚度
具有梯度组分的未掺杂的 AlGa <sub>N</sub> 缓冲层 41	1 μm
未掺杂的 $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$ 下部势垒层 42	40nm
未掺杂的 GaN 沟道层 43	30nm
未掺杂的 $\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}$ 接触层 44	40nm

[0297] 在这种情况下,当将  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  下部势垒层 42 的 Al 组分  $x_4$  设置为例如  $x_4 = 0.1$  时,将  $\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}$  接触层 44 的 Al 组分  $z_4$  设置为例如  $z_4 = 0.25$  可以提供满足以上条件  $x_4 < z_4$  的结构。另一方面,由具有梯度组分的 AlGa<sub>N</sub> 构成的缓冲层 41 的 Al 组分  $x_{4B}(t_{4B})$  从衬底 40 ( $t_{4B} = 0$ ) 向着缓冲层 41 的前表面 ( $t_{4B} = 1 \mu\text{m}$ ) 逐渐减小。例如,根据  $dx_{4B}(t_{4B})/dt_{4B} = 0.9 \mu\text{m}^{-1}$ ,具有梯度组分的 AlGa<sub>N</sub> 缓冲层 41 的 Al 组分  $x_{4B}(t_{4B})$  从  $x_{4B}(t_{4B} = 0)$  减小到  $x_{4B}(t_{4B} = 1 \mu\text{m}) = 0.1$ 。

[0298] 当  $x_4 = 0.1$  且  $z_4 = 0.25$  时,在 GaN 沟道层 43 和  $\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}$  接触层 44 之间的异质界面的附近产生的二维电子气 47 的迁移率为大约  $1500\text{cm}^2/\text{Vs}$  ( $20^\circ\text{C}$ )。该二维电子气 47 的迁移率是良好的值。另外,所积聚的二维电子气 47 的密度  $N_{2d\text{-gas } 4-1}$  为  $N_{2d\text{-gas } 4-1} = 0.9 \times 10^{13}\text{cm}^{-2}$  ( $20^\circ\text{C}$ )。

[0299] GaN 沟道层 43 未被掺杂并且具有低密度的离化杂质,使得离化杂质的扩散得以抑制。另外, GaN 沟道层 43 和  $\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}$  接触层 44 之间的异质界面在原子级是平坦的,使得界面扩散也得以抑制。由于离化杂质扩散和界面扩散的这种抑制效果,导致异质界面附近产生的二维电子气 47 的迁移率表现出上述的良好的值。

[0300] 在形成源电极 4S 和漏电极 4D 的步骤中,首先,在  $\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}$  接触层 44 上,例如,沉积并构图诸如钛 (Ti)、铝 (Al)、镍 (Ni) 和金 (Au) 的金属。接着,例如,通过在氮气的气氛下,在  $850^\circ\text{C}$  的温度下进行合金处理 30 秒,来形成欧姆接触。

[0301] 接着,使用基于  $\text{Cl}_2$  的气体,蚀刻掉  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  接触层 44 的一部分,以形成凹陷部。在该凹陷部中,暴露 GaN 沟道层 43 的前表面。在凹陷部的蚀刻步骤之后,凹陷部中的 GaN 沟道层 43 的膜厚度  $t_{\text{channel } 4, \text{G}}$  为 25nm。当位于源电极 4S 和漏电极 4D 之间的区域的宽度  $W_{\text{S-D4}}$  为例如  $W_{\text{S-D4}} = 5 \mu\text{m}$  时,该凹陷部的宽度  $W_{\text{recess4}}$  被设置为例如  $W_{\text{recess4}} = 2 \mu\text{m}$ 。在这种情况下,凹陷部的深度  $d_{\text{recess4}}$  被设置为  $d_{\text{recess4}} = 45\text{nm}$ 。

[0302] 随后,例如,通过使用等离子增强化学气相沉积 (PECVD) 法,来形成由 SiN 构成的绝缘膜 45。在这种情况下,要形成的 SiN 的膜厚度选自平坦区域上的  $t_{\text{SiN4}} = 5\text{nm}-200\text{nm}$  的范围内。另一方面,在凹陷部的侧壁表面上要形成的 SiN 的膜厚度  $t_{\text{SiN4, well}}$  通常等于或小于  $t_{\text{SiN4}}$ 。

[0303] 图 1 所示的半导体器件是凹陷部的侧壁表面的倾斜角被设置为 90 度的示例性实施例,但是倾斜角可以减小成小于 90 度,以提高凹陷部的侧壁表面的涂覆性。

[0304] 在沉积由 SiN 构成的绝缘膜 45 之后,沉积诸如 Ti、铂 (Pt) 和 Au 的金属,并且通过剥离形成栅电极 4G。通过剥离形成的栅电极 4G 被形成为嵌入在由绝缘膜 45 涂覆的凹陷部中。凹陷部底部上的栅电极 4G 的有效栅长度  $L_{4\text{G-effect}}$  为  $L_{4\text{G-effect}} \approx W_{\text{recess4}} - 2 \times t_{\text{SiN4, well}}$ 。在凹陷部的底部上,栅电极 4G 形成在 GaN 沟道层 43 上,并且其间插入由 SiN 构成的绝缘膜 45,由此构造出肖特基接触 (MIS 结)。当膜厚度  $t_{\text{SiN4}}$  选自  $t_{\text{SiN4}} = 5\text{nm}-200\text{nm}$  的范围内时,栅电极 4G 的有效栅长度  $L_{4\text{G-effect}}$  和该栅电极 4G 正下方的绝缘膜的膜厚度  $t_{\text{SiN4}}$  之比  $L_{4\text{G-effect}}/t_{\text{SiN4}}$  落入 400-8 的范围内。

[0305] 例如,当  $t_{\text{SiN4}} \geq 45\text{nm}$  时,  $d_{\text{recess4}} = 45\text{nm}$ ,由该凹陷部通过由 SiN 构成的绝缘膜 45 嵌入。在这种情况下,在由 SiN 构成的绝缘膜 45 的上表面上,形成具有与  $(W_{\text{recess4}} - 2 \times t_{\text{SiN4}})$  相对应的宽度的凹进部,并且栅电极 4G 被形成为嵌入在该凹进部中。在这种情况下,栅电极 4G 的有效栅长度  $L_{4\text{G-effect}}$  对应于  $(W_{\text{recess4}} - 2 \times t_{\text{SiN4}})$ 。

[0306] 另一方面,当  $t_{\text{SiN4}} = 5\text{nm}$  时,设置  $d_{\text{recess4}} = 45\text{nm}$  和过蚀刻的量  $(d_{\text{recess4}} - t_{\text{contact4}})$ ,并且过蚀刻的量  $(d_{\text{recess4}} - t_{\text{contact4}})$  变得等于绝缘膜的膜厚度  $t_{\text{SiN4}}$ 。注意的是,具体来讲,将绝缘膜的膜厚度  $t_{\text{SiN4}}$  减小为小于过蚀刻的量  $(d_{\text{recess4}} - t_{\text{contact4}})$  不会引起任何问题。

[0307] 用于绝缘膜 45 的 SiN 膜的电子亲和力  $e \chi (\text{SiN}) \text{eV}$ 、Ti 的功函数  $e \phi (\text{Ti}) \text{eV}$  和用于沟道层 43 的 GaN 的电子亲和力  $e \chi (\text{GaN}) \text{eV}$  分别被估算为  $e \chi (\text{SiN}) \text{eV} = 1.4\text{eV}$ 、 $e \phi (\text{Ti}) \text{eV} = 4.3\text{eV}$  和  $e \phi (\text{GaN}) \text{eV} = 3.9\text{eV}$ 。因此,由于功函数的差,在 SiN 绝缘膜 45 和栅电极 4G 的 Ti 之间的界面中形成  $\{e \chi (\text{SiN}) - e \phi (\text{Ti})\} \text{eV} \approx 2.9\text{eV}$  的势垒,并且在 SiN 绝缘膜 45 和 GaN 沟道层 43 之间的界面中形成  $\{e \chi (\text{SiN}) - e \chi (\text{GaN})\} \text{eV} \approx 2.5\text{eV}$  的势垒 (接触电势差)。注意的是,在 GaN 沟道层 43 和  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  下部势垒层 42 之间的异质界面中,由于带不连续  $\Delta E_c (\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}/\text{GaN})$  而形成势垒 (接触电势差)。另外,设置  $(e \chi (\text{GaN}) - e \phi (\text{Ti})) \text{eV} \approx 0.4\text{eV}$ 。

[0308] 图 2 示意性示出在图 1 所示的根据第一示例性实施例的半导体器件结构中,在凹陷部中形成的栅电极 4G 正下方的区域中的导带的带示意图。图 2 所示的导带的带示意图示出当施加到栅电极 4G 的栅偏置  $V_{\text{G4}}$  被设置为  $V_{\text{G4}} = 0\text{V}$  时的状态。因此,栅电极 4G 的 Ti 的电势与费米能级  $E_f$  相同。

[0309] 通过提供具有梯度组分的 AlGaIn 缓冲层 41 作为其下层,(0001) 面上生长的  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  下部势垒层 42 变得晶格弛豫。通过使用 AlN 的晶格常数  $a(\text{AlN})$  和 GaN 的晶格



常数  $a(\text{GaN})$ , 下部势垒层 42 的  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  的晶格常数  $a(\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N})$  大致被表示为  $a(\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}) \approx x_4 \cdot a(\text{AlN}) + (1 - x_4) \cdot a(\text{GaN})$ 。

[0310] 另一方面, 对于  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  下部势垒层 42 上的 GaN 沟道层 43 和  $\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}$  接触层 44, 由于其薄膜厚度使得它们的晶格常数  $a$  都变得基本上等于下部势垒层 42 的  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  的晶格常数  $a(\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N})$ 。也就是说, 在 GaN 沟道层 43 中, 在初始的晶格常数  $a(\text{GaN})$  变为晶格常数  $a(\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N})$  的情况下, 出现压应变。另外, 在  $\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}$  接触层 44 中, 在初始晶格常数  $a(\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N})$  变为晶格常数  $a(\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N})$  的情况下, 出现张应变。

[0311] 因为由于晶格应变导致的应变  $e_{zz}$  实质上不存在于  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  下部势垒层 42 中, 则其中没有出现压电极化:  $P_{pe}(\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N})$ 。然而, 在  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  下部势垒层 42 中出现自发极化:  $P_{sp}(\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N})$ 。在 C 轴生长的情况中, 该自发极化:  $P_{sp}(\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N})$  的方向被取向为从前表面朝向衬底。因此,  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  下部势垒层 42 中存在的极化  $P_{42}$  通常是压电极化:  $P_{pe}(\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N})$  和自发极化:  $P_{sp}(\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N})$  之和, 即  $P_{42} = P_{sp}(\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}) + P_{pe}(\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N})$ 。在这种情况下, 因为  $P_{pe}(\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}) \approx 0$ ,  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  下部势垒层 42 中存在的极化  $P_{42}$  大致为  $P_{42} \approx P_{sp}(\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N})$ 。

[0312] 另一方面, 由于晶格应变导致 GaN 沟道层 43 中存在压应变  $e_{zz}(\text{GaN}) \approx \{a(\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}) - a(\text{GaN})\} / a(\text{GaN})$ , 并且出现压电极化:  $P_{pe}(\text{GaN})$ 。通过使用 GaN 的压电常数  $e_{31}(\text{GaN})$  和  $e_{33}(\text{GaN})$  以及弹性常数  $C_{31}(\text{GaN})$  和  $C_{33}(\text{GaN})$ , 该压电极化  $P_{pe}(\text{GaN})$  大致表示为  $P_{pe}(\text{GaN}) \approx 2e_{zz}(\text{GaN}) [e_{31}(\text{GaN}) - e_{33}(\text{GaN}) \cdot \{C_{31}(\text{GaN}) / C_{33}(\text{GaN})\}]$ 。另外, 还存在自发极化:  $P_{sp}(\text{GaN})$ 。在 C 轴生长的情况下, 自发极化:  $P_{sp}(\text{GaN})$  的方向被取向为从前表面朝向衬底。由于压应变  $e_{zz}$  导致的压电极化  $P_{pe}(\text{GaN})$  具有引起自发极化  $P_{sp}(\text{GaN})$  的方向。因此, GaN 沟道层 43 中存在的极化  $P_{43}$  通常是压电极化  $P_{pe}(\text{GaN})$  和自发极化  $P_{sp}(\text{GaN})$  之和, 即,  $P_{43} = P_{sp}(\text{GaN}) + P_{pe}(\text{GaN}) < P_{sp}(\text{GaN})$ 。

[0313] SiN 绝缘膜 45 是多晶或非晶膜。因此, SiN 绝缘膜 45 作为整体没有表现出各向异性并且不产生极化。也就是说, SiN 绝缘膜 45 中的极化  $P_{45}$  是  $P_{45} = 0$ 。

[0314] 通常, 如果存在极化  $P$  的分布, 则由于极化  $P$  的分布产生的极化电荷  $\sigma(P)$  被如下表示。

[0315]

$$\sigma(P) = \nabla \cdot P \quad (\nabla: \text{倒三角算子})$$

[0316] 在 GaN 沟道层 43 和  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  下部势垒层 42 之间的界面中, 极化  $P$  表现出从  $P_{43}$  到  $P_{42}$  的不连续变化。因此, 在该界面中, 出现面状的极化电荷  $\sigma_{43}$ 。界面中产生的界面电荷密度  $\sigma_{43}/q$  是  $\sigma_{43}/q = (P_{43} - P_{42})/q$  (其中,  $q$  是电子的电荷量 (单位电荷))。

[0317] 在 SiN 绝缘膜 45 和 GaN 沟道层 43 之间的界面中, 极化  $P$  还表现出从  $P_{45}$  到  $P_{43}$  的不连续变化。因此, 在该界面中, 出现面状的极化电荷  $\sigma_{45}$ 。界面中产生的界面电荷密度  $\sigma_{45}/q$  是  $\sigma_{45}/q = (P_{45} - P_{43})/q$ 。另一方面, 在 SiN 绝缘膜 45 和 GaN 沟道层 43 之间的界面中, 产生面密度相当大的界面状态。因此, 界面中产生的界面电荷通过这种界面状态补偿, 并且在 SiN 绝缘膜 45 和 GaN 沟道层 43 之间的界面中, 没有观察到所产生的界面电荷的有效积聚。

[0318]  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  下部势垒层 42 中存在的极化  $P_{42}$  和 GaN 沟道层 43 中存在的极化  $P_{43}$  取决于构成下部势垒层 42 的  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  的 Al 组分 ( $x_4$ )。例如, 当  $x_4 = 0.1$  时, 计算结果提供  $P_{42}/q = 2.13 \times 10^{13} \text{cm}^{-2}$  和  $P_{43}/q = 1.61 \times 10^{13} \text{cm}^{-2}$ 。在这种情况下, 在 GaN 沟道层 43

和  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  下部势垒层 42 之间的界面中产生的界面电荷密度  $\sigma_{43}/q$  被估算为  $\sigma_{43}/q = (P_{43}-P_{42})/q = -5.28 \times 10^{12} \text{cm}^{-2}$ 。

[0319] 当栅偏置  $V_{G4}$  被设置为  $V_{G4} = 0\text{V}$  时, 如果  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  下部势垒层 42 和 GaN 沟道层 43 都未被掺杂, 则并没有提供由于 n 型杂质的电离产生的电子, 并因此, 只是由于界面电荷  $\sigma_{43}$ , 导致在 GaN 沟道层 43 和  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  下部势垒层 42 之间的界面中存在电场。因此, 如图 2 中所示, GaN 沟道层 43 中的导带边  $E_c(43)$  在能量上设置成比费米能级  $E_f$  高。换言之, 在 GaN 沟道层 43 中, 载流子 (电子) 消失。因此, 具有 MIS 型栅结构的场效应晶体管处于“正常截止状态”。通过向栅电极 4G 施加正电压 ( $V_{G4} > 0$ ), 电子积聚在 SiN 绝缘膜 45 和 GaN 沟道层 43 之间的界面中, 由此产生二维电子气, 导致其处于“导通状态”。用于将“截止状态”切换到“ON 状态”的栅偏置  $V_{G4}$  的阈值电压  $V_T$  是正电压, 并且半导体器件用作增强模式型的场效应晶体管。

[0320] 在“导通状态”下, SiN 绝缘膜 45 和 GaN 沟道层 43 之间的界面的附近积聚的电子在栅电极 4G 下方行进。电子的迁移率受 GaN 沟道层 43 中存在的电离杂质的电离杂质扩散以及由于 SiN 绝缘膜 45 和 GaN 沟道层 43 之间的界面的干扰导致的界面扩散的影响。因为 GaN 沟道层 43 未被掺杂, 因此抑制电离杂质扩散, 从而不影响 SiN 绝缘膜 45 和 GaN 沟道层 43 之间的界面附近产生的二维电子气的迁移率, 由此导致电子迁移率提高。

[0321] 图 3 示出通过解答用于具有图 1 所示的 MIS 型栅结构的场效应晶体管的 Poisson 等式而估算的阈值电压  $V_T$  与 SiN 绝缘膜 45 之间的依赖关系。

[0322] 在该示例性实施例中, 当未掺杂的  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  用于  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  下部势垒层 42 并且未掺杂的 GaN 用于 GaN 沟道层 43 时, 它们的 n 型杂质 (施主) 的浓度  $N_{SD42}$  和  $N_{SD43}$  理想地都为  $0\text{cm}^{-3}$ 。当  $N_{SD42} = 0\text{cm}^{-3}$  且  $N_{SD43} = 0\text{cm}^{-3}$  时, 根据图 3, 阈值电压  $V_T$  变成正电压, 而无论 SiN 绝缘膜 45 的膜厚度  $t_{\text{SiN}4}$  如何, 并且半导体器件用作增强模式型的晶体管。实际上, 未掺杂的 AlGaIn 和未掺杂的 GaN 包含特定量的残余 n 型杂质。即使在这种情况下, 也提供  $N_{SD43} = 0\text{cm}^{-3}$ , 并且在  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  下部势垒层 42 中的浅 n 型杂质 (施主) 的浓度  $N_{SD42}$  等于或小于  $1 \times 10^{18} \text{cm}^{-3}$  的范围内, 阈值电压  $V_T$  变成正电压, 而无论 SiN 绝缘膜 45 的膜厚度  $t_{\text{SiN}4}$  如何。然而, 当浅 n 型杂质 (施主) 的浓度  $N_{SD42}$  超过  $1 \times 10^{18} \text{cm}^{-3}$  时, 阈值电压  $V_T$  根据 SiN 绝缘膜 45 的膜厚度  $t_{\text{SiN}4}$  而可以变成负电压。

[0323] 如上所述, 在该示例性实施例中, 在 GaN 沟道层 43 和  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  下部势垒层 42 之间的异质界面中, 出现负极化界面电荷  $\sigma_{43}$ 。因此, 当  $N_{SD43} = 0\text{cm}^{-3}$  并且 n 型杂质的面密度 ( $N_{SD42} \cdot t_{\text{barrier}4}$ ) 小于极化电荷面密度  $|\sigma_{43}|/q$ , GaN 沟道层 43 变成在  $V_G = 0\text{V}$  的热平衡状态下被耗尽, 由此导致  $V_T > 0\text{V}$ 。另一方面, n 型杂质的面密度 ( $N_{SD42} \cdot t_{\text{barrier}4}$ ) 大于极化电荷面密度  $|\sigma_{43}|/q$ , 在  $V_G = 0\text{V}$  时产生二维电, 由此导致  $V_T < 0\text{V}$ 。在图 3 所示的计算过程中, 假设  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  下部势垒层 42 的厚度  $t_{\text{barrier}4}$  是  $50\text{nm}$  并且条件  $N_{SD42} = 1 \times 10^{18} \text{cm}^{-3}$  变成  $N_{SD42} \cdot t_{\text{barrier}4} = 5 \times 10^{12} \text{cm}^{-2}$ , 由此  $N_{SD42} \cdot t_{\text{barrier}4}$  变成等于  $|\sigma_{43}|/q (= 5.28 \times 10^{12} \text{cm}^{-2})$ , 使得条件得以满足。

[0324] 因此, 在该示例性实施例中, 已经发现设置了  $N_{SD43} = 0\text{cm}^{-3}$ , 并且  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  下部势垒层 42 中的浅 n 型杂质 (施主) 的浓度的面密度 ( $N_{SD42} \cdot t_{\text{barrier}4}$ ) 被设置在比极化电荷面密度  $|\sigma_{43}|/q$  足够小的范围内, 由此阈值电压  $V_T$  可以被设定成变成正电压, 而无论 SiN 绝缘膜 45 的膜厚度  $t_{\text{SiN}4}$  如何。在  $N_{SD43} = 0\text{cm}^{-3}$  的情况下, 即使  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  下部势垒层 42 的 Al

组分  $x_4$ 、膜厚度  $t_{\text{barrier4}}$  和残余杂质浓度  $N_{\text{SD42}}$  等略微发生变化, 阈值电压也可以保持在  $V_T > 0$  的范围内, 这样可以允许稳定地制造增强模式型的场效应晶体管。

[0325] 例如, 在  $N_{\text{SD42}} = 0\text{cm}^{-3}$  和  $N_{\text{SD43}} = 0\text{cm}^{-3}$  的情况下, 在图 2 所示的  $V_G = 0\text{V}$  的热平衡状态下栅电极 4G 正下方的区域中的导带的带示意图中, 在 GaN 沟道层 43 和  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  下部势垒层 42 之间的异质界面中的 GaN 沟道层 43 的导带能量  $E_c(43)$  被设置得比费米能级  $E_f$  高。该异质界面中的 GaN 沟道层 43 的导带能量  $E_c(43)$  和费米能级  $E_f$  之间的差  $\{E_c(43) - E_f\}$  取决于 SiN 绝缘膜 45 的膜厚度  $t_{\text{SiN4}}$ 。

[0326] 如图 3 中所示, 当未掺杂的 GaN 用于 GaN 沟道层 43 并且  $N_{\text{SD43}} = 0\text{cm}^{-3}$  时, 阈值电压  $V_T$  与 SiN 绝缘膜 45 的膜厚度  $t_{\text{SiN4}}$  之间的依赖关系根据  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  下部势垒层 42 中的浅 n 型杂质 (施主) 的浓度  $N_{\text{SD42}}$  变化。例如, 即使在  $N_{\text{SD42}} = 0\text{cm}^{-3}$  的情况下, 当 SiN 绝缘膜 45 的膜厚度  $t_{\text{SiN4}}$  变化 1nm 时, 阈值电压  $V_T$  的变化量  $\Delta V_T$  相对小, 大约为 0.14V。因此, 相对于 SiN 绝缘膜 45 的膜厚度  $t_{\text{SiN4}}$  的变化, 阈值电压  $V_T$  的均匀性和再现性良好。

[0327] 由于构成绝缘膜 45 的 SiN 膜的电子亲和力  $e \times (\text{SiN})\text{eV}$  和与 SiN 膜接触的栅电极 4G 的 Ti 的功函数  $e \phi(\text{Ti})\text{eV}$  之间的差导致的接触电势差  $\{e \times (\text{SiN}) - e \phi(\text{Ti})\}\text{eV}$  大约为 2.9eV。因此, 当采用具有 Ti/SiN/GaN 的 MIS 结构的栅时, 肖特基结 (MIS 结) 的势垒高度  $\Phi_{\text{barrier}}$  增加为高于常规 MES 型的肖特基结的势垒高度。因此, 在具有图 1 所示的 MIS 型栅结构的场效应晶体管中, 当栅的肖特基结 (MIS 结) 被正向偏置时, 正向栅击穿电压也良好。

[0328] 当将未掺杂的 GaN 用于 GaN 沟道层 43 且  $N_{\text{SD42}} = 0\text{cm}^{-3}$  时, 阈值电压  $V_T$  与绝缘膜的膜厚度的小依赖关系意味着: 当栅的肖特基结 (MIS 结) 被反向偏置时, 施加到绝缘膜 45 的内部电场小。因此, 以反向偏置抑制隧道电流成分, 并且反向泄漏电流也减小。

[0329] 图 4 示意性示出图 1 所示的根据第一示例性实施例的半导体器件结构中除了凹陷部之外存在  $\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}$  接触层 44 的区域的导带的带示意图。

[0330] 通过将具有梯度组分的 AlGaIn 缓冲层 41 作为其下层, (0001) 面上生长的  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  下部势垒层 42 被晶格弛豫。通过使用 AlN 的晶格常数  $a(\text{AlN})$  和 GaN 的晶格常数  $a(\text{GaN})$ , 该下部势垒层 42 的  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  的晶格常数  $a(\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N})$  大致被表示为  $a(\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}) \approx x_4 \cdot a(\text{AlN}) + (1-x_4) \cdot a(\text{GaN})$ 。

[0331] 另一方面, 对于  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  下部势垒层 42 上形成的 GaN 沟道层 43 和  $\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}$  接触层 44, 由于其薄膜厚度, 它们的晶格常数  $a$  都变得基本上等于下部势垒层 42 的  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  的晶格常数  $a(\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N})$ 。也就是说, 在 GaN 沟道层 43 中, 在初始的晶格常数  $a(\text{GaN})$  变为晶格常数  $a(\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N})$  的情况下, 出现压应变。另外, 在  $\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}$  接触层 44 中, 在初始晶格常数  $a(\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N})$  变为晶格常数  $a(\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N})$  的情况下, 出现张应变。

[0332] 另外, 在这种情况下, 由于  $P_{\text{pe}}(\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}) \approx 0$ , 因此  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  下部势垒层 42 中存在的极化  $P_{42}$  大致为  $P_{42} \approx P_{\text{sp}}(\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N})$ 。

[0333] 另一方面, 由于晶格应变导致 GaN 沟道层 43 中存在压应变  $e_{zz}(\text{GaN}) \approx \{a(\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}) - a(\text{GaN})\} / a(\text{GaN})$ , 并且出现压电极化  $P_{\text{pe}}(\text{GaN})$ 。通过使用 GaN 的压电常数  $e_{31}(\text{GaN})$  和  $e_{33}(\text{GaN})$  以及弹性常数  $C_{31}(\text{GaN})$  和  $C_{33}(\text{GaN})$ , 该压电极化  $P_{\text{pe}}(\text{GaN})$  大致表示为  $P_{\text{pe}}(\text{GaN}) \approx 2e_{zz}(\text{GaN}) [e_{31}(\text{GaN}) - e_{33}(\text{GaN}) \cdot \{C_{31}(\text{GaN}) / C_{33}(\text{GaN})\}]$ 。另外, 还存在自发极化  $P_{\text{sp}}(\text{GaN})$ 。在 C 轴生长的情况下, 自发极化  $P_{\text{sp}}(\text{GaN})$  的方向被取向为从前表面朝向衬底。由于压应变  $e_{zz}$  导致的压电极化  $P_{\text{pe}}(\text{GaN})$  具有引起自发极化  $P_{\text{sp}}(\text{GaN})$  的方向。因此, GaN 沟

道层 43 中存在的极化  $P_{43}$  通常是压电极化  $P_{pe}(\text{GaN})$  和自发极化  $P_{sp}(\text{GaN})$  之和, 即,  $P_{43} = P_{sp}(\text{GaN}) + P_{pe}(\text{GaN}) < P_{sp}(\text{GaN})$ 。

[0334] 另外, 由于晶格应变导致  $\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}$  接触层 44 中存在张应变  $e_{zz}(\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}) \approx \{a(\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}) - a(\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N})\} / a(\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N})$ , 并且出现压电极化  $P_{pe}(\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N})$ 。通过使用  $\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}$  的压电常数  $e_{31}(\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N})$  和  $e_{33}(\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N})$  以及弹性常数  $C_{13}(\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N})$  和  $C_{33}(\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N})$ , 该压电极化  $P_{pe}(\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N})$  大致表示为  $P_{pe}(\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}) \approx 2e_{zz}(\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}) [e_{31}(\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}) - e_{33}(\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}) \cdot \{C_{31}(\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}) / C_{33}(\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N})\}]$ 。另外, 还存在自发极化  $P_{sp}(\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N})$ 。在 C 轴生长的情况下, 自发极化  $P_{sp}(\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N})$  的方向被取向为从前表面朝向衬底。由于张应变  $e_{zz}$  导致的压电极化  $P_{pe}(\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N})$  具有与自发极化  $P_{sp}(\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N})$  相同的方向。因此,  $\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}$  接触层 44 中存在的极化  $P_{44}$  通常是压电极化  $P_{pe}(\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N})$  和自发极化  $P_{sp}(\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N})$  之和, 即,  $P_{44} = P_{sp}(\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}) + P_{pe}(\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}) < P_{sp}(\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N})$ 。

[0335] 在 GaN 沟道层 43 和  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  下部势垒层 42 之间的界面中, 极化 P 表现出从  $P_{43}$  到  $P_{42}$  的不连续变化。因此, 在该界面中, 出现面状的极化电荷  $\sigma_{43}$ 。该界面中产生的界面电荷密度  $\sigma_{43}/q$  是  $\sigma_{43}/q = (P_{43} - P_{42})/q$  (其中,  $q$  是电子的电荷量 (单位电荷))。另外, 在  $\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}$  接触层 44 和 GaN 沟道层 43 之间的界面中, 极化 P 表现出从  $P_{44}$  到  $P_{43}$  的不连续变化。因此, 在该界面中, 产生面状的极化电荷  $\sigma_{44}$ 。界面中产生的界面电荷密度  $\sigma_{44}/q$  是  $\sigma_{44}/q = (P_{44} - P_{43})/q$ 。

[0336]  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  下部势垒层 42 中存在的极化  $P_{42}$ 、GaN 沟道层 43 中存在的极化  $P_{43}$  和  $\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}$  接触层 44 中存在的  $P_{44}$  取决于构成下部势垒层 42 的  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  的 Al 组分 ( $x_4$ ) 和构成接触层 44 的  $\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}$  的 Al 组分 ( $z_4$ )。例如, 当  $x_4 = 0.1$  且  $z_4 = 0.25$  时, 计算提供  $P_{42}/q = 2.13 \times 10^{13} \text{cm}^{-2}$ 、 $P_{43}/q = 1.61 \times 10^{13} \text{cm}^{-2}$  和  $P_{44} = 2.97 \times 10^{13} \text{cm}^{-2}$ 。在这种情况下, 在 GaN 沟道层 43 和  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  下部势垒层 42 之间的界面中产生的界面电荷密度  $\sigma_{43}/q$  被估算为  $\sigma_{43}/q = (P_{43} - P_{42})/q = -5.28 \times 10^{12} \text{cm}^{-2}$ 。在  $\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}$  接触层 44 和 GaN 沟道层 43 之间的界面中产生的界面电荷密度  $\sigma_{44}/q$  被估算为  $\sigma_{44}/q = (P_{44} - P_{43})/q = +1.36 \times 10^{13} \text{cm}^{-2}$ 。

[0337] 在 GaN 沟道层 43 和  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  下部势垒层 42 之间的异质界面中, 由于带不连续  $\Delta Ec(\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}/\text{GaN})$  形成势垒 (接触电势差)。在  $\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}$  接触层 44 和 GaN 沟道层 43 之间的异质界面中, 由于带不连续  $\Delta Ec(\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}/\text{GaN})$  形成势垒 (接触电势差)。在这种情况下, 构成下部势垒层 42 的  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  的 Al 组分 ( $x_4$ ) 和构成接触层 44 的  $\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}$  的 Al 组分 ( $z_4$ ) 被设置成  $z_4 > x_4$ , 导致  $\Delta Ec(\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}/\text{GaN}) > \Delta Ec(\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}/\text{GaN})$ 。

[0338] 在  $z_4 = 0.25$  且  $x_4 = 0.1$  的情况下, 在 GaN 沟道层 43 和  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  下部势垒层 42 之间的异质界面中出现负界面电荷 ( $\sigma_{43}$ ), 在  $\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}$  接触层 44 和 GaN 沟道层 43 之间的异质界面中, 出现正界面电荷 ( $\sigma_{44}$ ), 并且总和 ( $\sigma_{44} + \sigma_{43}$ ) 为 ( $\sigma_{44} + \sigma_{43}$ )  $> 0$ 。

[0339] 结果, 在  $\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}$  接触层 44 和 GaN 沟道层 43 之间的界面附近, GaN 沟道层 43 的导带边  $Ec(43)$  变得比费米能级  $E_f$  小。也就是说, 电子积聚在  $\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}$  接触层 44 和 GaN 沟道层 43 之间的界面附近, 由此形成二维电子气 47。当  $\text{Al}_{z_4}\text{Ga}_{1-z_4}\text{N}$  接触层 44、GaN 沟道层 43 和  $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{N}$  下部势垒层 42 中的任一个未被掺杂时, 要积聚的二维电子气 47 的面-载流子密度  $N_{2d-gas4-1}$  被估算为  $N_{2d-gas4-1} \approx (\sigma_{44} + \sigma_{43})/q$ 。

[0340] 传统的增强模式型半导体器件的问题在于, 源和栅之间以及栅和漏之间存在的载

流子被耗尽,使得接入电阻增大。相比之下,根据第一示例性实施例的半导体器件具有在沟道层 43 与接触层 44 的界面中存在的二维电子气 47,而不管其是增强模式型场效应晶体管。因此,源和栅之间以及栅和漏之间的沟道电阻减小,并且寄生电阻减小。

[0341] (第二示例性实施例)

[0342] 图 5 是示意性示出根据第二示例性实施例的半导体器件结构的一个实例的横截面图。

[0343] 在图 5 所示的半导体器件中,衬底 50 是具有 (0001) 面的碳化硅 (SiC) 衬底,缓冲层 51 是具有膜厚度  $t_{\text{buffer}5}$  的、具有梯度组分的 AlGa<sub>1-x<sub>5</sub></sub>N 层,下部势垒层 52 是具有膜厚度  $t_{\text{barrier}5}$  的未掺杂的 Al<sub>x<sub>5</sub></sub>Ga<sub>1-x<sub>5</sub></sub>N 层,沟道层 53 是具有膜厚度  $t_{\text{channel}5}$  的未掺杂的 GaN 层,并且接触层 54 是具有膜厚度  $t_{\text{contact}5}$  的 N 型 Al<sub>z<sub>5</sub></sub>Ga<sub>1-z<sub>5</sub></sub>N 的层。这里,Al<sub>z<sub>5</sub></sub>Ga<sub>1-z<sub>5</sub></sub>N 接触层 54 的 Al 组分 z<sub>5</sub> 被设置成等于 Al<sub>x<sub>5</sub></sub>Ga<sub>1-x<sub>5</sub></sub>N 下部势垒层 52 的 Al 组分 x<sub>5</sub>。例如,将其设置为 x<sub>5</sub> = z<sub>5</sub> = 0.1。构成接触层 54 的 N 型 Al<sub>z<sub>5</sub></sub>Ga<sub>1-z<sub>5</sub></sub>N 接触层掺杂有浅 n 型杂质,用于形成浅施主水平。例如,使用硅 (Si) 作为用于形成浅施主水平的浅 n 型杂质。构成接触层 54 的 N 型 Al<sub>z<sub>5</sub></sub>Ga<sub>1-z<sub>5</sub></sub>N 接触层中掺杂的浅 n 型杂质的浓度  $N_{\text{SD}54}$  被设置成例如  $5 \times 10^{18} \text{cm}^{-3}$ 。

[0344] 在 GaN 沟道层 53 和 Al<sub>z<sub>5</sub></sub>Ga<sub>1-z<sub>5</sub></sub>N 接触层 54 之间的异质界面中,存在由于 GaN 的导带能量  $E_c(\text{GaN})$  和 Al<sub>z<sub>5</sub></sub>Ga<sub>1-z<sub>5</sub></sub>N 的导带能量  $E_c(\text{Al}_{z_5}\text{Ga}_{1-z_5}\text{N})$  之间的差导致的带不连续  $\Delta E_c(\text{Al}_{z_5}\text{Ga}_{1-z_5}\text{N}/\text{GaN}) = E_c(\text{Al}_{z_5}\text{Ga}_{1-z_5}\text{N}) - E_c(\text{GaN})$ 。结果,在 GaN 沟道层 53 和 Al<sub>z<sub>5</sub></sub>Ga<sub>1-z<sub>5</sub></sub>N 接触层 54 之间的异质界面附近,积聚电子,由此产生二维电子气 57。

[0345] 另一方面,在 GaN 沟道层 53 和 Al<sub>x<sub>5</sub></sub>Ga<sub>1-x<sub>5</sub></sub>N 下部势垒层 52 之间的异质界面中,存在由于 GaN 的导带能量  $E_c(\text{GaN})$  和 Al<sub>x<sub>5</sub></sub>Ga<sub>1-x<sub>5</sub></sub>N 的导带能量  $E_c(\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N})$  之间的差导致的带不连续  $\Delta E_c(\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N}/\text{GaN}) = E_c(\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N}) - E_c(\text{GaN})$ 。该带不连续  $\Delta E_c(\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N}/\text{GaN})$  用作对抗 GaN 沟道层 53 中存在的电子的下势垒。

[0346] 在 Al<sub>z<sub>5</sub></sub>Ga<sub>1-z<sub>5</sub></sub>N 接触层 54 上,形成源电极 5S 和漏电极 5D。源电极 5S 和漏电极 5D 与 Al<sub>z<sub>5</sub></sub>Ga<sub>1-z<sub>5</sub></sub>N 接触层 54 形成欧姆接触。在位于源电极 5S 和漏电极 5D 之间的区域中,设置栅电极 5G,并由此构造出场效应晶体管。在位于源电极 5S 和漏电极 5D 之间的区域中,蚀刻掉 Al<sub>z<sub>5</sub></sub>Ga<sub>1-z<sub>5</sub></sub>N 接触层 54 的一部分,以形成凹陷部。在该凹陷部上,由 SiN 构成的绝缘膜 55 被层层覆盖 GaN 沟道层 53 的暴露前表面。在该凹陷部中,栅电极 5G 形成在 Al<sub>z<sub>5</sub></sub>Ga<sub>1-z<sub>5</sub></sub>N 接触层 54 的上表面上,以使其被嵌入,并且插入由 SiN 构成的绝缘膜 55。栅电极 5G 的下表面被设置成借助于由 SiN 构成的绝缘膜与 GaN 沟道层 53 的上表面形成肖特基接触 (MIS 结)。

[0347] 根据下述的工艺制造具有如图 5 所示结构的半导体器件。例如,通过 MOCVD 法,在 SiC 衬底 50 的 (0001) 面上,上述的各个基于 III 族氮化物的半导体层按以下的表 5 所示的膜厚度顺序生长。注意的是,所述各个基于 III 族氮化物的半导体层在 SiC 衬底 50 的 (0001) 面上 C 轴生长。

[0348] [表 5]

[0349]

各个基于 III 族氮化物的半导体层	膜厚度
具有梯度组分的未掺杂的 AlGa <sub>1-x<sub>5</sub></sub> N 缓冲层 51	1 μm
未掺杂的 Al <sub>x<sub>5</sub></sub> Ga <sub>1-x<sub>5</sub></sub> N 下部势垒层 52	50nm
未掺杂的 GaN 沟道层 53	30nm
N 型 Al <sub>z<sub>5</sub></sub> Ga <sub>1-z<sub>5</sub></sub> N 接触层 54	40nm

[0350] 在这种情况下,当将  $\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N}$  下部势垒层 52 的 Al 组分  $x_5$  设置为例如  $x_5 = 0.1$  时,将  $\text{Al}_{z_5}\text{Ga}_{1-z_5}\text{N}$  接触层 54 的 Al 组分  $z_5$  设置为例如  $z_5 = 0.1$  可以提供满足以上条件:  $x_5 = z_5$  的结构。另一方面,AlGaN 缓冲层 51 的 Al 组分  $x_{5B}(t_{5B})$  从衬底 50 ( $t_{5B} = 0$ ) 向着缓冲层 51 的前表面 ( $t_{5B} = 1 \mu\text{m}$ ) 逐渐减小。例如,根据  $dx_{5B}(t_{5B})/dt_{5B} = -0.9 \mu\text{m}^{-1}$ ,具有梯度组分的 AlGaN 缓冲层 51 的 Al 组分  $x_{5B}(t_{5B})$  从  $x_{5B}(t_{5B} = 0) = 1$  减小为  $x_{5B}(t_{5B} = 1 \mu\text{m}) = 0.1$ 。

[0351] 在  $x_5 = 0.1$  且  $z_5 = 0.1$  的情况下,在 GaN 沟道层 53 和  $\text{Al}_{z_5}\text{Ga}_{1-z_5}\text{N}$  接触层 54 之间的异质界面的附近产生的二维电子气 57 的迁移率为大约  $1500\text{cm}^2/\text{Vs}$  ( $20^\circ\text{C}$ )。该二维电子气 57 的迁移率是良好的值。另外,要积聚的二维电子气 57 的密度  $N_{2d\text{-gas}5-1}$  为  $N_{2d\text{-gas}5-1} = 0.9 \times 10^{13}\text{cm}^{-2}$  ( $20^\circ\text{C}$ )。

[0352] GaN 沟道层 53 未被掺杂并且具有低密度的离化杂质,使得离化杂质的扩散得以抑制。另外,GaN 沟道层 53 和  $\text{Al}_{z_5}\text{Ga}_{1-z_5}\text{N}$  接触层 54 之间的异质界面在原子级是平坦的,使得界面扩散也得以抑制。由于离化杂质扩散和界面扩散的抑制效果,异质界面附近产生的二维电子气 57 的迁移率表现出上述的良好的值。

[0353] 在形成源电极 5S 和漏电极 5D 的步骤中,首先,在 N 型  $\text{Al}_{z_5}\text{Ga}_{1-z_5}\text{N}$  接触层 54 上,例如,沉积并构图诸如 Ti、Al、Ni 和 Au 的金属。接着,例如,通过在氮气的气氛下,在  $850^\circ\text{C}$  的温度下进行合金处理 30 秒,形成欧姆接触。

[0354] 接着,使用基于  $\text{Cl}_2$  的气体,蚀刻掉  $\text{Al}_{z_5}\text{Ga}_{1-z_5}\text{N}$  接触层 54 的一部分,以形成凹陷部。在该凹陷部中,暴露 GaN 沟道层 53 的前表面。在凹陷部的蚀刻步骤之后,凹陷部中的 GaN 沟道层 53 的膜厚度  $t_{\text{channel } 5-G}$  为 25nm。当位于源电极 5S 和漏电极 5D 之间的区域的宽度  $W_{S-D5}$  例如被设定在  $W_{S-D5} = 5 \mu\text{m}$  处时,该凹陷部的宽度  $W_{\text{recess}5}$  例如被设定在  $W_{\text{recess}5} = 2 \mu\text{m}$  处。在这种情况下,凹陷部的深度  $d_{\text{recess}5}$  被设定在  $d_{\text{recess}5} = 45\text{nm}$ 。

[0355] 随后,例如,通过使用 PECVD 法,形成由 SiN 构成的绝缘膜 55。在这种情况下,要形成的 SiN 的膜厚度选自平坦区域上的  $t_{\text{SiN}5} = 5\text{nm}-200\text{nm}$  的范围内。另一方面,在凹陷部的侧壁表面上要形成的 SiN 的膜厚度  $t_{\text{SiN}5\text{-well}}$  通常等于或小于  $t_{\text{SiN}5}$ 。

[0356] 图 5 所示的半导体器件是凹陷部的侧壁表面的倾斜角被设置为 90 度的示例性实施例,但是倾斜角可以减小成小于 90 度,以提高凹陷部的侧壁表面的涂覆性。

[0357] 在沉积由 SiN 构成的绝缘膜 55 之后,沉积诸如 Ti、Pt 和 Au 的金属,并且通过剥离形成栅电极 5G。通过剥离形成的栅电极 5G 被形成为嵌入在由绝缘膜 55 涂覆的凹陷部中。凹陷部底部上的栅电极 5G 的有效栅长度  $L_{5G\text{-effect}}$  为  $L_{5G\text{-effect}} \approx W_{\text{recess}5} - 2 \times t_{\text{SiN}5\text{-well}}$ 。在凹陷部的底部上,栅电极 5G 形成在 GaN 沟道层 53 上,并且插入由 SiN 构成的绝缘膜 55,由此构造出肖特基接触 (MIS 结)。当  $t_{\text{SiN}5}$  选自  $t_{\text{SiN}5} = 5\text{nm}-200\text{nm}$  的范围内时,栅电极 5G 的有效栅长度  $L_{G\text{-effect}}$  和该栅电极 5G 正下方的绝缘膜的膜厚度  $t_{\text{SiN}5}$  之比  $L_{5G\text{-effect}}/t_{\text{SiN}5}$  落入 400-8 的范围内。

[0358] 例如,在  $t_{\text{SiN}5} \geq 45\text{nm}$  的情况下,设置  $d_{\text{recess}5} = 45\text{nm}$ ,由此凹陷部通过由 SiN 构成的绝缘膜 55 嵌入。在这种情况下,在由 SiN 构成的绝缘膜 55 的上表面上,形成具有与  $(W_{\text{recess}5} - 2 \times t_{\text{SiN}5})$  相对应的宽度的凹进部,并且栅电极 5G 被形成为嵌入在该凹进部中。在这种情况下,栅电极 5G 的有效栅长度  $L_{5G\text{-effect}}$  对应于  $(W_{\text{recess}5} - 2 \times t_{\text{SiN}5})$ 。

[0359] 另一方面,当  $t_{\text{SiN}5} = 5\text{nm}$  时,设置  $d_{\text{recess}5} = 45\text{nm}$  并且设置过蚀刻的量  $(d_{\text{recess}5} - t_{\text{contact}5})$ ,并且过蚀刻的量  $(d_{\text{recess}5} - t_{\text{contact}5})$  等于绝缘膜的膜厚度  $t_{\text{SiN}5}$ 。注意的是,具

体来讲,将绝缘膜的膜厚度  $t_{\text{SiN}5}$  减小为小于过蚀刻的量 ( $d_{\text{recess}5}-t_{\text{contact}5}$ ) 不引起任何问题。

[0360] 用于绝缘膜 55 的 SiN 膜的电子亲和力  $e \chi(\text{SiN}) \text{eV}$ 、Ti 的功函数  $e \Phi(\text{Ti}) \text{eV}$  和沟道层 53 的 GaN 的电子亲和力  $e \chi(\text{GaN}) \text{eV}$  分别被估算为  $e \chi(\text{SiN}) \text{eV} = 1.4 \text{eV}$ 、 $e \Phi(\text{Ti}) \text{eV} = 4.3 \text{eV}$  和  $e \chi(\text{GaN}) \text{eV} = 3.9 \text{eV}$ 。因此,由于功函数的差而分别使得在 SiN 绝缘膜 55 和栅电极 5G 的 Ti 之间的界面中形成  $\{e \chi(\text{SiN})-e \Phi(\text{Ti})\} \text{eV} \approx 2.9 \text{eV}$  的势垒,并且在 SiN 绝缘膜 55 和 GaN 沟道层 53 之间的界面中形成  $\{e \chi(\text{SiN})-e \chi(\text{GaN})\} \text{eV} \approx 2.5 \text{eV}$  的势垒(接触电势差)。注意的是,在 GaN 沟道层 53 和  $\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N}$  下部势垒层 52 之间的异质界面中,由于带不连续  $\Delta E_c(\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N}/\text{GaN})$  而形成势垒(接触电势差)。另外,设置  $(e \chi(\text{GaN})-e \Phi(\text{Ti})) \text{eV} \approx 0.4 \text{eV}$ 。

[0361] 因此,在根据图 5 所示的根据第二示例性实施例的半导体器件结构中,在凹陷部中形成的栅电极 5G 正下方的区域中的导带的带示意图与图 2 示意性示出的导带的带示意图十分类似。

[0362] 通过将具有梯度组分的 AlGaIn 缓冲层 51 作为其下层,(0001) 面上生长的  $\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N}$  下部势垒层 52 变得晶格弛豫。通过使用 AlN 的晶格常数  $a(\text{AlN})$  和 GaN 的晶格常数  $a(\text{GaN})$ ,下部势垒层 52 的  $\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N}$  的晶格常数  $a(\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N})$  大致被表示为  $a(\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N}) \approx x_5 \cdot a(\text{AlN})+(1-x_5) \cdot a(\text{GaN})$ 。

[0363] 另一方面,对于  $\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N}$  下部势垒层 52 上的 GaN 沟道层 53 和  $\text{Al}_{z_5}\text{Ga}_{1-z_5}\text{N}$  接触层 54,由于其薄膜厚度,导致它们的晶格常数  $a$  都变得基本上等于下部势垒层 52 的  $\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N}$  的晶格常数  $a(\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N})$ 。也就是说,在 GaN 沟道层 53 中,在初始的晶格常数  $a(\text{GaN})$  变为晶格常数  $a(\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N})$  的情况下,出现压应变。另外,因为  $\text{Al}_{z_5}\text{Ga}_{1-z_5}\text{N}$  接触层 54 的 Al 组分  $z_5$  等于  $\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N}$  下部势垒层 52 的 Al 组分  $x_5$ ,没有出现晶格应变。

[0364] 因为由于晶格应变导致的应变  $e_{zz}$  实质上不存在于  $\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N}$  下部势垒层 52 中,所以没有出现压电极化  $P_{pe}(\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N})$ 。然而,在  $\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N}$  下部势垒层 52 中出现自发极化  $P_{sp}(\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N})$ 。在 C 轴生长的情况下,该自发极化  $P_{sp}(\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N})$  的方向被取向为从前表面朝向衬底。因此, $\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N}$  下部势垒层 52 中存在的极化  $P_{52}$  通常是压电极化  $P_{pe}(\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N})$  和自发极化  $P_{sp}(\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N})$  之和,即  $P_{52} = P_{sp}(\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N})+P_{pe}(\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N})$ 。在这种情况下,因为  $P_{pe}(\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N}) \approx 0$ , $\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N}$  下部势垒层 52 中存在的极化  $P_{52}$  大致为  $P_{52} \approx P_{sp}(\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N})$ 。

[0365] 类似地,由于晶格应变导致的应变  $e_{zz}$  实质上不存在于  $\text{Al}_{z_5}\text{Ga}_{1-z_5}\text{N}$  接触层 54 中,所以没有出现压电极化  $P_{pe}(\text{Al}_{z_5}\text{Ga}_{1-z_5}\text{N})$ 。在这种情况下,因为  $P_{pe}(\text{Al}_{z_5}\text{Ga}_{1-z_5}\text{N}) \approx 0$ ,所以  $\text{Al}_{z_5}\text{Ga}_{1-z_5}\text{N}$  接触层 54 中存在的极化  $P_{54}$  大致为  $P_{54} \approx P_{sp}(\text{Al}_{z_5}\text{Ga}_{1-z_5}\text{N})$ 。

[0366] 另一方面,由于晶格应变导致 GaN 沟道层 53 中存在压应变  $e_{zz}(\text{GaN}) \approx \{a(\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N})-a(\text{GaN})\}/a(\text{GaN})$ ,并且出现压电极化  $P_{pe}(\text{GaN})$ 。通过使用 GaN 的压电常数  $e_{31}(\text{GaN})$  和  $e_{33}(\text{GaN})$  以及弹性常数  $C_{13}(\text{GaN})$  和  $C_{33}(\text{GaN})$ ,该压电极化  $P_{pe}(\text{GaN})$  大致表示为  $P_{pe}(\text{GaN}) \approx 2e_{zz}(\text{GaN}) [e_{31}(\text{GaN})-e_{33}(\text{GaN}) \cdot \{C_{31}(\text{GaN})/C_{33}(\text{GaN})\}]$ 。另外,还存在自发极化  $P_{sp}(\text{GaN})$ 。在 C 轴生长的情况下,自发极化  $P_{sp}(\text{GaN})$  的方向被取向为从前表面朝向衬底。由于压应变  $e_{zz}$  导致的压电极化  $P_{pe}(\text{GaN})$  具有引起自发极化  $P_{sp}(\text{GaN})$  的方向。因此,GaN 沟道层 53 中存在的极化  $P_{43}$  通常是压电极化  $P_{pe}(\text{GaN})$  和自发极化  $P_{sp}(\text{GaN})$  之和,即,  $P_{53} = P_{sp}(\text{GaN})+P_{pe}(\text{GaN}) < P_{sp}(\text{GaN})$ 。

[0367] SiN 绝缘膜 55 是多晶或非晶膜。因此, SiN 绝缘膜 55 作为整体没有表现出各向异性并且不产生极化。也就是说, SiN 绝缘膜 55 中的极化  $P_{55}$  是  $P_{55} = 0$ 。

[0368] 在 GaN 沟道层 53 和  $Al_{x_5}Ga_{1-x_5}N$  下部势垒层 52 之间的界面中, 极化 P 表现出从  $P_{53}$  到  $P_{52}$  的不连续变化。因此, 在该界面中, 出现面状的极化电荷  $\sigma_{53}$ 。该界面中产生的界面电荷密度  $\sigma_{53}/q$  是  $\sigma_{53}/q = (P_{53}-P_{52})/q$  (其中,  $q$  是电子的电荷量 (单位电荷))。

[0369] 另外, 在 SiN 绝缘膜 55 和 GaN 沟道层 53 之间的界面中, 极化 P 还表现出从  $P_{55}$  到  $P_{53}$  的不连续变化。因此, 在该界面中, 出现面状的极化电荷  $\sigma_{55}$ 。界面中产生的界面电荷密度  $\sigma_{55}/q$  是  $\sigma_{55}/q = (P_{55}-P_{53})/q$ 。另一方面, 在 SiN 绝缘膜 55 和 GaN 沟道层 53 之间的界面中, 产生面密度相当大的界面状态。因此, 界面中产生的界面电荷通过这种界面状态来补偿, 并且在 SiN 绝缘膜 55 和 GaN 沟道层 53 之间的界面中, 没有观察到所产生的界面电荷的有效积聚。

[0370]  $Al_{x_5}Ga_{1-x_5}N$  下部势垒层 52 中存在的极化  $P_{52}$  和 GaN 沟道层 53 中存在的极化  $P_{53}$  取决于构成下部势垒层 52 的  $Al_{x_5}Ga_{1-x_5}N$  的 Al 组分 ( $x_5$ )。例如, 当  $x_5 = 0.1$  时, 计算提供  $P_{52}/q = 2.13 \times 10^{13} \text{cm}^{-2}$  和  $P_{53}/q = 1.61 \times 10^{13} \text{cm}^{-2}$ 。另外, 当  $Al_{z_5}Ga_{1-z_5}N$  接触层 54 的 Al 组分  $z_5$  等于  $Al_{x_5}Ga_{1-x_5}N$  下部势垒层 52 的 Al 组分 ( $x_5$ ) 且  $z_5 = x_5 = 0.1$  时, 计算提供  $P_{54}/q = 2.13 \times 10^{13} \text{cm}^{-2}$ 。

[0371] 在这种情况下, 在 GaN 沟道层 53 和  $Al_{x_5}Ga_{1-x_5}N$  下部势垒层 52 之间的界面中产生的界面电荷密度  $\sigma_{53}/q$  被估算为  $\sigma_{53}/q = (P_{53}-P_{52})/q = -5.28 \times 10^{12} \text{cm}^{-2}$ 。另外, 在  $Al_{z_4}Ga_{1-z_4}N$  接触层 54 和 GaN 沟道层 53 之间的界面中产生的界面电荷密度  $\sigma_{54}/q$  被估算为  $\sigma_{54}/q = (P_{54}-P_{53})/q = +5.28 \times 10^{12} \text{cm}^{-2}$ 。

[0372] 另外, 在该示例性实施例中, 当未掺杂的  $Al_{x_5}Ga_{1-x_5}N$  用于  $Al_{x_5}Ga_{1-x_5}N$  下部势垒层 52 并且未掺杂的 GaN 用于 GaN 沟道层 53 时, 它们的浅 n 型杂质 (施主) 的浓度  $N_{SD52}$  和  $N_{SD53}$  理想地都为  $0 \text{cm}^{-3}$ 。

[0373] 当栅偏置  $V_{G5}$  被设置为  $V_{G5} = 0 \text{V}$  时, 如果  $Al_{x_5}Ga_{1-x_5}N$  下部势垒层 52 和 GaN 沟道层 53 都未被掺杂并且  $N_{SD52} = 0 \text{cm}^{-3}$  和  $N_{SD53} = 0 \text{cm}^{-3}$ , 则在凹陷部中形成的栅电极 5G 正下方的区域中, 没有提供由于 n 型杂质的离化产生的电子。因此, 由于界面电荷  $\sigma_{53}$ , 所以仅在 GaN 沟道层 53 和  $Al_{x_5}Ga_{1-x_5}N$  下部势垒层 52 之间的界面中存在电场。因此, 与图 2 所示的带示意图类似地, GaN 沟道层 53 的导带边  $E_c(53)$  在能量上设置成比费米能级  $E_f$  高。换言之, 在 GaN 沟道层 53 中, 没有载流子 (电子)。因此, 具有 MIS 型栅结构的场效应晶体管处于“正常截止状态”。通过向栅电极 5G 施加正电压 ( $V_{G5} > 0$ ), 电子积聚在 SiN 绝缘膜 55 和 GaN 沟道层 53 之间的界面中, 由此产生二维电子气, 导致其处于“导通状态”。用于将“截止状态”切换到“导通状态”的栅偏置  $V_{G5}$  的阈值电压  $V_T$  变成正电压, 并且半导体器件用作增强模式的场效应晶体管。

[0374] 在“导通状态”下, SiN 绝缘膜 55 和 GaN 沟道层 53 之间的界面的附近积聚的电子在栅电极 5G 正下方行进。电子的迁移率受 GaN 沟道层 53 中存在的离化杂质的离化杂质扩散以及由于 SiN 绝缘膜 55 和 GaN 沟道层 53 之间的界面的干扰导致的界面扩散的影响。因为 GaN 沟道层 53 未被掺杂, 因此抑制离化杂质扩散, 从而不影响 SiN 绝缘膜 55 和 GaN 沟道层 53 之间的界面的附近产生的二维电子气的迁移率, 由此导致电子迁移率提高。

[0375] 如图 3 所示, 针对具有图 5 所示的 MIS 型栅结构的场效应晶体管而估算的阈值电



压  $V_T$  与 SiN 绝缘膜 55 之间的依赖关系与图 1 所示的针对具有图 1 所示的 MIS 型栅结构的场效应晶体管而估算的结果相类似。在  $N_{SD53} = 0\text{cm}^{-3}$  的情况下, 如果  $\text{Al}_{x5}\text{Ga}_{1-x5}\text{N}$  下部势垒层 52 中的浅 n 型杂质 (施主) 的浓度  $N_{SD52}$  增大, 则  $\text{Al}_{x5}\text{Ga}_{1-x5}\text{N}$  下部势垒层 52 的导带能量  $E_c(52)$  和费米能级  $E_f$  之间的差  $\{E_c(52) - E_f\}$  减小。结果, GaN 沟道层 53 中的导带能量  $E_c(53)$  也减小。当  $\text{Al}_{x5}\text{Ga}_{1-x5}\text{N}$  下部势垒层 52 中的浅 n 型杂质 (施主) 的浓度  $N_{SD52}$  达到满足  $N_{SD52} \cdot t_{\text{barrier}5} > |\sigma_{53}|/q$  的条件, 则即使  $V_{G5}$  被设置为  $V_{G5} = 0\text{V}$ , 随着 SiN 绝缘膜 55 的膜厚度  $t_{\text{SiN}5}$  增加, 在 GaN 沟道层 53 中开始出现载流子 (电子)。参照图 3 所示的估算得出的结果, 示出当  $N_{SD53} = 0\text{cm}^{-3}$  且  $\text{Al}_{x5}\text{Ga}_{1-x5}\text{N}$  下部势垒层 52 中的浅 n 型杂质 (施主) 的浓度  $N_{SD52}$  落入等于或小于  $10^{18}\text{cm}^{-3}$  的范围内时, 阈值电压  $V_T$  变成正电压, 而不管 SiN 绝缘膜 55 的膜厚度  $t_{\text{SiN}5}$  如何。另一方面, 当  $\text{Al}_{x5}\text{Ga}_{1-x5}\text{N}$  下部势垒层 52 中的浅 n 型杂质 (施主) 的浓度  $N_{SD52}$  达到  $2 \times 10^{18}\text{cm}^{-3}$  时, 在 SiN 绝缘膜 55 的膜厚度  $t_{\text{SiN}5}$  超过 3nm 的范围内, 阈值电压  $V_T$  变成负电压。

[0376] 当至少  $N_{SD53} = 0\text{cm}^{-3}$  且  $\text{Al}_{x5}\text{Ga}_{1-x5}\text{N}$  下部势垒层 52 中的浅 n 型杂质 (施主) 的浓度  $N_{SD52}$  位于满足  $N_{SD52} \cdot t_{\text{barrier}5} \leq |\sigma_{53}|/q$  的条件的范围内时, 阈值电压  $V_T$  变成正电压, 而不管 SiN 绝缘膜 55 的膜厚度  $t_{\text{SiN}5}$  如何。因此, 具有满足该条件的 MIS 栅结构的场效应晶体管处于“正常截止状态”。当  $N_{SD53} = 0\text{cm}^{-3}$  时, 即使膜厚度  $t_{\text{barrier}5}$  略微发生变化, 通过选择  $\text{Al}_{x5}\text{Ga}_{1-x5}\text{N}$  下部势垒层 52 中的浅 n 型杂质 (施主) 的浓度  $N_{SD52}$  位于满足  $N_{SD52} \cdot t_{\text{barrier}5} < |\sigma_{53}|/q$  的条件的范围内, 阈值电压  $V_T$  可以保持在  $V_T > 0$  的范围内。因此, 在满足以上条件的范围内, 可以稳定地制造增强模式型场效应晶体管。

[0377] 例如, 在  $N_{SD52} = 0\text{cm}^{-3}$  且  $N_{SD53} = 0\text{cm}^{-3}$  的情况下, 在  $V_G = 0\text{V}$  的热平衡状态下栅电极 5G 正下方的区域中的导带的带示意图中, 在 GaN 沟道层 53 和  $\text{Al}_{x5}\text{Ga}_{1-x5}\text{N}$  下部势垒层 52 之间的异质界面中的 GaN 沟道层 53 的导带能量  $E_c(43)$  在能量上设置得比费米能级  $E_f$  高。该异质界面中的 GaN 沟道层 53 的导带能量  $E_c(53)$  和费米能级  $E_f$  之间的差  $\{E_c(53) - E_f\}$  取决于 SiN 绝缘膜 55 的膜厚度  $t_{\text{SiN}5}$ 。

[0378] 参照图 3 中的结果, 当  $N_{SD53} = 0\text{cm}^{-3}$  时, 阈值电压  $V_T$  与 SiN 绝缘膜 55 的膜厚度  $t_{\text{SiN}5}$  之间的依赖关系根据  $\text{Al}_{x5}\text{Ga}_{1-x5}\text{N}$  下部势垒层 52 中的浅 n 型杂质 (施主) 的浓度  $N_{SD52}$  变化。例如, 即使在  $N_{SD53} = 0\text{cm}^{-3}$  且  $N_{SD52} = 0\text{cm}^{-3}$  的情况下, 当 SiN 绝缘膜 55 的膜厚度  $t_{\text{SiN}5}$  变化 1nm 时, 阈值电压  $V_T$  的变化量  $\Delta V_T$  相对小, 大约为 0.14V。因此, 对抗 SiN 绝缘膜 55 的膜厚度  $t_{\text{SiN}5}$  的变化, 阈值电压  $V_T$  的均匀性和再现性良好。

[0379] 由于构成绝缘膜 55 的 SiN 膜的电子亲和力  $e\chi(\text{SiN})\text{eV}$  和与该 SiN 膜接触的栅电极 5G 的 Ti 的功函数  $e\Phi(\text{Ti})\text{eV}$  之间的差导致的接触电势差  $\{e\chi(\text{SiN}) - e\Phi(\text{Ti})\}\text{eV}$  大约为 2.9eV。因此, 当采用具有 Ti/SiN/GaN 的 MIS 结构的栅时, 肖特基结 (MIS 结) 的势垒高度  $\Phi_{\text{barrier}}$  增加为高于常规 MES 型的肖特基结的势垒高度。因此, 在具有图 5 所示的 MIS 型栅结构的场效应晶体管中, 当栅的肖特基结 (MIS 结) 被正向偏置时, 正向栅击穿电压也良好。

[0380] 当将未掺杂的 GaN 用于 GaN 沟道层 53 且  $N_{SD53} = 0\text{cm}^{-3}$  时, 阈值电压  $V_T$  与绝缘膜的膜厚度的小依赖关系意味着: 当栅的肖特基结 (MIS 结) 被反向偏置时, 施加到绝缘膜 55 的内部电场小。因此, 以反向偏置抑制隧道电流成分, 并且反向泄漏电流也减小。

[0381] 图 6 示意性示出图 5 所示的根据第二示例性实施例的半导体器件结构中除了凹陷

部之外存在  $\text{Al}_{z_5}\text{Ga}_{1-z_5}\text{N}$  接触层 54 的区域的导带的带示意图。

[0382] 在  $\text{GaN}$  沟道层 53 和  $\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N}$  下部势垒层 52 之间的界面中,极化 P 表现出从  $P_{53}$  到  $P_{52}$  的不连续变化。因此,在该界面中,出现面状的极化电荷  $\sigma_{53}$ 。该界面中产生的界面电荷密度  $\sigma_{53}/q$  是  $\sigma_{53}/q = (P_{53}-P_{52})/q$  (其中,  $q$  是电子的电荷量 (单位电荷))。另外,在 N 型  $\text{Al}_{z_5}\text{Ga}_{1-z_5}\text{N}$  接触层 54 和  $\text{GaN}$  沟道层 53 之间的界面中,极化 P 表现出从  $P_{54}$  到  $P_{53}$  的不连续变化。因此,在该界面中,出现面状的极化电荷  $\sigma_{54}$ 。界面中产生的界面电荷密度  $\sigma_{54}/q$  是  $\sigma_{54}/q = (P_{54}-P_{53})/q$ 。

[0383]  $\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N}$  下部势垒层 52 中存在的极化  $P_{52}$ 、 $\text{GaN}$  沟道层 53 中存在的极化  $P_{53}$  和  $\text{Al}_{z_5}\text{Ga}_{1-z_5}\text{N}$  接触层 54 中存在的  $P_{54}$  取决于构成下部势垒层 52 的  $\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N}$  的 Al 组分 ( $x_5$ ) 和构成接触层 54 的  $\text{Al}_{z_5}\text{Ga}_{1-z_5}\text{N}$  的 Al 组分 ( $z_5$ )。例如,当  $x_5 = 0.1$  且  $z_5 = 0.1$  时,计算提供  $P_{52}/q = 2.13 \times 10^{13} \text{cm}^{-2}$ 、 $P_{53}/q = 1.61 \times 10^{13} \text{cm}^{-2}$  且  $P_{54} = 2.13 \times 10^{13} \text{cm}^{-2}$ 。在这种情况下,在  $\text{GaN}$  沟道层 53 和  $\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N}$  下部势垒层 52 之间的界面中产生的界面电荷密度  $\sigma_{53}/q$  被估算为  $\sigma_{53}/q = (P_{53}-P_{52})/q = -5.28 \times 10^{12} \text{cm}^{-2}$ 。在 N 型  $\text{Al}_{z_5}\text{Ga}_{1-z_5}\text{N}$  接触层 54 和  $\text{GaN}$  沟道层 53 之间的界面中产生的界面电荷密度  $\sigma_{54}/q$  被估算为  $\sigma_{54}/q = (P_{54}-P_{53})/q = +5.28 \times 10^{12} \text{cm}^{-2}$ 。

[0384] 在  $z_5 = 0.1$  且  $x_5 = 0.1$  的情况下,在  $\text{GaN}$  沟道层 53 和  $\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N}$  下部势垒层 52 之间的界面中,产生负界面电荷 ( $\sigma_{53}$ ),以及在  $\text{Al}_{z_5}\text{Ga}_{1-z_5}\text{N}$  接触层 54 和  $\text{GaN}$  沟道层 53 之间的界面中,产生正界面电荷 ( $\sigma_{54}$ ),并且其总和 ( $\sigma_{54} + \sigma_{53}$ ) 为  $(\sigma_{54} + \sigma_{53}) = 0$ 。

[0385] 在  $\text{GaN}$  沟道层 53 和  $\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N}$  下部势垒层 52 之间的异质界面中,由于带不连续  $\Delta E_C(\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N}/\text{GaN})$  形成势垒 (接触电势差)。在 N 型  $\text{Al}_{z_5}\text{Ga}_{1-z_5}\text{N}$  接触层 54 和  $\text{GaN}$  沟道层 53 之间的异质界面中,由于带不连续  $\Delta E_C(\text{Al}_{z_5}\text{Ga}_{1-z_5}\text{N}/\text{GaN})$  形成势垒 (接触电势差)。在这种情况下,当构成下部势垒层 52 的  $\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N}$  的 Al 组分 ( $x_5$ ) 和构成接触层 54 的  $\text{Al}_{z_5}\text{Ga}_{1-z_5}\text{N}$  的 Al 组分 ( $z_5$ ) 被设置成  $z_5 = x_5$  时,设置  $\Delta E_C(\text{Al}_{z_5}\text{Ga}_{1-z_5}\text{N}/\text{GaN}) = \Delta E_C(\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N}/\text{GaN})$ 。

[0386] 在  $(\sigma_{54} + \sigma_{53}) = 0$  的情况下,没有产生由于极化效应导致的载流子。另一方面,如图 6 中所示, N 型  $\text{Al}_{z_5}\text{Ga}_{1-z_5}\text{N}$  接触层 54 中靠近与  $\text{GaN}$  沟道层 53 的界面的部分形成耗尽区。与形成的该耗尽区相关联,载流子从 N 型  $\text{Al}_{z_5}\text{Ga}_{1-z_5}\text{N}$  接触层 54 提供到  $\text{GaN}$  沟道层 53,由此产生二维电子气 57。因此,要积聚的二维电子气 57 的密度  $N_{2d-gas5-1}$  落入  $N_{2d-gas5-1} < N_{SD54} \cdot t_{contact5}$  的范围内。

[0387] 传统的增强模式型半导体器件具有的问题在于,源和栅之间以及栅和漏之间存在的载流子被耗尽,由此接入电阻增大。相比之下,根据第二示例性实施例的半导体器件具有在沟道层 53 与接触层 54 的界面中存在的二维电子气 57,而不管其是增强模式型场效应晶体管。因此,源和栅之间以及栅和漏之间的接入电阻减小。当然,因为在 N 型  $\text{Al}_{z_5}\text{Ga}_{1-z_5}\text{N}$  接触层 54 上形成欧姆电极,所以漏电极 5D 和源电极 5S 之间的接触电阻也减小。也就是说,源和栅之间以及栅和漏之间的沟道电阻减小。由于这些原因,导致寄生电阻也大幅度提高。

[0388] 注意的是,在第二示例性实施例中,在上述的特定实例中, N 型  $\text{Al}_{z_5}\text{Ga}_{1-z_5}\text{N}$  接触层 54 的 Al 组分 ( $z_5$ ) 被设置成等于  $\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N}$  下部势垒层 52 的 Al 组分 ( $x_5$ )。当然,即使  $z_5$  被设置成大于  $x_5$ ,在 N 型  $\text{Al}_{z_5}\text{Ga}_{1-z_5}\text{N}$  接触层 54 和  $\text{GaN}$  沟道层 53 之间的界面的附近也积聚电子,由此产生二维电子气 57。在  $z_5 > x_5$  的情况下,因为由于极化效应导致的界面电荷之和 ( $\sigma_{54} + \sigma_{53}$ ) 变成正的,所以如果 N 型  $\text{Al}_{z_5}\text{Ga}_{1-z_5}\text{N}$  接触层 54 中的浅 n 型杂质 (施主) 的浓度  $N_{SD54}$  降低,则形成二维电子气 57。在这种情况下,要积聚的二维电子气 57 的密度  $N_{2d-gas5-1}$  落

入  $(\sigma_{53} + \sigma_{54})/q < N_{2d-gas5-1} < (N_{SD54} \cdot t_{contact5}) + (\sigma_{53} + \sigma_{54})/q$  的范围内。

[0389] 另外,在 N 型  $Al_{z_5}Ga_{1-z_5}N$  接触层 54 和 GaN 沟道层 53 之间的界面中积聚二维电子气所必须的所形成势垒的范围内,  $z_5$  还可以被设置成小于  $x_5$ 。如果  $z_5$  被设置成  $z_5 < x_5$ , 则从 N 型  $Al_{z_5}Ga_{1-z_5}N$  接触层 54 提供到 GaN 沟道层 53 的载流子(电子)的量必须被设置成大于  $|\sigma_{53} + \sigma_{54}|$ , 这是因为由于极化效应导致的界面电荷之和  $(\sigma_{53} + \sigma_{54})$  变成负的。在这种情况下,要积聚的二维电子气的密度  $N_{2d-gas5-1}$  落入  $N_{2d-gas5-1} < (N_{SD54} \cdot t_{contact5}) + (\sigma_{53} + \sigma_{54})/q < (N_{SD54} \cdot t_{contact5})$  的范围内。

[0390] (第三示例性实施例)

[0391] 以上根据所述的第一示例性实施例或第二示例性实施例的半导体器件是本发明应用于增强模式型场效应晶体管的模式。

[0392] 另一方面,以下根据第三示例性实施例的半导体器件是本发明应用于耗尽模式型场效应晶体管的模式。具体来讲,根据第三示例性实施例的半导体器件是通过在耗尽模式型场效应晶体管中应用本发明实现接入电阻减小的器件结构的实例。

[0393] 图 7 是示意性示出根据第三示例性实施例的半导体器件结构的横截面图。

[0394] 在图 5 所示的半导体器件中,衬底 60 是具有 (0001) 面的碳化硅 (SiC) 衬底,缓冲层 61 是具有膜厚度  $t_{buffer6}$  的、具有梯度组分的 AlGaIn 层,下部势垒层 62 是具有膜厚度  $t_{barrier6}$  的、未掺杂的  $Al_{x_6}Ga_{1-x_6}N$  层,沟道层 63 是具有膜厚度  $t_{channel6}$  的未掺杂的 GaN 层,以及接触层 64 是具有膜厚度  $t_{contact6}$  的 N 型  $Al_{z_6}Ga_{1-z_6}N$  层。这里,  $Al_{z_6}Ga_{1-z_6}N$  接触层 64 的 Al 组分  $z_6$  被设置成等于  $Al_{x_6}Ga_{1-x_6}N$  下部势垒层 62 的 Al 组分  $x_6$ 。例如,它们被设定在  $x_6 = z_6 = 0.1$ 。构成下部势垒层 62 的 N 型  $Al_{x_6}Ga_{1-x_6}N$  层和构成接触层 64 的 N 型  $Al_{z_6}Ga_{1-z_6}N$  接触层 64 掺杂有浅 n 型杂质,用于形成浅施主水平。例如,使用硅 (Si) 作为用于形成浅施主水平的浅 n 型杂质。构成下部势垒层 62 的 N 型  $Al_{x_6}Ga_{1-x_6}N$  层中掺杂的浅 n 型杂质(施主)的浓度  $N_{SD62}$  被设置在例如  $2 \times 10^{18} \text{cm}^{-3}$  处。构成接触层 64 的 N 型  $Al_{z_6}Ga_{1-z_6}N$  接触层中掺杂的浅 n 型杂质(施主)的浓度  $N_{SD64}$  被设置在例如  $5 \times 10^{18} \text{cm}^{-3}$  处。

[0395] 在 GaN 沟道层 63 和  $Al_{z_6}Ga_{1-z_6}N$  接触层 64 之间的异质界面中,存在由于 GaN 的导带能量  $E_c(\text{GaN})$  和  $Al_{z_6}Ga_{1-z_6}N$  的导带能量  $E_c(Al_{z_6}Ga_{1-z_6}N)$  之间的差导致的带不连续  $\Delta E_c(Al_{z_6}Ga_{1-z_6}N/\text{GaN}) = E_c(Al_{z_6}Ga_{1-z_6}N) - E_c(\text{GaN})$ 。结果,在 GaN 沟道层 63 和  $Al_{z_6}Ga_{1-z_6}N$  接触层 64 之间的异质界面附近,积聚电子,由此产生二维电子气 67。

[0396] 另一方面,在 GaN 沟道层 63 和  $Al_{x_6}Ga_{1-x_6}N$  下部势垒层 62 之间的异质界面中,存在由于 GaN 的导带能量  $E_c(\text{GaN})$  和  $Al_{x_6}Ga_{1-x_6}N$  的导带能量  $E_c(Al_{x_6}Ga_{1-x_6}N)$  之间的差导致的带不连续  $\Delta E_c(Al_{x_6}Ga_{1-x_6}N/\text{GaN}) = E_c(Al_{x_6}Ga_{1-x_6}N) - E_c(\text{GaN})$ 。该带不连续  $\Delta E_c(Al_{x_6}Ga_{1-x_6}N/\text{GaN})$  用作对抗 GaN 沟道层 63 中存在的电子的下势垒。因此,设置了如下结构:电子也可以部分地积聚在 GaN 沟道层 63 和  $Al_{x_6}Ga_{1-x_6}N$  下部势垒层 62 之间的异质界面的附近。

[0397] 在  $Al_{z_6}Ga_{1-z_6}N$  接触层 64 上,形成源电极 6S 和漏电极 6D。源电极 6S 和漏电极 6D 与  $Al_{z_6}Ga_{1-z_6}N$  接触层 54 形成欧姆接触。在位于源电极 6S 和漏电极 6D 之间的区域中,设置栅电极 6G,并由此构造出场效应晶体管。在位于源电极 6S 和漏电极 6D 之间的区域中,蚀刻掉  $Al_{z_6}Ga_{1-z_6}N$  接触层 64 的一部分,以形成凹陷部。在该凹陷部上,由 SiN 构成的绝缘膜 65 被层压层覆盖 GaN 沟道层 63 的暴露前表面。在该凹陷部中,栅电极 6G 形成在  $Al_{z_6}Ga_{1-z_6}N$  接触层 64 的上表面上,以使其被嵌入,并且插入由 SiN 构成的绝缘膜 65。栅电极 6G 的下表面

被设置成借助由 SiN 构成的绝缘膜与 GaN 沟道层 63 的上表面形成肖特基接触 (MIS 结)。

[0398] 根据下述的工艺构造具有如图 7 所示结构的半导体器件。例如,通过 MOCVD 法,在 SiC 衬底 60 的 (0001) 面上,上述的各个基于 III 族氮化物的半导体层按以下的表 6 所示的膜厚度顺序生长。注意的是,所述各个基于 III 族氮化物的半导体层在 SiC 衬底 60 的 (0001) 面上 C 轴生长。

[0399] [表 6]

[0400]

各个基于 III 族氮化物的半导体层	膜厚度
具有梯度组分的未掺杂的 AlGa <sub>N</sub> 缓冲层 61	1 μm
N 型 Al <sub>x<sub>6</sub></sub> Ga <sub>1-x<sub>6</sub></sub> N 下部势垒层 62	50nm
未掺杂的 GaN 沟道层 63	30nm
N 型 Al <sub>z<sub>6</sub></sub> Ga <sub>1-z<sub>6</sub></sub> N 接触层 64	40nm

[0401] 在这种情况下,当将 Al<sub>x<sub>6</sub></sub>Ga<sub>1-x<sub>6</sub></sub>N 下部势垒层 62 的 Al 组分 x<sub>6</sub> 设置在例如 x<sub>5</sub> = 0.1 处时,将 Al<sub>z<sub>6</sub></sub>Ga<sub>1-z<sub>6</sub></sub>N 接触层 64 的 Al 组分 z<sub>6</sub> 设置在例如 z<sub>5</sub> = 0.1 处可以提供满足以上条件: x<sub>6</sub> = z<sub>6</sub> 的结构。另一方面,由具有梯度组分的 AlGa<sub>N</sub> 构成的缓冲层 61 的 Al 组分 x<sub>6B</sub>(t<sub>6B</sub>) 从衬底 60 (t<sub>6B</sub> = 0) 向着缓冲层 61 的前表面 (t<sub>6B</sub> = 1 μm) 逐渐减小。例如,具有梯度组分的 AlGa<sub>N</sub> 缓冲层 61 的 Al 组分 x<sub>6B</sub>(t<sub>6B</sub>) 从 x<sub>6B</sub>(t<sub>6B</sub> = 0) = 1 线性地减小为 x<sub>6B</sub>(t<sub>6B</sub> = 1 μm) = 0.1。

[0402] 在 x<sub>6</sub> = 0.1 且 z<sub>6</sub> = 0.1 的情况下,在 GaN 沟道层 63 和 Al<sub>z<sub>6</sub></sub>Ga<sub>1-z<sub>6</sub></sub>N 接触层 64 之间的异质界面的附近产生的二维电子气 67 的迁移率为大约 1500cm<sup>2</sup>/Vs (20°C)。该二维电子气 67 的迁移率是良好的值。另外,要积聚的二维电子气 67 的密度 N<sub>2d-gas6-1</sub> 为 N<sub>2d-gas6-1</sub> = 1.2 × 10<sup>13</sup>cm<sup>-2</sup> (20°C)。

[0403] GaN 沟道层 63 未被掺杂并且具有低密度的离化杂质,使得离化杂质的扩散得以抑制。另外, GaN 沟道层 63 和 Al<sub>z<sub>6</sub></sub>Ga<sub>1-z<sub>6</sub></sub>N 接触层 64 之间的异质界面在原子级是平坦的,使得界面扩散也得以抑制。由于离化杂质扩散和界面扩散的这种抑制效果,导致异质界面附近产生的二维电子气 67 的迁移率表现出上述的良好的值。

[0404] 在形成源电极 6S 和漏电极 6D 的步骤中,首先,在 N 型 Al<sub>z<sub>6</sub></sub>Ga<sub>1-z<sub>6</sub></sub>N 接触层 64 上,例如,沉积并构图诸如 Ti、Al、Ni 和 Au 的金属。接着,例如,通过在氮气的气氛下,在 850°C 的温度下进行合金处理 30 秒,形成欧姆接触。

[0405] 接着,使用基于 Cl<sub>2</sub> 的气体,蚀刻掉 Al<sub>z<sub>6</sub></sub>Ga<sub>1-z<sub>6</sub></sub>N 接触层 64 的一部分,以形成凹陷部。在该凹陷部中,暴露 GaN 沟道层 63 的前表面。在凹陷部的蚀刻步骤之后,凹陷部中的 GaN 沟道层 63 的膜厚度 t<sub>channel6-G</sub> 为 25nm。当位于源电极 6S 和漏电极 6D 之间的区域的宽度:W<sub>S-D6</sub> 被设置在例如 W<sub>S-D6</sub> = 5 μm 处时,该凹陷部的宽度 W<sub>recess6</sub> 被设置在例如 W<sub>recess6</sub> = 2 μm 处。在这种情况下,凹陷部的深度 d<sub>recess6</sub> 被设置在 d<sub>recess6</sub> = 45nm 处。

[0406] 随后,例如,通过使用 PECVD 法,形成由 SiN 构成的绝缘膜 56。在这种情况下,要形成的 SiN 的膜厚度选自平坦区域上的 t<sub>SiN6</sub> = 5nm-200nm 的范围内。另一方面,在凹陷部的侧壁表面上要形成的 SiN 的膜厚度 t<sub>SiN6-well</sub> 通常等于或小于 t<sub>SiN6</sub>。

[0407] 图 7 所示的半导体器件是凹陷部的侧壁表面的倾斜角被设置为 90 度的示例性实施例,但是倾斜角可以减小成小于 90 度,以提高凹陷部的侧壁表面的涂覆性。

[0408] 在沉积由 SiN 构成的绝缘膜 56 之后,沉积诸如 Ti、Pt 和 Au 的金属,并且通过剥离

形成栅电极 6G。通过剥离形成的栅电极 6G 被形成成为嵌入在由绝缘膜 65 涂覆的凹陷部中。凹陷部底部上的栅电极 6G 的有效栅长度  $L_{6G-effect}$  为  $L_{6G-effect} \approx W_{recess6} - 2 \times t_{SiN6-well}$ 。在凹陷部的底部上,栅电极 6G 形成在 GaN 沟道层 63 上,并且插入由 SiN 构成的绝缘膜 65,由此构造出肖特基接触 (MIS 结)。当膜厚度  $t_{SiN6}$  选自  $t_{SiN6} = 5nm-200nm$  的范围内时,栅电极 6G 的有效栅长度  $L_{6G-effect}$  和该栅电极 6G 正下方的绝缘膜的膜厚度  $t_{SiN6}$  之比  $L_{6G-effect}/t_{SiN6}$  落入 400-8 的范围内。

[0409] 例如,在  $t_{SiN6} \geq 45nm$  的情况下,设置  $d_{recess6} = 45nm$ ,由此凹陷部通过由 SiN 构成的绝缘膜 65 嵌入。在这种情况下,在由 SiN 构成的绝缘膜 65 的上表面上,形成与  $(W_{recess6} - 2 \times t_{SiN6})$  相对应的宽度的凹进部,并且栅电极 6G 被形成成为嵌入在该凹进部中。在这种情况下,栅电极 6G 的有效栅长度  $L_{6G-effect}$  对应于  $(W_{recess6} - 2 \times t_{SiN6})$ 。

[0410] 另一方面,当  $t_{SiN6} = 5nm$  时,设置  $d_{recess6} = 45nm$  并且设置过蚀刻的量  $(d_{recess6} - t_{contact6}) = 5nm$ ,并且过蚀刻的量  $(d_{recess6} - t_{contact6})$  等于绝缘膜的膜厚度  $t_{SiN6}$ 。注意的是,具体来讲,将绝缘膜的膜厚度  $t_{SiN6}$  减小为小于过蚀刻量  $(d_{recess6} - t_{contact6})$  不会引起任何问题。

[0411] 用于绝缘膜 65 的 SiN 膜的电子亲和力  $e \chi (SiN) eV$ 、Ti 的功函数  $e \phi (Ti) eV$  和沟道层 63 的 GaN 的电子亲和力  $e \chi (GaN) eV$  分别被估算为  $e \chi (SiN) eV = 1.4eV$ 、 $e \phi (Ti) eV = 4.3eV$  和  $e \phi (GaN) eV = 3.9eV$ 。因此,由于功函数的差,在 SiN 绝缘膜 65 和栅电极 6G 的 Ti 之间的界面中形成  $\{e \chi (SiN) - e \phi (Ti)\} eV \approx 2.9eV$  的势垒,并且在 SiN 绝缘膜 65 和 GaN 沟道层 63 之间的界面中形成  $\{e \chi (SiN) - e \chi (GaN)\} eV \approx 2.5eV$  的势垒 (接触电势差)。注意的是,在 GaN 沟道层 63 和  $Al_{x5}Ga_{1-x5}N$  下部势垒层 62 之间的异质界面中,由于带不连续  $\Delta Ec (Al_{x6}Ga_{1-x6}N/GaN)$  形成势垒 (接触电势差)。另外,设置  $(e \chi (GaN) - e \phi (Ti)) eV \approx 0.4eV$ 。

[0412] 图 8 示意性示出在图 7 所示的根据第三示例性实施例的半导体器件结构中,在凹陷部中形成的栅电极 6G 正下方的区域中的导带的带示意图。图 8 所示的导带的带示意图示出施加到栅电极 6G 的栅偏置  $V_{G6}$  被设置在  $V_{G6} = 0V$  处时的状态。因此,栅电极 6G 的 Ti 的电势与费米能级  $E_f$  相同。

[0413] 另外,图 9 示意性示出图 7 所示的根据第三示例性实施例的半导体器件结构中的除了凹陷部之外的存在 N 型  $Al_{z5}Ga_{1-z5}N$  接触层 64 的区域的导带的带示意图。

[0414] 通过将具有梯度组分的 AlGaN 缓冲层 61 作为其下层,(0001) 面上生长的  $Al_{x6}Ga_{1-x6}N$  下部势垒层 62 被晶格弛豫。通过使用 AlN 的晶格常数  $a(AlN)$  和 GaN 的晶格常数  $a(GaN)$ ,该下部势垒层 62 的  $Al_{x6}Ga_{1-x6}N$  的晶格常数  $a(Al_{x6}Ga_{1-x6}N)$  大致被表示为  $a(Al_{x6}Ga_{1-x6}N) \approx x_6 \cdot a(AlN) + (1-x_6) \cdot a(GaN)$ 。

[0415] 另一方面,对于  $Al_{x6}Ga_{1-x6}N$  下部势垒层 62 上形成的 GaN 沟道层 63 和  $Al_{z6}Ga_{1-z6}N$  接触层 64,由于它们的薄膜厚度,导致它们的晶格常数  $a$  变得基本上等于下部势垒层 62 的  $Al_{x6}Ga_{1-x6}N$  的晶格常数  $a(Al_{x6}Ga_{1-x6}N)$ 。也就是说,在 GaN 沟道层 63 中,在初始的晶格常数  $a(GaN)$  变为晶格常数  $a(Al_{x6}Ga_{1-x6}N)$  的情况下,出现压应变。另外,因为  $Al_{z6}Ga_{1-z6}N$  接触层 64 的铝组分  $z_6$  等于  $Al_{x6}Ga_{1-x6}N$  下部势垒层 62 的 Al 组分  $x_6$ ,没有出现晶格应变。

[0416] 因为由于晶格应变导致的应变  $e_{zz}$  没有基本上存在于  $Al_{x6}Ga_{1-x6}N$  下部势垒层 62 中,所以没有出现压电极化  $P_{pe} (Al_{x6}Ga_{1-x6}N)$ 。然而,在  $Al_{x6}Ga_{1-x6}N$  下部势垒层 62 中存在自

发极化  $P_{sp}(Al_{x_6}Ga_{1-x_6}N)$ 。在 C 轴生长的情况下,该自发极化  $P_{sp}(Al_{x_6}Ga_{1-x_6}N)$  的方向被取向为从前表面朝向衬底。因此,  $Al_{x_6}Ga_{1-x_6}N$  下部势垒层 62 中存在的极化  $P_{62}$  通常是压电极化  $P_{pe}(Al_{x_6}Ga_{1-x_6}N)$  和自发极化  $P_{sp}(Al_{x_6}Ga_{1-x_6}N)$  之和,即  $P_{62} = P_{sp}(Al_{x_6}Ga_{1-x_6}N) + P_{pe}(Al_{x_6}Ga_{1-x_6}N)$ 。在这种情况下,因为  $P_{pe}(Al_{x_6}Ga_{1-x_6}N) \approx 0$ ,所以  $Al_{x_6}Ga_{1-x_6}N$  下部势垒层 62 中存在的极化  $P_{62}$  大致为  $P_{62} \approx P_{sp}(Al_{x_6}Ga_{1-x_6}N)$ 。

[0417] 类似地,由于晶格应变导致的应变  $e_{zz}$  实质上不存在于  $Al_{z_6}Ga_{1-z_6}N$  接触层 64 中,所以没有出现压电极化  $P_{pe}(Al_{z_6}Ga_{1-z_6}N)$ 。在这种情况下,因为  $P_{pe}(Al_{z_6}Ga_{1-z_6}N) \approx 0$ ,所以  $Al_{z_6}Ga_{1-z_6}N$  接触层 64 中存在的极化  $P_{64}$  大致为  $P_{64} \approx P_{sp}(Al_{z_6}Ga_{1-z_6}N)$ 。

[0418] 另一方面,由于晶格应变导致 GaN 沟道层 63 中存在压应变  $e_{zz}(GaN) \approx \{a(Al_{x_6}Ga_{1-x_6}N) - a(GaN)\} / a(GaN)$ ,并且出现压电极化  $P_{pe}(GaN)$ 。通过使用 GaN 的压电常数  $e_{31}(GaN)$  和  $e_{33}(GaN)$  以及弹性常数  $C_{13}(GaN)$  和  $C_{33}(GaN)$ ,该压电极化  $P_{pe}(GaN)$  大致表示为  $P_{pe}(GaN) \approx 2e_{zz}(GaN) [e_{31}(GaN) - e_{33}(GaN) \cdot \{C_{31}(GaN) / C_{33}(GaN)\}]$ 。另外,还存在自发极化  $P_{sp}(GaN)$ 。在 C 轴生长的情况下,自发极化  $P_{sp}(GaN)$  的方向被取向为从前表面朝向衬底。由于压应变  $e_{zz}$  导致的压电极化  $P_{pe}(GaN)$  具有引起自发极化  $P_{sp}(GaN)$  的方向。因此, GaN 沟道层 63 中存在的极化  $P_{63}$  通常是压电极化  $P_{pe}(GaN)$  和自发极化  $P_{sp}(GaN)$  之和,即,  $P_{63} = P_{sp}(GaN) + P_{pe}(GaN) < P_{sp}(GaN)$ 。

[0419] SiN 绝缘膜 65 是多晶或非晶膜。因此, SiN 绝缘膜 65 作为整体没有表现出各向异性并且不产生极化。也就是说, SiN 绝缘膜 65 中的极化  $P_{65}$  是  $P_{65} = 0$ 。

[0420] 在 GaN 沟道层 63 和  $Al_{x_6}Ga_{1-x_6}N$  下部势垒层 62 之间的界面中,极化 P 表现出从  $P_{63}$  到  $P_{62}$  的不连续变化。因此,在该界面中,出现面状的极化电荷  $\sigma_{63}$ 。该界面中产生的界面电荷密度  $\sigma_{63}/q$  是  $\sigma_{63}/q = (P_{63} - P_{62})/q$  (其中, q 是电子的电荷量 (单位电荷))。

[0421] 另外,在 SiN 绝缘膜 65 和 GaN 沟道层 63 之间的界面中,极化 P 还表现出从  $P_{65}$  到  $P_{63}$  的不连续变化。因此,在该界面中,出现面状的极化电荷  $\sigma_{65}$ 。该界面中产生的界面电荷密度  $\sigma_{65}/q$  是  $\sigma_{65}/q = (P_{65} - P_{63})/q$ 。另一方面,在 SiN 绝缘膜 65 和 GaN 沟道层 63 之间的界面中,产生面密度相当大的界面状态。因此,该界面中产生的界面电荷通过这种界面状态补偿,并且在 SiN 绝缘膜 65 和 GaN 沟道层 63 之间的界面中,没有观察到所产生的界面电荷的有效积聚。

[0422]  $Al_{x_6}Ga_{1-x_6}N$  下部势垒层 62 中存在的极化  $P_{62}$  和 GaN 沟道层 63 中存在的极化  $P_{63}$  取决于构成下部势垒层 62 的  $Al_{x_6}Ga_{1-x_6}N$  的 Al 组分 ( $x_6$ )。例如,当  $x_6 = 0.1$  时,计算提供  $P_{62}/q = 2.13 \times 10^{13} \text{cm}^{-2}$  和  $P_{63}/q = 1.61 \times 10^{13} \text{cm}^{-2}$ 。另外,当  $Al_{z_6}Ga_{1-z_6}N$  接触层 64 的 Al 组分  $z_6$  等于  $Al_{x_6}Ga_{1-x_6}N$  下部势垒层 62 的 Al 组分  $x_6$  且  $z_6 = x_6 = 0.1$  时,计算提供  $P_{64}/q = 2.13 \times 10^{13} \text{cm}^{-2}$ 。

[0423] 在这种情况下,在 GaN 沟道层 63 和  $Al_{x_6}Ga_{1-x_6}N$  下部势垒层 62 之间的界面中产生的界面电荷密度  $\sigma_{63}/q$  被估算为  $\sigma_{63}/q = (P_{63} - P_{62})/q = -5.28 \times 10^{12} \text{cm}^{-2}$ 。另外,在  $Al_{z_6}Ga_{1-z_6}N$  接触层 64 和 GaN 沟道层 63 之间的界面中产生的界面电荷密度  $\sigma_{64}/q$  被估算为  $\sigma_{64}/q = (P_{64} - P_{63})/q = +5.28 \times 10^{12} \text{cm}^{-2}$ 。

[0424] 在 GaN 沟道层 63 和  $Al_{x_6}Ga_{1-x_6}N$  下部势垒层 62 之间的异质界面中,由于带不连续  $\Delta E_C(Al_{x_6}Ga_{1-x_6}N/GaN)$  形成势垒 (接触电势差)。在 N 型  $Al_{z_6}Ga_{1-z_6}N$  接触层 64 和 GaN 沟道层 63 之间的异质界面中,由于带不连续  $\Delta E_C(Al_{z_6}Ga_{1-z_6}N/GaN)$  形成势垒 (接触电势差)。在这

种情况下,当构成下部势垒层 62 的  $\text{Al}_{x_6}\text{Ga}_{1-x_6}\text{N}$  的 Al 组分 ( $x_6$ ) 和构成接触层 64 的  $\text{Al}_{z_6}\text{Ga}_{1-z_6}\text{N}$  的 Al 组分 ( $z_6$ ) 被设置在  $z_6 = x_6$  处时,设置  $\Delta E_c(\text{Al}_{z_6}\text{Ga}_{1-z_6}\text{N}/\text{GaN}) = \Delta E_c(\text{Al}_{x_6}\text{Ga}_{1-x_6}\text{N}/\text{GaN})$ 。

[0425] 在这种情况下,如图 9 中所示,当  $z_6 = x_6 = 0.1$  时,在存在 N 型  $\text{Al}_{z_5}\text{Ga}_{1-z_5}\text{N}$  接触层 64 的区域中,在 GaN 沟道层 63 和  $\text{Al}_{x_6}\text{Ga}_{1-x_6}\text{N}$  下部势垒层 62 之间的界面中产生的界面电荷  $\sigma_{63}$  与  $\text{Al}_{z_6}\text{Ga}_{1-z_6}\text{N}$  接触层 64 和 GaN 沟道层 63 之间的界面中产生的界面电荷  $\sigma_{64}$  之和 ( $\sigma_{63} + \sigma_{64}$ ) 为  $(\sigma_{63} + \sigma_{64}) = 0$ 。在  $(\sigma_{63} + \sigma_{64}) = 0$  的情况下,不产生由于极化效应导致的载流子。

[0426] 另一方面,在  $\Delta E_c(\text{Al}_{x_6}\text{Ga}_{1-x_6}\text{N}/\text{GaN}) > 2kT$  的情况下,N 型  $\text{Al}_{x_6}\text{Ga}_{1-x_6}\text{N}$  下部势垒层 62 中、在与 GaN 沟道层 63 的异质界面的附近形成耗尽区。另外,在  $\Delta E_c(\text{Al}_{z_6}\text{Ga}_{1-z_6}\text{N}/\text{GaN}) > 2kT$  的情况下,N 型  $\text{Al}_{z_6}\text{Ga}_{1-z_6}\text{N}$  下部势垒层 64 中、在与 GaN 沟道层 63 的异质界面的附近形成耗尽区。与形成的该耗尽区相关联,载流子(电子)从 N 型  $\text{Al}_{x_6}\text{Ga}_{1-x_6}\text{N}$  下部势垒层 62 和 N 型  $\text{Al}_{z_6}\text{Ga}_{1-z_6}\text{N}$  下部势垒层 64 提供到 GaN 沟道层 63。

[0427] 在这种情况下,要积聚在 GaN 沟道层 63 中的二维电子气 67 的密度  $N_{2d-gas6-1}$  落入  $N_{2d-gas6-1} < (N_{SD64} \cdot t_{contact6}) + (N_{SD64} \cdot t_{barrier6})$  的范围内。

[0428] 另外,在该示例性实施例中,当未掺杂的 GaN 用于 GaN 沟道层 63 时,其 n 型杂质(施主)的浓度  $N_{SD63}$  理想地为  $0\text{cm}^{-3}$ 。

[0429] 参照图 3,在  $N_{SD53} = 0\text{cm}^{-3}$  且  $x_6 = 0.1$  的情况下,当 N 型  $\text{Al}_{x_6}\text{Ga}_{1-x_6}\text{N}$  下部势垒层 62 中的浅 n 型杂质(施主)的浓度  $N_{SD62}$  被设置在例如  $N_{SD62} = 2 \times 10^{18}\text{cm}^{-3}$  处并且膜厚度  $t_{barrier6}$  被设置在 50nm 处时,在 SiN 绝缘膜 65 的膜厚度  $t_{SiN6}$  超过 3nm 的范围内,阈值电压  $V_T$  变为负电压。也就是说,在 SiN 绝缘膜 65 的膜厚度  $t_{SiN6}$  超过 3nm 的范围内,当  $V_{G6}$  被设置在  $V_{G6} = 0\text{V}$  处时,载流子(电子)停留在 GaN 沟道层 63 中。

[0430] 在这种情形下, $V_G = 0\text{V}$  的热平衡状态下的栅电极 6G 正下方的区域中导带的带示意图如图 8 所示。也就是说,停留在 GaN 沟道层 63 中的载流子(电子)积聚在 GaN 沟道层 63 和  $\text{Al}_{x_6}\text{Ga}_{1-x_6}\text{N}$  下部势垒层 62 之间的界面附近。

[0431] 例如,在  $N_{SD62} = 2 \times 10^{18}\text{cm}^{-3}$  并且  $N_{SD63} = 0\text{cm}^{-3}$  的情况下,考虑到  $V_G = 0\text{V}$  的热平衡状态下的栅电极 6G 正下方的区域中导带的带示意图,随着 SiN 绝缘膜 65 的膜厚度  $t_{SiN6}$  增大,如下所述地发生变化。例如,在 SiN 绝缘膜 65 的膜厚度  $t_{SiN6}$  等于或小于 3nm 的范围内,GaN 沟道层 63 和  $\text{Al}_{x_6}\text{Ga}_{1-x_6}\text{N}$  下部势垒层 62 之间的异质界面中的 GaN 沟道层 63 的导带能量  $E_c(63)$  在能量上设置成高于费米能级  $E_f$ 。在 SiN 绝缘膜 65 的膜厚度  $t_{SiN6}$  超过 3nm 的范围内,该异质界面中的 GaN 沟道层 63 的导带能量  $E_c(63)$  在能量上设置成低于费米能级  $E_f$ 。以此方式,该异质界面中的 GaN 沟道层 63 的导带能量  $E_c(63)$  和费米能级  $E_f$  之间的差  $\{E_c(63) - E_f\}$  取决于 SiN 绝缘膜 65 的膜厚度  $t_{SiN6}$ 。

[0432] 至少在  $\text{Al}_{x_6}\text{Ga}_{1-x_6}\text{N}$  下部势垒层 62 中的浅 n 型杂质(施主)的浓度  $N_{SD62}$  满足条件  $N_{SD62} \cdot t_{barrier6} > |\sigma_{63}|/q$  的范围内,SiN 绝缘膜 65 的膜厚度  $t_{SiN6}$  增加可以使得阈值电压  $V_T$  变成负电压。因此,具有满足该条件的 MIS 型栅结构的场效应晶体管是“正常导通状态”。因此,在满足上述条件的范围内,可以制造出耗尽模式型场效应晶体管。

[0433] 参照图 3 中的结果,例如,当 N 型  $\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N}$  层中的浅 n 型杂质(施主)的浓度  $N_{SD62}$  被设置成例如  $2 \times 10^{18}\text{cm}^{-3}$  且膜厚度  $t_{barrier6}$  被设置为  $t_{barrier6} = 50\text{nm}$  时,在 SiN 绝缘膜 65 的膜厚度  $t_{SiN6}$  变化 1nm 时,阈值电压  $V_T$  的变化量  $\Delta V_T$  相对小,大约为 0.12V。因此,对抗 SiN

绝缘膜 65 的膜厚度  $t_{\text{SiN6}}$  的变化, 阈值电压  $V_T$  的均匀性和再现性良好。

[0434] 由于构成绝缘膜 65 的 SiN 膜的电子亲和力  $e\chi(\text{SiN})\text{eV}$  和与 SiN 膜接触的栅电极 5G 的 Ti 的功函数  $e\phi(\text{Ti})\text{eV}$  之间的差导致的接触电势差  $\{e\chi(\text{SiN})-e\phi(\text{Ti})\}\text{eV}$  大约为 2.9eV。因此, 当采用具有 Ti/SiN/GaN 的 MIS 结构的栅时, 肖特基结 (MIS 结) 的势垒高度  $\Phi_{\text{barrier}}$  增加为高于常规 MES 型的肖特基结的势垒高度。因此, 在具有图 7 所示的 MIS 型栅结构的场效应晶体管中, 当栅的肖特基结 (MIS 结) 被正向偏置时, 正向栅击穿电压也良好。

[0435] 当将未掺杂的 GaN 用于 GaN 沟道层 53 且  $N_{\text{SD53}} = 0\text{cm}^{-3}$  时, 阈值电压  $V_T$  与图 3 中所示的绝缘膜的膜厚度的小依赖关系意味着: 当栅的肖特基结 (MIS 结) 被反向偏置时, 施加到绝缘膜 55 的内部电场小。因此, 以反向偏置抑制隧道电流成分, 并且反向泄漏电流也减小。

[0436] 在根据第三示例性实施例的半导体器件中, 当构造耗尽模式型场效应晶体管时, 电子积聚在沟道层 63 与接触层 64 的界面以及沟道层 63 与下部势垒层 62 的界面中, 并且存在二维电子气 67。因此, 源和栅之间以及栅和漏之间的接入电阻减小。当然, 因为欧姆电极形成在 N 型  $\text{Al}_{z_6}\text{Ga}_{1-z_6}\text{N}$  接触层 64 上, 所以漏电极 6D 和源电极 6S 的接触电阻也减小。由于这些原因, 导致寄生电阻也大幅度提高。

[0437] 注意的是, 在第三示例性实施例中, 在上述的特定实例中, N 型  $\text{Al}_{z_6}\text{Ga}_{1-z_6}\text{N}$  接触层 64 的 Al 组分 ( $z_6$ ) 被设置成等于 N 型  $\text{Al}_{x_6}\text{Ga}_{1-x_6}\text{N}$  下部势垒层 62 的 Al 组分 ( $x_6$ )。当然, 即使  $z_6$  被设置成大于  $x_6$ , 在 GaN 沟道层 63 中、与 N 型  $\text{Al}_{z_6}\text{Ga}_{1-z_6}\text{N}$  接触层 64 的界面以及与 N 型  $\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{N}$  下部势垒层 62 的界面的附近也积聚电子, 由此产生二维电子气 67。在  $z_6 > x_6$  的情况下, 因为由于极化效应导致的界面电荷之和 ( $\sigma_{63} + \sigma_{64}$ ) 变成正的, 所以即使 N 型  $\text{Al}_{z_6}\text{Ga}_{1-z_6}\text{N}$  接触层 64 中的浅 n 型杂质 (施主) 的浓度  $N_{\text{SD64}}$  降低, 也产生二维电子气 67。在这种情况下, 要积聚的二维电子气 67 的密度  $N_{2\text{d-gas6-1}}$  落入  $(\sigma_{63} + \sigma_{64})/q < N_{2\text{d-gas6-1}} < (N_{\text{SD64}} \cdot t_{\text{contact6}}) + (N_{\text{SD62}} \cdot t_{\text{contact6}}) + (\sigma_{63} + \sigma_{64})/q$  的范围内。

[0438] 另外, 在 N 型  $\text{Al}_{z_6}\text{Ga}_{1-z_6}\text{N}$  接触层 64 和 GaN 沟道层 63 之间的界面中积聚二维电子气所必须的形成势垒的范围内,  $z_6$  还可以被设置成小于  $x_6$ 。如果  $z_6$  被设置成  $z_6 < x_6$ , 则从 N 型  $\text{Al}_{x_6}\text{Ga}_{1-x_6}\text{N}$  下部势垒层 62 和 N 型  $\text{Al}_{z_5}\text{Ga}_{1-z_5}\text{N}$  接触层 54 提供到 GaN 沟道层 53 的载流子 (电子) 的量必须被设置成大于  $|\sigma_{63} + \sigma_{64}|$ , 这是因为由于极化效应导致的界面电荷之和 ( $\sigma_{63} + \sigma_{64}$ ) 变成负的。在这种情况下, 要积聚的二维电子气的密度  $N_{2\text{d-gas6-1}}$  落入  $N_{2\text{d-gas6-1}} < (N_{\text{SD64}} \cdot t_{\text{contact6}}) + (N_{\text{SD62}} \cdot t_{\text{barrier6}}) + (\sigma_{63} + \sigma_{64})/q < (N_{\text{SD64}} \cdot t_{\text{contact6}}) + (N_{\text{SD62}} \cdot t_{\text{barrier6}})$  的范围内。

[0439] 已经参照作为实例的代表性示例性实施例描述了本发明的原理, 但是本发明不仅限于上述代表性的示例性实施例, 以及显而易见, 其包括根据本发明原理的各种模式。

[0440] 也就是说, 在上述的示例性实施例中, 已经通过使用采用  $\text{Al}_z\text{Ga}_{1-z}\text{N}$  接触层 /  $\text{In}_y\text{Ga}_{1-y}\text{N}$  沟道层 /  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  下部势垒层的层压结构的典型实例说明了本发明的原理。

[0441] 当在所述原理应用到本发明的情况下构造半导体器件时,  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  用作在上述示例性实施例中用于形成下部势垒层的材料, 但是还可以使用另一基于 III 族氮化物的半导体。可以使用例如 GaN、InGaN、InAlN 和 InAlGaN 作为用于形成下部势垒层的材料。另外, 下部势垒层可以是其平均组分对应于 InGaN、AlGaN、InAlN 和 InAlGaN 的超晶格层。

[0442] 当在所述原理应用到本发明的情况下构造半导体器件时, 在上述的示例性实施例中,  $\text{In}_y\text{Ga}_{1-y}\text{N}$  (具体来讲, GaN) 用作用于形成沟道层的材料, 但是可以使用具有带隙小于



下部势垒层的另一基于 III 族氮化物的半导体。可以使用例如 InN、InGaN、AlGaN、InAlN 和 InAlGaN 作为用于形成沟道层的材料。另外,沟道层可以是其平均组分对应于 InGaN、AlGaN、InAlN 和 InAlGaN 的超晶格层。在示例性实施例中,沟道层是被掺杂的,但是沟道层的任何部分或者全部可以掺杂有诸如 Si 等的 n 型杂质。

[0443] 当应用本发明原理的半导体器件被构造时,  $Al_zGa_{1-z}N$  用作在上述示例性实施例中用于形成接触层的材料,但是可以使用具有带隙比沟道层大的另一基于 III 族氮化物的半导体。可以使用例如 GaN、InGaN、InAlN 和 InAlGaN 作为用于形成接触层的材料。另外,接触层可以是其平均组分对应于 InGaN、AlGaN、InAlN 和 InAlGaN 的超晶格层。

[0444] 当应用本发明原理的半导体器件被构造时,采用如下结构:当  $Al_zGa_{1-z}N$  接触层或  $Al_xGa_{1-x}N$  下部势垒层掺杂有要形成 N 型 AlGaN 的浅 n 型杂质(施主)时,  $Al_zGa_{1-z}N$  接触层或  $Al_xGa_{1-x}N$  下部势垒层与 GaN 沟道层接触。可以采用如下结构:在  $Al_zGa_{1-z}N$  接触层或  $Al_xGa_{1-x}N$  下部势垒层与 GaN 沟道层接触的界面中,将未掺杂的 AlGaN 间隔物层插入在 GaN 沟道层和 N 型 AlGaN 之间。

[0445] 当应用本发明原理的半导体器件被构造时,  $Si_3N_4$  用作在示例性实施例中用于形成绝缘层的绝缘材料,但是可以使用另一绝缘材料。可以使用例如  $SiO_2$ 、 $Si_{1-x-y}O_xN_y$ 、 $Ga_2O_3$ 、氧化铝( $Al_2O_3$ )、氧化锌(ZnO)、氧化镁(MgO)和氧化铪( $HfO_2$ )作为用于形成绝缘膜的绝缘材料。可替换地,绝缘膜可以由多个绝缘体构成的层压膜制成,所述绝缘体选自自由  $Si_3N_4$ 、 $SiO_2$ 、 $SiON$ 、 $Ga_2O_3$ 、 $Al_2O_3$ 、ZnO、MgO 和  $HfO_2$  组成的组中。

[0446] 尽管迄今为止已经参照示例性实施例(及其实例)描述了本发明,但是本发明将不限于上述的示例性实施例(及其实例)。在本发明的范围内,本发明的构成和细节经受本领域的技术人员可以理解的各种更改。

[0447] 该专利申请要求 2008 年 3 月 12 日在日本提交的日本专利申请 No. 2008-62510 的优先权,其全部内容通过引用结合于此。

[0448] 工业适用性

[0449] 根据本发明的半导体器件可以应用于多种基于 III 族氮化物的半导体器件之中的基于 III 族氮化物的场效应晶体管的生产,其具有阈值电压的优良均匀性和再现性,同时保持低栅泄漏电流和高电子迁移率,并且还能够在增强模式进行操作。

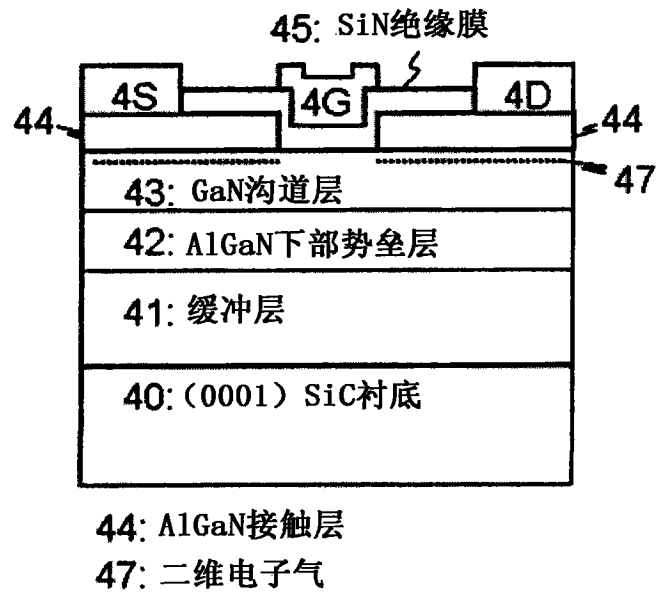


图 1

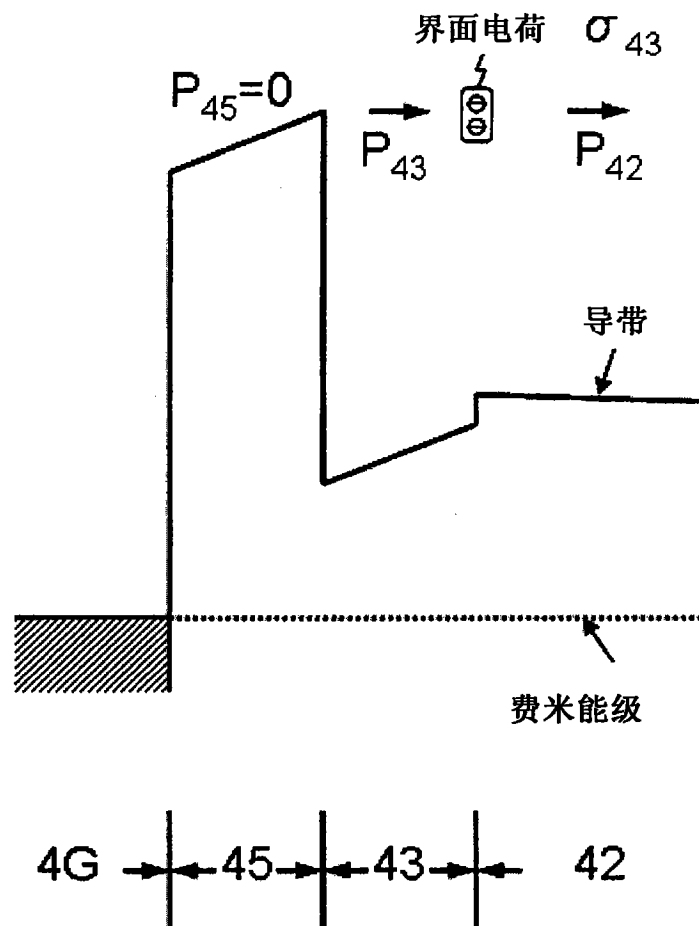


图 2

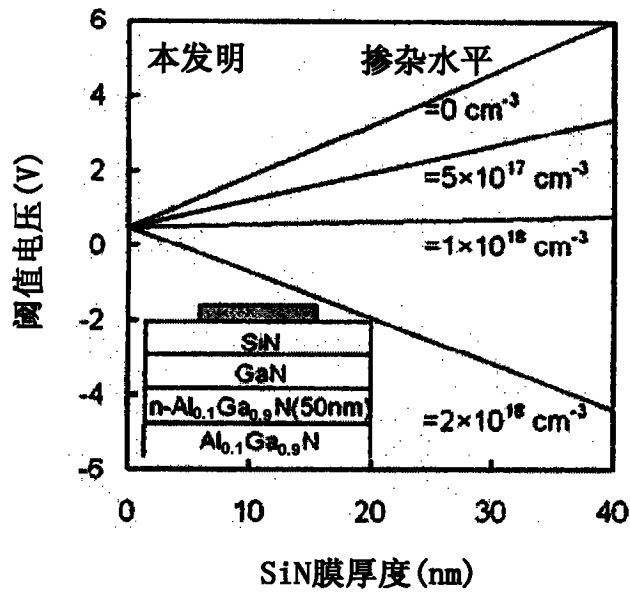


图 3

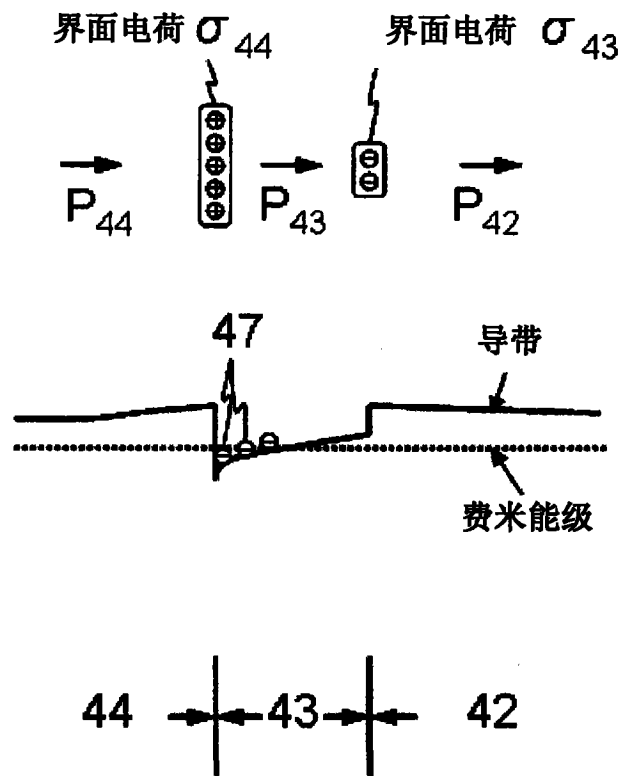


图 4

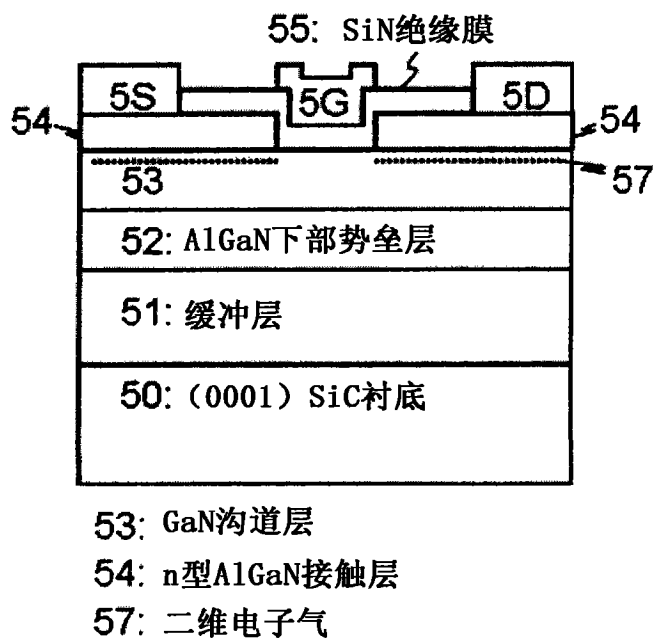


图 5

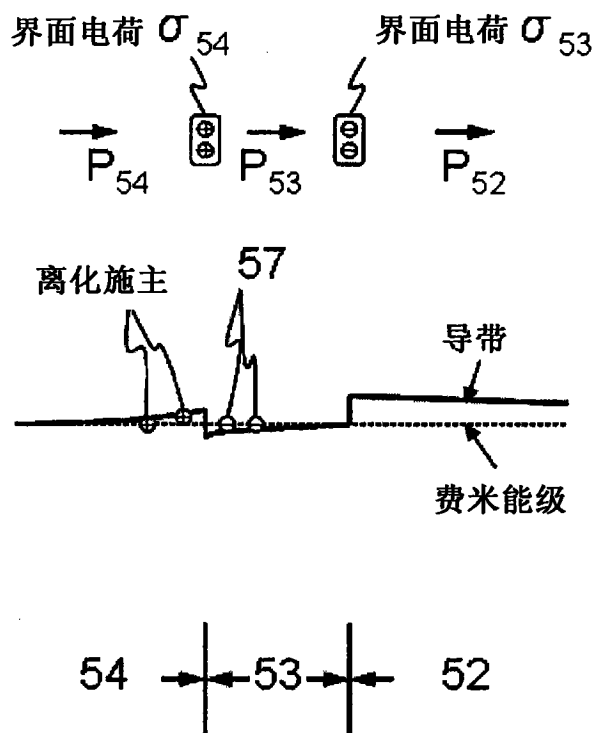


图 6

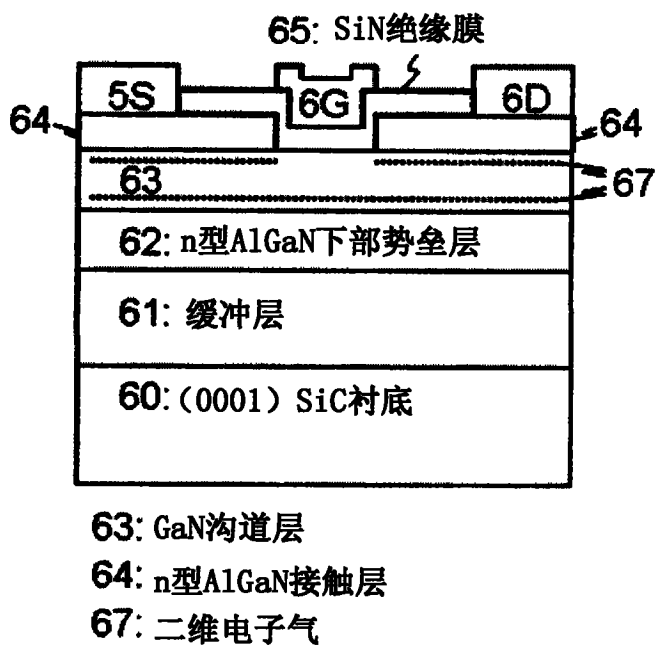


图 7

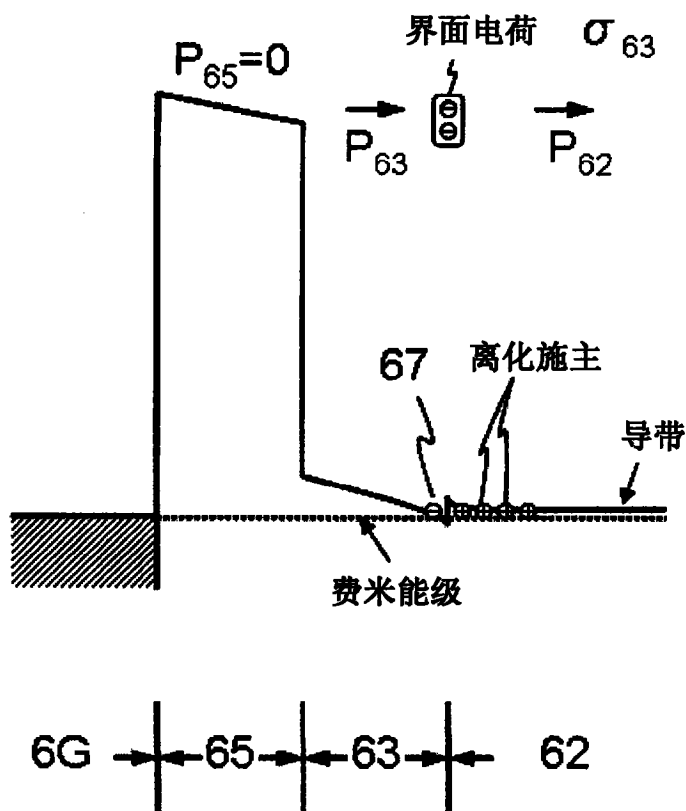


图 8

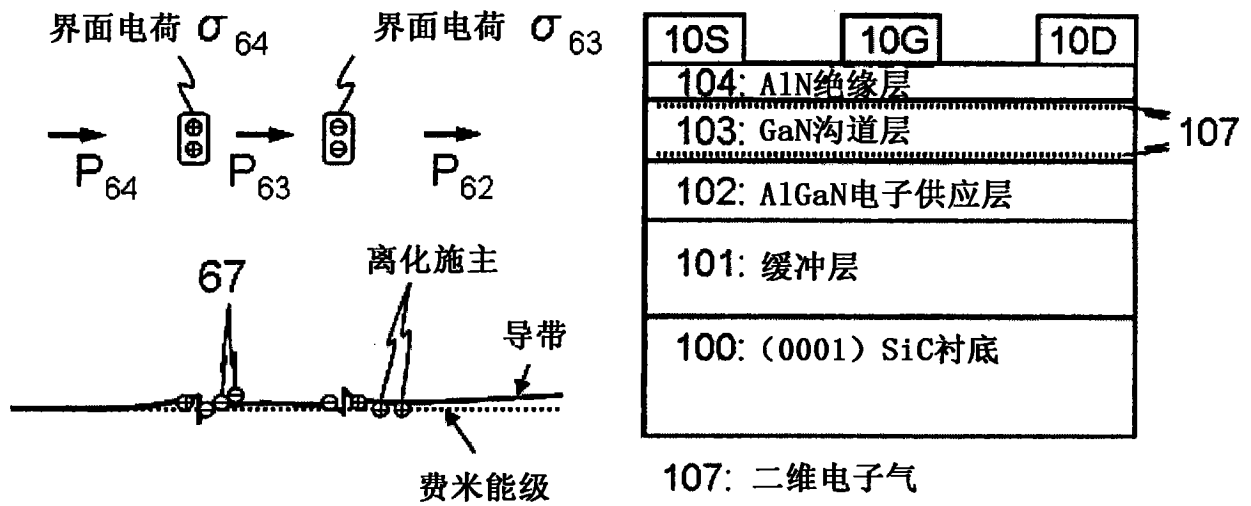


图 10

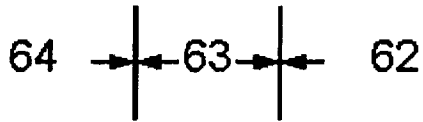


图 9

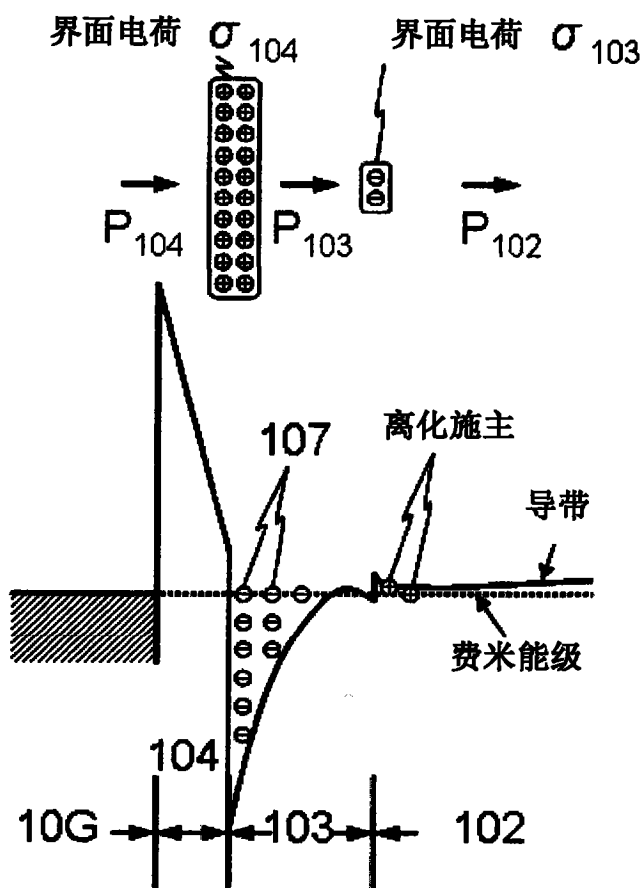


图 11

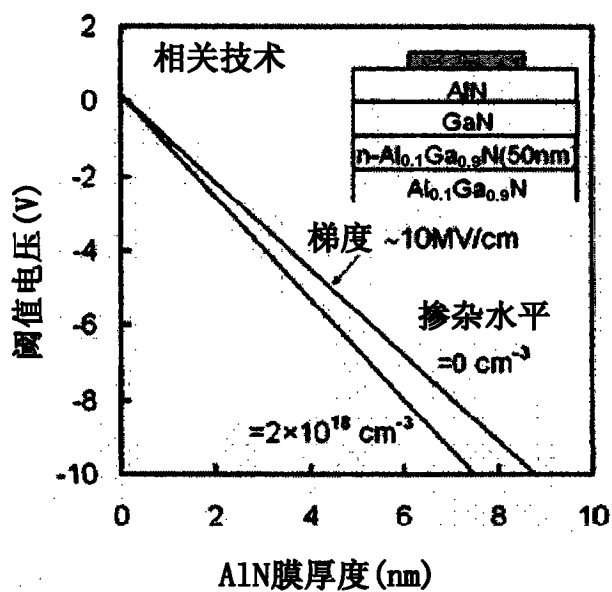


图 12

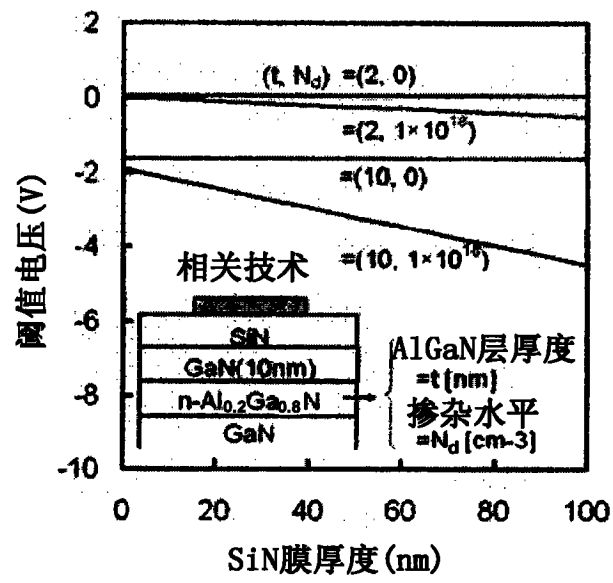


图 13